

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5631918号
(P5631918)

(45) 発行日 平成26年11月26日 (2014.11.26)

(24) 登録日 平成26年10月17日 (2014.10.17)

(51) Int.Cl. F I
G 0 5 F 1/56 (2006.01)
 G 0 5 F 1/56 3 2 O S
 G 0 5 F 1/56 3 2 O E

請求項の数 11 (全 16 頁)

(21) 出願番号	特願2012-77762 (P2012-77762)	(73) 特許権者	000003078
(22) 出願日	平成24年3月29日 (2012.3.29)		株式会社東芝
(65) 公開番号	特開2013-206381 (P2013-206381A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成25年10月7日 (2013.10.7)	(74) 代理人	100117787
審査請求日	平成26年2月10日 (2014.2.10)		弁理士 勝沼 宏仁
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100118843
			弁理士 赤岡 明
		(74) 代理人	100137523
			弁理士 出口 智也

最終頁に続く

(54) 【発明の名称】 過電流保護回路、および、電力供給装置

(57) 【特許請求の範囲】

【請求項 1】

電源端子と出力端子との間に接続された第1導電型の出力トランジスタと、

前記出力端子から出力される出力電流が予め設定された過電流制限電流値未満である場合には、前記出力トランジスタのゲート電圧を制御することにより、前記出力トランジスタを線形領域で動作させ、前記出力電流が前記過電流制限電流値に達した場合には、前記出力トランジスタのゲート電圧を制御することにより、前記出力電流が前記過電流制限電流値に固定するように前記出力トランジスタを制御する過電流制限回路と、

前記出力トランジスタのゲート電圧を制御することにより、前記出力端子の出力電圧と前記出力電流とが比例するように、前記出力トランジスタを制御する電流電圧制御回路と

10

、
 前記出力電圧が予め設定された閾値以下である場合には、前記出力電圧と前記出力電流とが比例するように、前記電流電圧制御回路による前記出力トランジスタの制御を実行させ、前記出力電圧が前記閾値を超えている場合には、前記電流電圧制御回路による前記出力トランジスタの制御を停止する第1の制御回路と、

イネーブル信号に応じて、前記出力トランジスタのゲートに駆動電圧を供給するドライバ回路と、を備えることを特徴とする電力供給装置。

【請求項 2】

外部から制御端子を介して入力された制御信号に応じて、前記イネーブル信号を出力する第2の制御回路をさらに備えることを特徴とする請求項 1 に記載の電力供給装置。

20

【請求項 3】

前記ドライバ回路は、

ソースが前記電源端子に接続され、ドレインが前記出力トランジスタのゲートに接続され、ゲートに前記イネーブル信号が供給される第 1 導電型の第 1 の駆動トランジスタと、
前記第 1 の駆動トランジスタのドレインと接地との間に接続され、定電流を出力する第 2 の定電流源と、を有することを特徴とする請求項 1 または 2 に記載の電力供給装置。

【請求項 4】

前記ドライバ回路は、

ソースが前記電源端子に接続され、ドレインが前記出力トランジスタのゲートに接続され、ゲートに前記イネーブル信号が供給される第 1 導電型の第 1 の駆動トランジスタと、
前記第 1 の駆動トランジスタのドレインと接地との間に接続され、ゲートに前記イネーブル信号が供給され第 2 導電型の第 2 の駆動トランジスタと、

前記第 1 の駆動トランジスタのドレインと前記第 2 の駆動トランジスタのドレインとの間に接続された抵抗と、を有することを特徴とする請求項 1 または 2 に記載の電力供給装置。

【請求項 5】

前記ドライバ回路は、

前記出力電圧を分圧した分圧電圧を出力する分圧回路と、

基準電圧を生成する基準電圧生成回路と、

前記分圧電圧と前記基準電圧とが等しくなるように、前記出力トランジスタのゲートに駆動電圧を供給する誤差増幅器と、を有することを特徴とする請求項 1 または 2 に記載の電力供給装置。

【請求項 6】

前記第 1 の制御回路は、

前記電源端子と前記出力トランジスタのゲートとの間に接続され、ゲートが前記出力端子に接続された第 1 導電型の第 1 の制御トランジスタを有し、

前記電流電圧制御回路は、

前記電源端子と前記出力トランジスタのゲートとの間で、前記第 1 の制御トランジスタと直列に接続された第 1 導電型の第 1 の MOS トランジスタと、

ソースが前記電源端子に接続され、ゲートが前記出力トランジスタのゲートに接続された第 1 導電型の第 2 の MOS トランジスタと、

ドレインが前記第 2 の MOS トランジスタのドレインに接続され、ドレインが接地に接続され、ダイオード接続された第 2 導電型の第 3 の MOS トランジスタと、

ドレインが前記第 1 の MOS トランジスタのゲートに接続され、ソースが接地に接続され、ゲートが前記第 3 の MOS トランジスタのゲートに接続された第 2 導電型の第 4 の MOS トランジスタと、

前記電源端子と前記第 4 の MOS トランジスタのドレインとの間に接続された第 1 導電型の第 5 の MOS トランジスタと、

ソースが前記電源端子に接続され、ゲートが前記第 5 の MOS トランジスタのゲートに接続された第 1 導電型の第 6 の MOS トランジスタと、

前記第 6 の MOS トランジスタのドレインと接地との間に接続された第 1 の抵抗と、

反転入力端子が前記出力端子に接続され、非反転入力端子が前記第 6 の MOS トランジスタのドレインに接続され、出力が前記第 5 および第 6 の MOS トランジスタのゲートに接続され、前記出力電圧と前記第 6 の MOS トランジスタのドレインの電圧とが等しくなるように前記第 5 および第 6 の MOS トランジスタのゲート電圧を制御する第 1 の演算増幅器と、を有する

ことを特徴とする請求項 1 に記載の電力供給装置。

【請求項 7】

前記第 1 の制御回路は、前記電源端子と前記第 4 の MOS トランジスタのドレインとの間で、前記第 5 の MOS トランジスタと直列に接続され、ゲートが前記第 1 の制御トラン

10

20

30

40

50

ジスタのゲートに接続された第 1 導電型の第 2 の制御トランジスタをさらに有することを特徴とする請求項 2 に記載のことを特徴とする請求項 6 に記載の電力供給装置。

【請求項 8】

前記電流電圧制御回路は、

前記電源端子と前記第 5 の MOS トランジスタのドレインとの間に接続され、定電流を出力する第 1 の定電流源をさらに有する

ことを特徴とする請求項 6 または 7 に記載の電力供給装置。

【請求項 9】

前記過電流制限回路は、

ソースが前記電源端子に接続され、ドレインが前記出力トランジスタのゲートに接続された第 1 導電型の第 7 の MOS トランジスタと、

前記電源端子と前記第 7 の MOS トランジスタのゲートとの間に接続された第 2 の抵抗と、

ドレインが前記第 7 の MOS トランジスタのゲートに接続され、ソースが接地に接続された第 2 導電型の第 8 の MOS トランジスタと、

ソースが接地に接続され、ゲートが前記第 8 の MOS トランジスタのゲートに接続された第 2 導電型の第 9 の MOS トランジスタと、

ソースが前記電源端子に接続され、ドレインが前記第 9 の MOS トランジスタのドレインに接続され、ゲートが前記出力トランジスタのゲートに接続された第 1 導電型の第 10 の MOS トランジスタと、

非反転入力端子が前記第 10 の MOS トランジスタのドレインに接続され、反転入力端子が前記出力端子に接続され、出力が前記第 8 および第 9 の MOS トランジスタのゲートに接続され、前記第 10 の MOS トランジスタのドレインの電圧と前記出力電圧とが等しくなるように前記第 9 の MOS トランジスタのゲート電圧を制御する第 2 の演算増幅器と、を有する

ことを特徴とする請求項 6 ないし 8 のいずれかに記載の電力供給装置。

【請求項 10】

前記過電流制限回路は、

ソースが前記電源端子に接続され、ドレインが前記出力トランジスタのゲートに接続された第 1 導電型の第 7 の MOS トランジスタと、

前記電源端子と前記第 7 の MOS トランジスタのゲートとの間に接続された第 2 の抵抗と、

ドレインが前記第 7 の MOS トランジスタのゲートに接続され、ソースが接地に接続された第 2 導電型の第 8 の MOS トランジスタと、

前記第 8 の MOS トランジスタのゲートと接地との間に接続された第 3 の抵抗と、

ドレインが前記第 8 の MOS トランジスタのゲートに接続された第 1 導電型の第 9 の MOS トランジスタと、

ソースが前記電源端子に接続され、ドレインが前記第 9 の MOS トランジスタのソースに接続され、ゲートが前記出力トランジスタのゲートに接続された第 1 導電型の第 10 の MOS トランジスタと、

反転入力端子が前記第 10 の MOS トランジスタのドレインに接続され、非反転入力端子が前記出力端子に接続され、出力が前記第 9 の MOS トランジスタのゲートに接続され、前記第 10 の MOS トランジスタのドレインの電圧と前記出力電圧とが等しくなるように前記第 9 の MOS トランジスタのゲート電圧を制御する第 2 の演算増幅器と、を有することを特徴とする請求項 6 ないし 8 のいずれかに記載の電力供給装置。

【請求項 11】

前記第 1 の制御回路は、

前記ゲート電圧を制御する前記電流電圧制御回路の出力部と、前記出力トランジスタのゲートとの間に接続されたスイッチ回路と、

前記出力電圧と前記閾値とを比較し、前記出力電圧が前記閾値以下である場合には、前

10

20

30

40

50

記スイッチ回路をオンし、前記出力電圧が前記閾値を超えている場合には、前記スイッチ回路をオフする比較器と、を有することを特徴とする請求項 1 に記載の電力供給装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、過電流保護回路、および、電力供給装置に関する。

【背景技術】

【0002】

従来、回路素子を過電流から保護する電力供給装置がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 133730 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

保護動作のロードレギュレーションに対する影響を低減することが可能な過電流保護回路、および、電力供給装置を提供する。

【課題を解決するための手段】

【0005】

実施形態に従った過電流保護回路は、電源端子と出力端子との間に接続された第 1 導電型の出力トランジスタを制御する。過電流保護回路は、前記出力端子から出力される出力電流が予め設定された過電流制限電流値未満である場合には、前記出力トランジスタのゲート電圧を制御することにより、前記出力トランジスタを線形領域で動作させ、前記出力電流が前記過電流制限電流値に達した場合には、前記出力トランジスタのゲート電圧を制御することにより、前記出力電流が前記過電流制限電流値に固定されるように前記出力トランジスタを制御する過電流制限回路を備える。過電流保護回路は、前記出力トランジスタのゲート電圧を制御することにより、前記出力端子の出力電圧と前記出力電流とが比例するように、前記出力トランジスタを制御する電流電圧制御回路を備える。過電流保護回路は、前記出力電圧が予め設定された閾値以下である場合には、前記出力電圧と前記出力電流とが比例するように、前記電流電圧制御回路による前記出力トランジスタの制御を実行させ、前記出力電圧が前記閾値を超えている場合には、前記電流電圧制御回路による前記出力トランジスタの制御を停止する第 1 の制御回路を備える。

【図面の簡単な説明】

【0006】

【図 1】図 1 は、第 1 の実施形態に係る電力供給装置 1000 の構成の一例を示すブロック図である。

【図 2】図 2 は、図 1 に示す過電流制限回路、電流電圧制御回路、第 1 の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成の一例を示す回路図である。

【図 3】図 3 は、図 1 に示す電力供給装置 1000 の出力電圧と出力電流と関係の一例を示す特性図である。

【図 4】図 4 は、図 1 に示す過電流制限回路、電流電圧制御回路、第 1 の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成の他の例を示す回路図である。

【図 5】図 5 は、図 1 に示す過電流制限回路、電流電圧制御回路、第 1 の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成のさらに他の例を示す回路図である。

【図 6】図 6 は、図 1 に示す過電流制限回路、電流電圧制御回路、第 1 の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成のさらに他の例を示す回路

10

20

30

40

50

図である。

【図 7】図 7 は、図 1 に示す過電流制限回路、電流電圧制御回路、第 1 の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成のさらに他の例を示す回路図である。

【発明を実施するための形態】

【0007】

以下、実施形態について図面に基づいて説明する。なお、以下の実施形態では、第 1 導電型のトランジスタが p M O S トランジスタであり、第 2 導電型のトランジスタが n M O S トランジスタである場合について説明する。

【第 1 の実施形態】

10

【0008】

図 1 は、第 1 の実施形態に係る電力供給装置 1 0 0 0 の構成の一例を示すブロック図である。

【0009】

図 1 に示すように、電力供給装置 1 0 0 0 は、第 1 導電型の出力トランジスタ (p M O S トランジスタ) 2 0 と、第 2 の制御回路 1 0 0 と、ドライバ回路 2 0 0 と、電流電圧制御回路 3 0 0 と、第 1 の制御回路 3 1 0 と、過電流制限回路 4 0 0 と、を備える。

【0010】

電源 1 0 は、電源端子 T i n と接地との間に接続され、電源電圧 V D D を出力するようになっている。

20

【0011】

負荷 3 0 は、出力端子 T o u t と接地との間に接続され、インピーダンス Z L を有する。

【0012】

出力トランジスタ 2 0 は、電源端子 T i n と出力端子 T o u t との間に接続されている。

【0013】

ここで、電流電圧制御回路 3 0 0 と、第 1 の制御回路 3 1 0 と、過電流制限回路 4 0 0 とは、過電流保護回路 1 0 0 0 A を構成する。この過電流保護回路 1 0 0 0 A は、電源端子 T i n と出力端子 T o u t との間に接続された第 1 導電型の出力トランジスタ 2 0 を制

30

御するようになっている。

【0014】

第 2 の制御回路 1 0 0 は、外部から制御端子 T c を介して入力された制御信号 S C O N T に応じて、イネーブル信号 E N を出力するようになっている。

【0015】

ドライバ回路 2 0 0 は、イネーブル信号 E N に応じて、出力トランジスタ 2 0 のゲートに駆動電圧を供給するようになっている。

【0016】

過電流制限回路 4 0 0 は、出力端子 T o u t から出力される出力電流 I O U T が予め設定された過電流制限電流値未満である場合には、出力トランジスタ 2 0 のゲート電圧を制

40

御することにより、出力トランジスタ 2 0 を線形領域で動作させるようになっている。

【0017】

一方、過電流制限回路 4 0 0 は、出力電流 I O U T が過電流制限電流値に達した場合には、出力トランジスタ 2 0 のゲート電圧を制御することにより、出力電流 I O U T が過電流制限電流値に固定されるように出力トランジスタ 2 0 を制御するようになっている。

【0018】

この過電流制限回路 4 0 0 は、一般的に垂下型と呼ばれる。

【0019】

電流電圧制御回路 3 0 0 は、出力トランジスタ 2 0 のゲート電圧を制御することにより、出力端子 T o u t の出力電圧 V O U T と出力電流 I O U T とが比例するように、出力ト

50

ランジスタ 20 を制御するようになっている。

【0020】

第1の制御回路310は、出力電圧 V_{OUT} が予め設定された閾値 V_{TH} 以下である場合には、出力電圧 V_{OUT} と出力電流 I_{OUT} とが比例するように、電流電圧制御回路300による出力トランジスタ20の制御を実行させるようになっている。

【0021】

一方、第1の制御回路310は、出力電圧 V_{OUT} が閾値 V_{TH} を超えている場合には、電流電圧制御回路300による出力トランジスタ20の制御を停止するようになっている。

【0022】

この第1の制御回路310は、例えば、図1に示すように、スイッチ回路SWと、比較器OPと、を有する。

【0023】

スイッチ回路SWは、ゲート電圧を制御する過電流制限回路400の出力部と、出力トランジスタ20のゲートとの間に接続されている。

【0024】

比較器OPは、出力電圧 V_{OUT} と閾値 V_{TH} とを比較し、出力電圧 V_{OUT} が閾値 V_{TH} 以下である場合には、スイッチ回路SWをオンする。これにより、出力電圧 V_{OUT} と出力電流 I_{OUT} とが比例するように、電流電圧制御回路300による出力トランジスタ20の制御を実行される。

【0025】

一方、出力電圧 V_{OUT} が閾値 V_{TH} を超えている場合には、スイッチ回路SWをオフする。これにより、電流電圧制御回路300による出力トランジスタ20の制御を停止する。

【0026】

なお、後述のように、この第1の制御回路310は、他の回路構成によって同様の機能を有するように構成してもよい。

【0027】

ここで、図2は、図1に示す過電流制限回路、電流電圧制御回路、第1の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成の一例を示す回路図である。

【0028】

図2に示すように、第1の制御回路310は、第1導電型の第1の制御トランジスタ(pMOSトランジスタ)310aと、第1導電型の第2の制御トランジスタ(pMOSトランジスタ)310bと、を有する。

【0029】

第1の制御トランジスタ310aは、電源端子 T_{in} と出力トランジスタ20のゲートとの間に接続され、ゲートが出力端子 T_{out} に接続されている。

【0030】

第2の制御トランジスタ310bは、電源端子 T_{in} と第4のMOSトランジスタM4のドレインとの間で、第5のMOSトランジスタM5と直列に接続され、ゲートが第1の制御トランジスタ310aのゲートに接続されている。

【0031】

電流電圧制御回路300は、例えば、図2に示すように、第1導電型の第1のMOSトランジスタ(pMOSトランジスタ)M1と、第1導電型の第2のMOSトランジスタ(pMOSトランジスタ)M2と、第2導電型の第3のMOSトランジスタM3と、第2導電型の第4のMOSトランジスタ(nMOSトランジスタ)M4と、第1導電型の第5のMOSトランジスタ(pMOSトランジスタ)M5と、第1導電型の第6のMOSトランジスタ(pMOSトランジスタ)M6と、第1の抵抗R1と、第1の演算増幅器OP1と、第1の定電流源IS1と、を有する。

10

20

30

40

50

【 0 0 3 2 】

第 1 の MOS トランジスタ M 1 は、電源端子 T i n と出力トランジスタ 2 0 のゲートとの間で、第 1 の制御トランジスタ 3 1 0 a と直列に接続されている。

【 0 0 3 3 】

第 2 の MOS トランジスタ M 2 は、ソースが電源端子 T i n に接続され、ゲートが出力トランジスタ 2 0 のゲートに接続されている。

【 0 0 3 4 】

第 3 の MOS トランジスタ M 3 は、ドレインが第 2 の MOS トランジスタ M 2 のドレインに接続され、ソースが接地に接続され、ダイオード接続されている。

【 0 0 3 5 】

第 4 の MOS トランジスタ M 4 は、ドレインが第 1 の MOS トランジスタ M 1 のゲートに接続され、ソースが接地に接続され、ゲートが第 3 の MOS トランジスタ M 3 のゲートに接続されている。

【 0 0 3 6 】

第 5 の MOS トランジスタ M 5 は、電源端子 T i n と第 4 の MOS トランジスタ M 4 のドレインとの間に接続されている。

【 0 0 3 7 】

第 6 の MOS トランジスタ M 6 は、ソースが電源端子 T i n に接続され、ゲートが第 5 の MOS トランジスタ M 5 のゲートに接続されている。

【 0 0 3 8 】

第 1 の抵抗 R 1 は、第 6 の MOS トランジスタ M 6 のドレインと接地との間に接続されている。

【 0 0 3 9 】

第 1 の演算増幅器 O P 1 は、反転入力端子が出力端子 T o u t に接続され、非反転入力端子が第 6 の MOS トランジスタ M 6 のドレインに接続され、出力が第 5 および第 6 の MOS トランジスタ M 5、M 6 のゲートに接続されている。この第 1 の演算増幅器 O P 1 は、出力電圧 V O U T と第 6 の MOS トランジスタ M 6 のドレインの電圧とが等しくなるように第 5 および第 6 の MOS トランジスタ M 5、M 6 のゲート電圧を制御するようになっている。

【 0 0 4 0 】

第 1 の定電流源 I S 1 は、電源端子 T i n と第 5 の MOS トランジスタ M 5 のドレインとの間に接続され、定電流 I S C を出力するようになっている。

【 0 0 4 1 】

また、過電流制限回路 4 0 0 は、例えば、図 2 に示すように、第 1 導電型の第 7 の MOS トランジスタ (p MOS トランジスタ) M 7 と、第 2 導電型の第 8 の MOS トランジスタ (n MOS トランジスタ) M 8 と、第 2 導電型の第 9 の MOS トランジスタ (n MOS トランジスタ) M 9 と、第 1 導電型の第 1 0 の MOS トランジスタ (p MOS トランジスタ) M 1 0 と、第 2 の抵抗 R 2 と、第 2 の演算増幅器 O P 2 と、を有する。

【 0 0 4 2 】

第 7 の MOS トランジスタ M 7 は、ソースが電源端子 T i n に接続され、ドレインが出力トランジスタ 2 0 のゲートに接続されている。

【 0 0 4 3 】

第 2 の抵抗 R 2 は、電源端子 T i n と第 7 の MOS トランジスタ M 7 のゲートとの間に接続されている。

【 0 0 4 4 】

第 8 の MOS トランジスタ M 8 は、ドレインが第 7 の MOS トランジスタ M 7 のゲートに接続され、ソースが接地に接続されている。

【 0 0 4 5 】

第 9 の MOS トランジスタ M 9 は、ソースが接地に接続され、ゲートが第 8 の MOS トランジスタ M 8 のゲートに接続されている。

10

20

30

40

50

【 0 0 4 6 】

第 1 0 の M O S トランジスタ M 1 0 は、ソースが電源端子 T i n に接続され、ドレインが第 9 の M O S トランジスタ M 9 のドレインに接続され、ゲートが出力トランジスタ 2 0 のゲートに接続されている。

【 0 0 4 7 】

第 2 の演算増幅器 O P 2 は、非反転入力端子が第 1 0 の M O S トランジスタ M 1 0 のドレインに接続され、反転入力端子が出力端子 T o u t に接続され、出力が第 8 および第 9 の M O S トランジスタ M 8、M 9 のゲートに接続されている。この第 2 の演算増幅器 O P 2 は、第 1 0 の M O S トランジスタ M 1 0 のドレインの電圧と出力電圧 V O U T とが等しくなるように第 9 の M O S トランジスタ M 9 のゲート電圧を制御するようになっている。

10

【 0 0 4 8 】

なお、図 2 の例においては、第 1 の制御トランジスタ 3 1 0 a は第 1 の M O S トランジスタ M 1 のソースと電源端子 T i n との間に接続されているが、第 1 の制御トランジスタ 3 1 0 a を第 1 の M O S トランジスタ M 1 のドレインと出力トランジスタ 2 0 のゲートとの間に接続してもよい。

【 0 0 4 9 】

また、第 2 の制御トランジスタ 3 1 0 b は第 5 の M O S トランジスタ M 5 のソースと電源端子 T i n との間に接続されているが、第 2 の制御トランジスタ 3 1 0 b を第 5 の M O S トランジスタ M 5 のドレインと第 4 の M O S トランジスタ M 4 のドレインとの間に接続してもよい。

20

【 0 0 5 0 】

また、ドライバ回路 2 0 0 は、例えば、図 2 に示すように、第 1 導電型の第 1 の駆動トランジスタ (p M O S トランジスタ) 2 0 2 と、第 2 の定電流源 I S 2 と、を有する。

【 0 0 5 1 】

第 1 の駆動トランジスタ 2 0 2 は、ソースが電源端子 T i n に接続され、ドレインが出力トランジスタ 2 0 のゲートに接続され、ゲートにイネーブル信号 E N が供給されるようになっている。

【 0 0 5 2 】

第 2 の定電流源 I S 2 は、第 1 の駆動トランジスタ 2 0 2 のドレインと接地との間に接続され、定電流を出力するようになっている。

30

【 0 0 5 3 】

イネーブル信号 E N (“ L o w ” レベル) により第 1 の駆動トランジスタ 2 0 2 がオンすることにより、“ H i g h ” レベルのゲート電圧が出力トランジスタ 2 0 のゲートに供給される。これにより、出力トランジスタ 2 0 がオフする。

【 0 0 5 4 】

一方、イネーブル信号 E N (“ H i g h ” レベル) により第 1 の駆動トランジスタ 2 0 2 がオフすることにより、“ L o w ” レベルのゲート電圧が出力トランジスタ 2 0 のゲートに供給される。これにより、出力トランジスタ 2 0 がオンする。

【 0 0 5 5 】

ここで、以上のような構成を有する電力供給装置 1 0 0 0 の動作特性の一例について説明する。図 3 は、図 1 に示す電力供給装置 1 0 0 0 の出力電圧と出力電流と関係の一例を示す特性図である。

40

【 0 0 5 6 】

図 3 において、短絡時電流を I S C、過電流制限電流を I C L とし、I C L はロードスイッチの仕様上の最大出力電流 I O U T M I N より大きくなければならない。また、仕様上規定された出力電流 I O U T 1 における出力電圧 V O U T 1 により、出力トランジスタ 2 0 のオン抵抗 R O N は次の式のように表される。この抵抗 R O N は、ロードスイッチの重要な仕様の一つである。

$$R_{ON} = (V_{DD} - V_{OUT1}) / I_{OUT1}$$

50

【 0 0 5 7 】

先ず、通常動作時（過電流保護回路が働かない状態）について説明する。

【 0 0 5 8 】

この通常動作時では、ドライバ回路 2 0 0 の第 1 の駆動トランジスタ 2 0 2 と第 2 の定電流源 I S 2 とにより、出力トランジスタ 2 0 のゲートを駆動する。この動作は、既述のように、第 2 の制御回路 1 0 0 により、制御端子 T c に入力された制御信号 S C O N T から生成されたイネーブル信号 E N により制御される。

【 0 0 5 9 】

既述のように、イネーブル信号 E N = High 論理のときに、出力トランジスタ 2 0 はオンし、一方、イネーブル信号 E N = Low 論理のときに出力トランジスタ 2 0 はオフする。

10

【 0 0 6 0 】

次に、過電流制限回路 4 0 0 の動作を説明する。

【 0 0 6 1 】

例えば、出力トランジスタ 2 0 から負荷 3 0 に流れる出力電流 I O U T が増加し、出力トランジスタ 2 0 のドレイン電圧、すなわち出力電圧 V O U T が降下する。

【 0 0 6 2 】

そして、第 2 の演算増幅器 O P 2 により出力電圧 V O U T に、第 1 0 の M O S トランジスタ M 1 0 のドレイン電圧が一致するように制御される。これにより、サイズ比が出力トランジスタ 2 0 の $1/n$ 倍である第 1 0 の M O S トランジスタ M 1 0 には、出力電流 $I O U T \div n$ の電流が流れる。

20

【 0 0 6 3 】

すなわち、出力電流 I O U T が増加すると出力電圧 V O U T が降下すると、第 1 0 の M O S トランジスタ M 1 0 のドレイン電圧も降下し、第 1 0 の M O S トランジスタ M 1 0 に流れるドレイン電流 ($I O U T \div n$) も増加する。

【 0 0 6 4 】

ここで、第 8、第 9 の M O S トランジスタ M 8、M 9 は、カレントミラー回路を構成している。したがって、ミラーされた第 8 の M O S トランジスタ M 8 に流れる電流と第 2 の抵抗 R 2 による電圧降下により、第 7 の M O S トランジスタ M 7 のゲート電圧が降下する。

【 0 0 6 5 】

これにより、第 7 の M O S トランジスタ M 7 がオンすると、出力トランジスタ 2 0 のゲート電圧 V G A T E を上昇させ、電流を制限することになる。

30

【 0 0 6 6 】

このとき、出力電流 I O U T は、過電流制限電流値 I C L と等しくなる。

【 0 0 6 7 】

第 2 の抵抗 R 2 と第 7 の M O S トランジスタ M 7 のゲートソース間電圧により、過電流制限電流値 I C L を決定でき、過電流保護回路 1 0 0 0 A は低電源電圧においても動作するようにできる。

【 0 0 6 8 】

次に、電流電圧制御回路 3 0 0 の動作を説明する。

40

【 0 0 6 9 】

例えば、既述の過電流制限回路 4 0 0 の動作により出力電圧 V O U T が降下する。第 1 の演算増幅器 O P 1 により、第 6 の M O S トランジスタ M 6 のドレイン電圧が出力電圧 V O U T と等しくなるように制御される。これにより、第 1 の抵抗 R 1 には、出力電圧 V O U T に比例した電流 ($V O U T \div R 1$) が流れる。

【 0 0 7 0 】

一方、第 2 の M O S トランジスタ M 2 は、例えば、出力トランジスタ 2 0 に対してサイズ比を $1/m$ 倍としている。この場合、第 2 の M O S トランジスタ M 2 のドレイン電流は、出力電流 I O U T を $1/m$ 倍にした電流 ($I O U T / m$) となる。

【 0 0 7 1 】

50

なお、第5のMOSトランジスタM5と第6のMOSトランジスタM6、また、第3のMOSトランジスタM3と第4のMOSトランジスタM4は、それぞれカレントミラー回路を構成しており、任意の倍率（ミラー比）を設定してよい。

【0072】

そして、第1のMOSトランジスタM1は、第4のMOSトランジスタM4と第5のMOSトランジスタM5に流れる電流とが一致するように、出力トランジスタ20のゲート電圧を制御する。

【0073】

そして、出力電圧VOUTがさらに降下すると、第5のMOSトランジスタM5の電流がさらに減少する。この第5のMOSトランジスタM5に流れる電流に、第4のMOSトランジスタM4に流れる電流を等しくするように、第1のMOSトランジスタM1のゲート電圧が降下する。これにより、出力トランジスタ20のゲート電圧が上昇することにより、出力電流IOUTが減少する。

【0074】

なお、既述のように、第1の定電流源IS1により、出力電圧VOUT = 0Vのときの電流、すなわち短絡時電流ISCを生成している。

【0075】

ここで、過電流制限回路400により降下した出力電圧VOUTが、閾値VTHよりも低くなったときに、第1、第2の制御トランジスタ310a、310bがオンする。これにより、上述の電流電圧制御回路300による出力トランジスタ20の制御動作が機能することになる。

【0076】

一方、出力電圧VOUTが、閾値VTHよりも高い場合は、第1、第2の制御トランジスタ310a、310bがオフする。これにより、上述の電流電圧制御回路300による出力トランジスタ20の制御動作が停止することになる。

【0077】

なお、この場合、閾値VTHは、電源電圧VDD から第1、第2の制御トランジスタ310a、310bの閾値を引いた値となる。

【0078】

以上の電力供給装置1000の動作により、図3に示すような、ロードレギュレーションに対する保護動作の影響を低減した動作特性を得ることができる。

【0079】

また、過電流制限回路400および電流電圧制御回路300を独立に設計が可能となり、設計工数の削減、回路面積の小型化、コストの削減の効果がある。

【0080】

以上のように、本実施形態に係る電力供給装置によれば、保護動作のロードレギュレーションに対する影響を低減することができる。

【第2の実施形態】

【0081】

図4は、図1に示す過電流制限回路、電流電圧制御回路、第1の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成の他の例を示す回路図である。なお、図4において、図3の符号と同じ符号は、第1の実施形態と同様の構成を示す。

【0082】

図4に示すように、第1の制御回路310は、第1導電型の第1の制御トランジスタ（pMOSトランジスタ）310aを有する。

【0083】

すなわち、第2の実施形態に係るこの第1の制御回路310は、図2に示す構成と比較して、第1導電型の第2の制御トランジスタ（pMOSトランジスタ）310bが省略されている。

【0084】

10

20

30

40

50

ここで、電流制限回路400により降下した出力電圧 V_{OUT} が、閾値 V_{TH} よりも低くなったときに、第1の制御トランジスタ310aがオンする。これにより、第1の実施形態と同様に、電流電圧制御回路300による出力トランジスタ20の制御動作が機能することになる。

【0085】

一方、出力電圧 V_{OUT} が、閾値 V_{TH} よりも高い場合は、第1の制御トランジスタ310aがオフする。これにより、第1の実施形態と同様に、電流電圧制御回路300による出力トランジスタ20の制御動作が停止することになる。

【0086】

なお、その他の電力供給装置の構成・機能は、第1の実施形態の電力供給装置と同様である。また、以上のような構成を有する電力供給装置のその他の動作は、第1の実施形態の電力供給装置と同様である。

10

【0087】

すなわち、本実施形態に係る電力供給装置によれば、第1の実施形態と同様に、保護動作のロードレギュレーションに対する影響を低減することができる。

【第3の実施形態】

【0088】

図5は、図1に示す過電流制限回路、電流電圧制御回路、第1の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成のさらに他の例を示す回路図である。なお、図5において、図3の符号と同じ符号は、第1の実施形態と同様の構成を示す。

20

【0089】

本実施形態において、過電流制限回路400は、例えば、図5に示すように、第1導電型の第7のMOSトランジスタ(pMOSトランジスタ)M7と、第2導電型の第8のMOSトランジスタ(nMOSトランジスタ)M8と、第1導電型の第9のMOSトランジスタ(nMOSトランジスタ)M9aと、第1導電型の第10のMOSトランジスタ(pMOSトランジスタ)M10と、第2の抵抗R2と、第3の抵抗R3と、第2の演算増幅器OP2aと、を有する。

【0090】

そして、第3の抵抗R3は、第8のMOSトランジスタM8のゲートと接地との間に接続されている。

30

【0091】

第9のMOSトランジスタM9aは、ドレインが第8のMOSトランジスタM8のゲートに接続されている。

【0092】

第10のMOSトランジスタM10は、ソースが電源端子 T_{in} に接続され、ドレインが第9のMOSトランジスタM9のソースに接続され、ゲートが出力トランジスタ20のゲートに接続されている。

【0093】

第2の演算増幅器OP2aは、反転入力端子が第10のMOSトランジスタM10のドレインに接続され、非反転入力端子が出力端子 T_{out} に接続され、出力が第9のMOSトランジスタM9のゲートに接続されている。この第2の演算増幅器OP2aは、第10のMOSトランジスタM10のドレインの電圧と出力電圧 V_{OUT} とが等しくなるように第9のMOSトランジスタM9のゲート電圧を制御するようになっている。

40

【0094】

ここで、過電流制限回路400の動作において、第2の演算増幅器OP2aにより、出力トランジスタ20に対してサイズ比を $1/n$ 倍にした第10のMOSトランジスタM10のドレイン電圧は、出力電圧 V_{OUT} に等しく制御される。

【0095】

これにより、第10のMOSトランジスタM10のドレイン電流は、出力電圧 I_{OUT}

50

を $1/n$ 倍にした電流 ($1/n \times I_{OUT}$) となる。出力電流 I_{OUT} が増加すると、第 3 の抵抗 R_3 に流れ込む電流も増加し、第 8 の MOS トランジスタ M_8 のゲート電圧が上昇する。

【0096】

そして、出力電流 I_{OUT} が過電流制限電流 I_{CL} に等しいとき、すなわち、第 8 の MOS トランジスタ M_8 がオンするとき、第 7 の MOS トランジスタ M_7 と第 2 の抵抗 R_2 により出力トランジスタ 20 のゲート電圧が上昇する。これにより、出力トランジスタ 20 の電流を制限する。

【0097】

なお、この過電流制限電流値 I_{CL} は第 3 の抵抗 R_3 の値と第 8 の MOS トランジスタ M_8 のゲートソース間電圧で決定できる。

10

【0098】

なお、その他の電力供給装置の構成・機能は、第 1 の実施形態の電力供給装置と同様である。また、以上のような構成を有する電力供給装置のその他の動作は、第 1 の実施形態の電力供給装置と同様である。

【0099】

すなわち、本実施形態に係る電力供給装置によれば、第 1 の実施形態と同様に、保護動作のロードレギュレーションに対する影響を低減することができる。

【第 4 の実施形態】

【0100】

20

図 6 は、図 1 に示す過電流制限回路、電流電圧制御回路、第 1 の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成のさらに他の例を示す回路図である。なお、図 6 において、図 3 の符号と同じ符号は、第 1 の実施形態と同様の構成を示す。

【0101】

図 6 に示すように、ドライバ回路 200 は、第 1 導電型の第 1 の駆動トランジスタ (p MOS トランジスタ) 202 と、第 2 導電型の第 2 の駆動トランジスタ (n MOS トランジスタ) 203 と、抵抗 204 と、を有する。

【0102】

第 1 の駆動トランジスタ 202 は、ソースが電源端子 T_{in} に接続され、ドレインが出力トランジスタ 20 のゲートに接続され、ゲートにイネーブル信号 E_N が供給されるようになっている。

30

【0103】

第 2 の駆動トランジスタ 203 は、第 1 の駆動トランジスタ 202 のドレインと接地との間に接続され、ゲートにイネーブル信号 E_N が供給されるようになっている。

【0104】

抵抗 204 は、第 1 の駆動トランジスタ 202 のドレインと第 2 の駆動トランジスタ 203 のドレインとの間に接続されている。

【0105】

このように、ドライバ回路 200 は、CMOS インバータ構成を有するようにしてもよい。

40

【0106】

例えば、イネーブル信号 E_N (“Low” レベル) により第 1 の駆動トランジスタ 202 がオンし且つ第 2 の駆動トランジスタ 203 がオフすることにより、“High” レベルのゲート電圧が出力トランジスタ 20 のゲートに供給される。これにより、出力トランジスタ 20 がオフする。

【0107】

一方、イネーブル信号 E_N (“High” レベル) により第 1 の駆動トランジスタ 202 がオフし且つ第 2 の駆動トランジスタ 203 がオンすることにより、“Low” レベルのゲート電圧が出力トランジスタ 20 のゲートに供給される。これにより、出力トランジスタ 20 がオンする。

50

【 0 1 0 8 】

なお、その他の電力供給装置の構成・機能は、第 1 の実施形態の電力供給装置と同様である。また、以上のような構成を有する電力供給装置のその他の動作は、第 1 の実施形態の電力供給装置と同様である。

【 0 1 0 9 】

すなわち、本実施形態に係る電力供給装置によれば、第 1 の実施形態と同様に、保護動作のロードレギュレーションに対する影響を低減することができる。

【 第 5 の実施形態 】

【 0 1 1 0 】

ここで、図 7 は、図 1 に示す過電流制限回路、電流電圧制御回路、第 1 の制御回路、ドライバ回路、および、出力トランジスタを含む具体的な回路構成のさらに他の例を示す回路図である。なお、図 7 において、図 3 の符号と同じ符号は、第 1 の実施形態と同様の構成を示す。

10

【 0 1 1 1 】

図 7 に示すように、ドライバ回路 2 0 0 は、分圧回路（抵抗 5 0 3、5 0 4）と、基準電圧生成回路 5 0 2 と、誤差増幅器 5 0 1 と、を有する。

【 0 1 1 2 】

分圧回路（抵抗 5 0 3、5 0 4）は、出力電圧 V_{OUT} を分圧した分圧電圧を出力するようになっている。

【 0 1 1 3 】

基準電圧生成回路 5 0 2 は、基準電圧を生成するようになっている。

20

【 0 1 1 4 】

誤差増幅器 5 0 1 は、分圧電圧と基準電圧とが等しくなるように、出力トランジスタ 2 0 のゲートに駆動電圧（ゲート電圧）を供給するようになっている。この誤差増幅器 5 0 1 は、イネーブル信号 E_N により活性化される。

【 0 1 1 5 】

このように、ドライバ回路 2 0 0 は、フィードバック構成を有するようによい。

【 0 1 1 6 】

なお、その他の電力供給装置の構成・機能は、第 1 の実施形態の電力供給装置と同様である。また、以上のような構成を有する電力供給装置のその他の動作は、第 1 の実施形態の電力供給装置と同様である。

30

【 0 1 1 7 】

すなわち、本実施形態に係る電力供給装置によれば、第 1 の実施形態と同様に、保護動作のロードレギュレーションに対する影響を低減することができる。

【 0 1 1 8 】

なお、実施形態は例示であり、発明の範囲はそれらに限定されない。

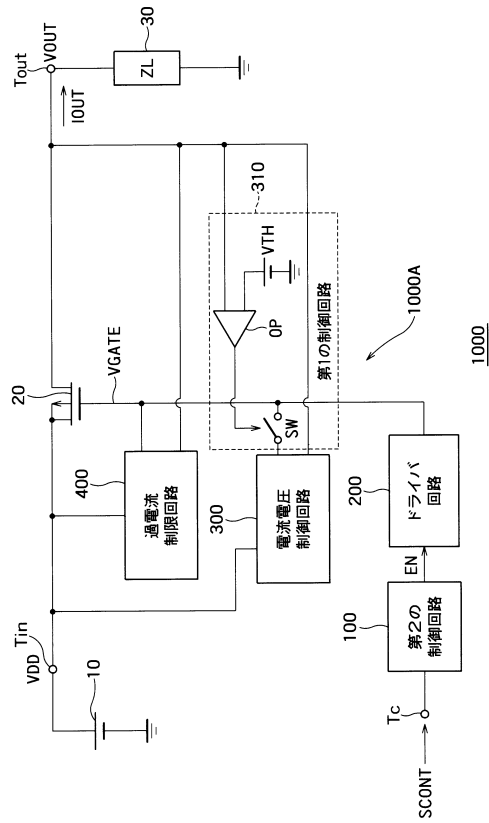
【 符号の説明 】

【 0 1 1 9 】

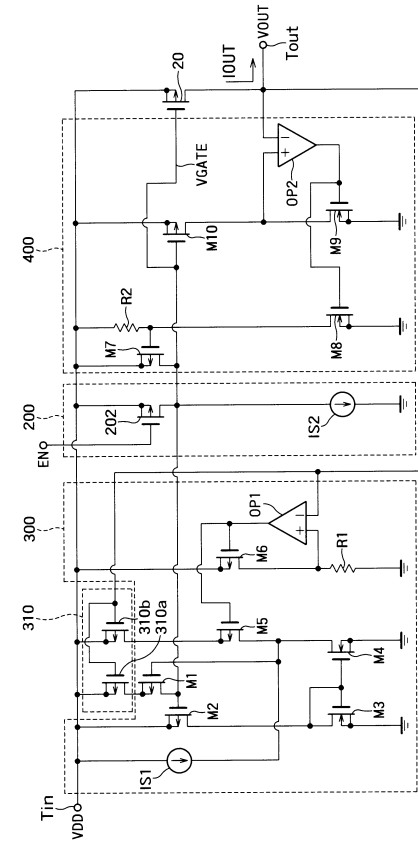
- 2 0 出力トランジスタ
- 1 0 0 第 2 の制御回路
- 2 0 0 ドライバ回路
- 3 0 0 電流電圧制御回路
- 3 1 0 第 1 の制御回路
- 4 0 0 過電流制限回路
- 1 0 0 0 電力供給装置
- 1 0 0 0 A 過電流保護回路

40

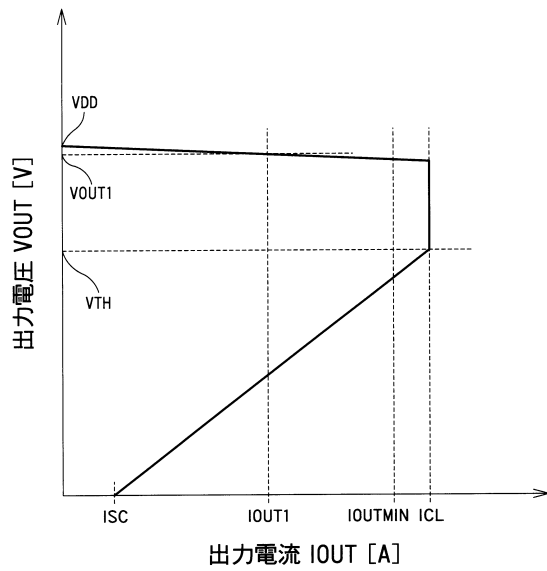
【 図 1 】



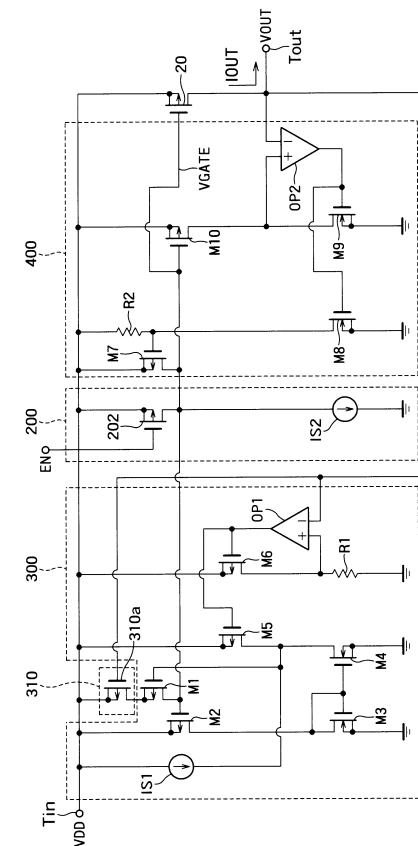
【 図 2 】



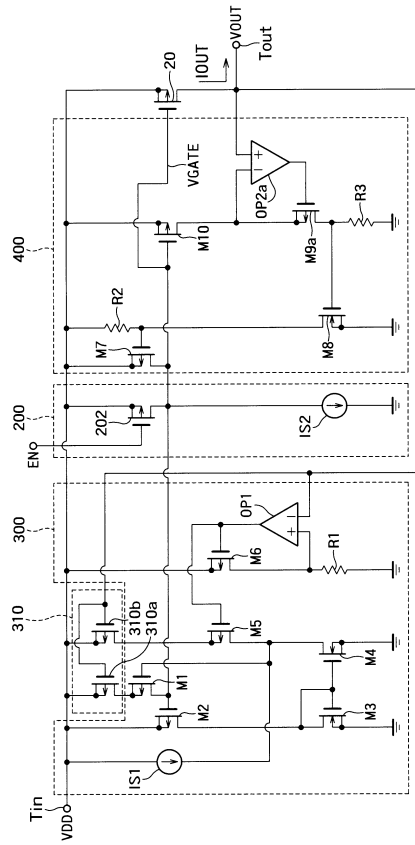
【 図 3 】



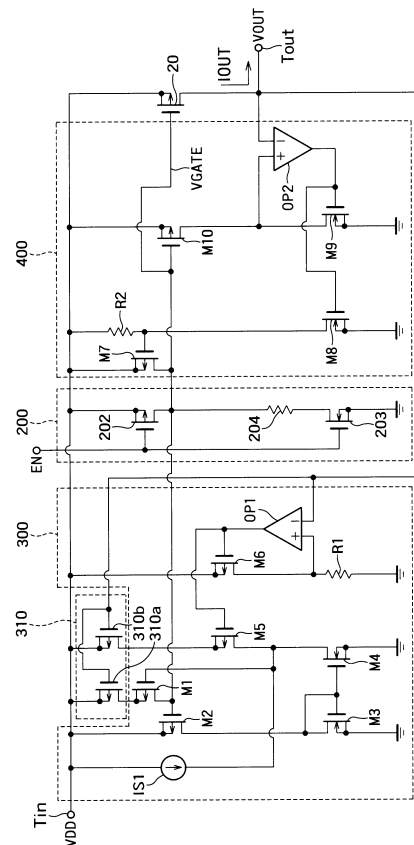
【圖 4】



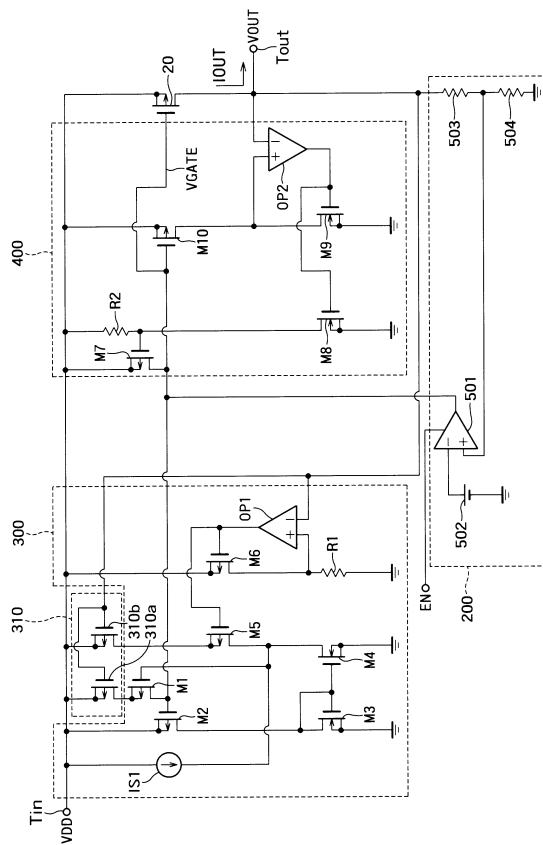
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 勝 俣 真 臣
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 下原 浩嗣

(56)参考文献 特開2002-169618(JP,A)
特開2006-260030(JP,A)
特開2003-067062(JP,A)
特開2011-118865(JP,A)
特開2005-217472(JP,A)

(58)調査した分野(Int.Cl., DB名)
G05F 1/56