

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 27/04

H01F 17/00



# [12] 发明专利申请公开说明书

[21] 申请号 200410086908.5

[43] 公开日 2005年4月27日

[11] 公开号 CN 1610112A

[22] 申请日 2004.10.20

[21] 申请号 200410086908.5

[30] 优先权

[32] 2003.10.24 [33] JP [31] 2003 - 363943

[71] 申请人 罗姆股份有限公司

地址 日本京都府

[72] 发明人 秦野裕之

[74] 专利代理机构 中科专利商标代理有限责任公司

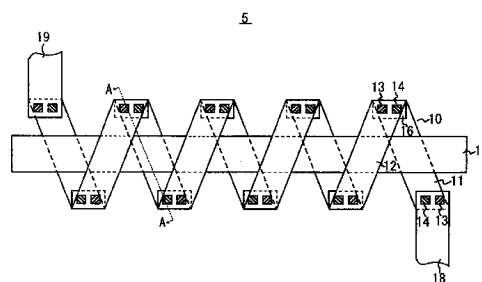
代理人 朱进桂

权利要求书2页 说明书7页 附图6页

[54] 发明名称 半导体器件

[57] 摘要

一种半导体器件，无需任何特殊措施，可增大具有三维螺旋线圈之电感线圈的效率并增大电感值。所述半导体器件包括：多个半导体元件和要被用于构成半导体元件的第一、第二和第三金属布线层，布置在的第二金属布线层上的芯，以及线圈；其中所述第一金属布线层的多个断片和第三金属布线层的多个断片通过连接孔交替地串联连接，围绕所述的芯确定螺旋线圈。



ISSN 1008-4274

1. 一种半导体器件，包括：  
多个半导体元件；
- 5 沿厚度方向布置在不同位置的第一、第二和第三金属布线层，用于与  
与所述各半导体元件电连接；  
布置在沿厚度方向位于中部的所述第二金属布线层上的芯；  
与所述芯重叠并且基本上互相平行并相对于所述芯延伸的方向按预  
定角度布置的第一金属布线层的多个第一断片；以及
- 10 与所述芯重叠并且基本上互相平行并相对于所述芯延伸的方向按预  
定角度布置的第三金属布线层的多个第三断片；  
其中  
所述多个第一断片和第三断片串联交替连接，确定第一螺旋线圈，  
并由所述线圈和芯确定一个电感线圈。
- 15 2. 如权利要求 1 所述的半导体器件，其中，所述第二金属布线层中包含  
高磁导率物质。
3. 如权利要求 1 或 2 所述的半导体器件，其中，所述芯基本上成有角度  
的环形，与所述芯重叠的第二螺旋线圈与所述第一螺旋线圈分开设置，还  
设置一个变压器，其主线圈或者副线圈之一为所述第一螺旋线圈，而所述  
20 主线圈或者副线圈中的另一个为所述第二螺旋线圈。
4. 如权利要求 1 或 2 所述的半导体器件，其中，  
与所述芯重叠的第二螺旋线圈与所述第一螺旋线圈分开设置；  
设置一个变压器，其主线圈或者副线圈之一为所述第一螺旋线圈，  
而所述主线圈或者副线圈中的另一个为所述第二螺旋线圈；并且
- 25 构成主线圈的第一断片和第三断片与构成副线圈的第一断片和第三  
断片关于沿芯延伸的方向交替定位。
5. 如权利要求 4 所述的半导体器件，其中，所述芯基本上成有角度的环  
形。
6. 如权利要求 1 所述的半导体器件，其中，还包括分别设置在所述第一、  
30 第二和第三金属布线层之间的多个层间绝缘膜。

7. 如权利要求 1 所述的半导体器件，其中，所述芯基本上成有角度的环形。
8. 如权利要求 1 所述的半导体器件，其中，所述预定角度近似为  $60^\circ$ 。
9. 一种半导体器件，包括：
- 5       多个半导体元件；
- 沿厚度方向布置在不同位置的第一和第二金属布线层，用于与所述各半导体元件连接；
- 第一金属布线层的多个第一断片基本上互相平行地布置；以及
- 第二金属布线层的多个第二断片基本上互相平行地布置；
- 10   其中，
- 通过交替地串联连接所述多个第一断片和第二断片中的每一个，确定第一螺旋线圈；并通过交替地串联连接所述多个第一断片和第二断片的每一个形成与第一螺旋线圈分开的第二螺旋线圈；
- 设置一个变压器，它的主线圈或者副线圈之一为所述第一螺旋线圈，
- 15   而所述主线圈或者副线圈中的另一个为所述第二螺旋线圈；并且
- 使构成所述主线圈的各第一断片和第二断片以及构成副线圈的各第一断片和第二断片关于所述主线圈及副线圈的延伸方向交替地定位。

## 半导体器件

## 5 技术领域

本发明涉及一种带线圈的半导体器件。

## 背景技术

有一种带线圈的半导体器件，由以螺旋方式形成之金属布线层确定  
10 所述线圈，用以得到所需的电感。图6示出这种半导体器件中所包含的电  
感线圈(线圈)的实例。在该电感线圈101中，一旦一层金属布线层111  
的匝数增多，所占的面积就会二维地增大，以致所占面积及单位匝数所需  
金属线的长度都会随着匝数的增多而增大。因此，为了实现大的电感值L，  
势必就要使电感线圈101所占的面积增大，还要使构成每单位匝数电感线  
15 圈101的金属线电阻值R增大，并使由 $Q=\omega_0 \times L/R$ 给出的表示谐振锐度的  
Q值下降( $\omega_0$ 是谐振角频率)。图6中的标号118是在另一金属布线层上形  
成的接线端，而标号113是连接孔，用于使一个金属布线层111与接线端  
118电连接。

在注意到要解决上述问题时，曾提出一种带电感线圈的半导体器件，  
20 通过三维地形成线圈，即使增多所述匝数，也不增大所占的面积和每单位  
匝数金属线的长度(如日本专利申请未审公开 No. H6-21347 及 No.  
H7-273292)。图7表示一个三维电感线圈的实例。在电感线圈201中，分  
别平行地布置在下部金属布线层上形成的多个断片211和在上部金属布  
线层上形成的多个断片212，同时夹置一层未予示出的层间绝缘膜，并经  
25 连接孔213使这些断片211和212连接，以便确定为串联连接，从而形成  
三维螺旋线。在这种电感线圈201中，单位面积的匝数较多，并且能够使  
得到预定电感值的金属线长度较小，从而可使上述Q值增大。图7中的标  
号219是与断片211连接侧的接线端，作为始端，而标号218是与断片  
211连接的另一侧的接线端，作为终端。

30 为了进一步增大电感值，如图8所示，提出一种电感线圈202，它的

结构包括由比如在上部金属布线层及下部金属布线层的断片 211 和 212 之间夹着一个铁导体层的绝缘膜或者包含一种铁系物质氧化膜所形成的铁磁芯 215(如上述日本专利申请未审公开 No. H6-21347 及 No. H7-273292)。这种电感线圈 202 可以增大通过所述铁磁芯 215 的磁通量密度, 从而可进一步增大电感值。

然而, 图 8 所示带有铁磁芯 215 的三维电感线圈 202 需要在上部金属布线层及下部金属布线层的断片 211 和 212 之间形成铁磁芯 215 的特殊措施, 这就使成本增大, 生产量较低。

另一方面, 通过增大不带铁磁芯 215 之电感线圈 201 所占的面积, 可使他增大电感值, 但如果半导体器件具有实际上适宜的芯片尺寸, 所要实现的电感值比具有铁磁芯的电感线圈 202 的小。

#### 发明内容

为了解决上述问题, 本发明的优选实施例提供一种带有三维螺旋线圈之电感线圈的半导体器件, 它无需特殊的措施, 即能提高效率, 还能增大电感值。

为用各种普通器件解决上述问题, 本发明一种优选实施例的半导体器件包括: 多个半导体元件, 以及沿厚度方向布置在不同位置的第一、第二和第三金属布线层, 用于与所述各半导体元件电连接; 布置在沿厚度方向位于中部的所述第二金属布线层上的芯; 与所述芯重叠并且基本上互相平行或者互相平行并关于所述芯延伸的方向按预定角度布置的第一金属布线层的多个第一断片; 以及与所述芯重叠并且基本上互相平行或者互相平行并关于所述芯延伸的方向按预定角度布置的第三金属布线层的多个第三断片。多个第一断片和第三断片交替串联连接, 以确定一个螺旋线圈, 并由所述线圈和芯确定一个电感线圈。

在这种半导体器件中, 可将具有高磁导率的物质加到第二金属布线层上。另外, 还可以使所述芯基本上成有角度的环形, 可使与所述芯重叠的第二螺旋线圈与所述螺旋线圈分开放置, 另外还设置一个变压器, 其主线圈或者副线圈为螺旋线圈, 而副线圈或者主线圈为第二螺旋线圈。

本发明另一种优选实施例的半导体器件包括: 多个半导体元件, 以

及沿厚度方向布置在不同位置的第一和第二金属布线层,用于与所述各半导体元件连接;第一金属布线层的多个第一断片互相平行或者基本上互相平行地布置,以及第二金属布线层的多个第二断片互相平行或者基本上互相平行地布置。通过交替地串联连接所述多个第一断片和第二断片,形成与第一螺旋线圈分开的第二螺旋线圈;形成一个变压器,它的主线圈或者副线圈为第一螺旋线圈,而副线圈或者主线圈为第二螺旋线圈;并且使构成所述主线圈的各第一断片和第二断片以及构成副线圈的各第一断片和第二断片关于所述主线圈及副线圈的延伸方向交替地定位。

在本发明这种优选实施例的半导体器件中,最好使所述电感线圈布置在沿各半导体元件厚度方向位于不同位置处的三个金属布线层中间的金属布线层中,并将三维螺旋线圈安排在所述芯的周围,以便可使电感线圈的效率提高,并可使电感值增大,而无需任何特殊的措施。可将所述变压器形成为所述电感线圈,并与具有主副线圈的半导体器件互相靠近地布置,还能提高变压器的效率,并增大固有电感值,而无需任何特殊的措施。

15

#### 附图说明

图 1 是描述本发明一种优选实施例半导体器件中所要装入的电感线圈的平面视图;

图 2 是上述电感线圈的截面图(沿图中断面线 A-A 的断面图);

20

图 3A 和 3B 表示构成上述半导体器件电路的示例,前者图 3A 是电路图,而图 3B 是平面视图;

图 4 是描述包含上述电感线圈之变压器的平面视图;

图 5 是描述包含上述电感线圈之另一种变压器的平面视图;

图 6 是描述现有技术电感线圈的平面视图;

25

图 7 是描述现有技术另一种电感线圈的平面视图;

图 8 是描述现有技术又一种电感线圈的平面视图。

#### 具体实施方式

以下参照附图描述本发明的优选实施例。图 1 是描述本发明一种优选实施例半导体器件中所要装入的电感线圈 5 的平面视图。本半导体器件

30

最好包括多个半导体元件，如 MOS 晶体管或双极晶体管，以及沿厚度方向在不同位置布置的第一、第二和第三金属布线层，用于与上述各半导体元件连接。在所述第一、第二和第三金属布线层之间分别形成后面所述的层间绝缘膜 22 和 23。所述电感线圈 5 在部分所述第二金属布线层处包括一个最好是基本上呈棒状结构的芯 15，沿着厚度方向位在中间；所述第一金属布线层的多个第一断片 11 沿厚度方向位于下部处，以及所述第三金属布线层的多个第三断片 12 沿厚度方向位于上部处。具体地说，各第一断片 11 与上述芯 15 重叠，并且被布置成彼此之间以预定的间隔互相平行或者基本上互相平行，且相对于上述芯 15 延伸的方向按预定角度，如近似 60° 被布置着。各第三断片 12 与上述芯 15 重叠，并且被布置成彼此之间以预定的间隔互相平行或者基本上互相平行，且与上述芯延伸的方向按预定角度，如近似 60° 被布置着，使之与各第一断片 11 轴对称。所述断片 11 和 12 在重叠区域互相重叠，并在上述重叠区域内的层间绝缘膜 23 中设置多个连接孔 13。在部分第二金属布线层处设置多个连接片 16，以便通过各连接孔 14 和 13 分别与断片 11 和 12 接触并连接。因此，通过交替地串联连接多个第一断片 11 和第三断片 12，形成三维螺旋线圈 10，并且这个线圈 10 确定具有围绕芯 15 结构的电感线圈 5。设在部分第三金属布线层处的接线端 18 和 19 分别与作为线圈 10 的接线端的第一断片连接。也可以通过连接片 16 和连接孔 14 和 13，使线圈 10 和接线端 18、19 连接。

图 2 是所述电感线圈 5 沿断面线 A-A 的断面图。从图 2 的下部看起，所述半导体器件最好包括半导体衬底 20、下层绝缘膜 21、包含多个第一断片 11 的第一金属布线层、设有多个连接孔 14 的层间绝缘膜 22、包含芯 15 和多个连接片 16 的第二金属布线层、设有多个连接孔 13 的层间绝缘膜 23，以及包含多个第一断片 12 和接线端 18、19(未示出)的第三金属布线层。对于上述层间绝缘膜 22 和 23 而言，最好采用氧化硅膜。最好使各连接片 16 通过连接孔 14 和 13 与第一断片 11 和第三断片 12 接触并连接。

按照这种方式，将上述芯 15 设在第二金属布线层上，由线圈 10 围绕。这个芯 15 并不是由特殊工艺在上部金属布线层的断片和下部金属布

线层的断片之间形成的特别铁磁芯，以致电感线圈 5 的电感值并不是很大。特别是最好由铝或铜作为主要材料制成所述各金属布线层，它们的相对磁导率为 1，几乎与真空相同，比铁磁物质的小很多。不过，这些金属布线层的相对磁导率比氧化硅膜的要高，大约为 0.55，而且通过增加适  
5 量具有高磁导率的物质，比如铁或钴，可以增大这些金属布线层的磁导率。因此，在电感线圈 5 中，在关注提高效率、增大电感值的同时，无需任何特殊的措施。

图 3A 是构成所述半导体器件的电路 1a 的一种示例，图 3B 是它的平面图。该电路 1a 包括半导体元件 9 和上述电感线圈 5，它们形成于同一  
10 一个半导体衬底上。这个半导体元件 9 构成 CMOS 倒相电路，其中由 p 型扩散层 35 和硅化物层 33 形成 p 型 MOS 晶体管，并由 n 型扩散层 36 和硅化物层 34 形成 n 型 MOS 晶体管。输入端 IN 的金属引线 45 和金属引线 46 都形成于第三金属布线层上，所述金属引线 45 与半导体元件 (CMOS 倒相电路) 9 的输出端及电感线圈 5 的一端相连。从金属引线 45 延伸到后面有  
15 述的金属引线 37 和 38 的金属引线 39，以及从后面有述的金属引线 41 和 42 延伸到金属引线 46 的金属引线 43 都形成在第二金属布线层上。从金属引线 39 延伸到硅化物层 33 和 34 的所述金属引线 37 和 38，以及从扩散层 35 和 36 延伸到金属引线 43 的金属引线 41 和 42、电源线 31 和 GND 线 32 都形成在第一金属布线层上。所述第一、第二和第三金属布线层通  
20 过各连接孔内连接。电感线圈 5 的另一端与作为输出端 OUT 的第三金属布线层的金属引线 49 相连。电感线圈 5 的结构有如上述。因此，使用与半导体元件 9 同样的金属引线，可将半导体元件装入电感线圈 5，也就是说，无需任何特殊的制作措施。

毋庸赘言，如果有三个或多个金属布线层，其中的任何三层可以为  
25 所述的第一、第二和第三金属线。也在意料之中的是，可以适宜地设定第一断片 11 和第三断片 12 的数目，以及它们相对于所述芯 15 延伸方向的预定角度。

以下描述使用这种三维电感线圈 (三维螺旋线圈) 的变压器结构的示例。图 4 是描述要装入本发明优选实施例半导体器件中的变压器 7 的平面  
30 视图。在变压器 7 中，所述芯 50 在第二金属布线层上最好具有带角的环



形(环形的),而且将上述实施例的线圈5缠绕在芯50一侧的周围,与之分开的第二线圈6与线圈5的结构基本上相同,它被缠绕在所述芯50的相对一侧,从而形成线圈5为主(或副)线圈,而第二线圈6为副(或主)线圈。于是,主线圈5所产生的磁通量(磁场)通过芯50被传送到副线圈6。其芯为环形而不断开的变压器7具有很小的磁场泄漏,它的主线圈与副线圈是紧密联系的。图4中的Ina和OUTa为主线圈5的输入端和输出端,而Inb和OUTb为副线圈6的输入端和输出端。

以下将描述一种半导体器件,其中的主副线圈的联系比较紧密,用以增大变压器的效率,提高互感值。图5是描述拟被装入本发明一种优选实施例半导体器件中的变压器8的平面图。这种半导体器件包括沿厚度方向布置在不同位置的第一、第二和第三金属布线层,用于与各半导体元件电连接。在所述各金属布线层之间分别设置层间绝缘膜22和23。在变压器8中,主线圈60由以下各部形成:在沿厚度方向位于中间的第二金属布线层处具有基本上呈棒状结构的芯65、沿厚度方向位于下部的第一金属布线层的多个第一断片61,以及沿厚度方向位于上部的第三金属布线层的多个第三断片62。恰与这个主线圈60一样,副线圈70包括多个第一断片71和第三断片72。具体地说,构成主线圈60的各第一断片61与所述芯65重叠,并且互相之间的间隙平行或基本上互相平行地布置,而且相对于芯65延伸的方向按预定角度,如 $60^\circ$ 被布置着。按同样的方式,各第三断片62与所述芯65重叠,并且互相平行或基本上互相平行地布置,而且相对于芯65延伸的方向按预定角度,如 $60^\circ$ 被布置着,与第一断片61轴对称。将断片61和62布置成使得断片61和62的端部在重叠区域互相重叠,并且多个连接孔64设置在层间绝缘膜22中,同时还

将多个连接孔63设置在重叠区域内的层间绝缘膜22中。另外,在部分第二金属布线层处设置多个连接片66,以便通过各连接孔64和63与断片61和62接触并连接。因此,通过交替地串联连接多个第一断片61和第三断片62,形成三维螺旋线圈60,并使这个线圈60形成为具有围绕芯65结构的主线圈65。按照与主线圈60基本上相同的方式,设置第一断片71和第三断片72、连接孔74和73以及连接片76,用以构成副线圈70,并通过交替地串联连接多个第一断片71和第三断片72,形成三维螺旋线

圈 70，并使这个线圈 70 形成为具有围绕芯 65 结构的副线圈 75。一个重要的特点是，构成主线圈 60 的第一断片 61 和第三断片 62，以及构成副线圈 70 的第一断片 71 和第三断片 72 都是关于芯 65 的延伸方向交替定位的。换句话说，沿着芯 65 的延伸方向，所述副线圈 70 几乎被包含在所述  
5 主线圈 60 的长度内。图 5 中的 Ina 和 OUTa 为主线圈 60 的输入端和输出端，而 Inb 和 OUTb 为副线圈 70 的输入端和输出端。

在这个变压器 8 中，所述主线圈与副线圈交替地缠绕，并且彼此极为接近，从而可以进一步防止由于磁场泄漏所引致的互感值的减小。所述芯 65 最好具有图 5 中所示的棒形结构，但最好像上面所说的那样可为环形的。可以采用两个或多个副线圈。毋庸赘言，可以适当地设定主线圈和副线圈的匝数，也即每个断片的数目，以及每个断片与芯 65 的延伸方向的预定角度。  
10

当半导体器件只有两层(第一和第二)金属布线层时，通过交替地串联连接设在部分第一金属布线层处的多个第一断片和设在部分第二金属布线层处的多个第二断片，就像变压器 8 的各线圈那样，成为主线圈和副线圈，可以形成无芯的变压器。在这种情况下，所述主线圈与副线圈同样交替地缠绕，并且彼此极为接近，从而可以进一步防止由于磁场泄漏所引致的互感值的减小，并提高变压器的效率。  
15

本发明并不限于上述各优选实施例，而可在权利要求书中限定的范围内以各种方式改变它的设计。  
20

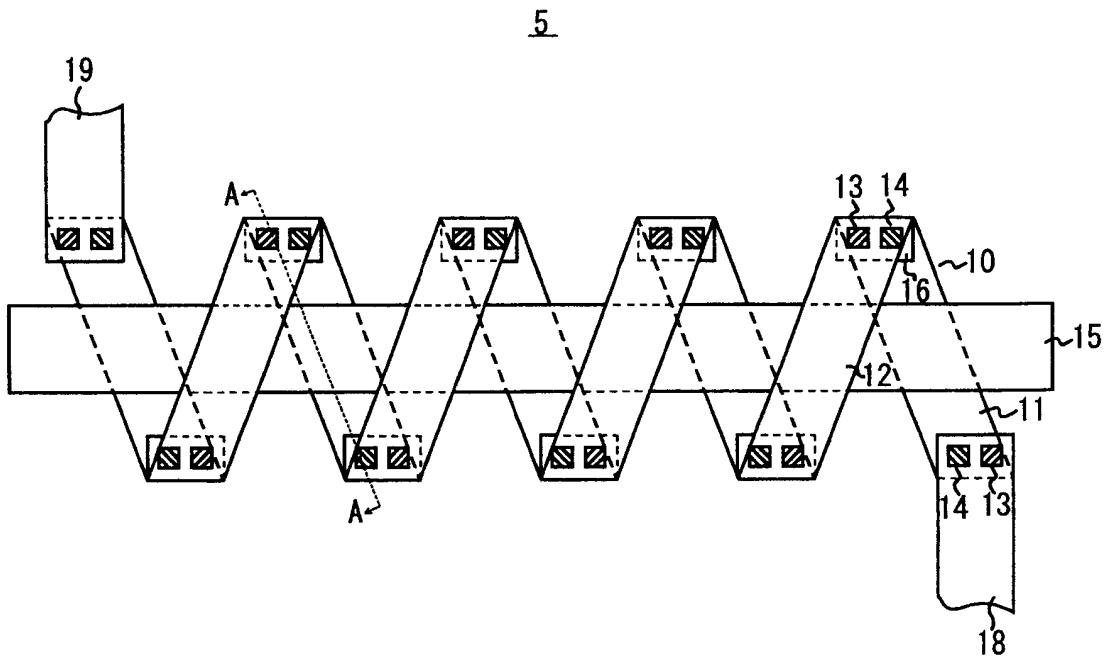


图 1

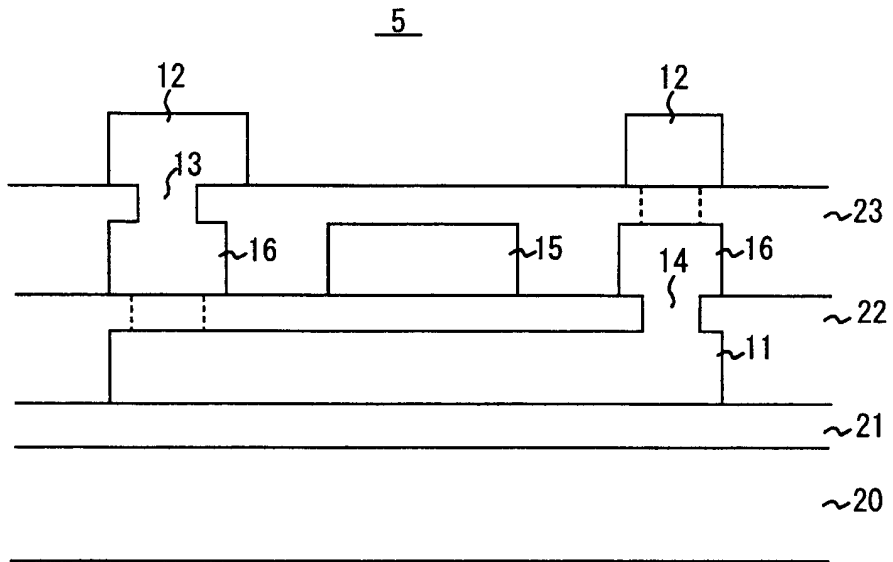


图 2

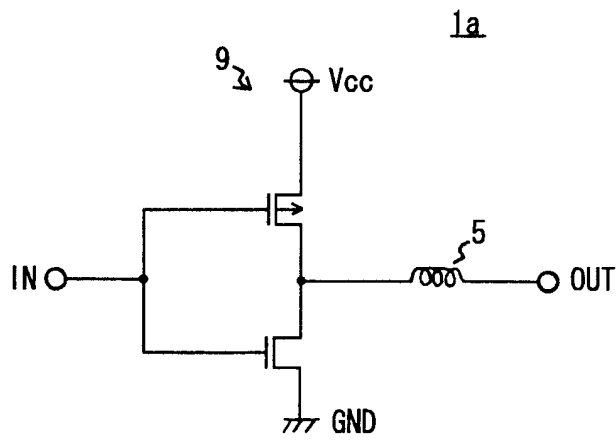


图 3A

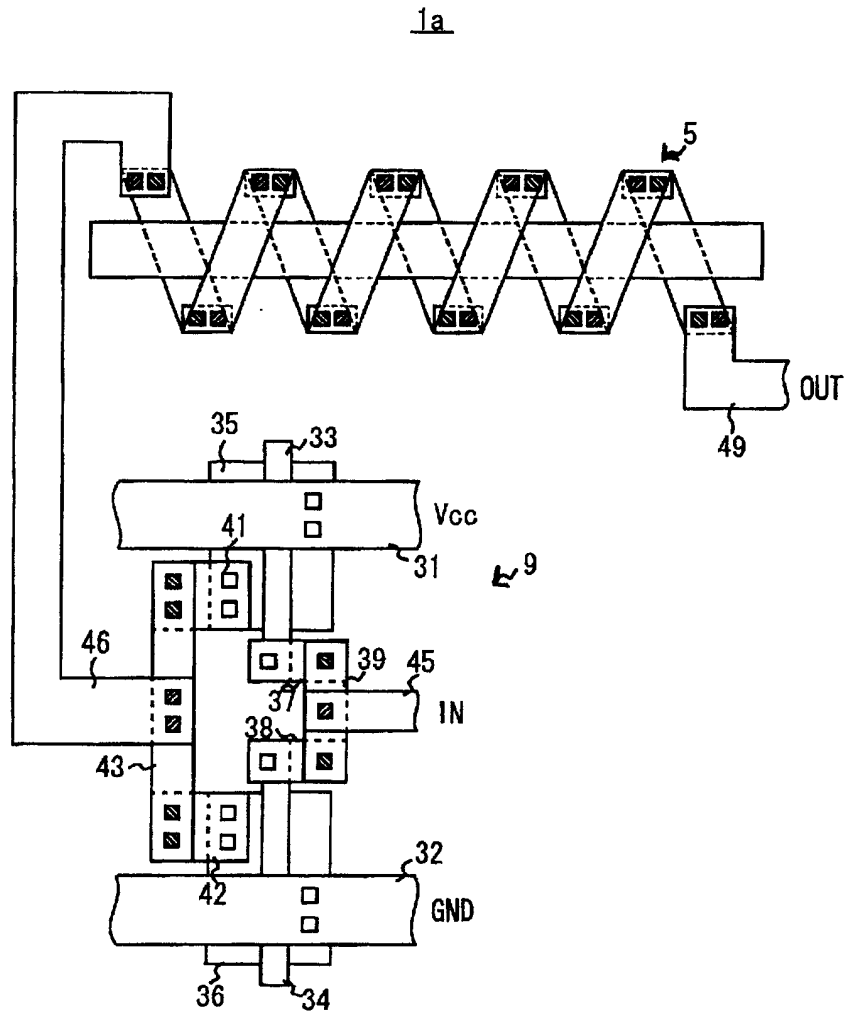


图 3B

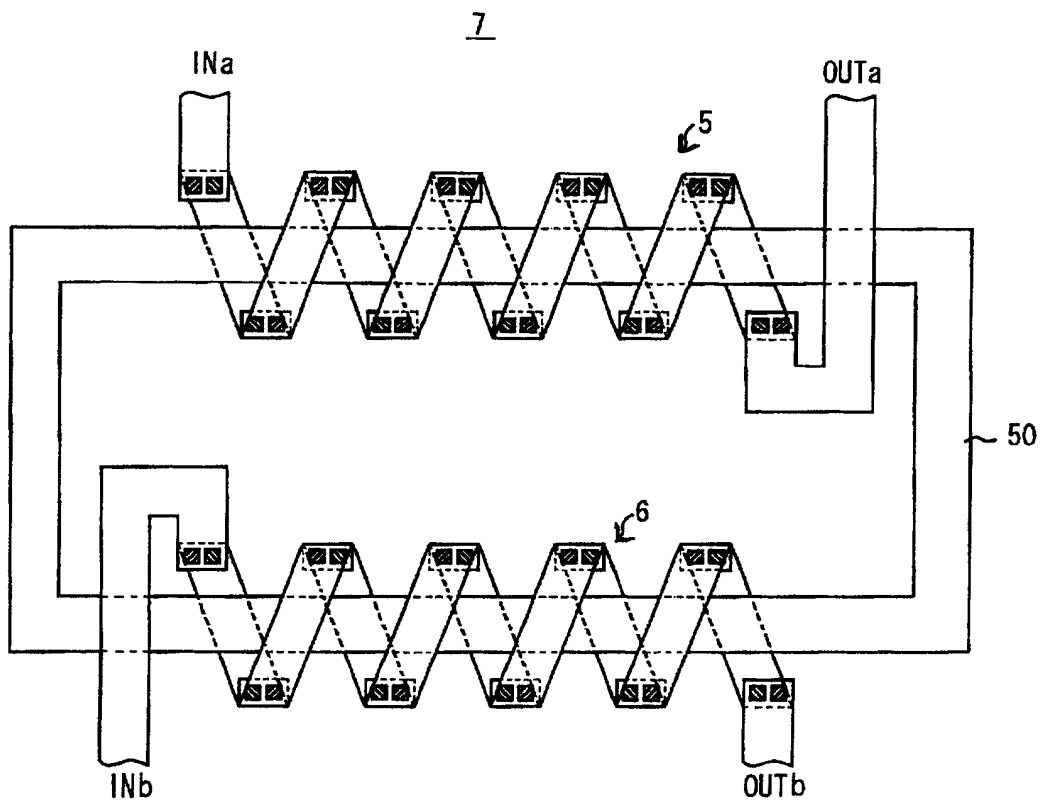


图 4

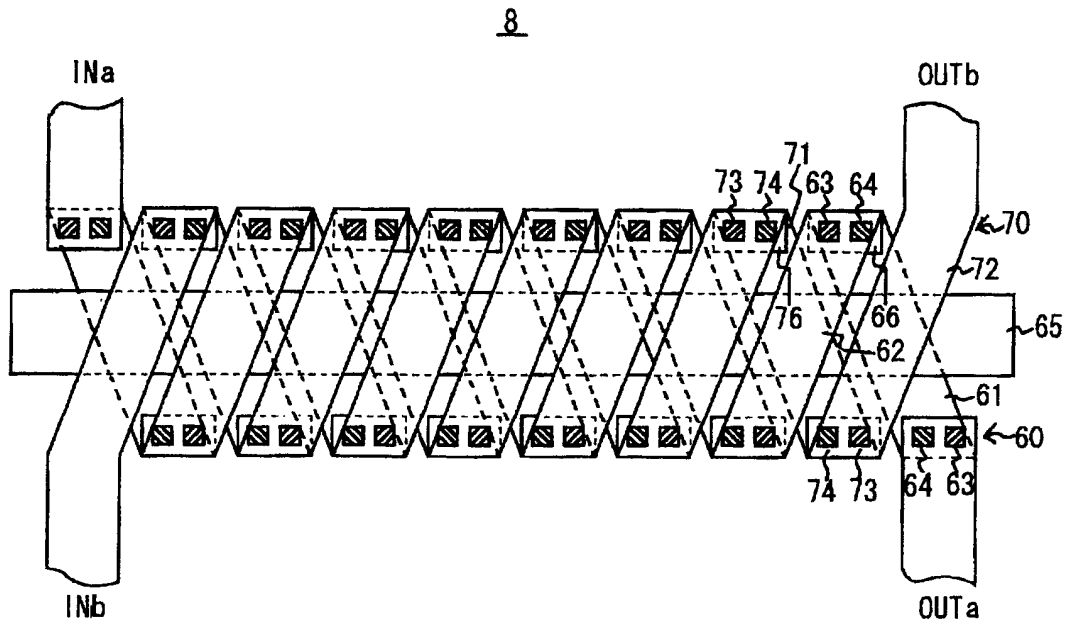


图 5

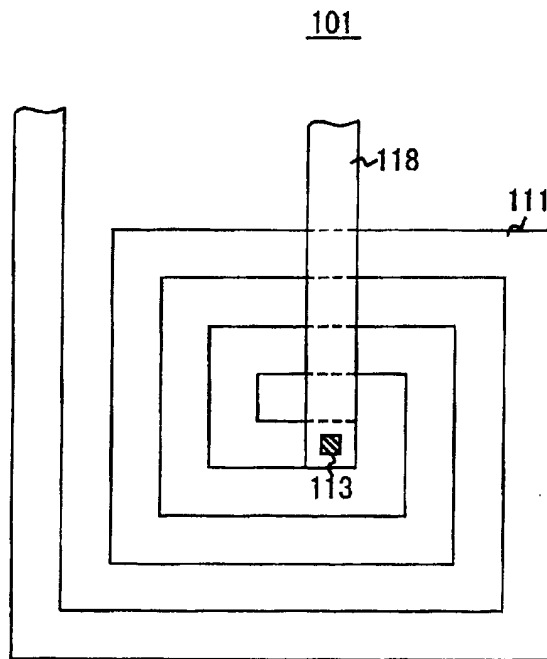


图 6

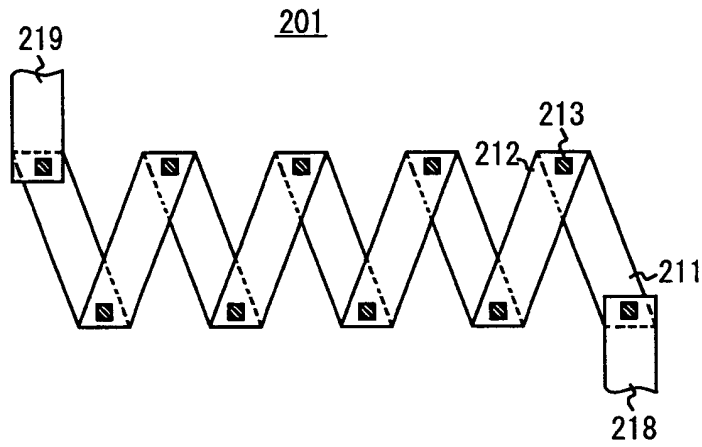


图 7

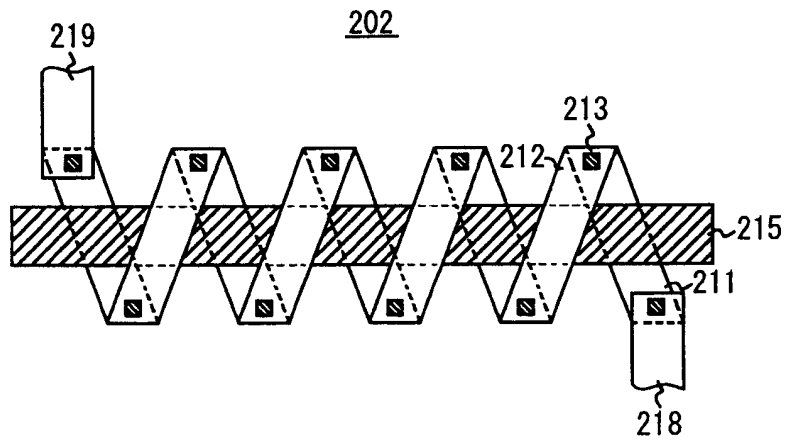


图 8