I313876 本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：95105899

※ 申請日期：95. 2. 22　　※IPC 分類：H01C 7/00

一、發明名稱：（中文/英文）

晶片電阻的製造方法

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

華新科技股份有限公司

代表人：（中文/英文）

焦佑衡

住居所或營業所地址：（中文/英文）

台北市內湖區瑞光路 480 號 10 樓

國　籍：（中文/英文）

中華民國

三、發明人：（共 2 人）

姓　名：（中文/英文）

1. 陸秀強
2. 郭俊雄

國　籍：（中文/英文）

1.2. 中華民國

四、聲明事項：

I313876 本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：95105899

※ 申請日期：95. 2. 22　　※IPC 分類：H01C 7/00

一、發明名稱：（中文/英文）

晶片電阻的製造方法

二、申請人：（共 1 人）

姓名或名稱：（中文/英文）

華新科技股份有限公司

代表人：（中文/英文）

焦佑衡

住居所或營業所地址：（中文/英文）

台北市內湖區瑞光路 480 號 10 樓

國　籍：（中文/英文）

中華民國

三、發明人：（共 2 人）

姓　名：（中文/英文）

1. 陸秀強
2. 郭俊雄

國　籍：（中文/英文）

1.2. 中華民國

四、聲明事項：

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種晶片電阻的製造方法，尤指一種規格為長度 0.60mm、寬度 0.30mm 與厚度 0.23mm 以下晶片電阻的製造方法。

【先前技術】

由於電子產品之製作有日漸微小化的趨勢，故所有主、被動元件亦均必須隨著電路板尺寸的縮小而縮小體積，以因應電子產品微小化之潮流。

以被動元件之晶片電阻而言，隨者電路板尺寸的縮小，目前規格為長度 0.60mm、寬度 0.30mm、厚度 0.23mm 的晶片電阻已大量被使用，因晶片電阻其體積小，所以能夠容許之尺寸誤差極為嚴格，一般均在 0.03mm 以內；若以另一種規格為長度 0.40mm、寬度 0.20mm、厚度 0.23mm 的晶片電阻而言，其所能容許的尺寸誤差將更為嚴格；故對於如此小尺寸且單價又低的被動元件而言，產品的良率及生產效率往往即是生產廠商生存競爭的法寶。

目前一般廠商晶片電阻器之製作流程，請參閱第三Ａ～Ｋ圖所示，其包括下列步驟：

於一空白陶瓷基板（２０）之頂面與底面預先以刀具設有數條相互交錯的橫向折斷線（２１）與縱向折斷線（２２），該橫向折斷線（２１）與縱向折斷線（２２）均切割入基板（２０）有一定深度，一般上下相對應之橫向折

斷線（２１）或縱向折斷線（２２）深度以不超過基板（２０）厚度之一半為佳，而在相鄰的橫向折斷線（２１）與縱向折斷線（２２）之間定義出複數個元件區（２３）（如第三Ａ圖所示）；

於該等元件區（２３）之頂面及底面分別印刷有兩個相對應的主電極（２４），該主電極（２４）分別印刷於各元件區（２３）之兩相對縱向折斷線（２２）的邊緣上，以長度 0.60mm、寬度 0.30mm、厚度 0.23mm 規格的晶片電阻為例，主電極（２４）之寬度為 0.15mm，待主電極（２４）乾燥後燒結以固定於元件區（２３）（如第三Ｂ圖所示）；

在元件區（２３）頂面的二主電極（２４）之間印刷有一電阻層（２５），待電阻層（２５）乾燥後燒結以固定於元件區（２３）頂面（如第三Ｃ圖所示）；

於前述電阻層（２５）上印刷一玻璃護層（２６），待玻璃護層（２６）乾燥後燒結而固定於電阻層（２５）上（如第三Ｄ圖所示）；

以雷射光對電阻層（２５）進行修整，以調整電阻值（如第三Ｅ圖所示）；

於玻璃護層（２６）上再塗上一外保護層（２７），待外保護層（２７）乾燥後燒結以固定之（如第三Ｆ圖所示）；

用治具依序沿各個縱向折斷線（２２）將基板（２０）折斷，形成數個條狀基板（２０’），並將條狀基板（２０’）

相互堆疊（如第三G圖所示）；

以真空濺鍍方式於元件區（２３）頂面與底面的主電極（２４）以及該等主電極（２４）之間基板（２０'）側面濺鍍上內層電極（２８）（如第三H圖所示），該內層電極（２８）係用以連接元件區（２３）頂面與底面的主電極（２４）；

將各條狀基板（２０'）沿橫向折斷線（２１）折斷，形成多個晶片電阻單元個體（３０）（如第三I圖所示）；

將該等晶片電阻單元個體（３０）放入電鍍槽（圖中未示）之電鍍筒（３１）中並使電鍍筒（３１）轉動，俾以滾鍍方式進行電鍍，使晶片電阻單元個體（３０）與電鍍筒（３１）內的電極珠金屬粒（３２）不停碰撞接觸，而將晶片電阻單元個體（３０）之內層電極（２８）上鍍上外層電極（２９）（如第三J圖所示）後，即形成一個個的晶片電阻（如第三K圖所示）。

然而此種晶片電阻製造方法具有如下缺點：

１．該橫向折斷線（２１）與縱向折斷線（２２）均切割入基板（２０）有一定深度，因此在基礎製程上所必需花費的時間較多，且同時設有橫向折斷線（２１）與縱向折斷線（２２）對基板（２０）之強度容易造成破壞，致使在後續進行印刷主電極（２４）、電阻層（２５）程序時，易因必須以滾筒於基板（２０）表面滾動印刷，造成基板（２０）無法負荷滾筒滾動之壓力因而碎裂，影響生產效率及產品良率。

2．由於陶瓷材質之基板（２０）受其分子結晶之限制，故於將基板（２０）折斷成條狀基板（２０'）時，其斷面必不易平整（如第四圖所示），除會影響產品成形後長度之誤差外，且進行真空濺鍍時，將造成濺鍍形成的內層電極（２８）凹凸不平，更使得進行後續滾鍍式電鍍後被鍍上的外層電極（２９）厚度不易均勻，進而降低晶片電阻的生產良率。

3．因晶片電阻單元個體（３０）體積小，故於電鍍筒（３１）內進行電鍍時，電極珠金屬粒（３２）接觸碰撞到內層電極（２８）之機率極小，因此電鍍晶片電阻單元個體（３０）時不但必須花費較多時間，且還會因電鍍不均勻而影響到外層電極（２９）之電鍍品質。

4．當晶片電阻單元個體（３０）於電鍍筒（３１）內以滾鍍方式進行電鍍時，晶片電阻單元個體（３０）之間易因靜電黏著在一起，或晶片電阻單元個體（３０）之間易因外層電極（２９）成形時互相黏結在一起，或晶片電阻單元個體（３０）易被卡在電鍍筒（３１）內縫隙間等缺點亦會影響製程之效率與產品的良率。

因此，此種晶片電阻製程尚有待謀求改進的方法。

【發明內容】

針對以上缺點，本發明之主要目的在提供一方法，其可有效提升晶片電阻之生產效率及產品良率，以提高製程之效率與產品的良率。

為達成前述目的所採取之主要技術手段係令前述方法包括下列步驟：

於一基板之頂面形成有複數條相互平行的橫向分離線；

於基板上各二相鄰分離線之間形成有複數個具有一定間距且同時與分離線交叉之平整穿槽，並定義基板上各二相對穿槽及二分離線之間係一元件區；

在基板之頂面及底面分別印刷有數個相對應之主電極，該等主電極係分別印刷於元件區兩側之穿槽邊緣；

於每一元件區頂面的兩主電極之間印刷有一與主電極構成電接觸之電阻層；

於各元件區之頂面印刷一第一保護層以覆蓋電阻層；

於基板之頂面與底面分別印刷一第二保護層，僅露出主電極；

以整片基板進行電鍍，將內層電極電鍍於穿槽之側壁及基板頂面與底面的主電極上；

將第二保護層剝離並進行清洗；

再以整片基板進行電鍍，將外層電極電鍍以覆蓋內層電極；

沿分離線將基板分離為一粒粒的晶片電阻。

上述晶片電阻製造方法具有下列優點：

1．因基板僅於頂面設有分離線，且穿槽間具有一定間距，因此不致對基板之強度造成破壞，故於進行主電極以及電阻層印刷時，基板可具有較大強度負荷滾筒滾動之

壓力。

2．因穿槽之側壁平整，故內層電極可平整地被鍍在穿槽之側壁上，使電鍍於內層電極上的外層電極厚度均勻。

3．因該穿槽的設置，使元件區之尺寸因此而固定，不致於分離基板為一粒粒的晶片電阻過程時造成晶片電阻尺寸誤差超出容許誤差範圍。

4．因僅需於內層電極與外層電極均電鍍完成後延分離線進行一次基板分離即可，故可有效提高製程效率。

前述分離線切割入基板的深度以不超過基板厚度之一半為佳。

前述內層電極係以吊掛真空濺鍍方式電鍍而成。

前述外層電極係以掛鍍方式電鍍而成。

前述方法於印刷第一保護層後，進一步以雷射光對修整電阻層，以調整電阻值；再印刷一電阻保護層覆蓋因前述修整而外露之電阻層。

【實施方式】

關於本發明之一較佳實施例，請參閱第一Ａ～Ｋ圖所示，其包括下列步驟：

於一基板（１０）頂面之預定範圍內預先以刀具形成有數條相互平行的橫向分離線（１１），再於基板（１０）上各二相鄰分離線（１１）之間形成有複數個具有一定間距且同時與兩分離線（１１）交叉之穿槽（１２），其中

該分離線（１１）係被切割入基板（１０）有一定深度，以不超過基板（１０）深度的一半為限，而該穿槽（１２）之內壁平整，並定義基板（１０）上各二穿槽（１２）及分離線（１１）之間係形成一元件區（１２０）（如第一Ａ圖所示）；

在基板（１０）的頂面與底面分別印刷有相對應之主電極（１３），該等主電極（１３）係分別印刷於元件區（１２０）兩側之穿槽（１２）邊緣（如第一Ｂ圖所示）；

於每一元件區（１２０）頂面之兩主電極（１３）之間印刷有一與主電極（１３）構成電接觸之電阻層（１４）（如第一Ｃ圖所示）；

於各元件區（１２０）之頂面印刷一第一保護層（１５）以覆蓋電阻層（１４）；

以雷射光於第一保護層（１５）切割出一修整槽（１５１），以修整電阻層（１４）而調整其電阻值（如第一Ｅ圖所示）；

印刷一電阻保護層（１６）覆蓋因前述修整而外露之電阻層（１４）（如第一Ｆ圖所示）；

印刷一第二保護層（１７）覆蓋於基板（１０）之頂面與底面，僅露出主電極（１３）（如第一Ｇ圖所示）；

將整片基板（１０）以吊掛方式用真空濺鍍或或蒸氣沉積於穿槽（１２）之側壁及基板（１０）頂面與底面的主電極（１３）濺鍍上內層電極（１８）（如第一Ｈ圖所示）；

將第二保護層（１７）自基板（１０）上剝離去除，並以超音波清洗（如第一Ｉ圖所示）；

將整片基板（１０）置入電鍍槽（圖中未示）內，以掛鍍式電鍍於內層電極（１８）上電鍍上外層電極（１９）（如第一Ｊ圖所示）；

沿分離線（１１）切割基板（１０），即可得到一個個的晶片電阻（如第一Ｋ與第二圖所示）。

由於本方法係先在基板（１０）上設有穿槽（１２）後，再將主電極（１３）印刷於元件區（１２０）兩側之穿槽（１２）邊緣，故本發明製造方法有如下之優點：

１．該基板（１０）僅於頂面設有分離線（１１），且穿槽（１２）間具有一定間距，因此不致對基板（１１）之強度造成破壞，故於後續印刷主電極（１３）、電阻層（１４）時，不致因基板（１０）無法負荷滾筒滾動之壓力而造成基板（１０）碎裂，可提高生產效率及產品良率。

２．由於穿槽（１２）之側壁平整，故內層電極（１８）可平整地被鍍在穿槽（１２）之側壁上，使後續電鍍的外層電極（１９）厚度均勻，且因該穿槽（１２）的設置使元件區（１２０）之尺寸固定，不致因將基板（１０）分離為一粒粒的晶片電阻時，造成晶片電阻尺寸誤差超出容許誤差範圍。

３．本發明之方法於整個製程中，僅需於內層電極（１８）與外層電極（１９）均電鍍完成後，再延分離線（１１）進行一次基板（１０）分離即可，因此可有效提高製

程效率。

4．由於基板（１０）係整片以掛鍍方式電鍍外層電極（１９），因此不致如習用因先成形晶片電阻單元個體，致使以滾鍍方式進行電鍍時，發生電鍍不均勻、晶片電阻單元個體之間因靜電而黏著、晶片電阻單元個體之間因外層電極成形時而互相黏結或晶片電阻單元個體易被卡在電鍍筒內縫隙間等缺點，故可有效提高製程效率與產品品質。

由上述可知，本發明不但提高晶片電阻的生產良率，且可有效簡化製程，並符合發明專利要件，爰依法提起申請。

【圖式簡單說明】

第一圖：係本發明之流程圖。

第二圖：係以本發明製造出之晶片電阻的剖面圖。

第三圖：係習用製造晶片電阻方法之流程圖。

第四圖：係習用製造晶片電阻方法過程中將基板折斷所形成條狀基板的斷面示意圖。

【主要元件符號說明】

（１０）基板　　（１１）分離線

（１２）穿槽　　（１２０）元件區

（１３）主電極　　（１４）電阻層

（１５）第一保護層　　（１５１）修整槽

（１６）電阻保護層　　（１７）第二保護層

（１８）內層電極　　（１９）外層電極

（２０）基板　　（２０'）條狀基板

（２１）橫向折斷線　　（２２）縱向折斷線

（２３）元件區　　（２４）主電極

（２５）電阻層　　（２６）玻璃護層

（２７）外保護層　　（２８）內層電極

（２９）外層電極　　（３０）晶片電阻單元個體

（３１）電鍍筒　　（３２）電極珠金屬粒

五、中文發明摘要：

本發明係一種晶片電阻的製造方法，主要係於基板上形成有複數橫向的分離線及複數穿槽，並定義各二相對穿槽及二分離線之間係一元件區，各元件區內分別印刷有主電極及電阻層，將印刷有主電極與電阻層的基板整片進行電鍍程序，完成主電極及穿槽內壁之內、外層電極，最後再延分離線將各元件區分離為一粒粒的晶片電阻，如此一來，可有效令晶片電阻的生產過程具有更高的良率以及更佳的效率。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第（ 一 ）圖。

(二)本代表圖之元件符號簡單說明:

（１０）基板	（１１）分離線
（１２）穿槽	（１２０）元件區
（１３）主電極	（１４）電阻層
（１５）第一保護層	（１５１）修整槽
（１６）電阻保護層	（１７）第二保護層
（１８）內層電極	（１９）外層電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1．一種晶片電阻的製造方法，其主要係包括下列步驟：

於一基板之頂面形成有複數條相互平行的橫向分離線；

於基板上各二相鄰分離線之間形成有複數個具有一定間距且同時與分離線交叉之平整穿槽，並定義基板上各二相對穿槽及二分離線之間係一元件區；

在基板之頂面及底面分別印刷有數個相對應之主電極，該等主電極係分別印刷於元件區兩側之穿槽邊緣；

於每一元件區頂面的兩主電極之間印刷有一與主電極構成電接觸之電阻層；

於各元件區之頂面印刷一第一保護層以覆蓋電阻層；

於基板之頂面與底面分別印刷一第二保護層，僅露出主電極；

以整片基板進行電鍍，將內層電極電鍍於穿槽之側壁及基板頂面與底面的主電極上；

將第二保護層剝離並進行清洗；

再以整片基板進行電鍍，將外層電極電鍍以覆蓋內層電極；

沿分離線將基板分離為一粒粒的晶片電阻。

2．如申請專利範圍第1項所述晶片電阻的製造方法，該分離線切割入基板的深度係不超過基板厚度之一半。

3．如申請專利範圍第1項所述晶片電阻的製造方法，於印刷第一保護層後，進一步以雷射光對修整電阻層，以調整電阻值；再印刷一電阻保護層覆蓋因前述修整而外露之電阻層。

4．如申請專利範圍第3項所述晶片電阻的製造方法，該電阻保護層於印刷後先待其乾燥再燒結固定。

5．如申請專利範圍第1項所述晶片電阻的製造方法，該內層電極係以真空濺鍍所鍍上。

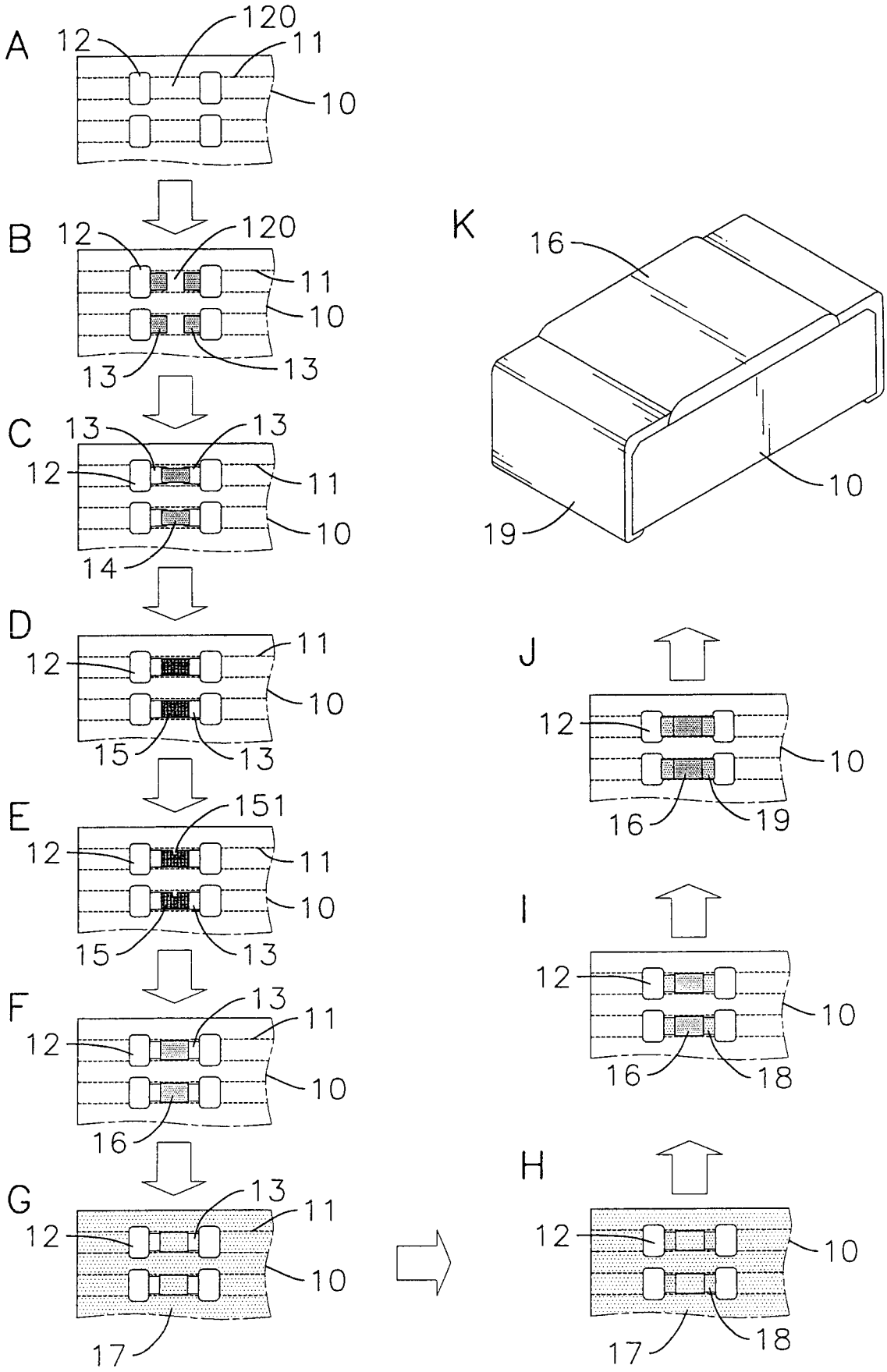
6．如申請專利範圍第1項所述晶片電阻的製造方法，該內層電極係以蒸氣沉積所鍍上。

7．如申請專利範圍第1項所述晶片電阻的製造方法，該外層電極係以掛鍍方式電鍍而成。

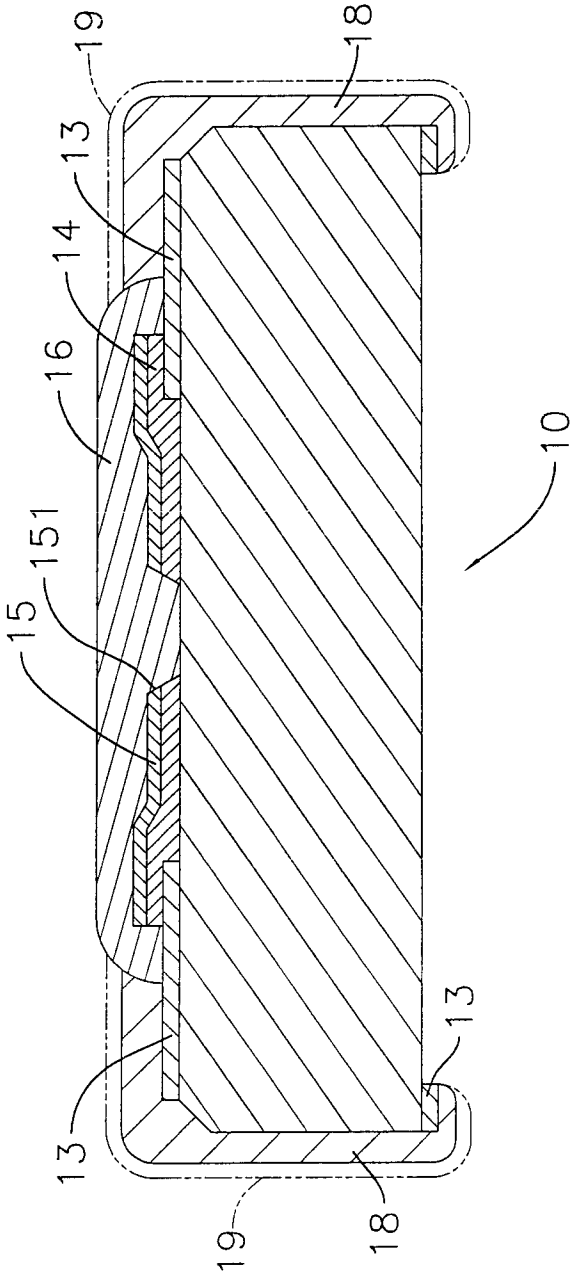
8．如申請專利範圍第1至7項中任一項所述晶片電阻的製造方法，該主電極對、電阻層與第一保護層於印刷後均先待其乾燥再燒結固定。

十一、圖式：

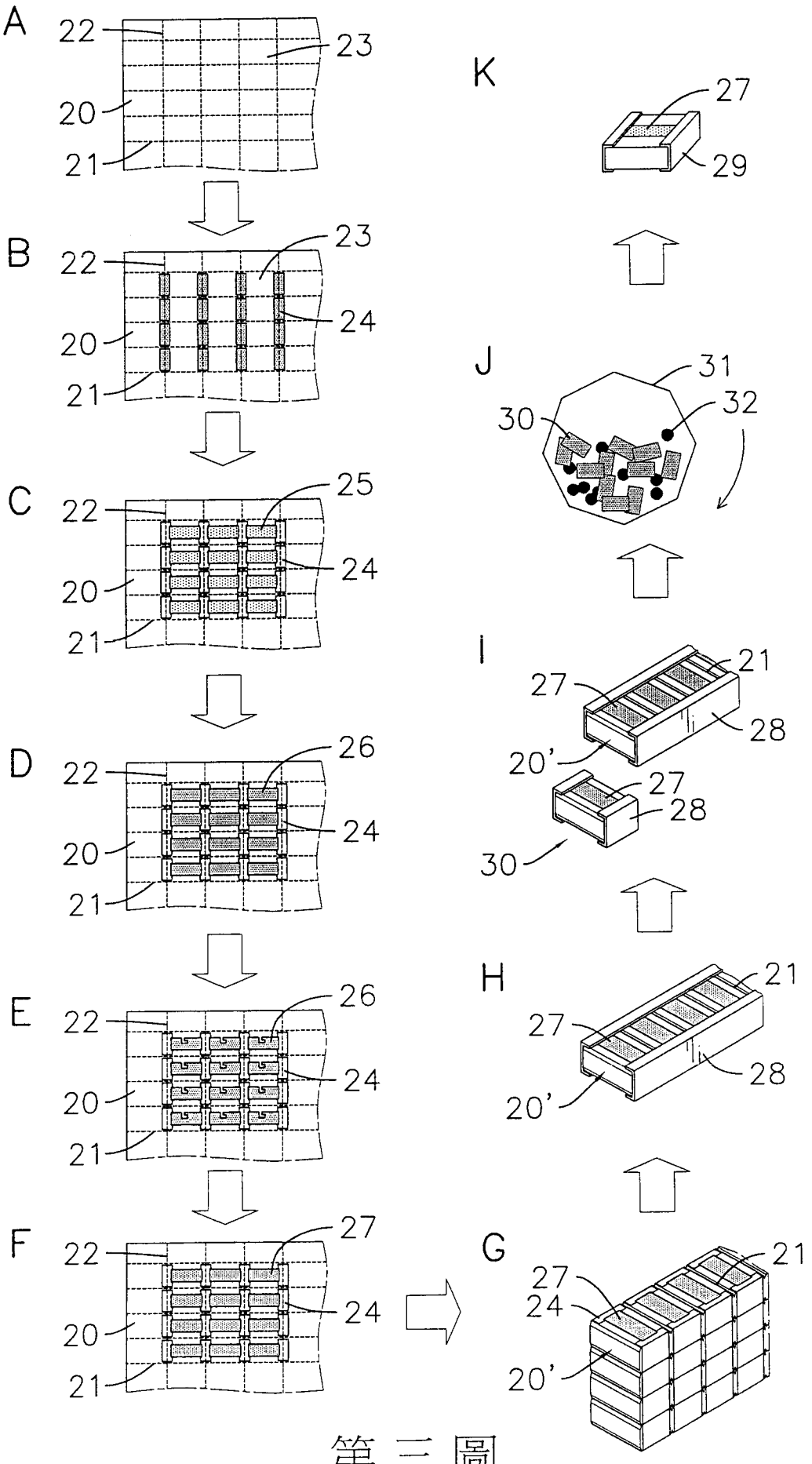
如次頁


A
12
120
11
10
B
12
120
11
10
13
13
C
13
13
12
11
10
14
D
12
11
10
15
13
E
151
12
11
10
15
13
F
13
12
11
10
16
G
13
12
11
10
17
K
16
10
19
J
12
10
16
19
I
12
10
16
18
H
12
10
17
18

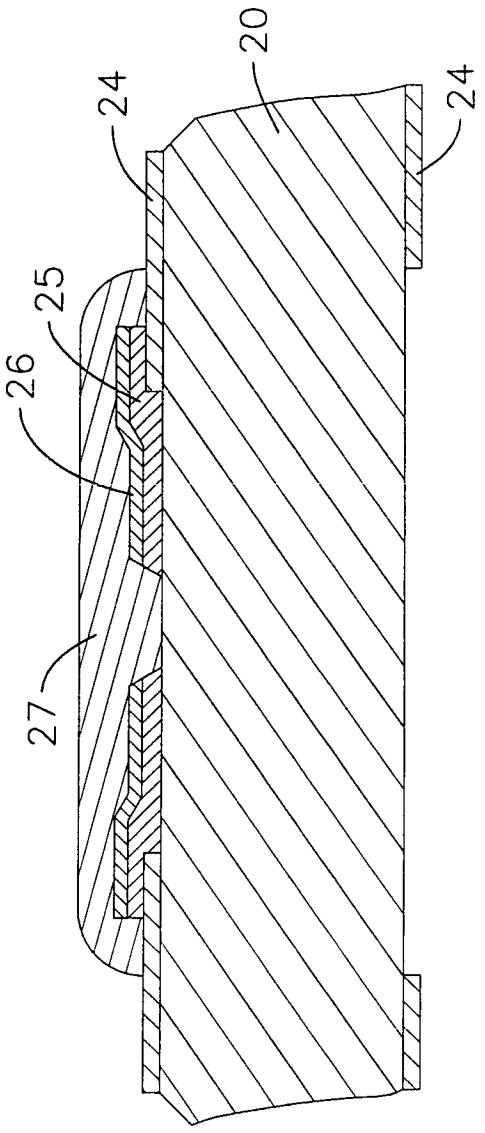
第一圖



第二圖


A
22
23
20
21
B
22
23
24
20
21
C
22
25
24
20
21
D
22
26
24
20
21
E
22
26
24
20
21
F
22
27
24
20
21
G
27
21
24
20'
H
27
21
28
20'
I
27
21
28
20'
27
28
30
J
31
32
30
K
27
29

第三圖



第四圖

五、中文發明摘要：

本發明係一種晶片電阻的製造方法，主要係於基板上形成有複數橫向的分離線及複數穿槽，並定義各二相對穿槽及二分離線之間係一元件區，各元件區內分別印刷有主電極及電阻層，將印刷有主電極與電阻層的基板整片進行電鍍程序，完成主電極及穿槽內壁之內、外層電極，最後再延分離線將各元件區分離為一粒粒的晶片電阻，如此一來，可有效令晶片電阻的生產過程具有更高的良率以及更佳的效率。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第（ 一 ）圖。

(二)本代表圖之元件符號簡單說明:

（１０）基板	（１１）分離線
（１２）穿槽	（１２０）元件區
（１３）主電極	（１４）電阻層
（１５）第一保護層	（１５１）修整槽
（１６）電阻保護層	（１７）第二保護層
（１８）內層電極	（１９）外層電極

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：