

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 9 月 15 日 (2005.9.15)

【公開番号】特開 2005-101647 (P2005-101647A)
 【公開日】平成 17 年 4 月 14 日 (2005.4.14)
 【年通号数】公開・登録公報 2005-015
 【出願番号】特願 2004-335811 (P2004-335811)
 【国際特許分類第 7 版】

H 0 1 L 21/8242
 H 0 1 L 21/3205
 H 0 1 L 21/768
 H 0 1 L 27/10
 H 0 1 L 27/108

【 F I 】

H 0 1 L 27/10 6 2 1 C
 H 0 1 L 27/10 4 6 1
 H 0 1 L 27/10 6 8 1 F
 H 0 1 L 21/88 K
 H 0 1 L 21/90 A

【手続補正書】
 【提出日】平成 17 年 6 月 3 日 (2005.6.3)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 M I S F E T を、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 M I S F E T またはロジック回路用 M I S F E T をそれぞれ形成する工程、

前記メモリセル選択用 M I S F E T および前記周辺回路用 M I S F E T または前記ロジック回路用 M I S F E T を覆い、かつその表面が平坦化された第 1 絶縁膜を形成する工程

、
 前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線を、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線を形成する工程、

前記ビット線および前記第 1 層配線を覆い、かつその表面が平坦化された第 2 絶縁膜を前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成する工程、

前記メモリセルアレイ領域の前記第 2 絶縁膜の上部にストッパ膜を形成する工程、

前記ストッパ膜上に第 3 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 3 絶縁膜に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、

前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が平坦化された第 4 絶縁膜を形成する工程、

を含み、

前記ストッパ膜は、前記情報蓄積用容量素子の前記下部電極を形成する際のエッチング

ストッパとして機能することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 M I S F E T が、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 M I S F E T またはロジック回路用 M I S F E T がそれぞれ形成され、

前記メモリセル選択用 M I S F E T および前記周辺回路用 M I S F E T または前記ロジック回路用 M I S F E T を覆い、かつその表面が平坦化された第 1 絶縁膜が形成され、

前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線が、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線が形成され、

前記ビット線および前記第 1 層配線を覆い、かつその表面が平坦化された第 2 絶縁膜が前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成され、

ストッパ膜が前記メモリセルアレイ領域の前記第 2 絶縁膜の上部に形成され、

前記ストッパ膜上に絶縁膜が形成され、

前記メモリセルアレイ領域の前記絶縁膜に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極が形成され、

前記絶縁膜は前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が平坦化されて形成され、

前記ストッパ膜は、前記情報蓄積用容量素子の前記下部電極を形成する際のエッチングストッパとして機能することを特徴とする半導体集積回路装置。

【請求項 3】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 M I S F E T を、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 M I S F E T またはロジック回路用 M I S F E T をそれぞれ形成する工程、

前記メモリセル選択用 M I S F E T および前記周辺回路用 M I S F E T または前記ロジック回路用 M I S F E T を覆い、かつその表面が平坦化された第 1 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線を、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線を形成する工程、

前記ビット線および前記第 1 層配線を覆い、かつその表面が平坦化された第 2 絶縁膜を前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成する工程、

前記メモリセルアレイ領域の前記第 2 絶縁膜の上部にストッパ膜を形成する工程、

前記ストッパ膜上に第 3 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 3 絶縁膜および前記ストッパ膜をエッチングして溝を形成する工程、

前記溝の内壁および底部上に情報蓄積用容量素子の下部電極を形成する工程、

前記第 3 絶縁膜をエッチングして前記下部電極を露出させる工程、

前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、

前記第 3 絶縁膜上、前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が平坦化された第 4 絶縁膜を形成する工程、

を含み、

前記第 3 絶縁膜をエッチングして下部電極を露出させるとき、前記ストッパ膜は、エッチングストッパとして機能し、前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在することを特徴とする半導体集積回路装置の製造方法。

【請求項 4】

請求項 3 において、

前記第 4 絶縁膜の表面を研磨法で平坦化した後、前記周辺回路領域または前記ロジック回路領域の前記平坦化された前記第 4 絶縁膜および前記第 2 絶縁膜に溝を前記第 1 層配線を露出するように形成し、前記溝の内部を含む前記第 4 絶縁膜上に導電層を堆積し、前記第 4 絶縁膜の表面上の前記導電層を除去して、前記溝内に前記導電層からなる導電部を、前記第 1 層配線に接続するように形成する工程、

を更に含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 5】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 MISFET が、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 MISFET またはロジック回路用 MISFET がそれぞれ形成され、

前記メモリセル選択用 MISFET および前記周辺回路用 MISFET または前記ロジック回路用 MISFET を覆い、かつその表面が平坦化された第 1 絶縁膜が形成され、

前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線が、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線が形成され、

前記ビット線および前記第 1 層配線を覆い、かつその表面が平坦化された第 2 絶縁膜が前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成され、

ストッパ膜が前記メモリセルアレイ領域の前記第 2 絶縁膜の上部に形成され、

前記ストッパ膜上に絶縁膜が形成され、

前記絶縁膜に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極が形成され、

前記絶縁膜は、前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が平坦化されて形成され、

前記周辺回路領域または前記ロジック回路領域の前記絶縁膜および前記第 2 絶縁膜に溝が前記第 1 層配線を露出するように形成され、

前記溝内に導電層からなる導電部が、前記第 1 層配線に接続するように形成され、

前記ストッパ膜は、前記下部電極を形成する際のエッチングストッパとして機能し、

前記下部電極は内面及び外面を有する側壁を有し、

前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、

前記下部電極の側壁の内面及び外面上に容量絶縁膜、前記容量絶縁膜上に前記上部電極が形成されていることを特徴とする半導体集積回路装置。

【請求項 6】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 MISFET を、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 MISFET またはロジック回路用 MISFET をそれぞれ形成する工程、

前記メモリセル選択用 MISFET および前記周辺回路用 MISFET または前記ロジック回路用 MISFET を覆い、かつその表面が平坦化された第 1 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線を、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線を形成する工程、

前記ビット線および前記第 1 層配線を覆い、かつその表面が平坦化された第 2 絶縁膜を前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成する工程、

前記メモリセルアレイ領域の前記第 2 絶縁膜の上部にストッパ膜を形成する工程、

前記ストッパ膜上に第 3 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 3 絶縁膜および前記ストッパ膜をエッチングして溝を形成する工程、

前記溝の内壁および底部上に情報蓄積用容量素子の下部電極を形成する工程、
前記第3絶縁膜をエッチングして前記下部電極を露出させる工程、
前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、
前記第3絶縁膜上、前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が平坦化された第4絶縁膜を形成する工程、
を含み、
前記第3絶縁膜をエッチングして下部電極を露出させるとき、前記ストッパ膜は、エッチングストッパとして機能し、前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、
前記第1絶縁膜に前記メモリセル選択用MISFETの半導体領域に接続されるシリコン膜からなる第1プラグが形成され、
前記第1絶縁膜に前記第1プラグが露出する開口が形成され、前記ビット線は、前記開口を介して前記第1プラグに接続され、
前記第1絶縁膜に、前記周辺回路用MISFETまたは前記ロジック回路用MISFETの半導体領域を露出する第1接続孔が形成され、前記第1層配線は前記第1接続孔内に形成された金属膜に接続されることを特徴とする半導体集積回路装置の製造方法。

【請求項7】

請求項6において、
前記第4絶縁膜の表面を研磨法で平坦化した後、前記周辺回路領域または前記ロジック回路領域の前記平坦化された前記第4絶縁膜および前記第2絶縁膜に溝を前記第1層配線を露出するように形成し、前記溝の内部を含む前記第4絶縁膜上に導電層を堆積し、前記第4絶縁膜の表面上の前記導電層を除去して、前記溝内に前記導電層からなる導電部を、前記第1層配線に接続するように形成する工程、
を更に含むことを特徴とする半導体集積回路装置の製造方法。

【請求項8】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用MISFETが、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用MISFETまたはロジック回路用MISFETがそれぞれ形成され、
前記メモリセル選択用MISFETおよび前記周辺回路用MISFETまたは前記ロジック回路用MISFETを覆い、かつその表面が平坦化された第1絶縁膜が形成され、
前記メモリセルアレイ領域の前記第1絶縁膜上にビット線が、前記周辺回路領域または前記ロジック回路領域の前記第1絶縁膜上に前記ビット線と同一の材料からなる第1層配線が形成され、
前記ビット線および前記第1層配線を覆い、かつその表面が平坦化された第2絶縁膜が前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成され、
ストッパ膜が前記メモリセルアレイ領域の前記第2絶縁膜の上部に形成され、
前記ストッパ膜上に絶縁膜が形成され、
前記絶縁膜に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極が形成され、
前記絶縁膜は、前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が平坦化されて形成され、
前記周辺回路領域または前記ロジック回路領域の前記絶縁膜および前記第2絶縁膜に溝が前記第1層配線を露出するように形成され、
前記溝内に導電層からなる導電部が、前記第1層配線に接続するように形成され、
前記ストッパ膜は前記下部電極を形成する際のエッチングストッパとして機能し、
前記下部電極は内面及び外面を有する側壁を有し、
前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、
前記下部電極の側壁の内面及び外面上に容量絶縁膜、前記容量絶縁膜上に前記上部電極

が形成され、

前記第 1 絶縁膜に前記メモリセル選択用 M I S F E T の半導体領域に接続されるシリコン膜からなる第 1 プラグが形成され、

前記第 1 絶縁膜に前記第 1 プラグが露出する開口が形成され、前記ビット線は、前記開口を介して前記第 1 プラグに接続され、

前記第 1 絶縁膜に、前記周辺回路用 M I S F E T または前記ロジック回路用 M I S F E T の半導体領域を露出する第 1 接続孔が形成され、前記第 1 層配線は前記第 1 接続孔内に形成された金属膜に接続されることを特徴とする半導体集積回路装置。

【請求項 9】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 M I S F E T を、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 M I S F E T またはロジック回路用 M I S F E T をそれぞれ形成する工程、

前記メモリセル選択用 M I S F E T および前記周辺回路用 M I S F E T または前記ロジック回路用 M I S F E T を覆い、かつその表面が平坦化された第 1 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線を、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線を形成する工程、

前記ビット線および前記第 1 層配線を覆い、かつその表面が平坦化された第 2 絶縁膜を前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成する工程、

ストッパ膜を前記メモリセルアレイ領域の前記第 2 絶縁膜の上部に形成する工程、

前記ストッパ膜上に第 3 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 3 絶縁膜および前記ストッパ膜をエッチングして溝を形成する工程、

前記溝の内壁および底部上に情報蓄積用容量素子の下部電極を形成する工程、

前記ストッパ膜をエッチングストッパとして前記第 3 絶縁膜をエッチングして前記下部電極を露出させる工程、

前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、

前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に、表面が平坦化された第 4 絶縁膜を形成する工程、

前記周辺回路領域または前記ロジック回路領域の前記平坦化された前記第 4 絶縁膜および前記第 2 絶縁膜に他の溝を前記第 1 層配線を露出するように形成し、前記他の溝の内部を含む前記第 4 絶縁膜上に導電層を堆積し、前記第 4 絶縁膜の表面上の前記導電層を除去して、前記他の溝内に前記導電層からなる導電部を、前記第 1 層配線に接続するように形成する工程、

を含み、

前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在することを特徴とする半導体集積回路装置の製造方法。

【請求項 10】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 M I S F E T が、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 M I S F E T またはロジック回路用 M I S F E T がそれぞれ形成され、

前記メモリセル選択用 M I S F E T および前記周辺回路用 M I S F E T または前記ロジック回路用 M I S F E T を覆い、かつその表面が平坦化された第 1 絶縁膜が形成され、

前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線が、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線が形成され、

前記ビット線および前記第 1 層配線を覆い、かつその表面が平坦化された第 2 絶縁膜が前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成

され、

ストッパ膜が前記メモリセルアレイ領域の前記第2絶縁膜の上部に形成され、

前記ストッパ膜上に絶縁膜が形成され、

前記絶縁膜に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極が形成され、

前記絶縁膜は前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が平坦化されて形成され、

前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、前記ストッパ膜は、前記下部電極を形成する際のエッチングストッパとして機能することを特徴とする半導体集積回路装置。

【請求項11】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用MISFETを、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用MISFETまたはロジック回路用MISFETをそれぞれ形成する工程、

前記メモリセル選択用MISFETおよび前記周辺回路用MISFETまたは前記ロジック回路用MISFETを覆い、かつその表面が平坦化された第1絶縁膜を形成する工程

、
前記メモリセルアレイ領域の前記第1絶縁膜上にビット線を、前記周辺回路領域または前記ロジック回路領域の前記第1絶縁膜上に前記ビット線と同一の材料からなる第1層配線を形成する工程、

前記ビット線および前記第1層配線を覆い、かつその表面が平坦化された第2絶縁膜を前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成する工程、

前記第2絶縁膜に接続孔を形成し、前記接続孔にプラグを形成する工程、

ストッパ膜を前記第2絶縁膜および前記プラグ上を含む前記メモリセルアレイ領域の上部に形成する工程、

前記ストッパ膜上に第3絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第3絶縁膜および前記ストッパ膜をエッチングして前記プラグを露出する溝を形成する工程、

前記溝の内壁および底部上に情報蓄積用容量素子の下部電極を形成する工程、

前記ストッパ膜をエッチングストッパとして前記第3絶縁膜をエッチングして前記下部電極を露出させる工程、

前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、

前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に第4絶縁膜を形成する工程、

前記第4絶縁膜の表面を研磨法で平坦化した後、前記周辺回路領域または前記ロジック回路領域の前記平坦化された前記第4絶縁膜および前記第2絶縁膜に他の溝を前記第1層配線を露出するように形成し、前記他の溝の内部を含む前記第4絶縁膜上に導電層を堆積し、前記第4絶縁膜の表面上の前記導電層を除去して、前記他の溝内に前記導電層からなる導電部を、前記第1層配線に接続するように形成する工程、

を含み、

前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在することを特徴とする半導体集積回路装置の製造方法。

【請求項12】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用MISFETが、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用MISFETまたはロジック回路用MISFETがそれぞれ形成され、

前記メモリセル選択用MISFETおよび前記周辺回路用MISFETまたは前記ロジック回路用MISFETを覆い、かつその表面が平坦化された第1絶縁膜が形成され、

前記メモリセルアレイ領域の前記第1絶縁膜上にビット線が、前記周辺回路領域または

前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線が形成され、

前記ビット線および前記第 1 層配線を覆い、かつその表面が平坦化された第 2 絶縁膜が前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成され、

前記第 2 絶縁膜に接続孔が形成され、前記接続孔にプラグが形成され、

ストッパ膜が前記第 2 絶縁膜および前記プラグ上を含む前記メモリセルアレイの上部に形成され、

前記ストッパ膜上に絶縁膜が形成され、

前記絶縁膜に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極が形成され、

前記絶縁膜は、前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が平坦化されて形成され、

前記周辺回路領域または前記ロジック回路領域の前記絶縁膜および前記第 2 絶縁膜に溝が前記第 1 層配線を露出するように形成され、

前記溝内に導電層からなる導電部が、前記第 1 層配線に接続するように形成され、

前記ストッパ膜は、前記下部電極を形成する際のエッチングストッパとして機能し、

前記下部電極は内面及び外面を有する側壁を有し、

前記下部電極の下には前記ストッパ膜が除去されて前記プラグに接続し、かつ前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、

前記下部電極の側壁の内面及び外面上に前記容量絶縁膜、前記容量絶縁膜上に前記上部電極が形成されていることを特徴とする半導体集積回路装置。

【請求項 13】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 MISFET を、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 MISFET またはロジック回路用 MISFET をそれぞれ形成する工程、

前記メモリセル選択用 MISFET および前記周辺回路用 MISFET または前記ロジック回路用 MISFET を覆い、かつその表面が研磨法により平坦化された第 1 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線を、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線を形成する工程、

前記ビット線および前記第 1 層配線を覆い、かつその表面が研磨法により平坦化された第 2 絶縁膜を前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成する工程、

前記第 2 絶縁膜に第 2 接続孔を形成し、前記第 2 接続孔に第 2 プラグを形成する工程、ストッパ膜を前記第 2 絶縁膜および前記第 2 プラグ上を含む前記メモリセルアレイ領域の上部に形成する工程、

前記ストッパ膜上に第 3 絶縁膜を形成する工程、

前記メモリセルアレイ領域の前記第 3 絶縁膜および前記ストッパ膜をエッチングして前記第 2 プラグを露出する溝を形成する工程、

前記溝の内壁および底部上に情報蓄積用容量素子の下部電極を形成する工程、

前記ストッパ膜をエッチングストッパとして前記第 3 絶縁膜をエッチングして前記下部電極を露出させる工程、

前記下部電極を覆う容量絶縁膜および上部電極を形成する工程、

前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に第 4 絶縁膜を形成する工程、

前記第 4 絶縁膜の表面を研磨法で平坦化した後、前記周辺回路領域または前記ロジック回路領域の前記平坦化された前記第 4 絶縁膜および前記第 2 絶縁膜に他の溝を前記第 1 層配線を露出するように形成し、前記他の溝の内部を含む前記第 4 絶縁膜上に導電層を堆積

し、前記第 4 絶縁膜の表面上の前記導電層を除去して、前記他の溝内に前記導電層からなる導電部を、前記第 1 層配線に接続するように形成する工程、

を含み、

前記下部電極の下には前記ストッパ膜が存在せず、前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、

前記第 1 絶縁膜に前記メモリセル選択用 M I S F E T の一方の半導体領域に接続されるシリコン膜からなる第 1 プラグが形成され、

前記第 1 絶縁膜に前記第 1 プラグが露出する開口が形成され、前記ビット線は、前記開口を介して前記第 1 プラグに接続され、

前記第 1 絶縁膜に前記メモリセル選択用 M I S F E T の他方の半導体領域に接続されるシリコン膜からなる第 3 プラグが形成され、

前記第 3 プラグは前記第 2 プラグに接続され、

前記第 1 絶縁膜に、前記周辺回路用 M I S F E T またはロジック回路用 M I S F E T の半導体領域を露出する第 1 接続孔が形成され、前記第 1 層配線は前記第 1 接続孔内に形成された金属膜に接続されることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】

請求項 1 3 において、

前記ストッパ膜は窒化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項 1 5】

半導体基板の主面のメモリセルアレイ領域にメモリセル選択用 M I S F E T が、前記半導体基板の周辺回路領域またはロジック回路領域に周辺回路用 M I S F E T またはロジック回路用 M I S F E T がそれぞれ形成され、

前記メモリセル選択用 M I S F E T および前記周辺回路用 M I S F E T または前記ロジック回路用 M I S F E T を覆い、かつその表面が研磨法により平坦化された第 1 絶縁膜が形成され、

前記メモリセルアレイ領域の前記第 1 絶縁膜上にビット線が、前記周辺回路領域または前記ロジック回路領域の前記第 1 絶縁膜上に前記ビット線と同一の材料からなる第 1 層配線が形成され、

前記ビット線および前記第 1 層配線を覆い、かつその表面が研磨法により平坦化された第 2 絶縁膜が前記メモリセルアレイ領域および前記周辺回路領域または前記ロジック回路領域上に形成され、

前記第 2 絶縁膜に第 2 接続孔が形成され、前記第 2 接続孔に第 2 プラグが形成され、

ストッパ膜が前記第 2 絶縁膜および前記第 2 プラグ上を含む前記メモリセルアレイの上部に形成され、

前記ストッパ膜上に絶縁膜が形成され、

前記絶縁膜に情報蓄積用容量素子の下部電極、前記下部電極を覆う容量絶縁膜および上部電極が形成され、

前記絶縁膜は、前記情報蓄積用容量素子上および前記周辺回路領域または前記ロジック回路領域上に表面が研磨法により平坦化されて形成され、

前記周辺回路領域または前記ロジック回路領域の前記絶縁膜および前記第 2 絶縁膜に溝が前記第 1 層配線を露出するように形成され、

前記溝内に導電層からなる導電部が、前記第 1 層配線に接続するように形成され、

前記ストッパ膜は、前記下部電極を形成する際のエッチングストッパとして機能し、

前記下部電極は内面及び外面を有する側壁を有し、

前記下部電極の下には前記ストッパ膜が除去されて前記第 2 プラグに接続し、かつ前記下部電極の側壁に接する領域に前記ストッパ膜が存在し、

前記下部電極の側壁の内面及び外面上に前記容量絶縁膜、前記容量絶縁膜上に前記上部電極が形成され、

前記第 1 絶縁膜に前記メモリセル選択用 M I S F E T の一方の半導体領域に接続される

シリコン膜からなる第 1 プラグが形成され、

前記第 1 絶縁膜に前記第 1 プラグが露出する開口が形成され、前記ビット線は、前記開口を介して前記第 1 プラグに接続され、

前記第 1 絶縁膜に前記メモリセル選択用 M I S F E T の他方の半導体領域に接続されるシリコン膜からなる第 3 プラグが形成され、

前記第 3 プラグは前記第 2 プラグに接続され、

前記第 1 絶縁膜に、前記周辺回路用 M I S F E T または前記ロジック回路用 M I S F E T の半導体領域を露出する第 1 接続孔が形成され、前記第 1 層配線は前記第 1 接続孔内に形成された金属膜に接続されることを特徴とする半導体集積回路装置。

【請求項 16】

請求項 15 において、

前記ストッパ膜は窒化シリコン膜であることを特徴とする半導体集積回路装置。