

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/50 (2006.01)

H01L 21/60 (2006.01)

H01L 25/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 03152365. X

[45] 授权公告日 2006年1月4日

[11] 授权公告号 CN 1235275C

[22] 申请日 2003.7.30 [21] 申请号 03152365. X

[30] 优先权

[32] 2002.7.31 [33] DE [31] 10234951.7

[71] 专利权人 印芬龙科技股份有限公司

地址 联邦德国慕尼黑

[72] 发明人 格尔德·弗兰科夫斯克基

哈丽·黑德勒 芭芭拉·瓦斯克斯

审查员 谢绍俊

[74] 专利代理机构 中科专利商标代理有限责任公司

代理人 龚海军

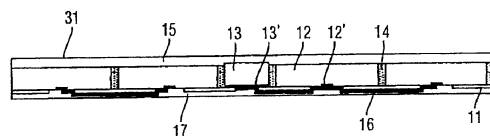
权利要求书 3 页 说明书 8 页 附图 10 页

[54] 发明名称

半导体模块及制造半导体模块的方法

[57] 摘要

本发明提供一种用于制造半导体电路模块(31)的方法,该方法包括如下步骤:将具有图形的连接层(11)加到转移衬底(10)上;将具有指向转移衬底(10)的接触区(12'、13')的有源电路器件(12)和/或无源电路器件(13)加到这个具有图形的连接层(11)上;电路器件(12、13)借助于至少设在电路器件(12、13)之间的填充物(14)相互连接;除去转移衬底(10);并施加电连接器件(16),用于对电路器件(12、13)的接触区(12'、13')进行选择性的接触连接。本发明还以相似的方式提供一种半导体电路模块。



1. 用于制造半导体电路模块 (31) 的方法, 该方法包括如下步骤:
将具有图形的连接层 (11) 加到转移衬底 (10) 上;
- 5 将具有指向转移衬底 (10) 的接触区 (12'、13') 的有源电路器件 (12) 和 / 或无源电路器件 (13) 加到这个具有图形的连接层 (11) 上;
电路器件 (12、13) 借助于至少设在电路器件 (12、13) 之间的填充物 (14) 相互连接;
- 除去转移衬底 (10); 并
- 10 施加电连接器件 (16), 用于对电路器件 (12、13) 的接触区 (12'、13') 进行选择性的接触连接。
2. 根据权利要求 1 所述的方法, 其特征在于: 至少在一部分电连接器件 (16) 上加保护器件 (17)。
3. 根据权利要求 2 所述的方法, 其特征在于: 在保护器件 (17) 没有
- 15 覆盖的区域 (23) 提供连接器件 (19、28)。
4. 根据权利要求 1-3 之一所述的方法, 其特征在于: 在印刷过程设置具有图形的连接层 (11)。
5. 根据权利要求 1-3 之一所述的方法, 其特征在于: 将电路器件 (12、13) 安排在具有图形的连接层上, 以使电路器件 (12、13) 的电接触区
- 20 域 (12'、13') 不在具有图形的连接层(11)上。
6. 根据权利要求 1-3 之一所述的方法, 其特征在于: 直到电路器件 (12、13) 施加后, 连接层 (11) 才固化。
7. 根据权利要求 1-3 之一所述的方法, 其特征在于: 在电路器件 (12、13) 相互机械连接期间和 / 或之后, 在远离接触区 (12'、13') 的一侧加
- 25 上电路器件 (12、13) 的密封封装。
8. 根据权利要求 1-3 之一所述的方法, 其特征在于: 在印刷、或模铸过程中, 实现填充物 (14) 和 / 或密封封装 (15) 的施加。
9. 根据权利要求 1-3 之一所述的方法, 其特征在于: 填充物 (14) 和 / 或密封封装 (15) 在固化过程中先固化, 然后再除去转移衬底 (10)。
- 30 10. 根据权利要求 1-3 之一所述的方法, 其特征在于: 在至少一个导

电层 (20、21) 内提供电连接层 (16), 电连接层 (16) 具有在 x 方向的导电轨道 (20) 和在 y 方向的导电轨道 (21), 一个内插的绝缘层具有多层性, 这些导电轨道在每一种情况下都借助于通孔 (25) 有选择性地相互连接。

5 11. 根据权利要求 1-3 之一所述的方法, 其特征在于: 在一个并行的过程中制造多个半导体电路模块, 在随后的一个工艺步骤中, 将这些模块分成半导体电路模块条 (18) 或单个的半导体电路模块 (31)。

12. 一种半导体电路模块 (31), 具有:

具有图形的连接层 (11);

10 在具有图形的连接层 (11) 上的有源电路器件 (12) 和 / 或无源电路器件 (13), 它们的接触区 (12'、13') 指向具有图形的连接层 (11) 的连接层方向;

填充物 (14), 至少位于单个的电路器件 (12、13) 之间, 用于相互连接电路器件 (12、13); 和

15 电连接器件 (16), 用于使电路器件 (12、13) 的连接区域 (12'、13') 有选择地接触连接。

13. 根据权利要求 12 所述的半导体电路模块, 其特征在于: 半导体电路模块 (31) 至少在电连接器件 (16) 的一部分上有一个保护器件 (17)。

14. 根据权利要求 13 所述的半导体电路模块, 其特征在于: 半导体电路模块 (31) 在未被保护器件 (17) 覆盖的区域 (23) 具有连接器件 (19、28)。

15. 根据权利要求 12-14 所述的半导体电路模块, 其特征在于: 有源电路器件 (12) 具有半导体器件 (12), 对于它的功能已经进行了可靠的测试。

25 16. 根据权利要求 12-14 之一所述的半导体电路模块, 其特征在于: 在远离接触区 (12'、13') 的一侧, 提供电路器件 (12、13) 密封封装 (15)。

17. 根据权利要求 12-14 之一所述的半导体电路模块, 其特征在于: 连接平面 (11) 包括电介质材料, 如聚合物、环氧树脂、粘合剂、硅酮、聚酰胺。

30 18. 根据权利要求 12-14 之一所述的半导体电路模块, 其特征在于:

填充物（14）包括不导电的可固化的材料，如聚合物、粘合剂、硅酮。

19. 根据权利要求 18 所述的半导体电路模块，其特征在于：密封封装（15）包括的材料与填充物相同。

20. 根据权利要求 12—14 之一所述的半导体电路模块，其特征在于：
5 在至少一个导电层（20、21）内提供电连接层（16），电连接层（16）具有在 x 方向的导电轨道（20）和在 y 方向的导电轨道（21），一个内插的绝缘层具有多层性，这些导电轨道在每一种情况下都借助于通孔（25）有选择性地相互连接。

21. 根据权利要求 12—14 之一所述的半导体电路模块，其特征在于：
10 保护器件（17）有一个钝化层（17），钝化层由不导电材料如聚合物制成。

22. 根据权利要求 12—14 之一所述的半导体电路模块，其特征在于：
半导体电路模块（31）具有至少一个导电通道，导电通道从密封封装（15）的前侧到其后侧，借助于导电通道，具体来说借助于导电粘合剂（26）可以连接另一个半导体电路模块（31）。

15 23. 根据权利要求 14 所述的半导体电路模块，其特征在于：连接器件（19、28）具有边缘连接件（19），或者设有焊珠（28）的焊盘。

24. 根据权利要求 12—14 之一所述的半导体电路模块，其特征在于：
半导体电路模块的总厚度小于 200 微米，具体来说总厚度为 100 微米。

半导体模块及制造半导体模块的方法

技术领域

5 本发明涉及一种半导体模块及制造半导体模块的方法。

背景技术

例如用于计算机系统或计算机系统的存储设备的半导体模块通常构成模块形式。常规的存储模块必须有两组主要的元件。一是有源的或无源的电路元件，二是印刷电路板。印刷电路板用作电路器件的载体，提供
10 连接元件如导电轨道，并且产生向外部的连接。

有源电路器件，如存储芯片，是单个的经过包装的芯片。在这种包装中实现如下的功能：在芯片的触点之间连接以形成一种类型的重新布线（引线架、内插板）。这可能通过粘结工艺或通过小焊珠即内部连接元件来实现。这种重新布线用作接触元件，用于下一个结构层次，即与应用
15 印刷电路板连接。无源电路元件如电阻器、电容器、等等，主要用于有源电路器件的外部连接。

电路元件在模块组装期间焊接到电路板上。使用经过常规包装的有源电路器件导致相当低的元件密度，模块厚度范围约在 2—3mm。

图 12 示意地表示出带有有源和无源电路器件 12、13 的印刷电路板 29
20 的总体情况。有源电路元件 12 如存储芯片密封在内插衬底 30 上，内插衬底 30 在焊盘上设有连接器件 28 如焊珠，以便电接触连接到印刷电路板 29。无源电路元件 13 如电阻器、电容器、等以类似的方式设置在印刷电路板 29 上。

图 13 表示通常的多芯片模块，在它的印刷电路板 29 上设有有源电路
25 器件 12 和无源电路器件 13。有源电路器件或芯片 12 利用倒装技术（以及附加的下部填充技术，即，来源于热的结构稳定性的粘结技术）安装在内插衬底 30 上。例如，借助于焊珠 28 将包括芯片 12 和内插衬底 30 在内的封装固定到模块载体 29 上。无源电路器件 13 焊接到印刷电路板 29 上，印刷电路板 29 在单个芯片 12 或多个芯片 12 和无源电路元件 13 之
30 间有大量的电连接如导电轨道。因此，这样一种以通常用的安排在单面

布局的情况下具有大的总厚度，至少为 $d1 + d2 + d3$ ，这将导致模块厚度超过 2mm，进而，导致低的元件密度，主要的原因是内插衬底和导电轨道具有大的面积要求。

发明内容

5 因此，本发明的一个目的是提供一种半导体模块及制造半导体模块的方法，由此可以提供具有大的元件密度的薄的多芯片模块。

按照本发明，借助于如权利要求 1 所述的制造半导体模块的方法和借助于如权利要求 12 所述的半导体电路模块来实现这一目的。

10 本发明依据的构思主要在于：所有的模块元件，即有源电路器件和无源电路器件，全都预先安装在一个特定的安装平面上，这个安装板在下面称之为晶片，封装和模块组装都组合在一些共用的工艺步骤中，并且形成模块晶片。

按照先前的硅晶片的形式构成这种新的安装板对于早期技术来说是方便可行的。这使继续进行所需的薄膜技术（金属化、光刻、…）的随后
15 的工艺步骤更加容易，对于圆形晶片这种技术的设备已经存在。然而，这种方法不取决于安装平面的这种形式。较大的长方形区域更加有效，并且同样地可以想象得到。

在本发明中，解决在本说明书的引言部分中提到的问题的具体方法是：将具有图形的连接层加到转移衬底上，将具有指向转移衬底的接触区的
20 有源和 / 或无源电路器件加到这个具有图形的连接层（sic）上，电路器件借助于至少设在电路器件之间的填充物相互连接，借此，可除去转移衬底并施加电连接器件，用于对电路器件的接触区进行选择性的接触连接。

考虑到在电路器件之间的微小间隙，所占据的区域可能是最小的，因此
25 元件密度是最大的。进而，按这种方式有可能产生极薄的模块，例如 100 微米或更小，其中使用了不带包装的有源电路器件，它具有最小的体积、重量、和电连接平面。

由于模块上的连接线很短，所以寄生效应如不期望的信号电容耦合到
30 连接线上出现得很少，导致良好的电性能。而且，有可能省去用于制造半导体电路模块的焊接过程。

另一个优点可能是，对于半导体电路模块在制造过程中进行所谓的冷处理或加工和绿色处理或加工，它是基于半导体模块的功能性试验（已知的良好芯片）。模块还可能堆置起来。

在从属权利要求中可以发现本发明的对应主题的有益进展和改进。

5 按照本发明的一个优选进展，至少在一部分电连接器件上加保护器件。结果，在结构上保护电连接器件不受外部影响。

按照本发明的另一个优选进展，在保护器件没有覆盖的区域提供连接器件。

按照本发明的下一个优选进展，在印刷过程设置制作了图形的连接层。

10 按照本发明的下一个优选进展，将电路器件安排在具有图形的连接层上，以使电路器件的电连接区域不在具有图形的连接层上。

按照本发明的下一个优选进展，直到电路器件施加后，连接层才固化。

按照本发明的下一个优选进展，在电路器件相互机械连接期间和 / 或之后，加上电路器件的密封封装。

15 按照本发明的下一个优选进展，在印刷、模注（塑料注模）、或模铸过程中，实现填充物和 / 或密封封装的施加。

按照本发明的下一个优选进展，填充物和 / 或密封封装在固化过程中先固化，然后再除去转移衬底。

20 按照本发明的下一个优选进展，在至少一个导电层内提供电连接层，电连接层具有在 x 方向的导电轨道和在 y 方向的导电轨道，一个内插的绝缘层具有多层性，这些导电轨道在每一种情况下都借助于通孔有选择性地相互连接。

25 按照本发明的下一个优选进展，在一个并行的过程中，制造多个晶片级别的半导体电路模块，在随后的一个工艺步骤中，将这些模块分成半导体电路模块条或单个的半导体电路模块。

按照本发明的下一个优选进展，连接平面包括电介质材料，如聚合物、环氧树脂、粘合剂、硅酮、聚酰亚胺。

按照本发明的下一个优选进展，填充物包括不导电的可固化的材料，如聚合物、粘合剂、硅酮。

30 按照本发明的下一个优选进展，密封封装包括的材料与填充物相同，

或者，填充物具有附加的性质。

按照本发明的下一个优选进展，保护器件有一个钝化层，钝化层由不导电材料如聚合物制成。

按照本发明的下一个优选进展，半导体电路模块具有至少一个导电通道，导电通道从前侧到密封封装的后侧，借助于导电通道具体来说借助于导电粘合剂可以连接另一个半导体电路模块。

按照本发明的下一个优选进展，连接器件具有边缘连接件，或者设有焊珠的焊盘。

按照本发明的下一个优选进展，半导体电路模块的总厚度小于 200 微米，具体来说总厚度约为 100 微米。

在附图中表示出本发明的一个实施例，在下面的描述中更加详细地说明这个实施例。

附图说明

图 1A 和 1B 表示在按照本发明的一个实施例的第一方法步骤之后装置的详细示意图，图 1A 是剖面图，图 1B 是平面图；

图 2A 和 2B 表示在按照本发明的一个实施例的另一方法步骤之后装置的详细示意图，图 2A 是剖面图，图 2B 是平面图；

图 3A 和 3B 表示在按照本发明的一个实施例的下一方法步骤之后装置的详细示意图，图 3B 表示的是图 3A 的装置在随后一个方法步骤之后的装置状况；

图 4 表示按照本发明的实施例在除去转移衬底的方法步骤的情况下的装置的详细示意图；

图 5 表示在按照本发明的一个实施例的另一方法步骤之后装置的详细示意图；

图 6A 和 6B 表示在按照本发明的一个实施例的下一方法步骤之后装置的详细示意图，图 6A 是剖面图，图 6B 是纵剖面图（转过了 90° ）。；

图 7 表示用于说明本发明的一个实施例的示意平面图；

图 8A、8B、8C 表示用于说明本发明的一个实施例的装置的示意平面图，其中图 8A 是平面图，图 8B 是剖面图，图 8C 是装置的纵向剖面；

图 9A、9B 表示用于说明本发明的一个实施例的装置的示意图，其中

图 9A 表示单个的模块，图 9B 表示彼此接触连接的两个模块；

图 10A、10B 表示用于说明本发明的一个实施例的装置的示意图，其中图 10A 是平面图，图 10B 是纵向剖面；

图 11A、11B 表示用于说明本发明的一个实施例的装置的示意图，其中图 11A 是平面图，图 11B 是纵向剖面；

图 12 是说明习惯上常用的一个装置的示意图；

图 13 是说明一个习惯上常用的多芯片装置的示意图；

图 14A 和 14B 表示用于说明本发明的一个实施例的制造方法的流程图，其中图 14A 表示常规的制造方法，图 14B 表示按照本发明的一个实施例的制造方法。

具体实施方式

在附图中，相同的标号代表相同的或功能上相同的组成部分。

图 1A 表示一个转移衬底 10，它例如由玻璃、金属、或聚合物构成，在一个印刷过程中，将具有图形的电介质连接平面 11 加到这个转移衬底 10 上。电介质连接平面 11 在此时谈论它的时候还没有固化，还是发粘的。电介质连接平面 11 包括例如聚合物、环氧树脂、粘合剂、硅酮、或聚酰亚胺。

图 1B 在平面图中表示出转移衬底 10，其上涂有电介质连接平面 11 的各个连接区 11，转移衬底制成长方形形式。

在图 2A 中，有源电路器件 12 和无源电路器件 13 加到转移衬底 10 和具有图形的连接平面 11 上。将电路器件 12、13 加到连接平面的预定位置，使用于电路器件 12、13 的电接触连接的接触区 12'、13' 指向转移衬底的方向并且落在具有图形的连接平面 11 内的间隙或切口上。有源电路器件 12 包括功能检查的半导体器件，例如存储模块，它们的排列很像例如在芯片焊接 (die-bonding) 或取一放过程 (pick and place process) 中的无源电路器件 13 (电阻器、电容器、...)，放在转移衬底 10 的未固化的粘合剂 11 上。

在这个方法步骤，确定各个电路器件的彼此几何位置，即分配位置。电路器件 12、13 的排列位置应尽可能地彼此靠近，以占据最小的可能空间。然后用加热的方式或借助于紫外辐射使电介质连接层 11 固化，由此

固定电路器件 12、13 的彼此位置。

图 2B 表示的是在转移衬底 10 上设有电路器件 12、13 的连接平面 11 的平面图。

在图 3A 中，在半导体器件 12 和无源电路器件 13 之间的间隙填充有填充物 14。最好在印刷或铸造过程中加入或引入填充物 14 然后使其固化，所说的填充物 14 由聚合物、粘合剂、硅酮、或类似物制成。

图 3B 表示的是按照图 3A 的装置，其中在电路器件 12、13 以及在电路器件 12、13 之间的间隙的上方设有密封封装 15，其中所说的间隙设有填充物 14。这个后侧密封封装 15 可以在与引入填充物 14 的同一步骤中实现（在相同的工艺器件或同一腔室内实现），然而，如果还期望填充物 14 具有一些密封封装 15 本身所没有的附加性质的话，那么，这个后侧密封封装 15 也可以随后再去实现。

图 4 表示从包括具有图形的连接平面 11、有源电路器件 12、无源电路器件 13、在电路器件 12、13 之间的间隙、所说的间隙中设置的填充物 14、和密封封装 15 在内的已固化的组合物上除掉转移衬底 10 的情况。结果，电路器件 12、13 的接触区 12'、13'再次变为可接近的。

在图 5 中，在一个工艺步骤中，为按照图 4 所示的组合物设置一个电连接器件 16。电连接器件 16 例如包括具有图形的、溅射上或电化学镀敷上的铜、镍、或金的导电轨道，这些导电轨道设置在各个芯片 12 之间、芯片 12 和无源电路器件 13 之间，和 / 或与一个连接器件 19 相连。制作有图形的导电轨道 16 在具有图形的电介质连接层 11 上方的接触区 12'、13'之间延伸。

电连接器件 16 最好是一个双层线系统，在两个制作有图形的导电层之间有一电介质层，一个导电层用于 x 方向的连接或导电轨道，另一个导电层用于 y 方向的连接或导电轨道，这两个导电层借助于在电介质层中的通孔进行有选择性的电接触，电介质层例如由聚酰胺制成。根据模块的复杂程度，必须在不同的平面内形成一个或多个电连接器件 16，以便元件 12、13 有选择性地彼此电连接。

图 6A 表示的是如图 5 所示的本发明的装置，但在电连接器件 16 上有一个钝化层 17。在模块前侧上方的保护器件 17 例如在印刷过程施加，使

其包括一种聚合物，这个保护器件 17 覆盖除了连接器件 19 或连接触点外的半导体电路模块 31 的前侧，如图 6B 所示的。图 6B 表示如图 6A 所示的装置，但图 6B 不是剖面图，而是一个纵向剖面（转过了 90°）。

图 7 表示多个半导体电路模块条 18 的平面图，用于表示在 x 方向的重
5 新布线器件 20 和在 y 方向的新布线器件 21，重新布线器件 20、21 是电连接器件 16 的一部分。

图 8A 表示一个半导体模块条 18，它具有 3 个不同的部分 22、23、24。
部分 22 代表具有钝化层 17 的一个钝化覆盖模块，在区域 23 中省去了钝
10 化层 17。在部分 24 中可以看见埋入的芯片的芯片侧壁，这是因为这里没有附加任何电连接层 16 或电介质连接平面 11。

图 9A 表示半导体存储模块 31 的纵向剖面，半导体存储模块 31 设有从
模块前侧到模块后侧的导电通孔即金属化通孔 25。这样一种金属化通孔
25 允许借助于导电粘合剂 26 电连接到第二半导体电路模块 31。在两个
15 半导体电路模块 31 之间的机械连接最好借助于在每一种情况下在半导体
电路模块 31 的后侧密封封装 15 之间的不导电粘合剂 27 来实现。这样一
种包括两个半导体电路模块 31 在内的双重叠置的模块能使元件密度进
一步提高。

图 10A 和 10B 用于说明连接条或边缘连接件形式的连接器件 19。

图 11A 表示一个半导体电路模块条 18，它具有与图 10 不同的另一种
20 连接器件 28。加到焊盘上的焊珠 28 代表在 x 或 y 方向保留的最佳空间，
但是增加了模块厚度。这导致主要与有源电路器件 12 和无源电路器件 13
所占面积对应的一个最小的面积要求。

如果最后附加的层有一个硬的接触表面，如由金制成的表面，则在形
成电连接器件 16 或重新布线器件 20、21 的过程中，可以用简单的方式
25 产生边缘连接件形式的利用连接接触的连接器件 19。如果这个边缘连接
件在密封封装部分中安排在由有源电路器件 12 和无源电路器件 13 所占
据的区域之外，这将增加模块结构的尺寸。

图 14A 表示在制造半导体电路模块过程中使用的常规的工艺程序。在
制造出实际的晶片以后，紧跟着的就是晶片测试，然后再将从晶片逐个
30 分开的芯片封闭起来（第一层次包装）。这个经过第一层次包装的元件在

用于实现具有位于印刷电路板上的另外的有源电路器件和无源电路器件的模块结构（第二层次的包装）之前，必须针对它的功能再次进行检查。最终的模块测试提供有关半导体电路模块功能的信息。

5 与其相反，图 14B 表示按照本发明的优选实施例的示意工艺程序。这里，在制造晶片后，在全面晶片测试期间，对于半导体器件已进行可靠（positively）测试并且半导体器件被视为功能正常，在下一个步骤，对于这个经过测试的半导体器件进行进一步处理（sic）。接下去，形成模块，这个过程已经参照附图 1A—6B 作过详细描述，然后以类似的方式让这个模块通过模块测试。这个工艺程序基于对良好的（经过测试的）半导
10 体芯片（已知的良好电路小片（die）的了解。

利用这种技术，可以廉价地制造出极薄的模块晶片。可以将通孔整体式地形成在密封封装中，并且有可能进行从衬底 / 模块的前侧到后侧的电连接。这就允许将这些晶片堆置起来形成 3 维模块。如果使半导体器件或芯片和无源电路器件极薄，则有可能实现柔软易弯曲的模块，这些
15 模块能够以简单的形式适应外壳的形状。

虽然如以上所述基于典型的优选实施例描述了本发明，但本发明不局限于此，本发明可以按各种各样的方式进行改进。

虽然我们设想的是借助于属于薄膜技术的系统在一个圆形晶片上加工出多个半导体电路模块的并行的制造方法，但也可以使用长方形的晶片
20 结构，可以在用于平直的屏幕显示器或印刷电路板的机器上加工这种长方形的晶片结构。此外，用于电气 / 结构连接的或用于有源 / 无源电路器件的彼此连接的其它材料也是可以想像出来的。而且，本发明不局限于所述的这些应用可能性。

25

30

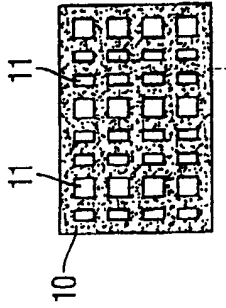


图 1B

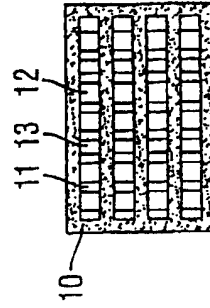


图 2B

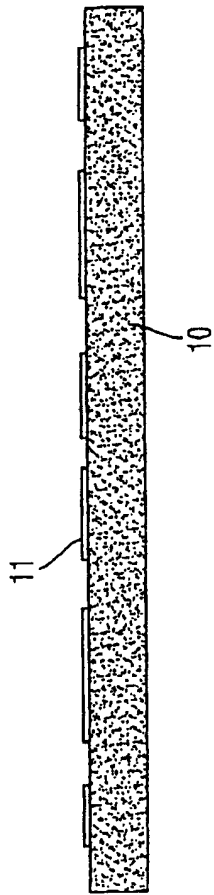


图 1A

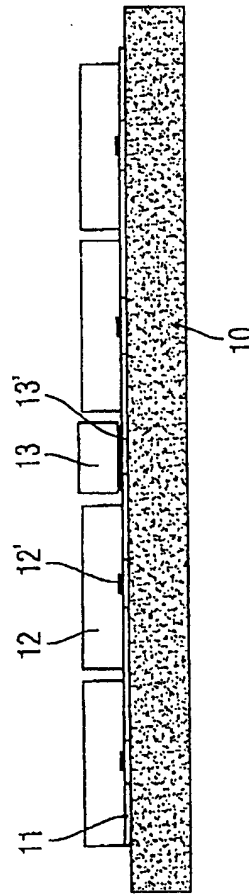


图 2A

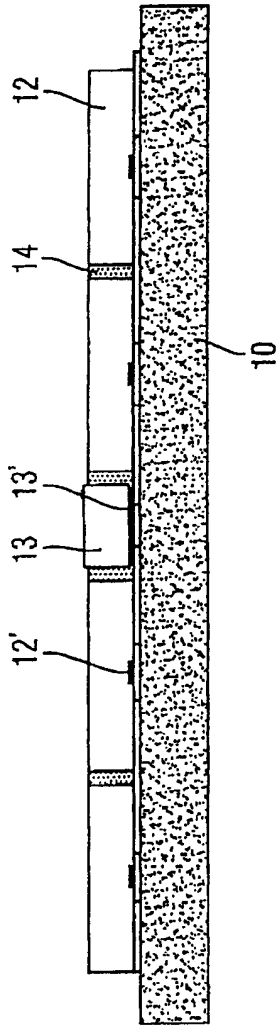


图 3A

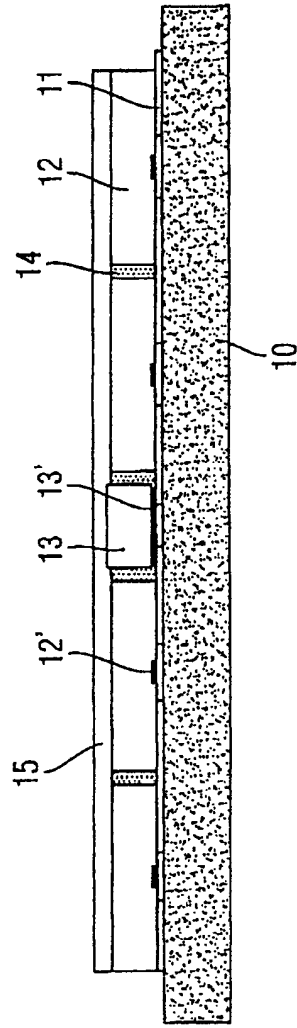


图 3B

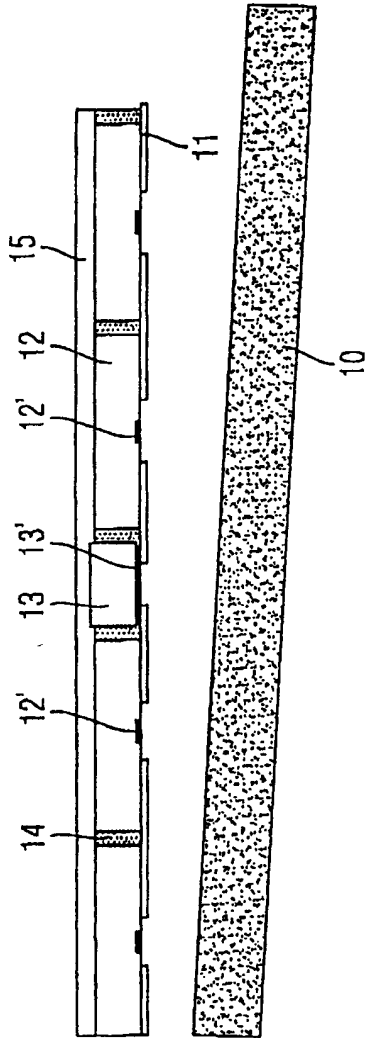


图 4

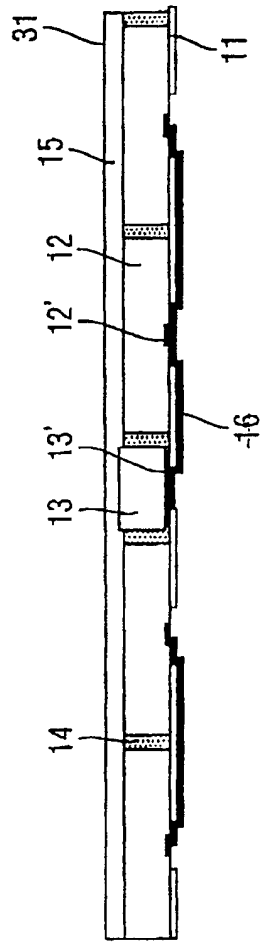


图 5

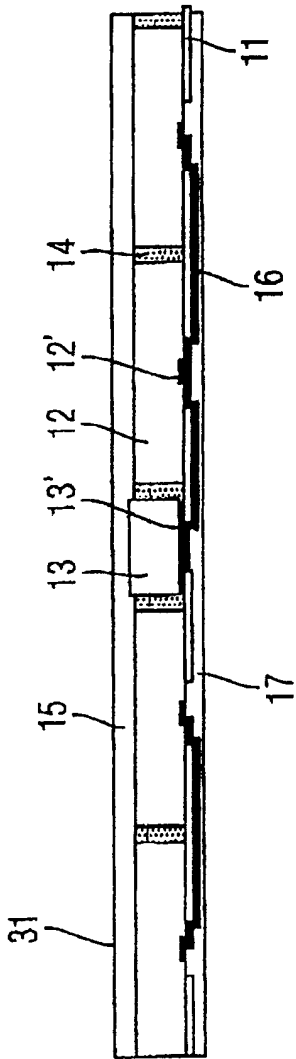


图 6A

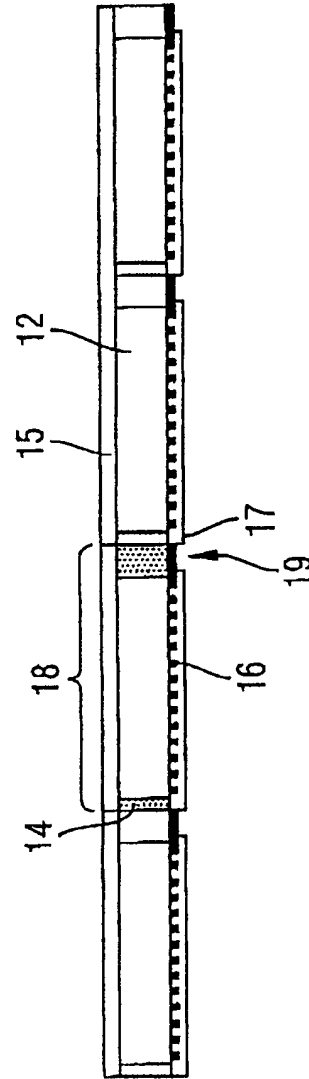


图 6B

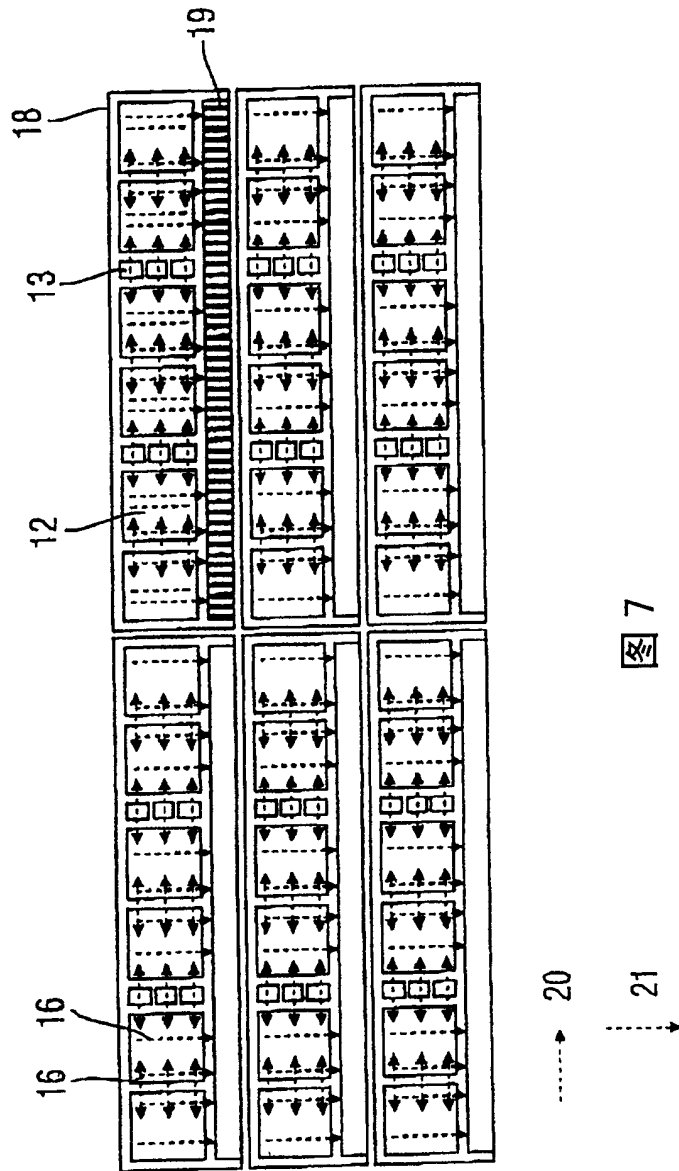


图 7

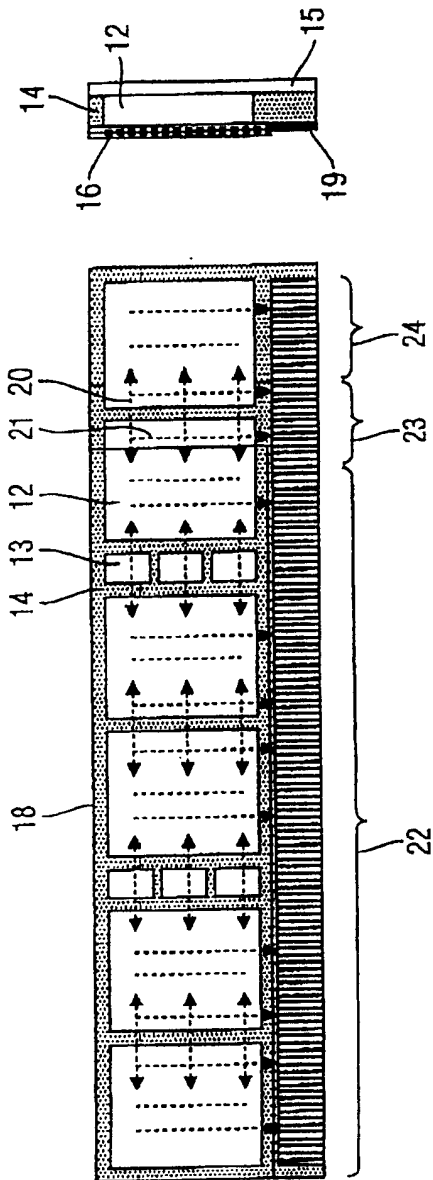


图 8C

图 8A

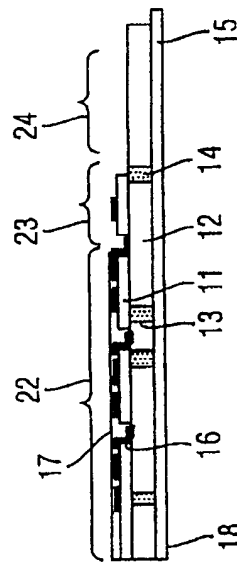


图 8B

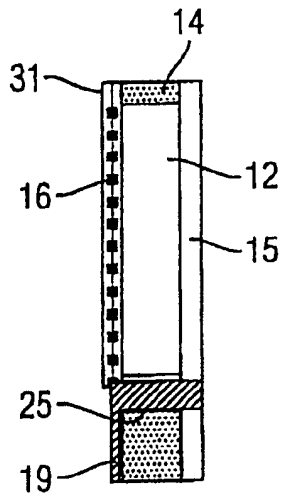


图 9A

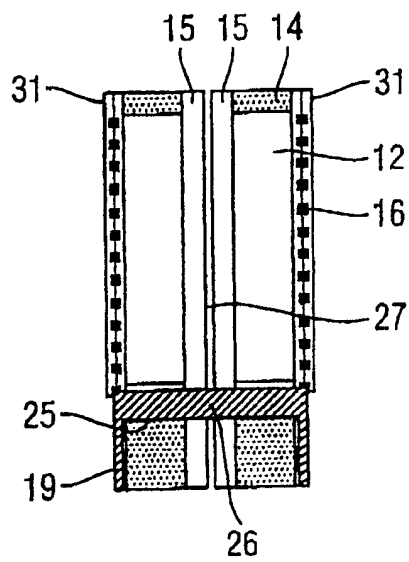


图 9B

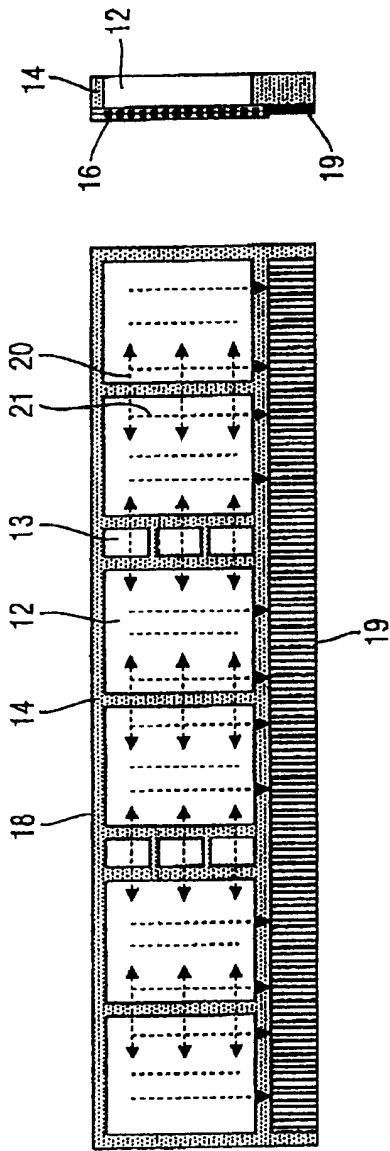


图 10B

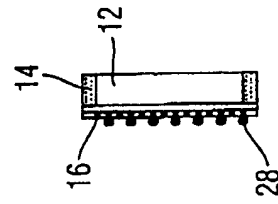


图 11B

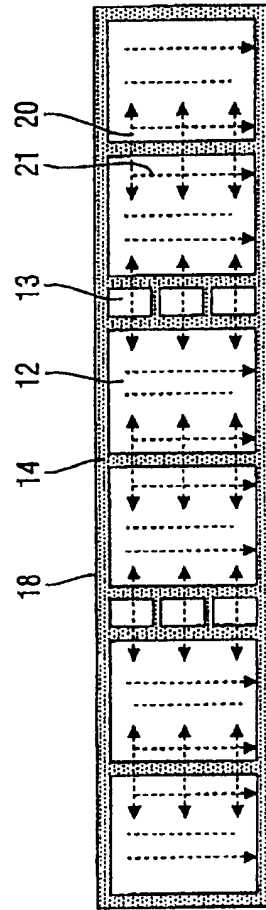


图 11A

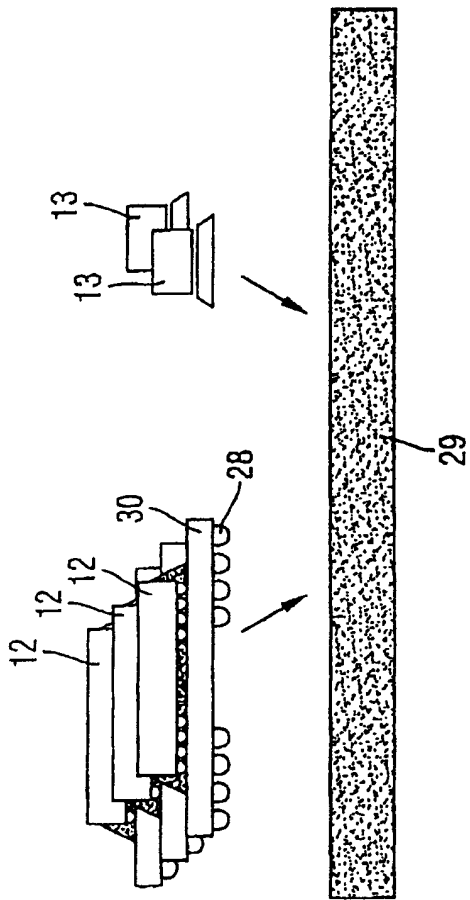


图 12

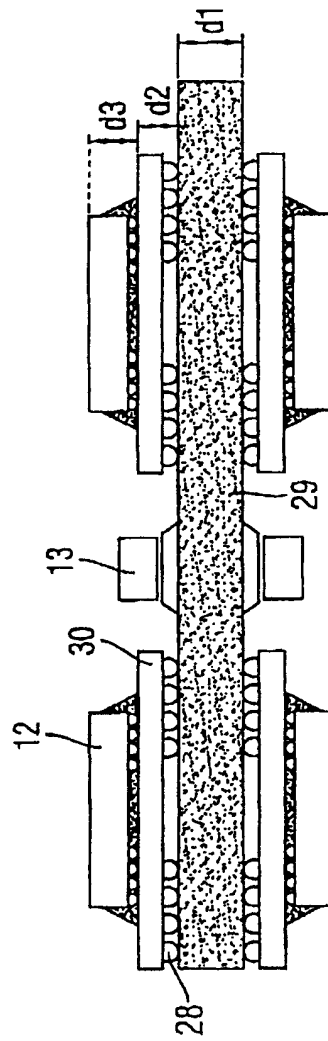


图 13

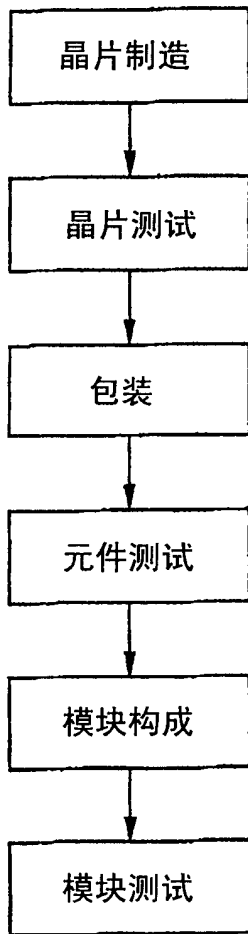


图 14A

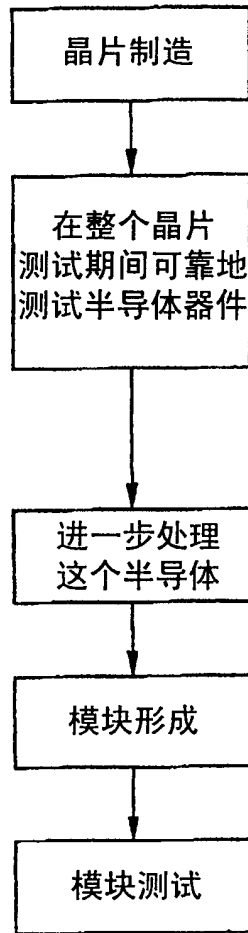


图 14B