

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 8 月 25 日(25.08.2011)

PCT

(10) 国際公開番号
WO 2011/102187 A1

(51) 国際特許分類:
H01P 5/18 (2006.01)

5400011 大阪府大阪市中央区農人橋 1 丁目 4 番
3 4 号 Osaka (JP).

(21) 国際出願番号: PCT/JP2011/051276

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(22) 国際出願日: 2011 年 1 月 25 日(25.01.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-034438 2010 年 2 月 19 日(19.02.2010) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 Kyoto (JP).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 向山和孝 (MUKAIYAMA Kazutaka) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社 村田製作所内 Kyoto (JP).

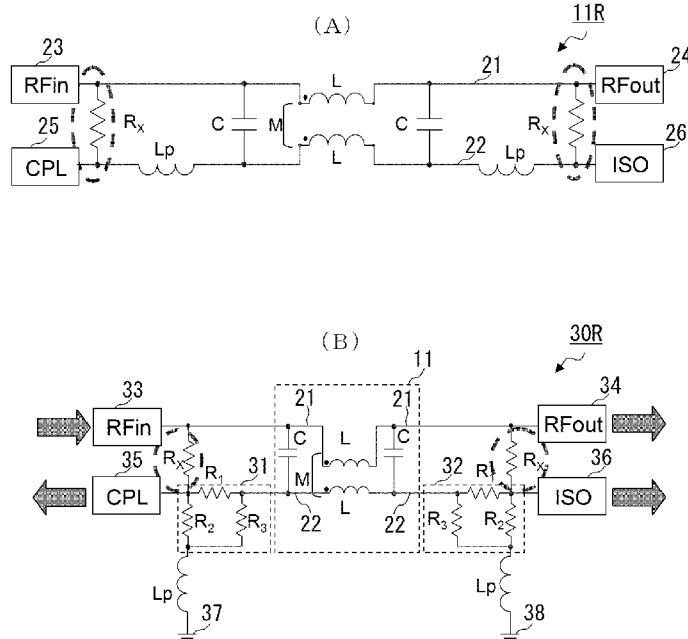
(74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒

[続葉有]

(54) Title: DIRECTIONAL COUPLER

(54) 発明の名称: 方向性結合器

【図8】



(57) Abstract: Disclosed is a directional coupler which has excellent characteristics even when parasitic inductance is present in the coupling line. A directional coupler (11R) is constructed by providing a resistor (Rx) between a signal input port (23) and a CPL (coupling) port (25) and also between a signal output port (24) and an ISO (isolation) port (26). By providing the resistors (Rx) in this way, a real-number-component cancelling signal can be input to the coupling line (22) through the resistors (Rx), and the output of the ISO port (26) can therefore be reduced and directionality can be improved. That is, by adjusting the resistors (Rx) to have a resistance value which cancels the real number component of parasitic inductance (Lp) present in the coupling line (22), the output (isolation) of the ISO port (26) becomes substantially zero, thereby making it possible to improve directionality. It is therefore possible to realise a directional coupler which has excellent characteristics.

(57) 要約: 結合線路において寄生インダクタンスが存在しても、特性が良好な方向性結合器を提供する。方向性結合器(11R)は、信号入力ポート(23)とCPL(カップリング)ポート(25)の間、及び信号出力ポート(24)とISO(アイソレーション)ポート(26)の間に抵抗体(Rx)を設けた構成である。このように抵抗体(Rx)を設けることで、この抵抗体(Rx)を通じて、結合線路(22)に、上記の実数成分を打ち消す信号が流れ込むので、ISOポート(26)の出力を低減させて、方向性を向上させることができる。すなわち、抵抗体(Rx)を、結合線路(22)に存在する寄生インダクタンス(Lp)の実数成分を打ち消す抵抗値に調整することで、ISOポート(26)の出力(アイソレーション)がほぼ0となり、方向性を改善できる。したがって、方向性結合器の特性を良好にできる。

結合器(11R)は、信号入力ポート(23)とCPL(カップリング)ポート(25)の間、及び信号出力ポート(24)とISO(アイソレーション)ポート(26)の間に抵抗体(Rx)を設けた構成である。このように抵抗体(Rx)を設けることで、この抵抗体(Rx)を通じて、結合線路(22)に、上記の実数成分を打ち消す信号が流れ込むので、ISOポート(26)の出力を低減させて、方向性を向上させることができる。すなわち、抵抗体(Rx)を、結合線路(22)に存在する寄生インダクタンス(Lp)の実数成分を打ち消す抵抗値に調整することで、ISOポート(26)の出力(アイソレーション)がほぼ0となり、方向性を改善できる。したがって、方向性結合器の特性を良好にできる。

WO 2011/102187 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 方向性結合器

技術分野

[0001] この発明は、方向性結合器に関し、特に伝送線路型の方向性結合器の特性改善に関する。

背景技術

[0002] 図 1 (A) は、伝送線路型の方向性結合器を備えた RF 送信回路のブロック図である。図 1 (B) は、方向性結合器の理想的な等価回路図である。図 1 (C) は、図 1 (B) に示す方向性結合器のカップリングポートとアイソレーションポートにおける信号の方向を示す図である。図 2 (A) は、方向性結合器のカップリングポートの出力信号を極座標形式で示した図である。図 2 (B) は、方向性結合器のアイソレーションポートの出力信号を極座標形式で示した図である。図 2 (C) は、方向性結合器のカップリングポート及びアイソレーションポートの出力信号を併せて極座標形式で示した図である。

[0003] 従来、高周波信号のパワーの監視、高周波信号源の監視や安定化、高周波信号の伝送や反射の測定などの用途に方向性結合器が用いられている。例えば、図 1 (A) に示すように、携帯電話装置等の RF 送信回路 10 において、自動利得制御回路 14 が方向性結合器 11 の出力電力を検出し、検出値に応じて送信電力増幅器 13 を制御して、送信電力増幅器 13 から方向性結合器 11 への入力電力を必要最小限に抑える構成が知られている。

[0004] 伝送線路型の方向性結合器は、主線路と結合線路（副線路）の間の電界結合と磁界結合を利用したものである。図 1 (B) に示すように、信号入力ポート (RF in) 23 に信号 S1 が入力されると、主線路 21 を介して信号出力ポート (RF out) 24 から信号 S1 が出力される。このとき、主線路 21 と結合線路 22 は、両線路間の分布容量 C により電界結合され、相互インダクタンス M により磁界結合される。結合線路 22 には、電界結合によ

り、カップリングポート（以下、CPLポートと称する。）25の方向に信号S2が伝搬し、アイソレーションポート（以下、ISOポートと称する。）26の方向に信号S3が伝搬する。また、結合線路22には、磁界結合により、グランド（GND）を含めた閉ループにおいて、CPLポート25の方向に信号S4、信号S5が伝搬する。

[0005] 図1（C）に示すように、CPLポート25において、信号S2の位相は、信号S1の位相に対して $+90^\circ$ である。一方、CPLポート25における信号S4の位相は、位相の遅れ（ -90° ）とループの向き（ $+180^\circ$ ）により、信号S1に対して位相は $+90^\circ$ である。つまり、信号S2と信号S4は位相が揃うので、2つの信号の電力を加算した信号がCPLポート25から出力される。信号S2と信号S4を極座標形式で示すと、図2（A）に示すようになる。

[0006] 図1（C）に示すように、ISOポート26における信号S3の位相は、信号S1に対して位相は $+90^\circ$ である。一方、ISOポート26における信号S5の位相は、信号S1の位相に対して -90° 位相である。つまり、信号S3と信号S5が逆相なので、2つの信号は打ち消しあって、ISOポート26からは信号が出力されない。信号S3と信号S5を極座標形式で示すと、図2（B）に示すようになる。

[0007] 図2（A）に示したCPLポート25の出力信号（ $S2 + S4$ ）と図2（B）に示したISOポート26の出力信号（ $S3 + S5$ ）をまとめて極座標形式で示すと、図2（C）のようになる。すなわち、アイソレーション（ISOポートの出力）は0であり、高い方向性（結合量とアイソレーションの比）が得られる。

[0008] なお、このような特性は、主線路21と結合線路22の間の分布容量Cと、相互インダクタンスMの調整により実現できる。また、図1（B）に示した方向性結合器は理想的な等価回路であり、主線路21と結合線路22の相互インダクタンスMの結合係数Kは1である。

[0009] 図3（A）は、特許文献1に記載された、結合線路の両端に減衰器を設け

た方向性結合器（アッテネータ複合カプラ）の回路図である。図3（B）は、アッテネータ複合カプラの理想的な等価回路図である。図4（A）は、図3（B）に示したアッテネータ複合カプラの周波数特性図である。図4（B）は、図3（B）に示したアッテネータ複合カプラの結合量及びアイソレーションの周波数特性を極座標形式で示した図である。

[0010] 従来、外部に接続される負荷による特性変動を抑制するために、図3（A）に示すように、結合線路の両端、すなわち、CPLポート35と結合線路22との間、及びISOポート36と結合線路22との間に減衰器（アッテネータ）31、32を設けた方向性結合器（アッテネータ複合カプラ）30が提案されている（特許文献1参照。）。このアッテネータ複合カプラ30の等価回路は、図3（B）に示すとおりである。アッテネータ複合カプラ30は、図4（A）に示すような周波数特性である。なお、同図には、アイソレーションをIS、反射損失をRL、結合量をCP、挿入損失をIL、及び方向性をDと表記している。また、図4（B）に示すように、アイソレーション（IS）はほぼ0であり、高い方向性が得られる。

先行技術文献

特許文献

[0011] 特許文献1：特開2009-044303号公報

発明の概要

発明が解決しようとする課題

[0012] 図5（A）は、実際に作成した方向性結合器の等価回路図である。図5（B）は、実際に作成したアッテネータ複合カプラの等価回路図である。図6は、図5（A）に示した方向性結合器のISOポートの出力を極座標形式で表した図である。図7（A）は、図5（B）に示したアッテネータ複合カプラの周波数特性図である。なお、同図には図4（A）と同様に表記している。図7（B）は、図5（B）に示したアッテネータ複合カプラの結合量及びアイソレーションの周波数特性を極座標形式で示した図である。

- [0013] 実際には作成した方向性結合器では、図 1 (B) に示した理想的な等価回路のように相互インダクタンス M の結合係数を $K = 1$ にすることは困難である。また、配線には通常、インダクタンス成分が存在する。そのため、図 5 (A) に示すように、実際に作成した方向性結合器 1 1 L では、結合線路 2 2 に寄生インダクタンス L_p が存在する。
- [0014] この場合、電界結合による信号 S_3 と磁界結合による信号 S_5 (図 1 (B) 参照) は $\pm 90^\circ$ からずれるため、ISO ポートから信号が出力される。すなわち、電界結合による信号 S_3 は 1 つの寄生インダクタンス L_p を通過するのに対して、磁界結合による信号 S_5 はグラウンドラインを含む閉ループを流れるので、2 つの寄生インダクタンス L_p を通過する。このとき、磁界結合による信号 S_5 の位相遅れが、電界結合による信号 S_3 の位相遅れより大きくなり、信号 S_3 と信号 S_5 の差に起因して、図 6 に示すように ISO ポートに出力される信号 ($S_3 + S_5$) に負の実数成分が生じる。そのため、十分なアイソレーションや方向性が確保できないという問題があった。
- [0015] また、特許文献 1 に記載のアッテネータ複合カプラにおいて、減衰器は π 型回路であり、結合線路 2 2 とグラウンド (GND) に接続されている。すなわち、線路の引き回しやワイヤによりグラウンド接続されている。そのため、図 5 (B) に示すように、実際に作成したアッテネータ複合カプラ 3 0 L では、減衰器 3 1, 3 2 に寄生インダクタンス L_p が存在する。この寄生インダクタンス L_p により CPL ポート 3 5 に対して 90° 位相ずれを持つ成分が発生してしまう。このように、ISO ポート 3 6 において CPL ポート 3 5 に対して 90° の位相ずれを持つ成分が発生した場合、図 7 (A) に示すような周波数特性になる。すなわち、図 4 (A) に示したアッテネータ複合カプラ 3 0 の周波数特性と比較して、アイソレーションや方向性が劣化する。結合量とアイソレーションの周波数特性を極座標形式で表示すると図 7 (B) のようになり、図 6 と同様に方向性結合器内で磁界結合や電界結合により発生する信号が完全には相殺されず、ISO ポート 3 6 に出力される信号に負の実数成分が生じる。そのため、十分なアイソレーションや方向性が確

保できないという問題があった。

- [0016] そこで、この発明は、結合線路において寄生インダクタンスが存在しても、良好なアイソレーション特性が得られる方向性結合器を提供することを目的とする。

課題を解決するための手段

- [0017] この発明は、信号入力ポートと信号出力ポートとの間に接続された主線路と、カップリングポートとアイソレーションポートとの間に接続され、電界結合と磁界結合により主線路と互いに結合する結合線路と、を備えた伝送線路型の方向性結合器に関する。この発明では、方向性結合器は、信号入力ポートとカップリングポートの間、または信号出力ポートとアイソレーションポートとの間の少なくとも一方に抵抗体が接続されている。
- [0018] 方向性結合器では、主線路の信号入力ポートに信号が入力されると、結合線路には電界結合と磁界結合により信号が伝搬する。理想的な方向性結合器では、電界結合により発生した信号と磁界結合により発生した信号とは逆相なので、両信号は打ち消しあって、アイソレーションポートからは信号が出力されない。一方、実際に作成した方向性結合器では、結合線路や前記結合線路に接続される回路に寄生インダクタンスが存在するので、電界結合により発生した信号と磁界結合により発生した信号に位相の遅れが発生して、両信号を加算では相殺されない実数成分が発生する。そのため、十分なアイソレーションや方向性が確保できない。これに対して、この発明では、主線路と結合線路の間を接続する抵抗体を設けることで、この抵抗体を通じて結合線路に、上記の実数成分を打ち消す信号が伝搬するので、アイソレーションポートの出力を低減させて、方向性を向上させることができる。
- [0019] 上記発明において、抵抗体は、結合線路及び結合線路に接続される回路の寄生インダクタンスに起因してアイソレーションポートに出力される信号の実数成分を打ち消す。この構成により、アイソレーションポートの出力をほぼ0にすることができる。
- [0020] 上記発明において、方向性結合器は、主線路、結合線路、及び抵抗体が形

成された半絶縁性基板を備えている。半絶縁性基板は、損失が小さいので、方向性結合器の挿入損失を低減できる。

[0021] 上記発明において、方向性結合器は、主線路、結合線路、及び抵抗体は、薄膜プロセスにより半絶縁性基板に形成されている。薄膜プロセスにより方向性結合器を作成することで、各部品の位置ばらつきを抑制できるので、方向性結合器の電気的特性のばらつきは非常に小さく抑えられる。

[0022] 上記発明において、方向性結合器は、カップリングポートと前記結合線路との間、またはアイソレーションポートと結合線路との間の少なくとも一方に抵抗減衰器が接続され、この抵抗減衰器の抵抗が抵抗体と同一プロセスにより半絶縁性基板に形成されている。この構成により、抵抗体及び複数の抵抗を一括して形成することができるので、プロセスの追加が不要であり、製造のばらつきを抑制できる。

発明の効果

[0023] この発明によれば、方向性結合器は、結合線路において寄生インダクタンスが存在しても、良好なアイソレーション特性と方向性が得られる。また、方向性結合器の挿入損失を低減できる。また、方向性結合器の歩留まりを向上させることができる。また、製造コストの上昇を抑制できる。

図面の簡単な説明

[0024] [図1] 図1 (A) は、伝送線路型の方向性結合器を備えたRF送信回路のブロック図である。図1 (B) は、方向性結合器の理想的な等価回路図である。図1 (C) は、図1 (B) に示す方向性結合器のカップリングポートとアイソレーションポートにおける信号の方向を示す図である。

[図2] 図2 (A) は、方向性結合器のカップリングポートの出力信号を極座標形式で示した図である。図2 (B) は、方向性結合器のアイソレーションポートの出力信号を極座標形式で示した図である。図2 (C) は、方向性結合器のカップリングポート及びアイソレーションポートの出力信号を併せて極座標形式で示した図である。

[図3] 図3 (A) は、特許文献1に記載された、結合線路の両端に減衰器を設

けた方向性結合器（アッテネータ複合カプラ）の回路図である。図3（B）は、アッテネータ複合カプラの理想的な等価回路図である。

[図4]図4（A）は、図3（B）に示したアッテネータ複合カプラの周波数特性図である。図4（B）は、図3（B）に示したアッテネータ複合カプラの結合量及びアイソレーションの周波数特性を極座標形式で示した図である。

[図5]図5（A）は、実際に作成した方向性結合器の等価回路図である。図5（B）は、実際に作成したアッテネータ複合カプラの等価回路図である。

[図6]図5（A）に示した方向性結合器のISOポートの出力を極座標形式で表した図である。

[図7]図7（A）は、図5（B）に示したアッテネータ複合カプラの周波数特性図である。図7（B）は、図5（B）に示したアッテネータ複合カプラの結合量及びアイソレーションの周波数特性を極座標形式で示した図である。

[図8]図8（A）は、本発明の実施形態に係る伝送線路型の方向性結合器の等価回路図である。図8（B）は、減衰器を備えた伝送線路型の方向性結合器（アッテネータ複合カプラ）の等価回路図である。

[図9]図9（A）は、図8（B）に示したアッテネータ複合カプラの周波数特性図である。図9（B）は、図8（B）に示したアッテネータ複合カプラの結合量及びアイソレーションの周波数特性を極座標形式で示した図である。

[図10]周波数特性の比較結果を示した表である。

[図11]アッテネータ複合カプラのパターン図である。

[図12]図12（A）は、ウエハの外観図である。図12（B）は、薄膜抵抗を形成したデバイスの外観図である。図12（C）は、配線電極を形成したデバイスの外観図である。

発明を実施するための形態

[0025] 本発明の実施形態に係る伝送線路型の方向性結合器の概略構成及び動作について説明する。図8（A）は、本発明の実施形態に係る伝送線路型の方向性結合器の等価回路図である。図8（B）は、減衰器を備えた伝送線路型の方向性結合器（アッテネータ複合カプラ）の等価回路図である。図9（A）

は、図 8 (B) に示したアッテネータ複合カプラの周波数特性図である。なお、同図には図 4 (A) と同様に表記している。図 9 (B) は、図 8 (B) に示したアッテネータ複合カプラの結合量及びアイソレーションの周波数特性を極座標形式で示した図である。以下の説明では、従来と同じ構成には同じ符号を付して説明を省略する。

[0026] 図 8 (A) に示すように、本発明の伝送線路型の方向性結合器 11R は、主線路 21 と結合線路 22 のポート間、すなわち、信号入力ポート 23 と CPL ポート (カップリングポート) 25 の間、及び信号出力ポート 24 と ISO ポート (アイソレーションポート) 26 の間に抵抗体 R_x を備えている。

[0027] 図 8 (B) に示すアッテネータ複合カプラ 30R も同様の構成であり、信号入力ポート 33 と CPL ポート 35 の間、及び信号出力ポート 34 と ISO ポート 36 の間に抵抗体 R_x を備えている。

[0028] 前記のように、図 5 (A) に示した方向性結合器 11L では、結合線路 22 に寄生インダクタンス L_p が存在するので、この寄生インダクタンス L_p に起因して、電界結合により発生した信号と磁界結合により発生した信号に位相遅れの差が生じて、両信号を加算しても打ち消すことができない負の実数成分を有する信号が ISO ポートから出力される。そのため、十分なアイソレーションや方向性が確保できない。

[0029] これに対して、図 8 (A) に示した方向性結合器 11R では、上記のように抵抗体 R_x を設けることで、この抵抗体 R_x を通じて結合線路 22 に負の実数成分を打ち消す信号が流れ込むので、ISO ポート 26 の出力を低減させて、方向性を向上させることができる。すなわち、抵抗体 R_x を、結合線路 22 や不図示の他の回路に存在する寄生インダクタンス L_p により ISO ポート 26 に生じる信号であって、電界結合と磁界結合の位相遅れの差に起因して前記 ISO ポート 26 に出力される信号の実数成分を打ち消す抵抗値に調整しておくことで、ISO ポート 26 の出力 (アイソレーション) がほぼ 0 となり、方向性を改善できる。したがって、方向性結合器の特性を良好

にできる。

[0030] 図8 (B) に示したアッテネータ複合カプラ30Rも同様に、寄生インダクタンス L_p によるアイソレーションの劣化量に応じて端子間の抵抗 R_x の抵抗値を調整することで、ISOポート36の出力を低減させることができる。アッテネータ複合カプラ30Rの場合、図9 (A) に示すような周波数特性となる。すなわち、アッテネータ複合カプラ30Lの図7 (A) に示した周波数特性と比較して、アイソレーションや方向性が改善されている。結合量とアイソレーションの周波数特性を極座標形式で示すと図9 (B) のようになり、抵抗 R_x による信号通過で、アイソレーションを実軸の正方向にシフトさせることができる（負の実数成分をキャンセルできる）ので、アイソレーションポートからの出力がほぼ0となり、方向性が向上する。

[0031] 抵抗 R_x の抵抗値は、必要となる結合量やアイソレーションの特性に応じて設定すれば良く、一般的に1 k Ω から100 k Ω 程度になる。

[0032] アッテネータ複合カプラ30の図4 (A) に示した周波数特性と、アッテネータ複合カプラ30Lの図7 (A) に示した周波数特性と、アッテネータ複合カプラ30Rの図9 (A) に示した各周波数特性を比較すると、以下のような結果が得られた。

[0033] 図10は、周波数特性の比較結果を示した表である。なお、図10には、方向性結合器は2 GHz帯用のものを想定した特性値を表記しており、特性値はすべて2 GHzでの計算値である。

[0034] 図10に示すように、アッテネータ複合カプラ30L（寄生インダクタンス有り）は、アッテネータ複合カプラ30（理想回路）に対して、アイソレーション（IS）が17 dB低下し、方向性（D）が15 dB低下している。これに対して、アッテネータ複合カプラ30R（寄生インダクタンス有り、ポート間に抵抗 R_x 追加）は、アッテネータ複合カプラ30L（寄生インダクタンス有り）に対して、アイソレーションが19 dB改善し、方向性が17 dB改善している。つまり、アッテネータ複合カプラ30Rは、アイソレーションと方向性が、アッテネータ複合カプラ30（理想回路）と同様

である。

[0035] このように、ポート間に抵抗体 R_x を追加することで、ISOポートにおいて、CPLポートに対する 90° 位相ずれ成分、つまり寄生インダクタンスによりISOポートに出力される信号を打ち消すことができ、ISOポートからの出力がほぼ0となり、方向性も向上し、方向性結合器の特性を改善できる。

[0036] 次に、本発明の方向性結合器の製造方法について、図8(B)に示したアッテネータ複合カプラを製造する場合を例に挙げて説明する。図11はアッテネータ複合カプラのパターン図である。図12(A)はウエハの外観図である。図12(B)は、薄膜抵抗を形成したデバイスの外観図である。図12(C)は、配線電極を形成したデバイスの外観図である。

[0037] 図11に示すように、アッテネータ複合カプラ30Rは、半絶縁性基板40上に、主線路21、結合線路22、信号入力ポート33、信号出力ポート34、CPLポート35、ISOポート36、GNDポート37、及びGNDポート38を備えている。また、信号入力ポート33とCPLポート35の間、及び信号出力ポート34とISOポート36の間に、抵抗体 R_x を備えている。結合線路22とCPLポート35の間、及び結合線路22とISOポート36の間に、それぞれ抵抗 R_1 を備えている。結合線路22とGNDポート37、38の間に、それぞれ抵抗 R_2 を備えている。CPLポート35とGNDポート37の間、及びISOポート36とGNDポート38の間に、それぞれ抵抗 R_3 を備えている。

[0038] なお、信号入力ポート33、信号出力ポート34、CPLポート35、及びISOポート36は、ワイヤ等により他の回路と接続する。また、GNDポート37及びGNDポート38は、ワイヤ等によりグランド電位に接続する。

[0039] アッテネータ複合カプラ30Rは以下の方法で製造する。アッテネータ複合カプラ30Rを作成する半絶縁性基板40としては、図12(A)に示すように、デバイスを複数配列可能で、GaAs（ガリウムヒ素）等の誘電体

損失が小さい材料を用いたウエハ（基板）を用いる。また、方向性結合器 1 1 の主線路 2 1、結合線路 2 2、及び各抵抗 $R_1 \sim R_3$ 、 R_x は、薄膜プロセスを用いて形成する。

[0040] 薄膜プロセスによりデバイスを製造する場合、基板材料としてシリコンを使用することが一般的である。しかし、シリコン基板は半導体基板であるため損失が大きく、本発明の方向性結合器に使用すると、主線路での挿入損失が増加する。これに対して、GaAs等の損失が小さい材料により作成された半絶縁性基板を用いることで、挿入損失を低減できる。

[0041] 図 1 2 (B) に示すように、アッテネータ複合カプラ 3 0 R の両端のポート間に設ける抵抗体 R_x 、減衰器の抵抗 R_1 、及び抵抗 R_2 は、同一の薄膜プロセスによりパターンニングしている。抵抗膜パターンは、例えば酸化タantalの膜で形成している。

[0042] 薄膜プロセスの場合、蒸着、スパッタリング、またはメッキ等により、酸化タantalやニクロム等の抵抗材を全面に形成した後、フォトリソグラフィプロセスによりレジスト膜を形成し、不要な金属膜をエッチングにより除去する。または、先にフォトリソグラフィプロセスによりレジスト膜のパターンを形成した後、蒸着、スパッタリング、またはメッキ等によりレジスト膜パターン以外の部分に電極材や抵抗材を堆積させ、最後にレジスト膜を剥離（リフトオフ）することによって抵抗膜パターンを形成する。この薄膜プロセスによれば、各部品の位置ばらつきを $10 \mu\text{m}$ 以下に抑制できるので、方向性結合器の電気的特性のばらつきは非常に小さく抑えられる。これにより、方向性結合器の歩留まりを向上させることができる。

[0043] アッテネータ複合カプラ 3 0 R は、複数の抵抗体からなる減衰器（抵抗減衰器）3 1、3 2 を備えているので、主線路 2 1 と結合線路 2 2 の間に設ける抵抗体を、減衰器 3 1、3 2 を構成する抵抗体を形成するプロセスにおいて、一括して形成することで、プロセスの追加が不要であり、製造コストの上昇を抑制できる。

[0044] 続いて、図 1 2 (C) に示すように、方向性結合器の主線路と結合線路（

結合線路 2 2)、及び外部引出用電極を薄膜プロセスにより形成する。主線路 2 1 と結合線路 2 2 には、Au または Al を使用する。また、主線路 2 1 と結合線路 2 2、及び外部引出用電極の最表面は Au 膜としている。

[0045] 方向性結合器の結合量やアイソレーションは、入力信号に対して $-30 \sim -60$ dB と極めて小さい信号である。このように方向性結合器は、微小な出力特性であるが、上記のように高精度な薄膜プロセスを用いることで、歩留まりを向上させることができる。

[0046] なお、方向性結合器 1 1 R やアッテネータ複合カプラ 3 0 R の両端のポート間に抵抗体 R_x を設けた構成を説明したが、これに限るものではない。すなわち、寄生インダクタンスを打ち消すことができるのであれば、信号入力ポートとカップリングポートの間、または信号出力ポートとアイソレーションポートとの間の少なくとも一方に抵抗体 R_x を設けることも可能である。

[0047] また、方向性結合器の結合線路の両端側に減衰器を設ける構成を示したが、これに限るものではない。すなわち、カップリングポートと結合線路との間、またはアイソレーションポートと結合線路との間の少なくとも一方に減衰器を設けると良い。

符号の説明

- [0048] 1 0 … RF 送信回路
1 1, 1 1 L, 1 1 R … 方向性結合器
1 3 … 送信電力増幅器
1 4 … 自動利得制御回路
2 1 … 主線路
2 2 … 結合線路
2 3, 3 3 … 信号入力ポート
2 4, 3 4 … 信号出力ポート
2 5, 3 5 … CPL ポート
2 6, 3 6 … ISO ポート
3 0, 3 0 L, 3 0 R … アッテネータ複合カプラ

31, 32…減衰器

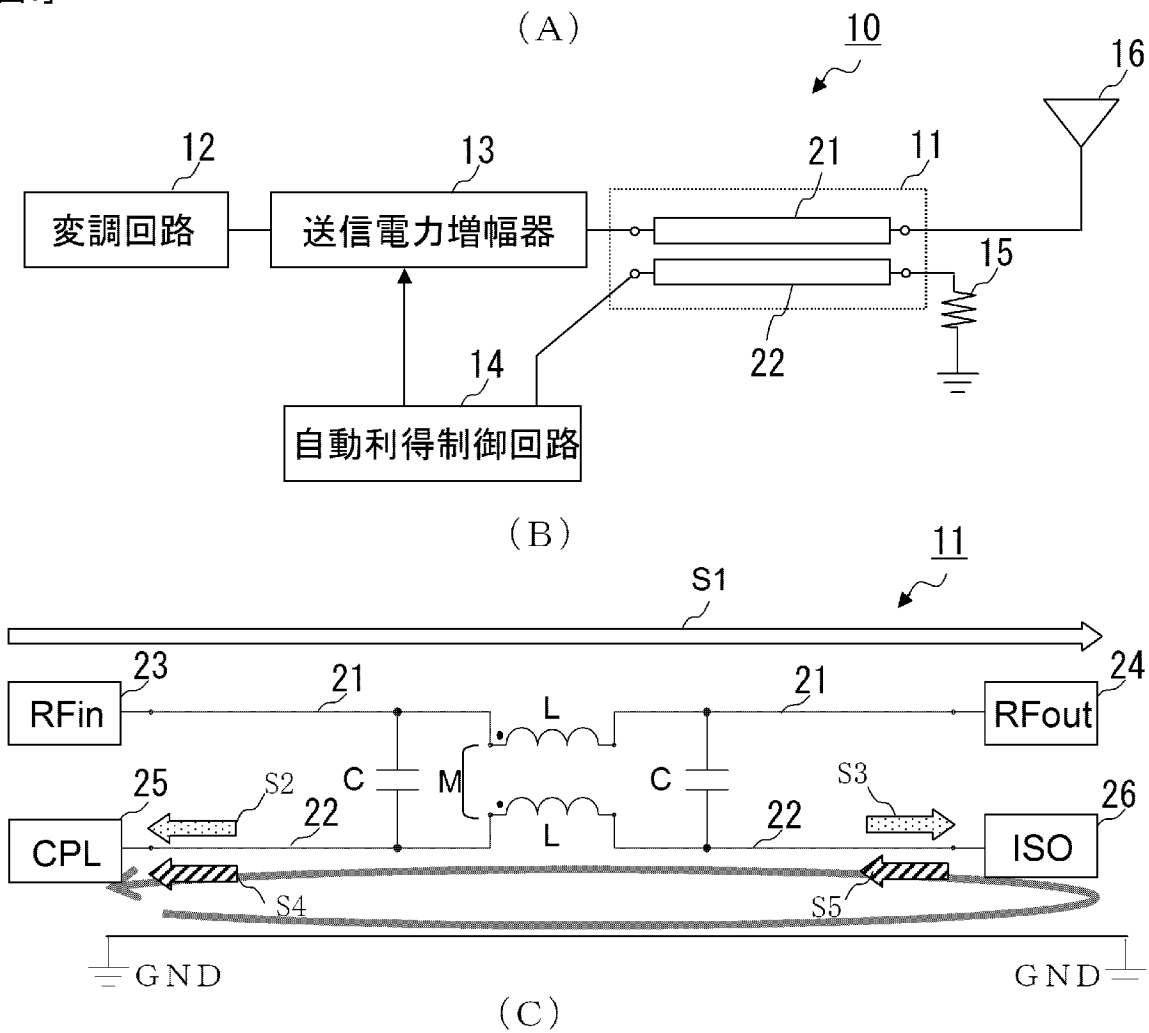
37, 38…GNDポート

40…半絶縁性基板

請求の範囲

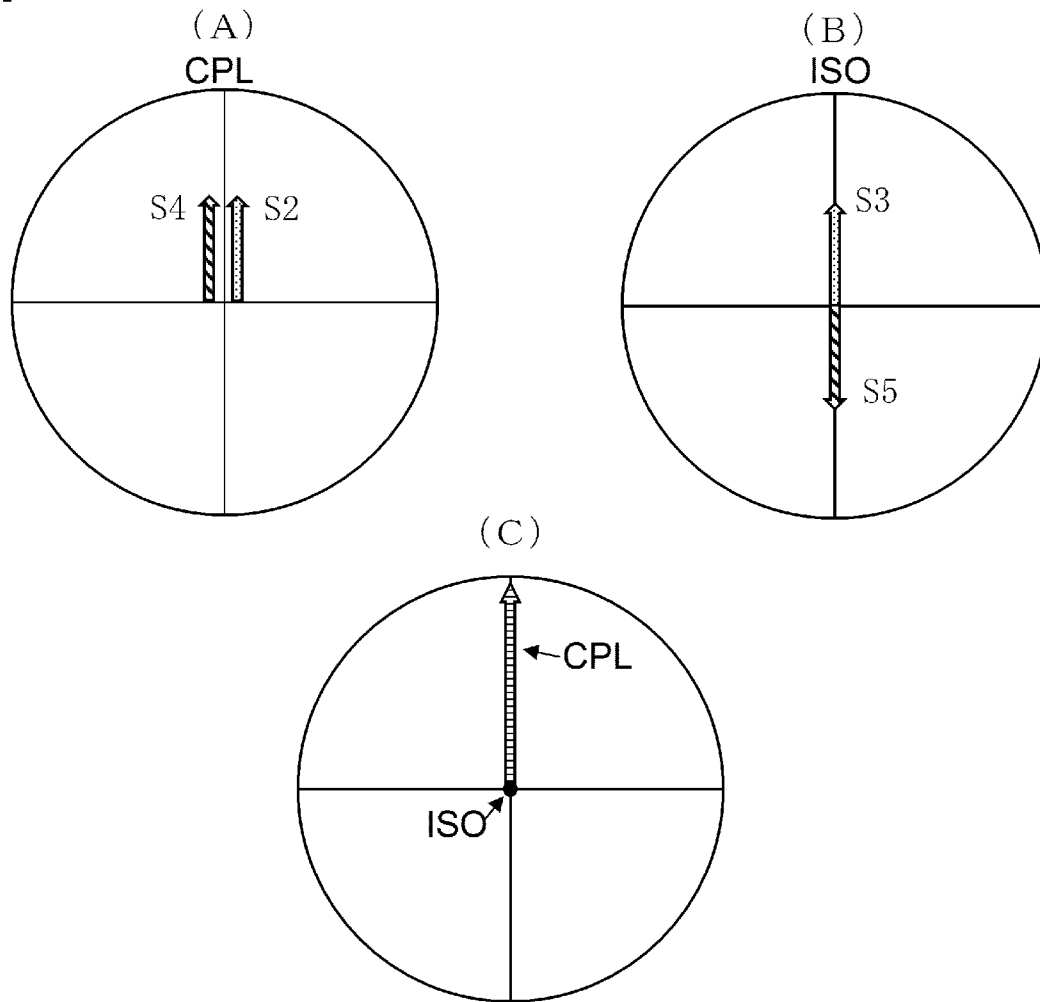
- [請求項1] 信号入力ポートと信号出力ポートとの間に接続された主線路と、カップリングポートとアイソレーションポートとの間に接続され、電界結合と磁界結合により前記主線路と互いに結合する結合線路と、を備えた伝送線路型の方向性結合器において、
- 前記信号入力ポートと前記カップリングポートの間、または前記信号出力ポートとアイソレーションポートとの間の少なくとも一方に抵抗体が接続された、方向性結合器。
- [請求項2] 前記抵抗体は、前記結合線路及び前記結合線路に接続される回路の寄生インダクタンスに起因して前記アイソレーションポートに出力される信号の実数成分を打ち消す、請求項1に記載の方向性結合器。
- [請求項3] 前記主線路、前記結合線路、及び前記抵抗体が形成された半絶縁性基板を備えた、請求項1または2に記載の方向性結合器。
- [請求項4] 前記主線路、前記結合線路、及び前記抵抗体は、薄膜プロセスにより前記半絶縁性基板に形成された、請求項3に記載の方向性結合器。
- [請求項5] 前記カップリングポートと前記結合線路との間、または前記アイソレーションポートと前記結合線路との間の少なくとも一方に抵抗減衰器が接続され、この抵抗減衰器の抵抗が前記抵抗体と同一のプロセスにより前記半絶縁性基板に形成された、請求項3または4に記載の方向性結合器。

[図1]



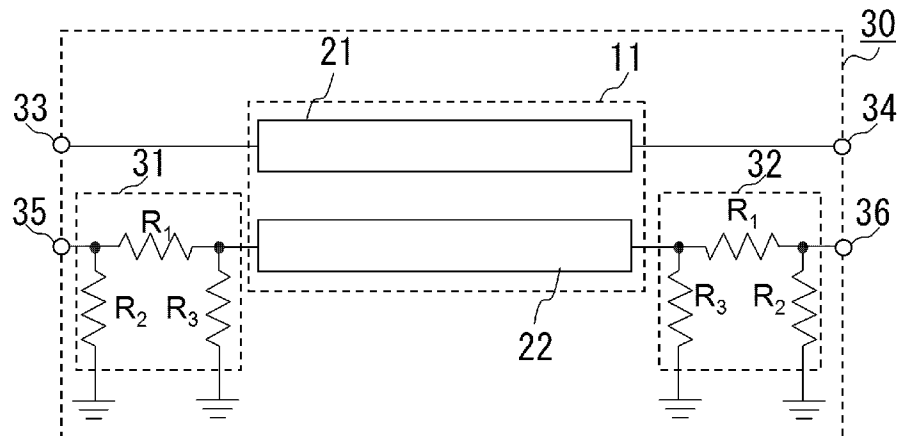
	CPLポート	ISOポート
電界結合	S1に対して+90° の位相 ← S2	S1に対して+90° の位相 → S3
磁界結合	S1に対して+90° の位相 (磁界結合 (-90°)+ループの向き(+180°)) ← S4	S1に対して-90° の位相 (磁界結合) ← S5
結合の総和	← S2 ← S4	0

[図2]

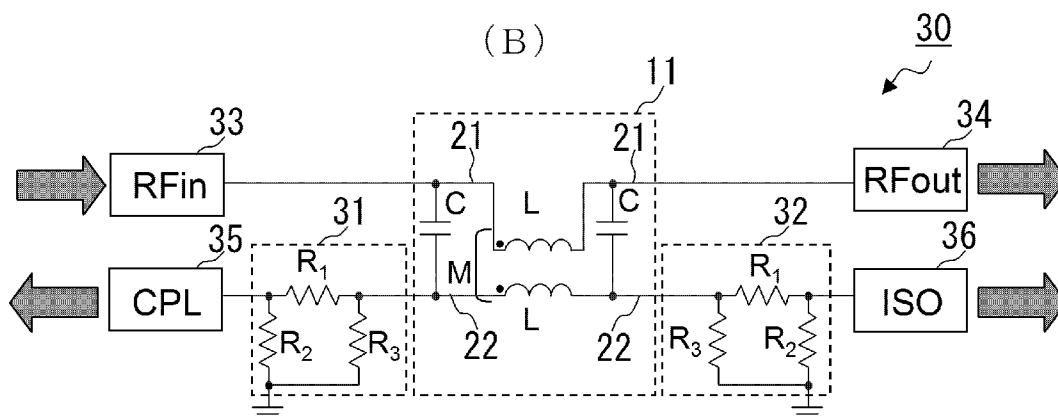


[図3]

(A)

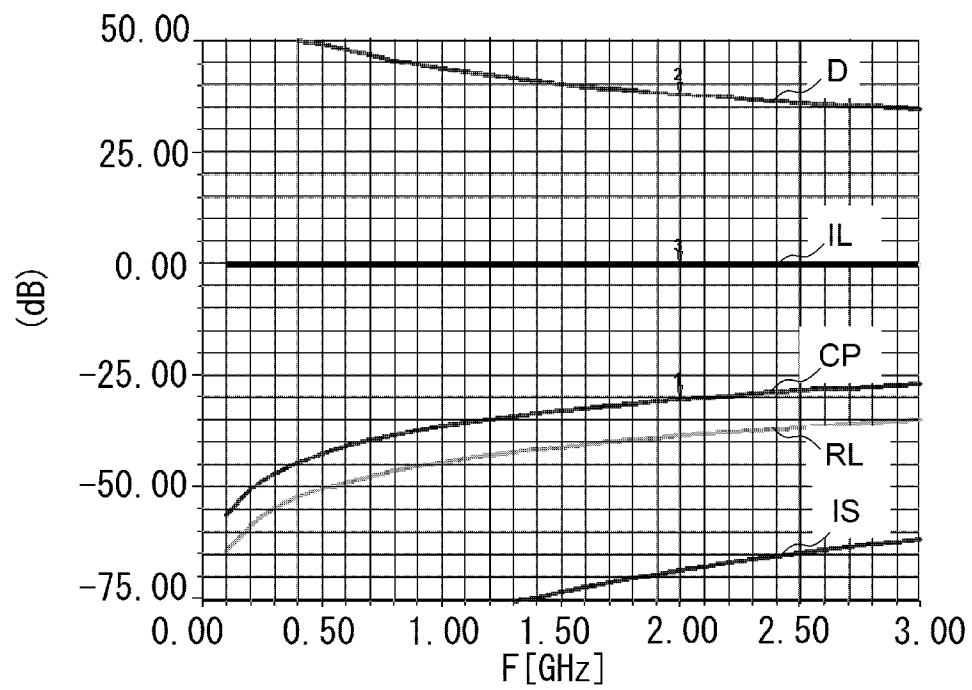


(B)

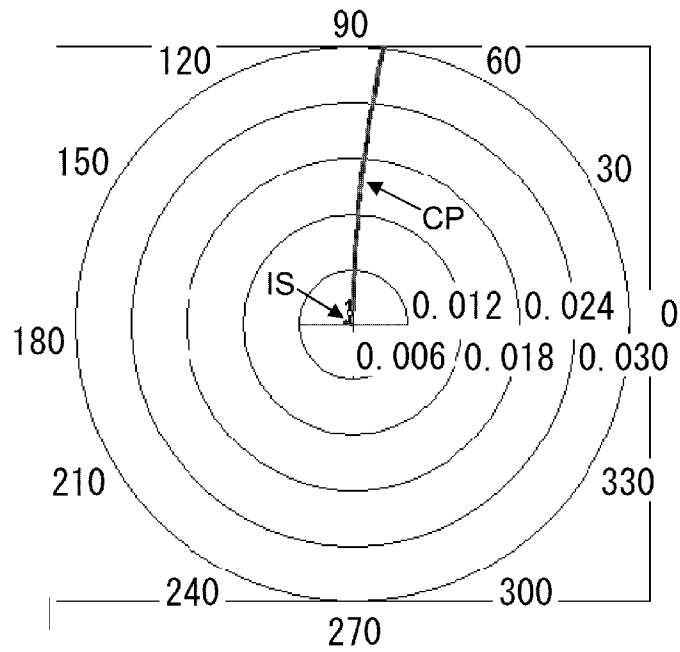


[図4]

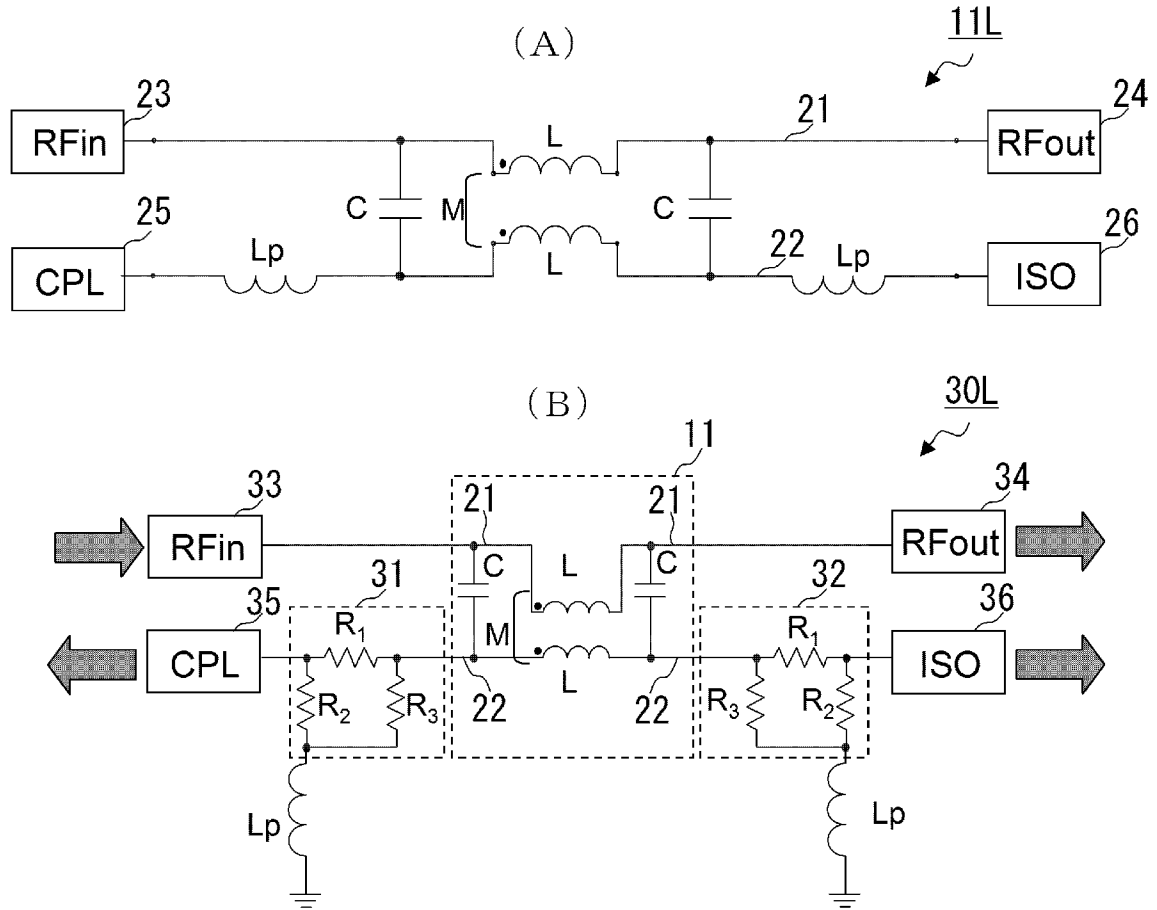
(A)



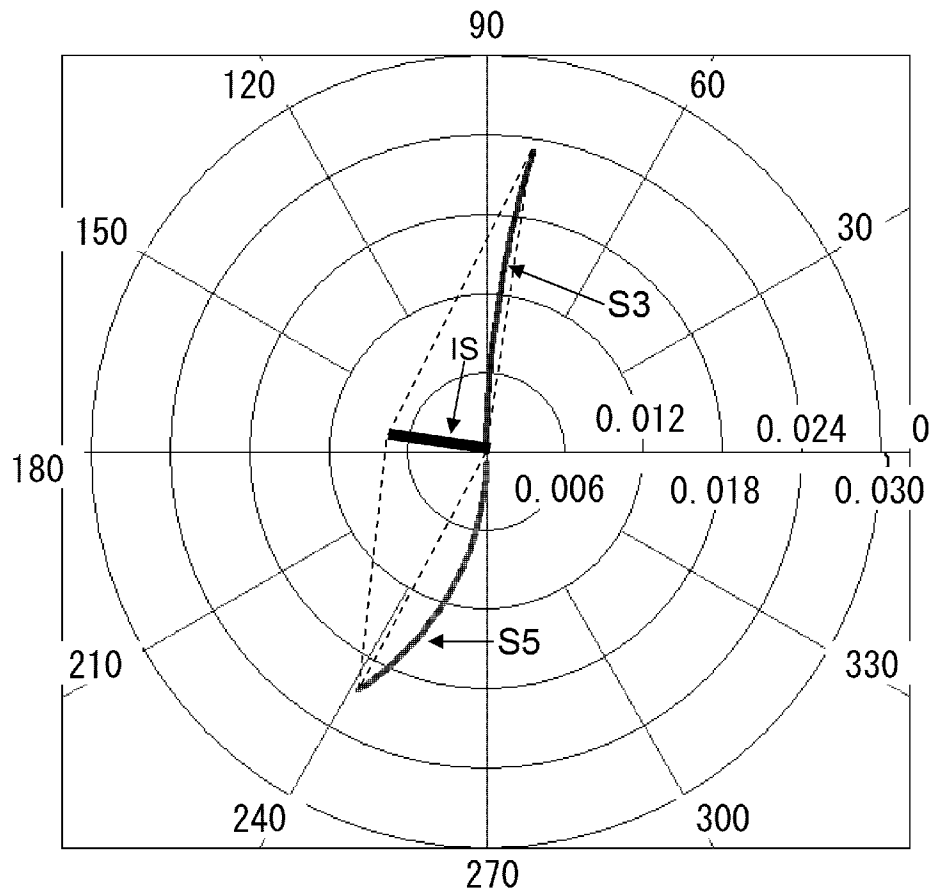
(B)



[図5]

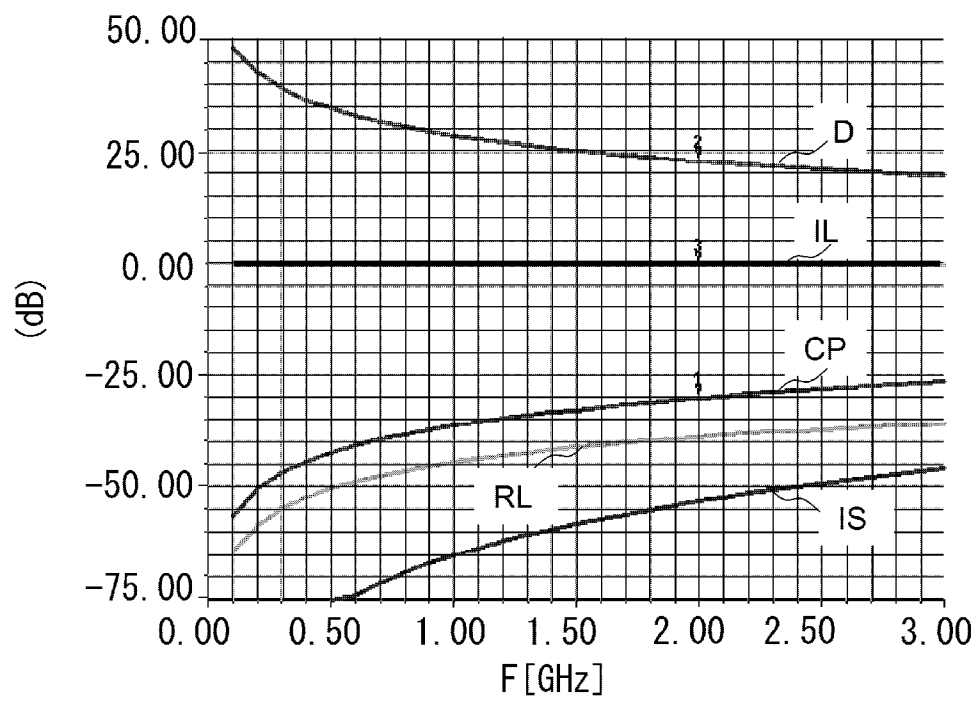


[図6]

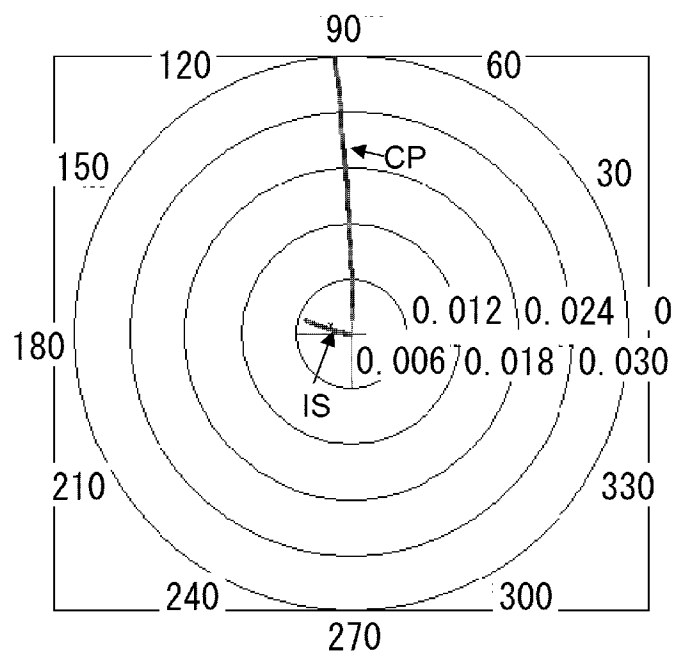


[図7]

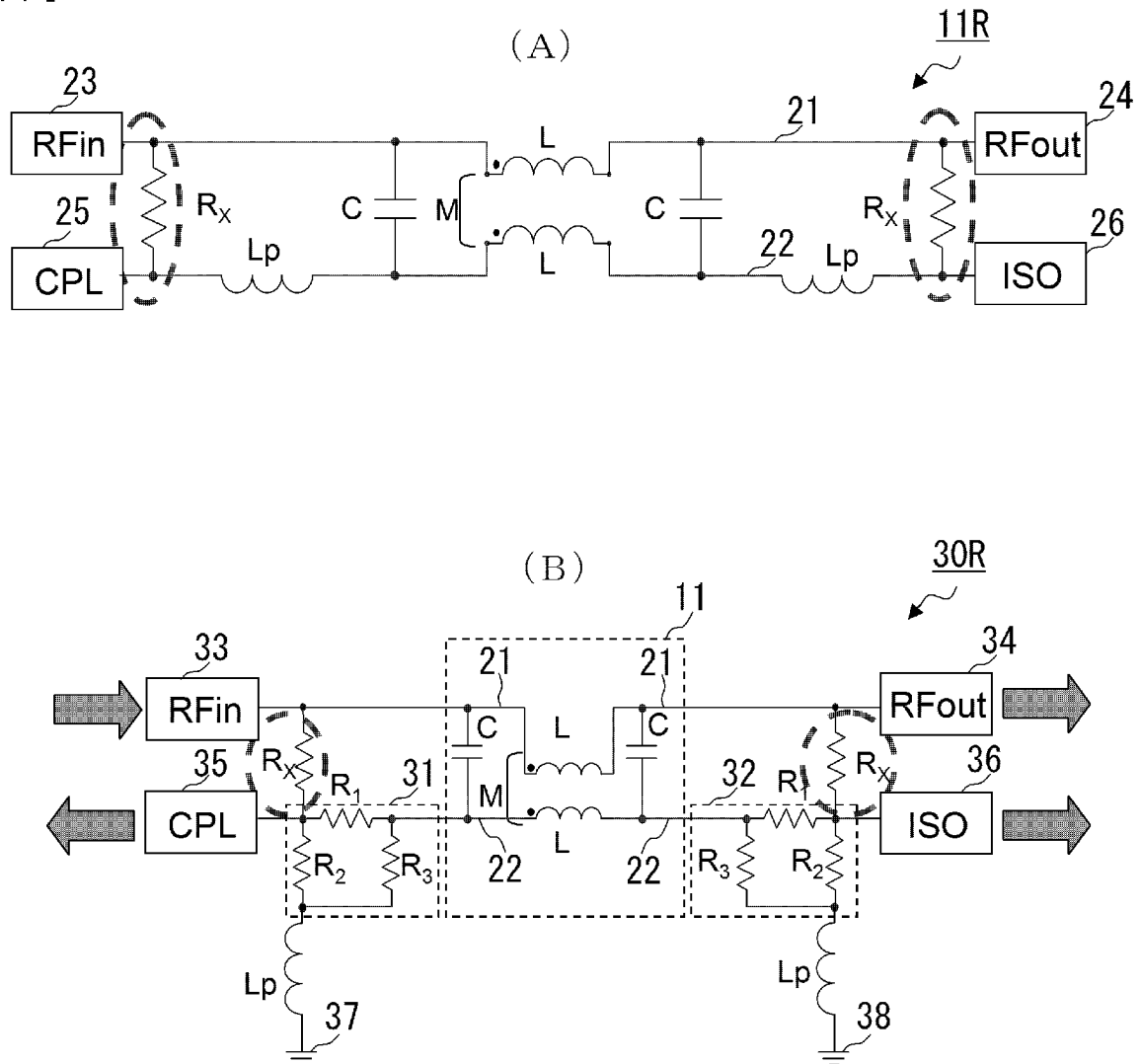
(A)



(B)

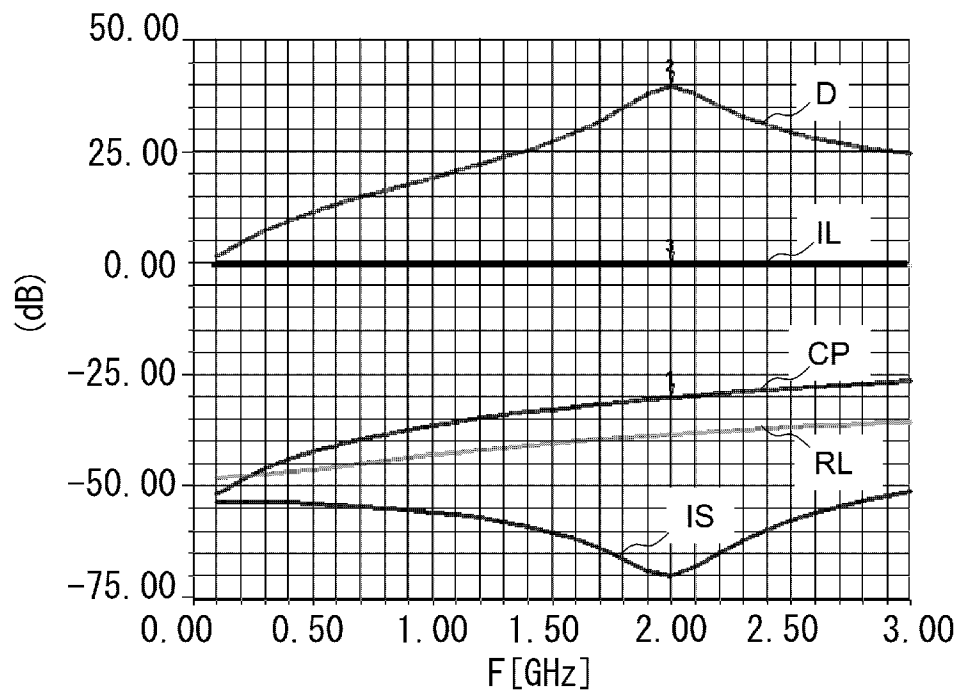


[図8]

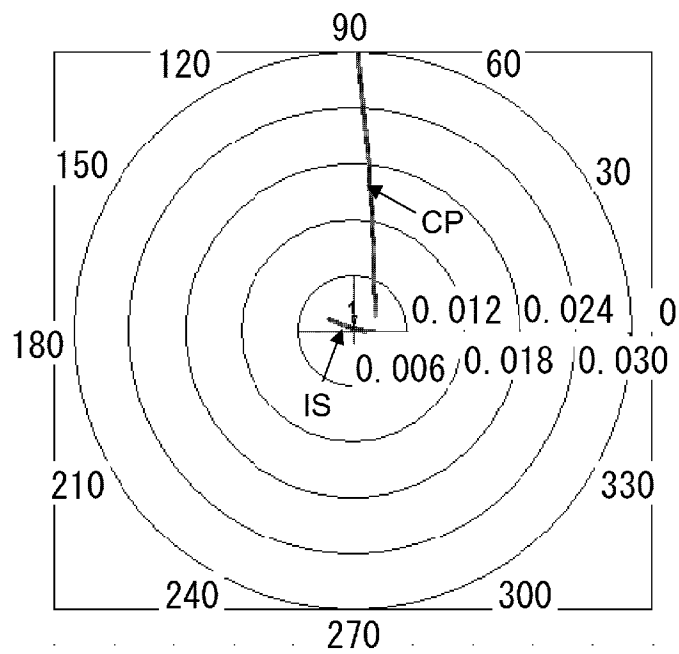


[図9]

(A)

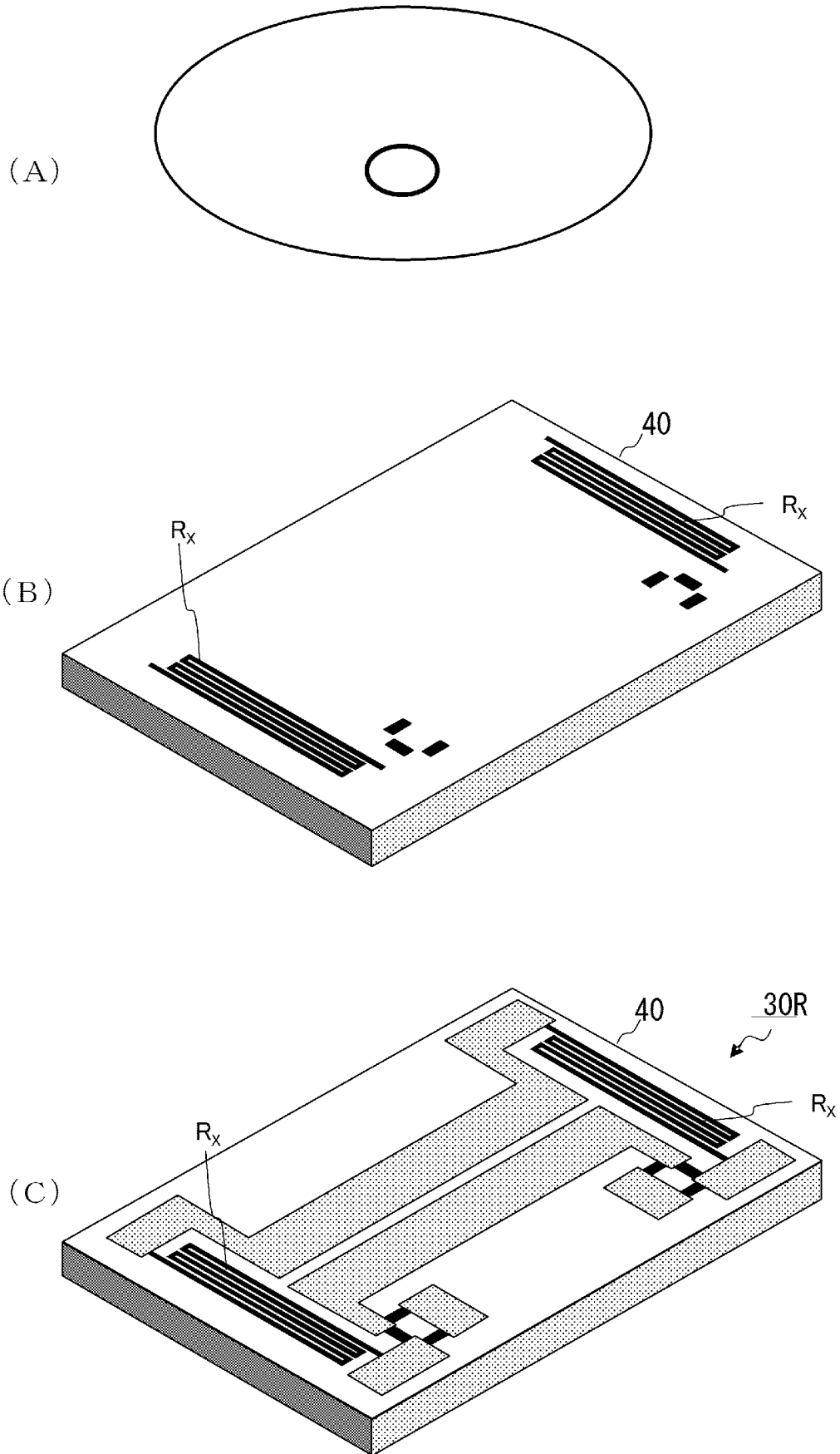


(B)



回路構成	挿入損失 (IL) [dB]	結合量 (CP) [dB]	アイソレーション (IS) [dB]	方向性 (D) [dB]
アッテネータ 複合カプラ30	0.04	30	68	38
アッテネータ 複合カプラ30L	0.04	29	51	23
アッテネータ 複合カプラ30R	0.08	30	70	40

[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051276

A. CLASSIFICATION OF SUBJECT MATTER

H01P5/18(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P5/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-44303 A (Panasonic Corp.), 26 February 2009 (26.02.2009), entire text; all drawings (Family: none)	1, 3-5 2
Y	JP 53-50645 A (Fujitsu Ltd.), 09 May 1978 (09.05.1978), claims; fig. 1 (Family: none)	1, 3-5
Y	JP 60-120601 A (Nippon Telegraph & Telephone Public Corp.), 28 June 1985 (28.06.1985), claims (Family: none)	3, 5

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 April, 2011 (12.04.11)Date of mailing of the international search report
26 April, 2011 (26.04.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/051276

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-260288 A (TDK Corp.), 05 November 2009 (05.11.2009), paragraph [0006] & US 2009/0237176 A1	4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01P5/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01P5/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-44303 A (パナソニック株式会社) 2009.02.26, 全文, 全図 (ファミリーなし)	1, 3-5 2
Y	JP 53-50645 A (富士通株式会社) 1978.05.09, 特許請求の範囲, 図 1 (ファミリーなし)	1, 3-5
Y	JP 60-120601 A (日本電信電話公社) 1985.06.28, 特許請求の範囲 (ファミリーなし)	3, 5

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 4 . 2 0 1 1

国際調査報告の発送日

2 6 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

麻生 哲朗

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 8

5 T

2 9 5 3

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-260288 A (T D K株式会社) 2009.11.05, 段落[0006] & US 2009/0237176 A1	4