

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>G11C 7/10</i> (2006.01) <i>G11C 11/34</i> (2006.01) <i>G11C 11/4093</i> (2006.01)	(45) 공고일자 2006년09월15일 (11) 등록번호 10-0625298 (24) 등록일자 2006년09월11일
---	--

(21) 출원번호	10-2005-0091520	(65) 공개번호
(22) 출원일자	2005년09월29일	(43) 공개일자

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	김경훈 경기 이천시 고담동 고담기숙사 101-1412
(74) 대리인	특허법인 신성

심사관 : 윤난영

(54) 온 다이 터미네이션 제어 장치

요약

본 발명은 온 다이 터미네이션 제어 장치에 관한 것으로서, 특히, 레이턴시 정보를 이용하여 온 다이 터미네이션(ODT; On Die Termination) 회로의 인에이블 시간을 결정할 수 있도록 하는 기술을 개시한다. 이러한 본 발명은 온 다이 터미네이션 제어신호를 버퍼링하여 출력된 제어신호를 순차적으로 지연하여 내부클럭에 동기된 서로 다른 지연시간을 갖는 복수개의 제어신호를 출력하고, 애디티브 레이턴시 신호에 따라 복수개의 제어신호 중 어느 하나를 선택하여 레이턴시 제어신호를 출력하고, 레이턴시 제어신호의 활성화시, 카스 레이턴시 신호를 초기값으로 하여 내부클럭을 카운터한 제 1 제어신호와, 출력클럭을 카운터하여 발생한 제 2 제어신호를 비교하여 그 비교결과에 따라 온 다이 터미네이션 인에이블 신호의 활성화 시점을 제어하도록 한다.

대표도

도 2

색인어

ODT, 레이턴시, 인에이블, AL, CWL,

명세서

도면의 간단한 설명

도 1은 종래의 온 다이 터미네이션 제어 장치에 관한 구성도.

도 2는 본 발명에 따른 온 다이 터미네이션 제어 장치에 관한 구성도.

도 3은 도 2의 AL 레이턴시 블록에 관한 상세 구성도.

도 4는 도 2의 인에이블 신호 발생부에 관한 구성도.

도 5는 도 2의 온 다이 터미네이션 및 터미네이션 저항부에 관한 상세 회로도.

도 6은 본 발명에 따른 온 다이 터미네이션 제어 장치에 관한 동작 타이밍도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 온 다이 터미네이션 제어 장치에 관한 것으로서, 특히, 레이턴시 정보를 이용하여 온 다이 터미네이션(ODT; On Die Termination) 회로의 인에이블 시간을 결정할 수 있도록 하는 기술이다.

일반적으로 DDR(Double Data Rate) 메모리 장치의 데이터 전송속도를 더욱 빠르게 제어하기 위해 여러 가지 새로운 개념이 추가되고 있다. 이 중에서 터미네이션(Termination)단의 저항은 소자 간의 신호전송을 원활히 하기 위해 필요하다.

여기서, 저항이 적절히 매칭되지 않을 경우 전송되는 신호가 반사되어 신호 전송의 에러가 발생할 가능성이 크다. 그러나, 외부에 고정 저항을 인가하는 경우에는 집적회로의 노화나 온도변화 혹은 제조 공정상의 차이로 인하여 적절히 매칭될 수 없다. 이에 따라, 최근에는 외부 기준 저항과 비교하여 저항값이 같아지도록 하기 위해 병렬 접속된 복수의 트랜지스터 중 턴온되는 트랜지스터의 개수를 조절함으로써 터미네이션단의 저항을 조정하는 기술이 제시되었다.

도 1은 이러한 종래의 ODT(ODT; On Die Termination) 제어 장치에 관한 구성도이다. 종래의 ODT 제어 장치는 입력버퍼(10), 도메인 크로싱 블록(Domain Crossing Block; 20), ODT(30), 및 터미네이션 저항부(RTT; Termination Resistor; 40)를 구비한다.

여기서, 입력버퍼(10)는 온 다이 터미네이션 제어신호 ODT를 버퍼링하여 온 다이 터미네이션 명령신호 ODT_CMD를 출력한다. 도메인 크로싱 블록(20)은 출력클럭 OCLK에 동기하여 온 다이 터미네이션 명령신호 ODT_CMD를 제어하여 온 다이 터미네이션 인에이블 신호 ODT_EN를 ODT(30)에 출력한다.

이에 따라, ODT(30)는 병렬 연결된 복수개의 스위치 SW1, SW2의 스위칭 동작에 따라 터미네이션 저항부(40)를 전원전압단 VDDQ와 접지전압단 VSSQ에 선택적으로 연결하여 터미네이션단의 저항을 조정하게 된다.

그런데, 이러한 종래의 ODT 제어 장치는 클럭 주파수에 상관없이 일정한 출력클럭 OCLK에 동기하여 온 다이 터미네이션 인에이블 신호 ODT_EN가 활성화된다. 이에 따라, 반도체 메모리 장치의 클럭 주기가 짧아질 경우, 짧아진 클럭에 대응하여 온 다이 터미네이션 인에이블 신호 ODT_EN의 활성화 시간을 제어할 수 없게 되어 터미네이션단의 저항값을 정확히 조정할 수 없게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 특히, 레이턴시 정보를 이용하여 온 다이 터미네이션(ODT; On Die Termination) 회로의 인에이블 시간을 결정하여 터미네이션단의 저항값을 유동적으로 제어할 수 있도록 하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명의 온 다이 터미네이션 제어 장치는, 온 다이 터미네이션 제어신호를 버퍼링하여 출력된 제어신호를 순차적으로 지연하여 내부클럭에 동기된 서로 다른 지연시간을 갖는 복수개의 제어신호를 출력하고, 제

1레이턴시 정보에 따라 복수개의 제어신호 중 어느 하나를 선택하여 레이턴시 제어신호를 출력하는 레이턴시 블럭; 레이턴시 제어신호의 활성화시, 제 2레이턴시 정보를 초기값으로 하여 내부클럭을 카운터한 제 1 제어신호와, 출력클럭을 카운터하여 발생한 제 2제어신호를 비교하여 그 비교결과에 따라 온 다이 터미네이션 인에이블 신호의 활성화 시점을 제어하는 인에이블 신호 발생부; 및 온 다이 터미네이션 인에이블 신호에 따라 터미네이션 단의 저항값을 제어하는 온 다이 터미네이션부를 구비함을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

도 2는 본 발명에 따른 온 다이 터미네이션(ODT:On Die Termination) 제어 장치에 관한 구성도이다.

본 발명은 AL 레이턴시 블럭(100), 인에이블 신호 발생부(200), ODT(300), 및 터미네이션 저항부(RTT;Termination Resistor;400)를 구비한다.

먼저, AL 레이턴시 블럭(100)은 온 다이 터미네이션 제어신호 ODT와 기준전압 VREF를 버퍼링하고, 애디티브(Additive) 레이턴시 신호 AL와 카스(CAS) 레이턴시 신호 CWL와 내부클럭 ICLK 및 리셋신호 RE를 입력받아 레이턴시 제어신호 ODT_AL를 출력한다. 여기서, 애디티브 레이턴시 신호 AL는 카스(CAS) 레이턴시 신호 CWL와 같이 리드 또는 라이트시에 명령이 몇 클럭 만에 인식되는지를 정의하는 인텍스이다. 그리고, 카스 레이턴시 신호 CWL는 컬럼 액세스 스트로브 신호(CAS)의 대기시간을 나타내는 인텍스이다.

그리고, 인에이블 신호 발생부(200)는 레이턴시 제어신호 ODT_AL, 레이턴시 정보 CWL, 내부클럭 ICLK, 출력클럭 OCLK 및 리셋신호 RE를 입력받아 온 다이 터미네이션 인에이블 신호 ODT_EN를 ODT(300)에 출력한다.

이에 따라, ODT(300)는 병렬 연결된 복수개의 스위치 SW1,SW2의 스위칭 동작에 따라 터미네이션 저항부(400)를 전원 전압단 VDDQ와 접지전압단 VSSQ에 선택적으로 연결하여 터미네이션단의 저항을 조정하게 된다.

도 3은 도 2의 AL 레이턴시 블럭(100)에 관한 상세 구성도이다.

AL 레이턴시 블럭(100)은 입력버퍼(110), 레이턴시 제어부(120) 및 레이턴시 선택부(130)를 구비한다.

입력버퍼(110)는 온 다이 터미네이션 제어신호 ODT와 기준전압 VREF를 버퍼링하여 제어신호 ODT_L0를 레이턴시 제어부(120)에 출력한다. 그리고, 레이턴시 제어부(120)는 복수개의 D-플립플롭(121~123)을 구비한다. 여기서, 첫번째 D-플립플롭(121)은 내부클럭 ICLK에 동기하여 제어신호 ODT_L0를 플롭플롭시켜 제어신호 ODT_L1를 레이턴시 선택부(130)에 출력한다. 그리고, 복수개의 D-플립플롭(122,123)은 각각 내부클럭 ICLK에 동기하여 전단의 플립플롭으로부터 인가되는 제어신호 ODT_L를 플립플롭시켜 제어신호 ODT_L8,ODT_L9를 레이턴시 선택부(130)에 출력한다.

또한, 레이턴시 선택부(130)는 멀티플렉서(Multiplexor)로 이루어지는 것이 바람직하며, 애디티브(Additive) 레이턴시 신호 AL에 따라 레이턴시 제어부(120)로부터 인가되는 복수개의 제어신호 ODT_L0~ODT_L9 중 하나를 선택하여 레이턴시 제어신호 ODT_AL로 출력한다.

도 4는 도 2의 인에이블 신호 발생부(200)에 관한 상세 구성도이다.

인에이블 신호 발생부(200)는 리셋 발생부(210), 초기값 선택부(220), 내부 카운터(230), DLL(Delay Locked Loop) 카운터(240), 코드 비교기(250), 명령 디코더(260) 및 ODT 인에이블신호 발생부(270)를 구비한다.

여기서, 리셋 발생부(210)는 리셋신호 RE를 제어하여 리셋 제어신호 A1를 DLL 카운터(240)에 출력하고, 리셋 제어신호 A1를 일정시간 지연시킨 리셋 제어신호 A0를 내부 카운터(230)에 출력한다. 초기값 선택부(220)는 카스 레이턴시 신호 CWL를 입력받아 내부 카운터(230)의 초기값으로 선택한다.

그리고, 내부 카운터(230)는 리셋 제어신호 A0에 따라 샘플링 마스터 클럭인 내부클럭 ICLK을 카운팅하여 바이너리 코드인 제어신호 A3를 코드비교기(250)에 출력한다. DLL 카운터(240)는 리셋 제어신호 A1에 따라 출력클럭 OCLK을 카운팅하여 바이너리 코드인 제어신호 A4를 코드 비교기(250)에 출력한다. 명령 디코더(260)는 레이턴시 제어신호 ODT_AL를 디코딩하여 제어신호 A5_1/2를 코드 비교기(250)에 출력한다.

또한, 코드 비교기(250)는 제어신호 A5_1/2에 따라 제어신호 A3,A4의 코드를 비교하여 코드신호 A6를 ODT 인에이블신호 발생부(270)에 출력한다. 즉, 코드 비교기(250)는 데이터 출력 명령이 인가되면 샘플링 마스터 클럭에 해당하는 바이너리 코드를 저장하고, 출력클럭 OCLK에 해당하는 바이너리 코드와 비교하여 코드신호 A6를 ODT 인에이블신호 발생부(270)에 출력한다. ODT 인에이블신호 발생부(270)는 코드신호 A6에 따라 온 다이 터미네이션 인에이블 신호 ODT_EN의 활성화 시점을 제어한다.

도 5는 도 2의 온 다이 터미네이션(ODT;300) 및 터미네이션 저항부(400)에 관한 상세 회로도이다.

온 다이 터미네이션(300)은 복수개의 인버터 IV1~IV7와, PMOS트랜지스터 P1,P2와, NMOS트랜지스터 N1,N2 및 저항 R1~R4를 구비한다. 인버터 IV1~IV3는 온 다이 터미네이션 인에이블 신호 ODT_EN를 반전 지연하여 PMOS트랜지스터 P1,P2의 게이트에 출력한다. 그리고, 인버터 IV4~IV7는 온 다이 터미네이션 인에이블 신호 ODT_EN를 비반전 지연하여 NMOS트랜지스터 N1,N2의 게이트에 출력한다.

여기서, PMOS트랜지스터 P1,NMOS트랜지스터 N1는 도 2의 스위칭 소자 SW2에 해당하며, PMOS트랜지스터 P2,NMOS트랜지스터 N2는 도 2의 스위칭 소자 SW1에 해당한다. 그리고, 저항 R1~R4는 도 2의 터미네이션 저항부(400)에 해당한다.

따라서, 온 다이 터미네이션 인에이블 신호 ODT_EN가 일정시간 지연된 이후에, 온 다이 터미네이션 인에이블 신호 ODT_EN가 하이로 활성화되면, 병렬 연결된 복수개의 스위치 SW1,SW2의 스위칭 동작에 따라 터미네이션 저항부(400)를 전원전압단 VDDQ와 접지전압단 VSSQ에 선택적으로 연결하여 터미네이션단의 저항을 조정하게 된다.

이러한 구성을 갖는 본 발명의 동작 과정을 도 6의 동작 타이밍도를 참조하여 설명하면 다음과 같다.

ODT의 레이턴시를 결정하는 데이터는 라이트 레이턴시와 연동된다. 그 일례로 DDR3에서는 애디티브 레이턴시 신호 AL+ 카스 레이턴시 신호 CWL가 레이턴시를 정의하는 계수로 설정된다. 이러한 경우 ODT 인에이블 레이턴시는 애디티브 레이턴시 신호 AL+ 카스 레이턴시 신호 CWL-1.5tCK(클럭주기)로 결정된다. 이와 같이 본 발명은 일정한 레이턴시 정보(AL,CWL)를 바탕으로 온 다이 터미네이션 인에이블 신호 ODT_EN를 제어하여 ODT의 활성화 상태를 제어하게 된다.

먼저, ODT 핀을 통해 온 다이 터미네이션 제어신호 ODT가 입력버퍼(110)에 입력되면 입력버퍼(110)가 이를 버퍼링하여 제어신호 ODT_L0를 출력한다. 이때, 입력버퍼(110)에서 출력된 제어신호 ODT_L0를 칩 선택신호(CS)에 동기시켜 출력할 수도 있다.

이후에, 레이턴시 제어부(120)는 D-플립플롭으로 구성되며, 내부클럭 ICLK에 동기하여 제어신호 ODT_L0를 순차적으로 플립플롭시켜 레이턴시 선택부(130)에 출력한다. 이때, 레이턴시를 인가하는 방식은 내부클럭 ICLK에 따라 제어신호 ODT_L0를 지연시키거나, 쉬프트 레지스터 또는 카운터를 사용할 수도 있다.

이어서, 레이턴시 선택부(130)는 MRS(Mode Register Set) 계열을 통해 미리 입력된 애디티브 레이턴시 신호 AL에 따라 레이턴시 제어부(120)의 출력 중 하나를 선택하여 레이턴시 제어신호 ODT_AL를 활성화시킨다. 레이턴시가 가해진 ODT 명령이 입력되면 레이턴시 제어신호 ODT_AL는 내부클럭 ICLK에 동기되어 동작하게 된다.

이후에, 코드 비교기(250)는 명령 디코더(260)로부터 제어신호 A5_1/2가 활성화되면, 내부 명령을 처리하는 내부클럭 ICLK에 동기된 제어신호 A3를, 출력 동작을 제어하기 위한 출력클럭 OCLK에 동기된 제어신호 A4로 변경한다. 이때, 샘플링 마스터 클럭으로 동작하는 내부클럭 ICLK 도메인(Domain)에서 출력클럭 OCLK으로 동작하는 DLL 클럭 도메인으로 변경시, 초기값 선택부(220)에 입력되는 카스 레이턴시 신호 CWL에 따라 내부 카운터(230)의 값을 조정하여 레이턴시 정보를 추가로 인가하게 된다.

도 6의 동작 타이밍도를 보면, 카스 레이턴시 신호 CWL의 경우의 수에 따라 내부 카운터(230)의 초기값을 조정할 경우를 나타내었다. 도 6의 동작 타이밍도에서는 내부클럭 ICLK의 카운터 값을 "5"로 셋팅했을 경우와, "8"로 셋팅했을 경우를 그 실시예로 도시하였다. 이에 따라, 온 다이 터미네이션 인에이블 신호 ODT_EN의 활성화 시점을 제어하여 ODT(300)의 동작을 제어하게 된다.

한편, 본 발명에서는 ODT(300)를 동작시키기 위한 신호로 온 다이 터미네이션 제어신호 ODT를 사용하는 것을 그 실시예로 설명하였지만, 본 발명은 이에 한정되지 않고 ODT(300)를 동작시키기 신호로 라이트 명령 신호를 이용하거나, ODT(300)의 동작을 중지시키기 위한 신호로 리드 명령 신호를 이용할 수도 있다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명은 레이턴시 정보를 이용하여 온 다이 터미네이션(ODT; On Die Termination) 회로의 인에이블 시간을 결정하여 터미네이션단의 저항값을 유동적으로 제어할 수 있도록 하는 효과를 제공한다.

아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

온 다이 터미네이션 제어신호를 버퍼링하여 출력된 제어신호를 순차적으로 지연하여 내부클럭에 동기된 서로 다른 지연시간을 갖는 복수개의 제어신호를 출력하고, 제 1레이턴시 정보에 따라 상기 복수개의 제어신호 중 어느 하나를 선택하여 레이턴시 제어신호를 출력하는 레이턴시 블록;

상기 레이턴시 제어신호의 활성화시, 제 2레이턴시 정보를 초기값으로 하여 상기 내부클럭을 카운터한 제 1제어신호와, 출력클럭을 카운터하여 발생한 제 2제어신호를 비교하여 그 비교결과에 따라 온 다이 터미네이션 인에이블 신호의 활성화시점을 제어하는 인에이블 신호 발생부; 및

상기 온 다이 터미네이션 인에이블 신호에 따라 터미네이션 단의 저항값을 제어하는 온 다이 터미네이션부를 구비함을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 2.

제 1항에 있어서, 상기 제 1레이턴시 정보는 리드 또는 라이트 동작시에 명령이 몇 클럭 만에 인식되는지를 정의하는 애디티브 레이턴시 신호임을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 3.

제 1항에 있어서, 상기 제 1레이턴시 정보는 라이트 명령 신호임을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 4.

제 1항에 있어서, 상기 제 1레이턴시 정보는 모드 레지스터 셋트 계열을 통해 미리 설정된 신호임을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 5.

제 1항에 있어서, 상기 제 2레이턴시 정보는 컬럼 액세스 스트로브 신호의 대기시간을 나타내는 카스 레이턴시 신호임을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 6.

제 1항에 있어서, 상기 제 1제어신호와 상기 제 2제어신호는 바이너리 코드임을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 7.

제 1항에 있어서, 상기 레이턴시 블록은

기준전압에 따라 상기 온 다이 터미네이션 제어신호를 버퍼링하여 제 3제어신호를 출력하는 입력버퍼;

상기 제 3제어신호를 순차적으로 지연시켜 상기 복수개의 제어신호를 출력하는 레이턴시 제어부; 및

상기 제 1레이턴시 정보에 따라 상기 복수개의 제어신호 중 어느 하나를 선택하여 상기 레이턴시 제어신호를 출력하는 레이턴시 선택부를 구비함을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 8.

제 7항에 있어서, 상기 레이턴시 제어부는 D-플립플롭을 구비함을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 9.

제 7항에 있어서, 상기 레이턴시 제어부는 쉬프트 레지스터를 구비함을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 10.

제 7항에 있어서, 상기 레이턴시 제어부는 카운터를 구비함을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 11.

제 7항에 있어서, 상기 레이턴시 선택부는 멀티플렉서를 구비함을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 12.

제 1항에 있어서, 상기 인에이블 신호 발생부는

상기 제 2레이턴시 정보를 초기값으로 하여 상기 내부클럭을 카운터하여 상기 제 1제어신호를 출력하는 내부 카운터;

상기 출력클럭을 카운터하여 상기 제 2제어신호를 출력하는 DLL 카운터;

상기 레이턴시 제어신호를 디코딩하여 제 4제어신호를 출력하는 명령 디코더;

상기 제 4제어신호의 활성화시 상기 제 1제어신호와 상기 제 2제어신호의 바이너리 코드를 비교하여 코드신호를 출력하는 코드 비교기; 및

상기 코드신호에 따라 상기 온 다이 터미네이션 인에이블 신호를 활성화시키는 온 다이 터미네이션 인에이블신호 발생부를 구비함을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 13.

제 12항에 있어서, 상기 인에이블 신호 발생부는

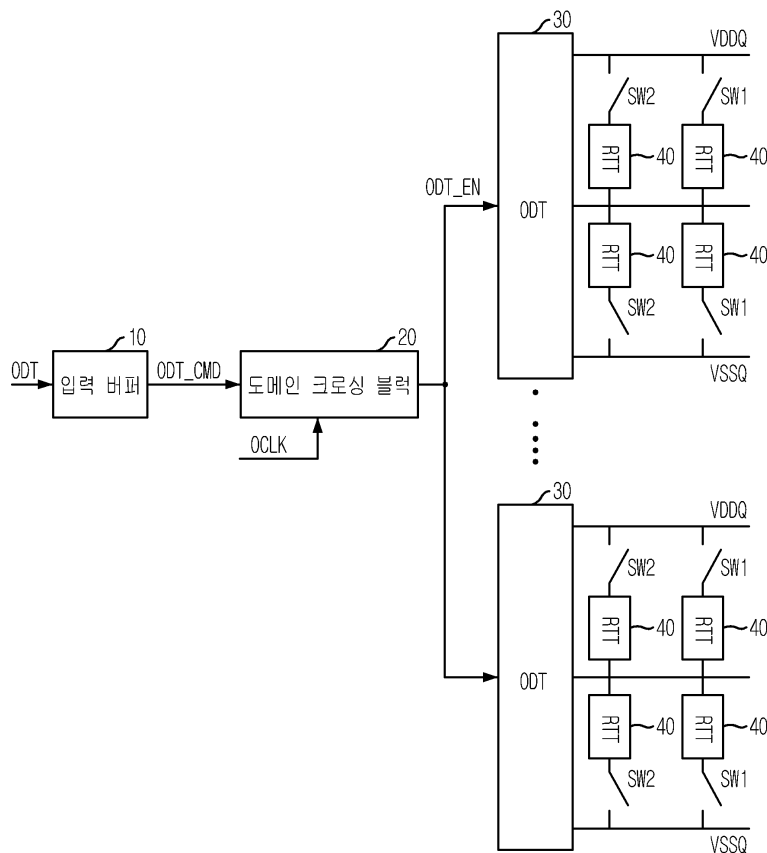
리셋신호에 따라 제 1리셋 제어신호를 상기 DLL 카운터에 출력하고, 상기 제 1리셋 제어신호를 일정시간 지연한 제 2리셋 제어신호를 상기 내부 카운터에 출력하는 리셋 발생부를 더 구비함을 특징으로 하는 온 다이 터미네이션 제어 장치.

청구항 14.

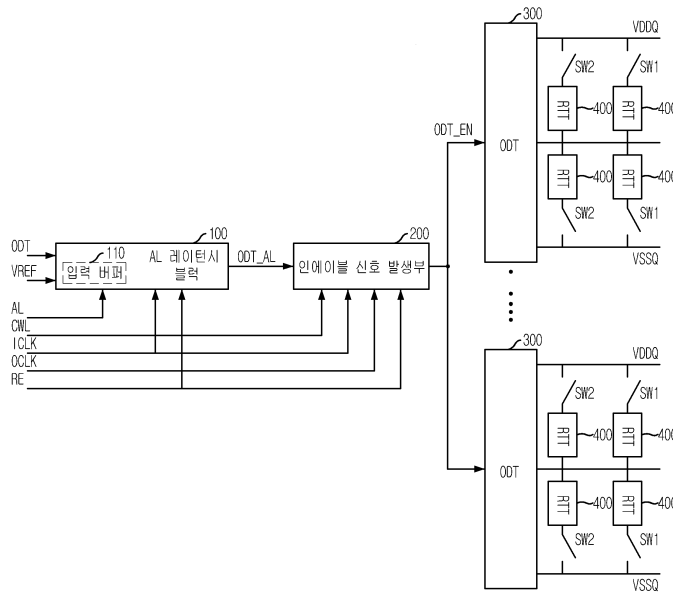
제 12항에 있어서, 상기 코드 비교기는 상기 제 4제어신호의 활성화시 상기 내부클럭의 도메인을 상기 출력클럭의 도메인으로 변경함을 특징으로 하는 온 다이 터미네이션 제어 장치.

도면

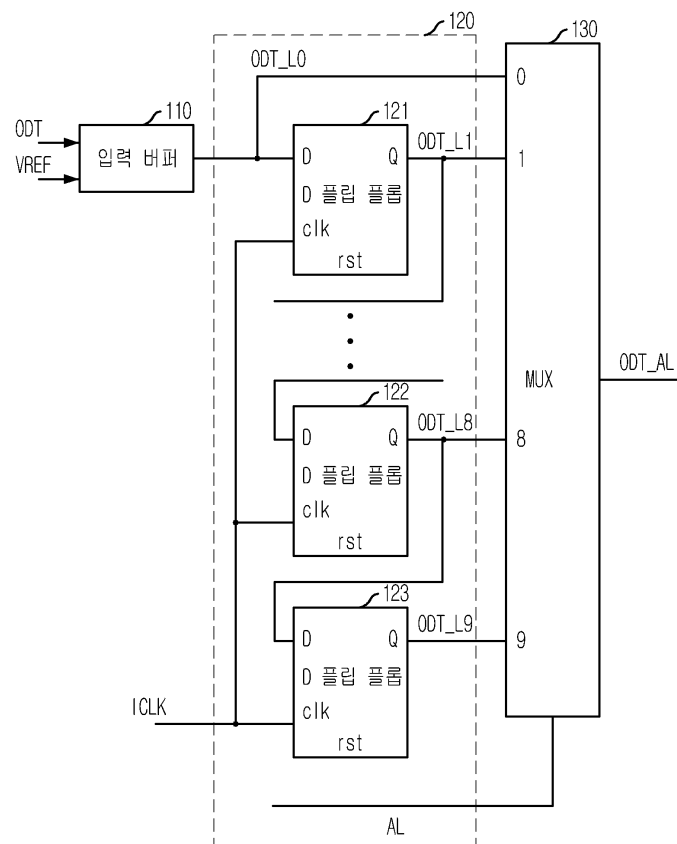
도면1



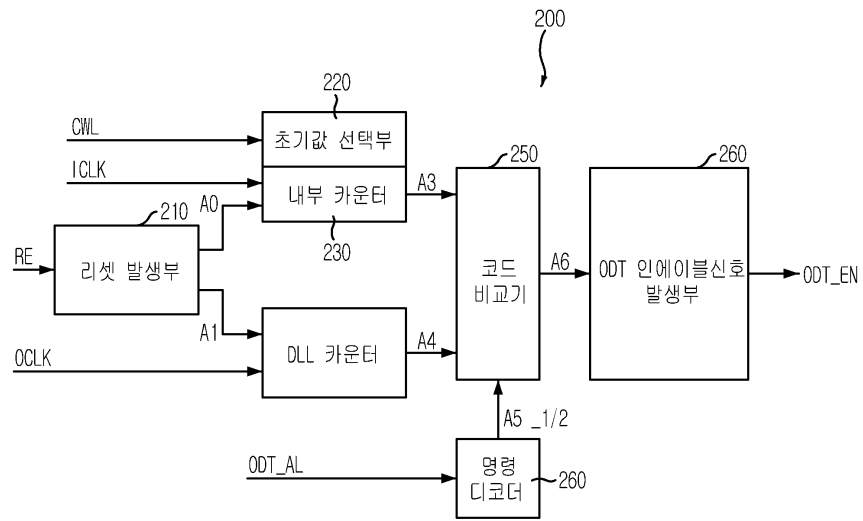
도면2



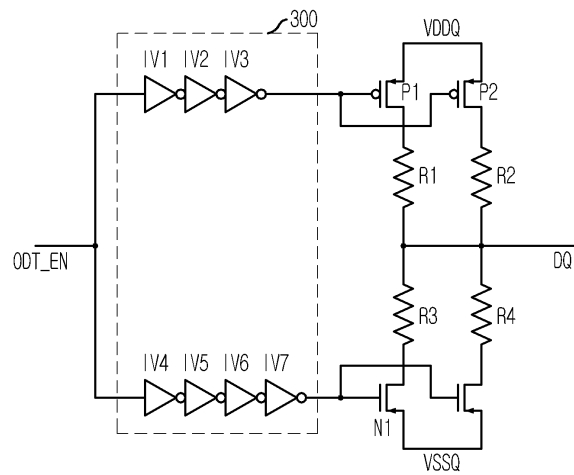
도면3



도면4



도면5



도면6

