

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 29 日 (29.12.2004)

PCT

(10) 国際公開番号
WO 2004/114412 A1

(51) 国際特許分類: H01L 29/78, 21/336

(KARIYAMA, Masaru) [JP/JP]; 〒630-8303 奈良県 奈良市南紀寺町 3 丁目 1 4 0-7 Nara (JP).

(21) 国際出願番号: PCT/JP2003/007765

(22) 国際出願日: 2003 年 6 月 19 日 (19.06.2003)

(74) 代理人: 野河 信太郎 (NOGAWA, Shintaro); 〒530-0047 大阪府 大阪市北区 西天満 5 丁目 1-3 南森町パークビル Osaka (JP).

(25) 国際出願の言語: 日本語

(81) 指定国 (国内): CN, KR, US.

(26) 国際公開の言語: 日本語

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市阿倍野区 長池町 2 番 2 2 号 Osaka (JP).

添付公開書類:
— 国際調査報告書

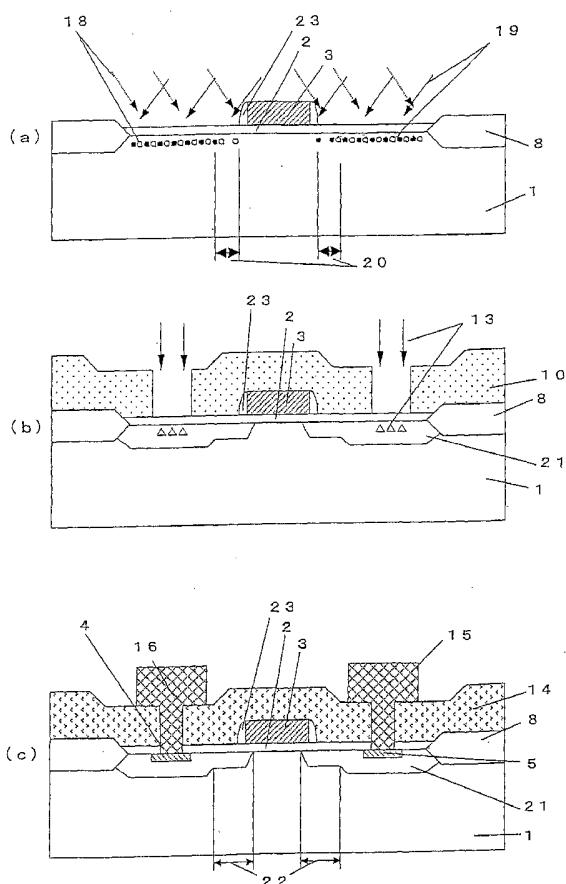
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 狩山 勝

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A method for fabricating a semiconductor device comprising a step for forming a second conductivity type drift region having a low concentration region at least on one side in the channel length direction of the gate electrode by implanting impurity ions into a semiconductor substrate from four different directions at a specified injection angle, and a step for forming a second conductivity type high concentration region surrounded by a drift region except the low concentration region. According to the method, a semiconductor device having a drift region capable of fining can be fabricated without increasing the number of fabrication steps.

(57) 要約: 本発明は、半導体基板に互に異なる 4 方向からかつ所定の注入角度をもたせて不純物のイオン注入をしてゲート電極のチャネル長方向の少なくとも片側に低濃度領域を備える第 2 導電型のドリフト領域を形成する工程と、低濃度領域を除くドリフト領域に囲まれる第 2 導電型の高濃度領域を形成する工程を少なくとも含む半導体装置の製造方法に関する。上記方法により、工程数を増やすことなく、微細化の可能なドリフト領域を有する半導体装置及びその製造方法を提供することができる。

明 細 書

半導体装置及びその製造方法

5 技術分野

本発明は、半導体装置及びその製造方法に関する。より詳しくは、本発明は、例えば電源 I C として使用できる高耐圧半導体装置及びその製造方法に関する。

従来の技術

- 10 半導体装置の中で、代表的な高耐圧な半導体装置は、電源用 I C や表示装置用ドライバー等に使用されている。高耐圧半導体装置の概略断面図（従来例 1）を、図 3 に示す。図 3 は、ゲート電極 3 と、その端部直下を含み重複している第 2 導電型で低濃度の第 1 ドリフト領域 6 と、ゲート電極 3 と隔離され第 1 ドリフト領域 6 に囲まれた第 2 導電型で高濃度のソース領域 4 及びドレイン領域 5 を有する半導体装置である。ここで、1 は第 1 導電型の半導体基板、2 はゲート絶縁膜、6 A は第 1 ドリフト領域端、6 B はドレイン領域と第 1 ドリフト領域の境界部、8 は素子分離領域、14 は層間絶縁膜、15 はドレイン電極、16 はソース電極、17 は第 1 ドリフト領域長である。この従来例 1 における高耐圧化の原理を以下に説明する。
- 20 従来例 1 では、ドレイン領域 5 に高電圧が印加された際、第 1 ドリフト領域 6 の空乏化により、ドリフト領域 6 で電圧降下を生じさせ、ゲート電極 3 下の第 1 ドリフト領域端 6 A の電界を緩和させることで、高耐圧化を図っている。つまり、第 1 ドリフト領域端 6 A での耐圧を向上させ、第 1 ドリフト領域 6 での電圧降下を促進させるために第 1 ドリフト領域 6 の濃度を低くしている。
- 25 また、ゲート電極 3 を、その端部直下で第 1 ドリフト領域 6 と重複させることで、ゲート電極 3 との電位差により当重複領域で更に空乏化が促進され、ドリフ

ト領域端 6 A の電界を更に緩和することでも高耐圧化を実現している。

従来例 1 の改良型として、図 4 (d) に従来例 2 の半導体装置の概略断面図を示す。これは、ゲート電極 3 と、その端部直下を含み重複している第 2 導電型で低濃度の第 1 ドリフト領域 6 と、ゲート電極 3 と隔離され第 1 ドリフト領域 6 に隣接する第 2 ドリフト領域 7 と、ゲート電極 3 と隔離され第 2 ドリフト領域 7 に囲まれた第 2 導電型で高濃度のソース領域 4 及びドレイン領域 5 とを有する半導体装置である。この従来例 2 における高耐圧化の原理を以下に説明する。

図 3 の従来例 1 において、第 1 ドリフト領域端 6 A での耐圧を向上するには、第 1 ドリフト領域 6 での電圧降下を促進させるために第 1 ドリフト領域 6 の濃度を低くする必要がある。その一方、ドレイン領域と第 1 ドリフト領域の境界部 6 B では、第 1 ドリフト領域 6 の空乏化により、電圧降下が発生するため、境界部 6 B の電界強度が高くなり、耐圧低下を引き起こす。

そのため、従来例 2 では、図 4 (d) にあるようにドレイン領域 5 を囲むようにして、第 2 ドリフト領域 7 を設け、第 2 ドリフト領域 7 の濃度を、第 1 ドリフト領域 6 よりも高くしておくことでドレイン領域と第 2 ドリフト領域の境界部 7 B の電界を緩和し、トランジスタ全体の高耐圧化を実現している。図中、7 A は第 1 ドリフト領域と第 2 ドリフト領域の境界部を意味している。

この従来例 2 に相当するものに、特開昭 6 1 - 1 8 0 4 8 3 号公報がある。

しかしながら、上記高耐圧化技術は、工程の増加を招き、また微細化には限界があるという課題があった。

つまり、従来例 2 のように濃度が異なる 2 つのドリフト領域を製造するには、図 4 (a) と (b) に示すように個別に感光性レジストマスク 1 0 を用いてドリフト領域形成のための不純物注入 (1 1、1 2) を行なう必要がある。これは工程の増加となる。

また、第 2 ドリフト領域形成時、既に導入済みの第 1 ドリフト領域とのアライメント誤差により第 1 ドリフト領域長 1 7 が揺らぐことでトランジスタ特性が不

安定になることがある。これを抑えるため第1ドリフト領域長17をアライメント誤差の5倍程度（製造でのアライメント誤差が $0.2\mu\text{m}$ の場合、全体のドリフト長 $1\mu\text{m}$ 程度）まで設計値を大きくする必要があり、そのため微細化には限界があった。

- 5 更に、ゲート電極形成時、ゲート電極と第1ドリフト領域6とのアライメント誤差により、ゲート電極とドリフト領域とが隔離しないようにゲート電極とドリフト領域の重複する幅は、アライメント誤差の2倍程度とする必要があった。図中、13はソース領域とドレイン領域形成のための不純物注入を意味する。

10 発明の開示

本発明の発明者は、上記の課題に鑑み、工程数を増やすことなく製作でき、微細化の可能なドリフト領域を有する半導体装置及びその製造方法を見出し本発明にいたった。

- かくして本発明によれば、素子分離領域を形成した第1導電型の半導体基板、
- 15 半導体基板上にゲート絶縁膜を介して形成されたゲート電極、ゲート電極の側壁に任意に形成された絶縁膜からなるサイドウォールスペーサー、ゲート電極のチャネル長方向の端部の少なくとも片側の半導体基板に形成された低濃度領域を備える第2導電型のドリフト領域、低濃度領域を除くドリフト領域に囲まれた第2導電型の高濃度領域、半導体基板全面に形成された層間絶縁膜、所定の箇所に形成されたコンタクトホールと金属配線とを備え、
- 20

低濃度領域を備える第2導電型のドリフト領域が、互に異なる4方向からかつ所定の注入角度をもたせた不純物のイオン注入で形成された領域である半導体装置が提供される。

- 更に本発明によれば、素子分離領域を形成した第1導電型の半導体基板上に、
- 25 ゲート絶縁膜を介してゲート電極を形成する工程と、任意にゲート電極の側壁に絶縁膜からなるサイドウォールスペーサーを形成する工程と、互に異なる4方向

からかつ所定の注入角度をもたせた不純物のイオン注入によりゲート電極のチャンネル長方向の端部の少なくとも片側の半導体基板に低濃度領域を備える第2導電型のドリフト領域を形成する工程と、レジストパターンを形成し、レジストパターンを介して低濃度領域を除くドリフト領域に囲まれる第2導電型の高濃度領域を形成する工程と、レジストパターンを除去し、半導体基板全面に層間絶縁膜を形成する工程と、所定の箇所にコンタクトホールを形成し、金属配線を形成する工程を含む半導体装置の製造方法が提供される。

また本発明によれば、素子分離領域を形成した第1導電型の半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、任意にゲート電極の側壁に絶縁膜からなるサイドウォールスペーサーを形成する工程と、ゲート電極と形成されている場合はサイドウォールスペーサーをマスクにして半導体基板をエッチングして溝を形成する工程と、互に異なる4方向からかつ所定の注入角度をもたせた不純物のイオン注入によりゲート電極のチャンネル長方向の端部の少なくとも片側の半導体基板に低濃度領域を備える第2導電型のドリフト領域を形成する工程と、レジストパターンを形成し、レジストパターンを介して低濃度領域を除くドリフト領域に囲まれる第2導電型の高濃度領域を形成する工程と、レジストパターンを除去し、半導体基板全面に層間絶縁膜を形成する工程と、所定の箇所にコンタクトホールを形成し、金属配線を形成する工程を含む半導体装置の製造方法が提供される。

20

図面の簡単な説明

図1(a)～(c)は、実施例1の半導体装置の製造工程を示す概略断面図である。

図2(a)～(c)は、実施例3の半導体装置の製造工程を示す概略断面図である。

25

図3は、従来例1の半導体装置の概略断面図である。

図4 (a) ~ (d) は、従来例2の半導体装置の製造工程を示す概略断面図である。

発明の実施の形態

- 5 本発明では、ゲート電極を形成した後のドリフト領域形成用の不純物導入工程において、通常、ウェハー面との入射角 0° で行われるドリフト領域形成のための不純物注入を傾け（例えば、 30° 以上）、更に注入中に導入の向きを変化させることで、（1）ゲート電極の影によりゲート電極の端部直下に隣接する領域で不純物導入が制限されるため、同領域が低濃度化すること、（2）更に斜め入
- 10 射によるゲート電極の端部直下への不純物のもぐり込みにより形成されたゲート電極の端部直下に重複するドリフト領域を有することを特徴とする。

- これにより、従来例2の第1ドリフト領域形成のための工程が不要となる。また、ゲート電極とドリフト領域との重複幅及び低濃度領域長は、不純物注入の入射角度とゲート電極の厚みにより決まるため、それらの値は安定しているので、
- 15 半導体装置の微細化を図ることが可能である。具体的には、図4 (d) の従来例2の半導体装置に比べて、約10~40%微細化することができる。

- また、ゲート電極側壁に絶縁膜からなるサイドウォールスペーサーを選択的に形成することで、その後のドリフト領域形成用の不純物導入工程において、斜め入射によるゲート電極の端部直下にもぐり込む深さを制限できる。そのため、ゲ
- 20 ート電極とドリフト領域との重複幅を減少させ、半導体装置をより微細化できる。

- また、ドリフト領域の半導体基板表面を、ゲート電極直下の半導体表面に対して溝状とすることで、ゲート電極の端部直下に隣接する溝の側壁部が最も低く、次いで溝底部の一部でドリフト領域を低濃度にすることができる。そのため、実
- 25 効の低濃度領域長を延ばすことができ、より半導体装置の高耐圧化を図ることが可能である。具体的には、図1 (c) の半導体装置に比べて、1.1~1.3倍

高耐圧化することができる。

なお、ソース領域に印加する電圧が低い場合、ソース領域側においては、ドリフト領域を省き、ゲート電極の端直下に隣接して、高濃度のソース領域を設けることにより、微細化を図ることが可能である。

- 5 本発明に使用できる半導体基板は、特に限定されず、シリコン基板、シリコンゲルマニウム基板等の公知の基板を使用することができる。

半導体基板には、素子分離領域が形成されている。素子分離領域は、LOCOS分離領域や、トレンチ分離領域のいずれであってもよい。

- 10 素子分離領域で区画される領域の半導体基板上の所定の箇所に、ゲート絶縁膜を介してゲート電極が形成されている。ゲート絶縁膜としては、シリコン酸化膜、シリコン窒化膜及びこれら膜の積層体等が挙げられる。ゲート電極としては、例えば、Al、Cu等の金属膜、ポリシリコン膜、シリコンと高融点金属（例えば、チタン、タングステン等）とのシリサイド膜、ポリシリコン膜とシリサイド膜の積層体（ポリサイド膜）が挙げられる。ゲート絶縁膜は、例えば、熱酸化法、スパッタ法等を材料に応じて選択することで形成でき、ゲート電極は、例えば、CVD法、蒸着法等を材料に応じて選択することで形成できる。

ゲート電極の側壁には、絶縁膜（例えば、シリコン酸化膜、シリコン窒化膜）からなるサイドウォールスペーサーを形成してもよい。サイドウォールスペーサーは、CVD法、スパッタ法等を材料に応じて選択することで形成できる。

- 20 更に、ゲート電極及び形成されている場合にはサイドウォールスペーサーをマスクとして、半導体基板をドライ又はウェットエッチングすることで溝を形成してもよい。溝の深さは、例えば、 $0.1 \sim 0.5 \mu\text{m}$ とすることができる。溝の形状は、特に限定されず、例えば、溝の壁面が垂直な形状、溝の底面が上面より狭い形状、溝の底面が上面より広い形状等が挙げられる。

- 25 半導体基板には、互に異なる4方向からかつ所定の注入角度をもたせて不純物のイオン注入することで、ゲート電極のチャネル長方向の端部に低濃度領域を備

える第2導電型のドリフト領域が少なくとも半導体基板のドレイン領域形成側に形成されている。注入角度は、所望する半導体装置の特性によって異なるが、例えば、 30° 以上で行うことができ、より具体的には $30^\circ \sim 70^\circ$ の範囲で選択することができる。

- 5 ここで、互に異なる4方向は、上記ドリフト領域を形成することができさえすれば、互にどのような関係を有していてもよい。特に、4方向は、その内の1方向が、チャンネル幅方向に平行な方向であり、他の3方向が、前記1方向に対して 90° 、 180° 及び 270° の入射角を有する方向であることが好ましい。

- 10 更に、レジストパターンを介して低濃度領域を除くドリフト領域に囲まれる第2導電型の高濃度のドレイン領域を形成する。なお、ソース領域もドリフト領域内に形成されていてもよい。また、ゲート電極の側壁下部と重複するようにソース領域単独で形成してもよい。

- 15 また、半導体基板全面に層間絶縁膜を備え、所定の箇所にコンタクトホールをと金属配線を備えている。層間絶縁膜としては、特に限定されず、公知の方法で形成されたシリコン酸化膜、SOG膜等の公知の膜をいずれも使用することができる。また、コンタクトホールが形成される所定の箇所は、ソース領域、ドレイン領域、ゲート電極等の上が挙げられる。金属配線としては、Al膜、Cu膜等が挙げられる。

20 実施例

以下、本発明の半導体装置及びその製造方法に係る実施例について、具体的な数値を示しながら、説明する。

実施例 1

図1(c)は実施例1の半導体装置の概略断面図である。

- 25 第1導電体型の半導体基板1は例えばP型であり、ボロン濃度はおよそ $1 \times 10^{15} / \text{cm}^3$ である。この基板上に厚さ400nm程度の素子分離領域8がある

。また、例えば厚さ 40 nm のゲート絶縁膜 2、更に例として厚み 200 nm のポリサイドからなるゲート電極 3 が形成されている。このゲート電極 3 のチャンネル長は 1 μ m 程度であり、ゲート電極の側壁に選択的に絶縁膜からなるサイドウォールスペーサー 23 が形成されており、底部の膜厚は例えば 100 nm である

5 。

また、ゲート電極 3 の端部直下を含み、自己整合で 0.1 μ m 程重複するドリフト領域 21 が形成されている。このドリフト領域の低濃度領域長 22 は、0.2 μ m 程度であり、濃度は $0.9 \times 10^{17} / \text{cm}^3$ 、接合深さは 0.4 μ m 程度である。また、ドリフト領域自体の濃度は $1.2 \times 10^{17} / \text{cm}^3$ 、接合深さは

10 0.5 μ m 程度である。

ゲート電極 3 とドレイン領域 5 との距離は 1 μ m である。

図 1 (c) の半導体装置の製造方法を、図 1 (a) ~ (c) の半導体装置の製造工程を示す概略断面図により説明する。

図 1 (a) について、半導体基板 1 上に素子分離領域 8 が選択的に形成され、

15 次いでゲート絶縁膜 2 が形成され、更にゲート電極 3 が形成されている。

ゲート電極 3 の側壁に選択的に、絶縁膜からなるサイドウォールスペーサー 23 が形成されている。サイドウォールスペーサー 23 の底部の膜厚はゲート電極と、後に形成されるドリフト領域 21 との重複幅により調整される。

このような半導体基板表面に、例えばリンをエネルギーおよそ 180 keV、

20 注入角度 45° で互に異なる 4 方向に分けてイオン注入を全注入量が $7 \times 10^{12} / \text{cm}^2$ 程度の注入量にて、ドリフト領域形成のための不純物注入を行う。実施例 1 では、4 方向の内、2 方向がチャンネル幅方向に平行であり、かつ互に 180° 異なる方向を有し、他の 2 方向がチャンネル長方向に平行であり、かつ互に 180° 異なる方向を有する。またドリフト領域 21 の重複幅の調整には注入角度を

25 30 ~ 70° の範囲内で適時選択が可能である。このときエネルギー、注入量、注入角度は、後の低濃度領域長 22 を決定し、所望する耐圧により調整する。

このとき、図1 (a) に従えば、ドリフト領域形成のための不純物斜め注入18と反対方向のドリフト領域形成のための不純物斜め注入19により、ゲート電極3に隣接する領域でゲート電極の影20ができ、該領域に導入される不純物量は制限される。

- 5 この実施例の場合、4方向に同量の不純物を導入するため、ゲート電極3に隣接する領域に導入される不純物量は1方向のみゲート電極の影20になるため、この部分の不純物量は全注入量の3/4程度となりこのドリフト領域の幅はゲート電極3の端部より約200nm程度に形成される。

- 10 その後、図1 (b) において、N₂雰囲気中で800℃、10分程度のアニールを行い、ドリフト領域を活性化させる。

次いで、感光性レジストマスク10により、例えば砒素をエネルギー40keVにて $3 \times 10^{15} / \text{cm}^2$ の注入量で選択的にドレイン・ソース領域形成のための不純物注入13を行う。

- 15 次いで、図1 (c) において、層間絶縁膜14を例えば900nm形成し、コンタクト穴を空け、電極を形成する。

その後既知の方法で高耐圧トランジスタが作成できる。

実施例2

- この実施例2は、サイドウォールスペーサーを形成しないこと以外は、上記実施例1と同じである。スペーサーを形成しないのでより微細な半導体装置を得る
20 ことができる。

実施例3

図2 (c) は実施例3の半導体装置の概略断面図である。

- 第1導電体型半導体基板1は例えばP型であり、ボロン濃度はおよそ $1 \times 10^{15} / \text{cm}^3$ である。この基板上に厚さ400nm程度の素子分離領域8があり、
25 次いで例えば厚さ40nmのゲート絶縁膜2、更に例として厚み200nmのポリサイドからなるゲート電極3が形成されている。このゲート電極3のチャネル

長は $1\ \mu\text{m}$ 程度であり、ゲート電極の側壁に選択的に絶縁膜からなるサイドウォール Spacer 23 が形成されており、底部の膜厚は例えば $100\ \text{nm}$ である。

また、ゲート電極 3 の端部直下を含み、自己整合で $0.1\ \mu\text{m}$ 程重複するドリフト領域 21 が形成されている。このドリフト領域 21 は、深さ $0.2\ \mu\text{m}$ の溝の側壁部及び底部に形成されている。このドリフト領域の低濃度領域長 22 は、側壁部と底部の一部を合わせて $0.6\ \mu\text{m}$ 程度であり、濃度は側壁部で、 $0.3 \times 10^{17} / \text{cm}^3$ で、接合深さは $0.2\ \mu\text{m}$ 程度、底部で $0.9 \times 10^{17} / \text{cm}^3$ 、接合深さは $0.4\ \mu\text{m}$ 程度である。また、ドリフト領域自体の濃度は $1.2 \times 10^{17} / \text{cm}^3$ 、接合深さは $0.5\ \mu\text{m}$ 程度である。

10 図 2 (c) の半導体装置の製造方法を、図 2 (a) ~ (c) の半導体装置の製造工程を示す概略断面図により説明する。

図 2 の (a) について、第 1 導電型半導体基板 1 上に素子分離領域が選択的に形成され、次いでゲート絶縁膜 2 が形成され、更にゲート電極 3 が形成されている。

15 このゲート電極の側壁に選択的に、絶縁膜からなるサイドウォール Spacer 23 が形成されている。Spacer の膜厚はゲート電極と後に形成されるドリフト領域 21 との重複幅により調整される。また、サイドウォール Spacer 形成後に、半導体基板表面の後にドリフト領域を形成する領域を例えば深さ $0.2\ \mu\text{m}$ の溝状に加工してある。

20 このような半導体基板表面に、例えばリンをエネルギーおよそ $180\ \text{keV}$ 、注入角度 45° で互に異なる 4 方向に分けてイオン注入を全注入量が $7 \times 10^{12} / \text{cm}^2$ 程度の注入量にて、ドリフト領域形成のための不純物注入を行う。実施例 1 では、4 方向の内、2 方向がチャネル幅方向に平行であり、かつ互に 180° 異なる方向を有し、他の 2 方向がチャネル長方向に平行であり、かつ互に 180° 異なる方向を有する。このときエネルギー、注入量、入射角は、後の低濃度領域長 22 を決定し、所望する耐圧により調整する。

このとき、図2の(a)に従えば、ドリフト領域形成のための不純物斜め注入18と反対方向のドリフト領域形成のための不純物斜め注入19により、ゲート電極3に隣接する領域でゲート電極の影20ができ、該領域に導入される不純物量は制限される。

- 5 この実施例の場合、4つの方向に同量の不純物を導入するため、ゲートに隣接する溝の側壁領域に導入される不純物は、1つの方向のみイオン注入されるため全注入量の1/4になり、溝の底部の低濃度領域に導入される不純物量は1つの方向のみ影になるため、イオン注入される全注入量の3/4がイオン注入されることになる。
- 10 ゲート電極の影20は、45°の斜め注入の場合、ゲート電極とシリコンエッチングした溝の深さの和である400nmでありドリフト層の長さは約600nmが得られる。またドリフト領域21の幅の調整には注入角度を30~70°範囲内で適時選択が可能である。

- その後、図2(b)において、N₂雰囲気で800℃、10分程度のアニール
15 を行い、ドリフト領域を活性化させる。

次いで、感光性レジストマスク10により、例えば砒素をエネルギー40keVにて $3 \times 10^{15} / \text{cm}^2$ の注入量で選択的にドレイン・ソース領域形成のための不純物注入13を行う。

- 次いで、図2(c)において、層間絶縁膜14を例えば900nm形成し、コ
20 ンタクト穴を空け、電極を形成して高耐圧トランジスタが形成される。

実施例4

- 上記実施例1~3はいずれも、ソース領域にも高電圧を印加できる構造の半導体装置であったが、ソース領域に印加する電圧が低い場合、ソース領域側においては、ドリフト領域を省き、ゲート電極3の端直下に隣接して、高濃度のソース
25 領域4を設けることができる。

本発明の半導体装置によれば、第1ドリフト領域形成のための工程が不要となり、ゲート電極とドリフト領域との重複及び低濃度領域長は、不純物注入の入射角度とゲート電極の厚みにより決まるため、特性が安定しており、かつ微細化を図ることが可能となる。

請 求 の 範 囲

1. 素子分離領域を形成した第1導電型の半導体基板、半導体基板上にゲート絶縁膜を介して形成されたゲート電極、ゲート電極の側壁に任意に形成された絶縁膜からなるサイドウォールスペーサー、ゲート電極のチャネル長方向の端部の少なくとも片側の半導体基板に形成された低濃度領域を備える第2導電型のドリフト領域、低濃度領域を除くドリフト領域に囲まれた第2導電型の高濃度領域、半導体基板全面に形成された層間絶縁膜、所定の箇所に形成されたコンタクトホールと金属配線とを備え、
- 5
- 10 低濃度領域を備える第2導電型のドリフト領域が、互に異なる4方向からかつ所定の注入角度をもたせた不純物のイオン注入で形成された領域である半導体装置。
2. 半導体基板が、ゲート電極及び形成されている場合はサイドウォールスペーサーをマスクにしてエッチングされて形成された溝を有し、ドリフト領域と高濃度領域が溝に形成されている請求項1に記載の半導体装置。
- 15
3. 低濃度領域を備える第2導電型のドリフト領域が、ゲート電極のチャネル長方向の両側に形成され、第2導電型の高濃度領域が、低濃度領域を除くドリフト領域にソース領域とドレイン領域として形成される請求項1に記載の半導体装置。
- 20
4. 注入角度が、 $30 \sim 70^\circ$ である請求項1に記載の半導体装置。
5. 互に異なる4方向は、その内の1方向が、チャネル幅方向に平行な方向であり、他の3方向が、前記1方向に対して 90° 、 180° 及び 270° の入射角を有する方向である請求項1に記載の半導体装置。
6. 素子分離領域を形成した第1導電型の半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、任意にゲート電極の側壁に絶縁膜からなるサイドウォールスペーサーを形成する工程と、互に異なる4方向からかつ所定の注入
- 25

角度をもたせた不純物のイオン注入によりゲート電極のチャネル長方向の端部の少なくとも片側の半導体基板に低濃度領域を備える第2導電型のドリフト領域を形成する工程と、レジストパターンを形成し、レジストパターンを介して低濃度領域を除くドリフト領域に囲まれる第2導電型の高濃度領域を形成する工程と、

- 5 レジストパターンを除去し、半導体基板全面に層間絶縁膜を形成する工程と、所定の箇所にコンタクトホールを形成し、金属配線を形成する工程を含む半導体装置の製造方法。

7. 素子分離領域を形成した第1導電型の半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、任意にゲート電極の側壁に絶縁膜からなるサイ

- 10 ドウォールスペーサーを形成する工程と、ゲート電極と形成されている場合はサイドウォールスペーサーをマスクにして半導体基板をエッチングして溝を形成する工程と、互に異なる4方向からかつ所定の注入角度をもたせた不純物のイオン注入によりゲート電極のチャネル長方向の端部の少なくとも片側の半導体基板に低濃度領域を備える第2導電型のドリフト領域を形成する工程と、レジストパターンを形成し、レジストパターンを介して低濃度領域を除くドリフト領域に囲ま
- 15 れる第2導電型の高濃度領域を形成する工程と、レジストパターンを除去し、半導体基板全面に層間絶縁膜を形成する工程と、所定の箇所にコンタクトホールを形成し、金属配線を形成する工程を含む半導体装置の製造方法。

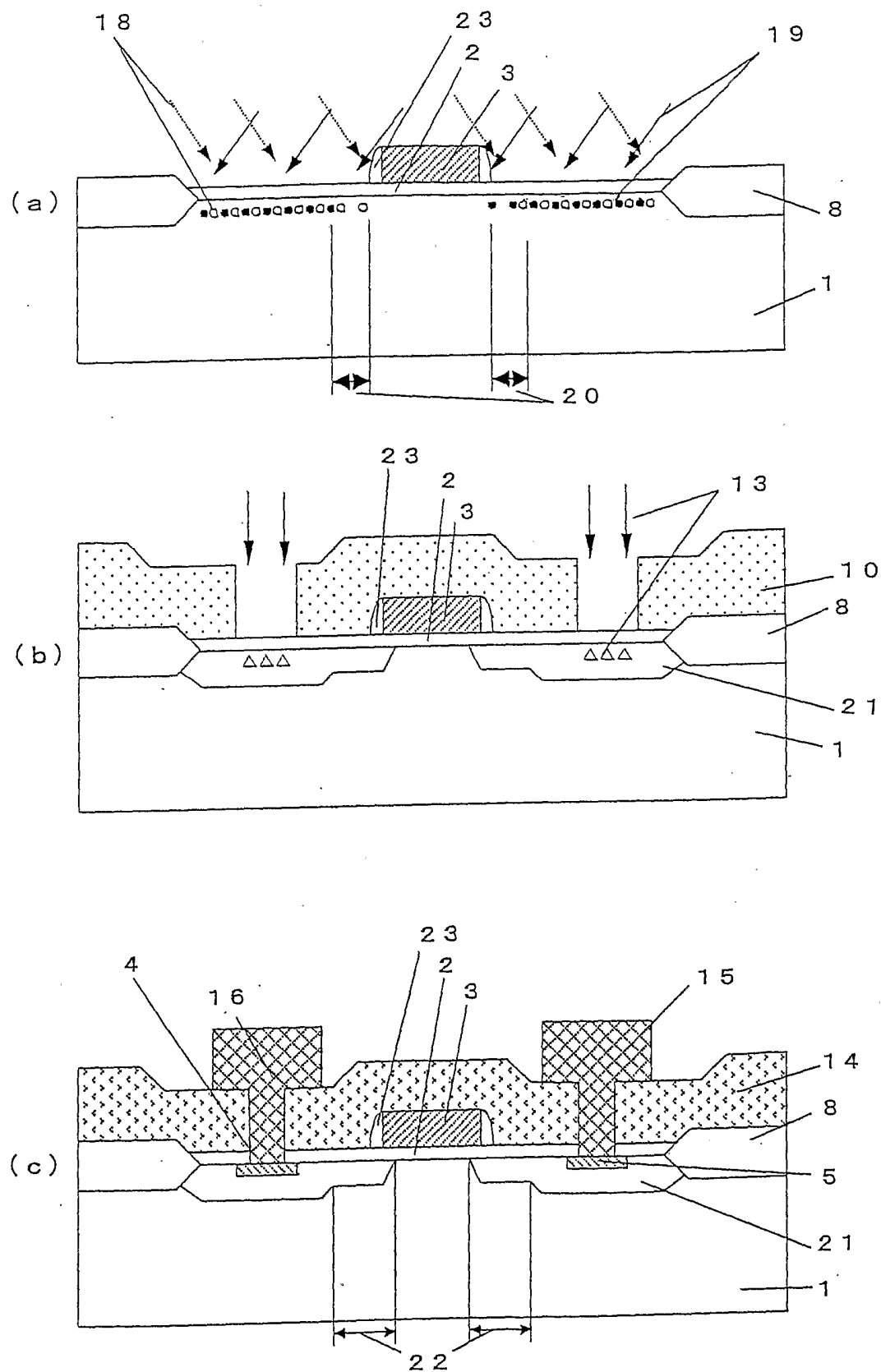
8. 注入角度が、 $30^{\circ} \sim 70^{\circ}$ である請求項6又は7に記載の半導体装置の製造
- 20 方法。

9. 低濃度領域を備える第2導電型のドリフト領域が、ゲート電極のチャネル長方向の端部の両側の半導体基板に形成され、第2導電型の高濃度領域が、低濃度領域を除くドリフト領域にソース領域とドレイン領域として形成される請求項6又は7に記載の半導体装置の製造方法。

- 25 10. 互に異なる4方向は、その内の1方向が、チャネル幅方向に平行な方向であり、他の3方向が、前記1方向に対して 90° 、 180° 及び 270° の入射

角を有する方向である請求項 6 又は 7 に記載の半導体装置の製造方法。

1



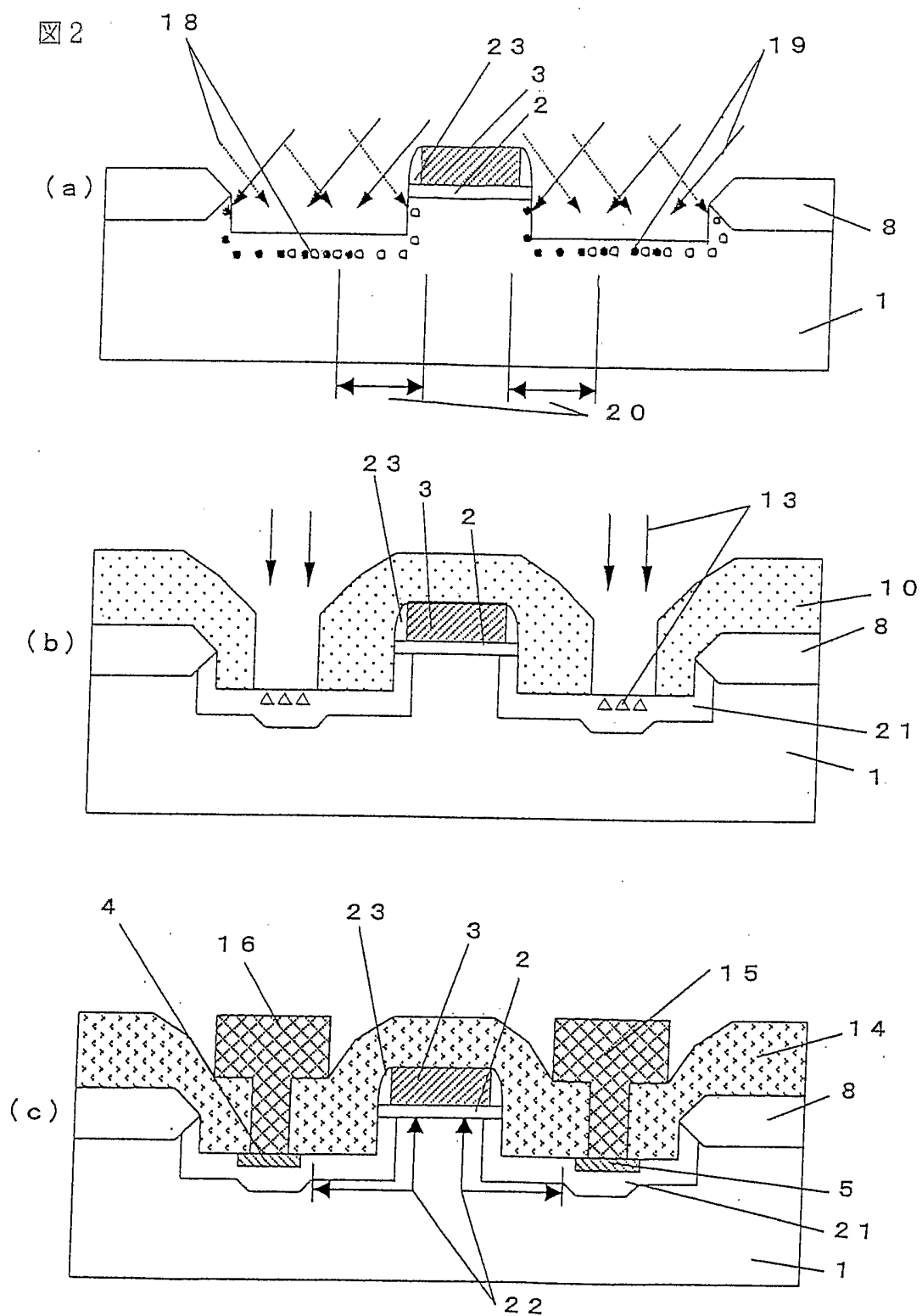
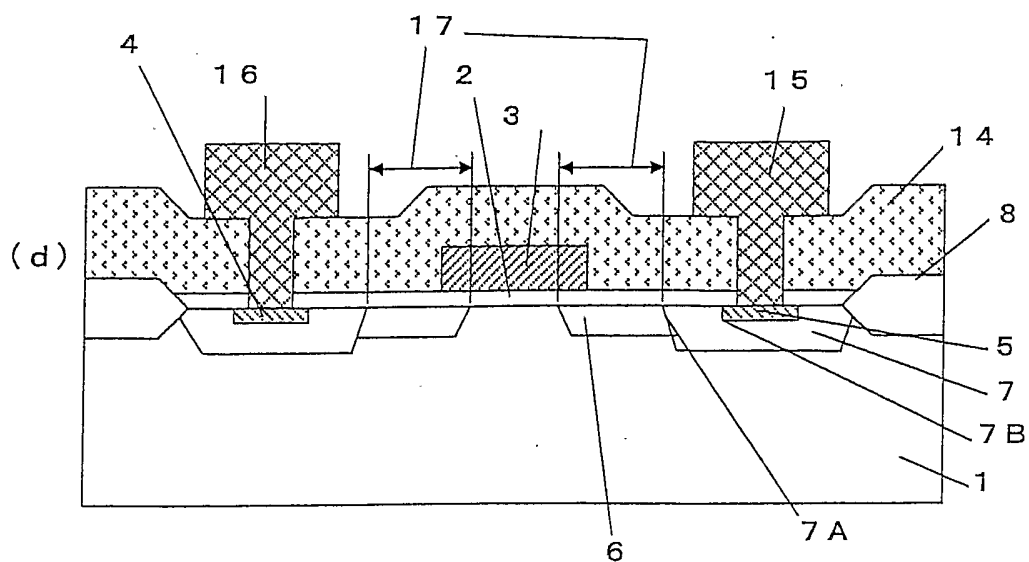
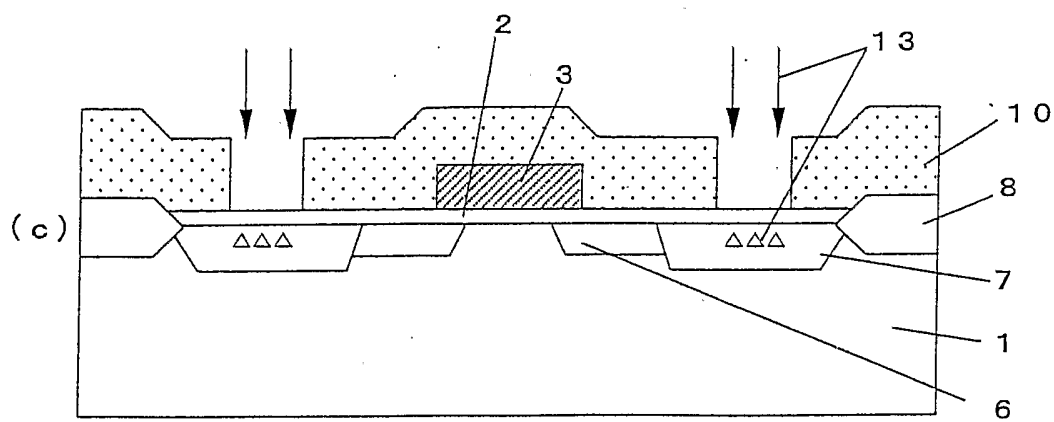
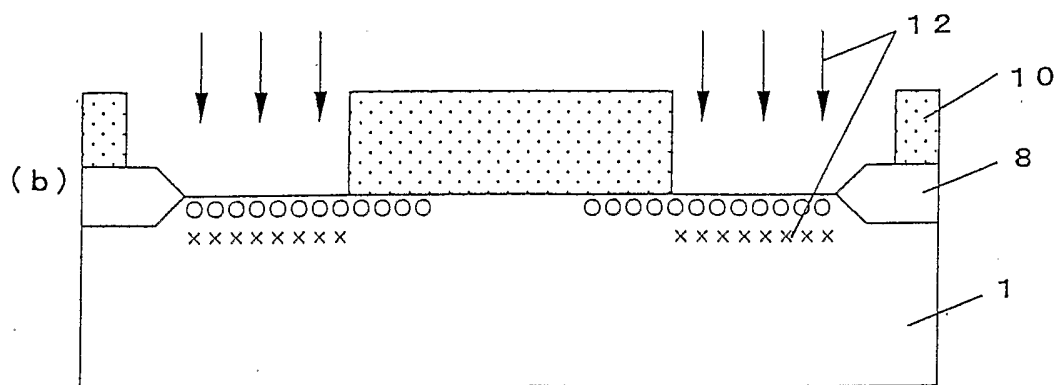
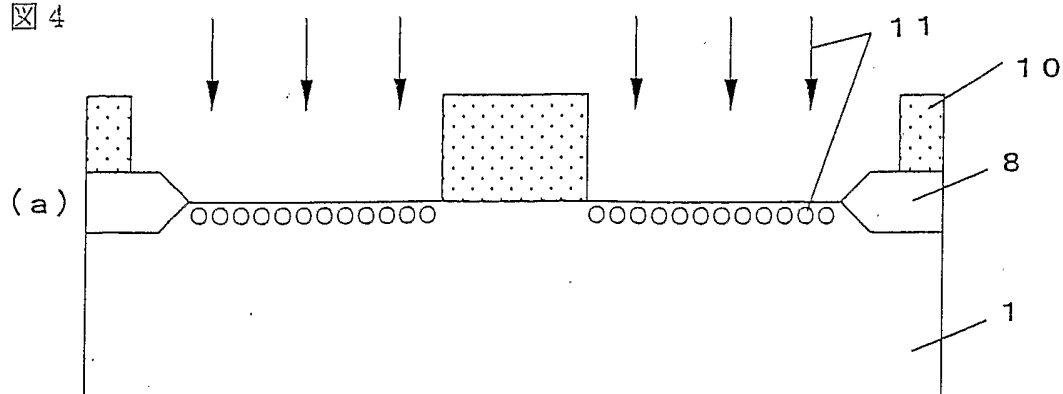


図 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07765

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L29/78, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L29/78, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1966-1996 Jitsuyo Shinan Toroku Koho 1996-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6020228 A (Hitachi, Ltd.), 01 February, 2000 (01.02.00), Column 9, line 6 to column 16, line 26; Figs. 1 to 11 & JP 10-229134 A Par. Nos. [0028] to [0107]; Figs. 1 to 11	1, 3, 5, 6, 9, 10 2, 4, 7, 8
X	JP 2003-007717 A (Sharp Corp.), 10 January, 2003 (10.01.03), Full text; Figs. 1 to 6 (Family: none)	1-5 6-10
Y	JP 11-026764 A (Sony Corp.), 29 January, 1999 (29.01.99), Full text; Figs. 1 to 4 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	---

Date of the actual completion of the international search
24 July, 2003 (24.07.03)

Date of mailing of the international search report
05 August, 2003 (05.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07765

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 02-296340 A (Mitsubishi Electric Corp.), 06 December, 1990 (06.12.90), Full text; Fig. 1 (Family: none)	1-10
Y	JP 04-014260 A (Matsushita Electric Industrial Co., Ltd.), 20 January, 1992 (20.01.92), Full text; Fig. 1 (Family: none)	1-10
Y	JP 64-005068 A (Matsushita Electric Industrial Co., Ltd.), 10 January, 1989 (10.01.89), Full text; Figs. 1 to 3 (Family: none)	1-10
Y	JP 62-076617 A (Toshiba Corp.), 08 April, 1987 (08.04.87), Full text; Figs. 1 to 3 (Family: none)	1-10
Y	JP 63-233567 A (Nippon Telegraph And Telephone Corp.), 29 September, 1988 (29.09.88), Full text; Fig. 1 (Family: none)	1-10
Y	JP 03-209836 A (NEC Corp.), 12 September, 1991 (12.09.91), Full text; Figs. 1 to 2 (Family: none)	1-10
Y	JP 10-261795 A (Sharp Corp.), 29 September, 1998 (29.09.98), Full text; Figs. 1 to 3 (Family: none)	1-10
Y	JP 08-008430 A (Sony Corp.), 12 January, 1996 (12.01.96), Full text; Figs. 1 to 5 (Family: none)	1-10
Y	JP 02-005436 A (Matsushita Electronics Corp.), 10 January, 1990 (10.01.90), Full text; Figs. 1 to 3 (Family: none)	1-10
Y	JP 2001-308197 A (Matsushita Electric Industrial Co., Ltd.), 02 November, 2001 (02.11.01), Full text; Figs. 1 to 5 (Family: none)	1-10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/07765

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5834347 A (Nippondenso Co., Ltd.), 10 November, 1998 (10.11.98), Column 6, line 66 to column 8, line 24; Figs. 7 to 14 & JP 08-018052 A Par. Nos. [0027] to [0032]; Figs. 7 to 14	1-10
Y	JP 03-138951 A (Matsushita Electric Industrial Co., Ltd.), 13 June, 1991 (13.06.91), Full text; Fig. 1 (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1966-1996年

日本国公開実用新案公報 1971-2003年

日本国実用新案登録公報 1996-2003年

日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6020228 A (Hitachi, Ltd.) 2000. 02. 01, 第9欄第6行-第16欄第26行, 第1-11図	1, 3, 5, 6, 9, 10
Y	& JP 10-229134 A, 段落番号【0028】-【0107】, 第1-11図	2, 4, 7, 8
X	JP 2003-007717 A (シャープ株式会社) 2003. 01. 10, 全文, 第1-6図 (ファミリーなし)	1-5
Y		6-10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24. 07. 03

国際調査報告の発送日

05.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河 口 雅 英

4M

8421

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 11-026764 A (ソニー株式会社) 1999. 0 1. 29, 全文, 第1-4図 (ファミリーなし)	1-10
Y	J P 02-296340 A (三菱電機株式会社) 1990. 1 2. 06, 全文, 第1図 (ファミリーなし)	1-10
Y	J P 04-014260 A (松下電器産業株式会社) 199 2. 01. 20, 全文, 第1図 (ファミリーなし)	1-10
Y	J P 64-005068 A (松下電器産業株式会社) 198 9. 01. 10, 全文, 第1-3図 (ファミリーなし)	1-10
Y	J P 62-076617 A (株式会社東芝) 1987. 04. 08, 全文, 第1-3図 (ファミリーなし)	1-10
Y	J P 63-233567 A (日本電信電話株式会社) 198 8. 09. 29, 全文, 第1図 (ファミリーなし)	1-10
Y	J P 03-209836 A (日本電気株式会社) 1991. 0 9. 12, 全文, 第1-2図 (ファミリーなし)	1-10
Y	J P 10-261795 A (シャープ株式会社) 1998. 0 9. 29, 全文, 第1-3図 (ファミリーなし)	1-10
Y	J P 08-008430 A (ソニー株式会社) 1996. 0 1. 12, 全文, 第1-5図 (ファミリーなし)	1-10
Y	J P 02-005436 A (松下電子工業株式会社) 199 0. 01. 10, 全文, 第1-3図 (ファミリーなし)	1-10
Y	J P 2001-308197 A (松下電器産業株式会社) 20 01. 11. 02, 全文, 第1-5図 (ファミリーなし)	1-10
Y	US 5834347 A (Nippondenso Co., Ltd.) 1998. 1 1. 10, 第6欄第66行-第8欄第24行, 第7-14図 & J P 08-018052 A, 段落番号【0027】-【00 32】, 第7-14図	1-10
Y	J P 03-138951 A (松下電器産業株式会社) 199 1. 06. 13, 全文, 第1図 (ファミリーなし)	1-10