



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월06일
 (11) 등록번호 10-0882647
 (24) 등록일자 2009년02월02일

(51) Int. Cl.
 H04N 5/05 (2006.01) H04N 5/04 (2006.01)
 G02F 1/133 (2006.01) G02F 1/13357 (2006.01)
 (21) 출원번호 10-2007-0059776
 (22) 출원일자 2007년06월19일
 심사청구일자 2007년06월19일
 (65) 공개번호 10-2008-0093842
 (43) 공개일자 2008년10월22일
 (30) 우선권주장
 1020070037531 2007년04월17일 대한민국(KR)
 (56) 선행기술조사문헌
 KR1020030075626 A*
 (뒷면에 계속)

(73) 특허권자
 엘지이노텍 주식회사
 서울 영등포구 여의도동 20번지
 (72) 발명자
 김택수
 광주 광산구 도천동 중흥 아파트 111동 1007호
 (74) 대리인
 김삼수

전체 청구항 수 : 총 8 항

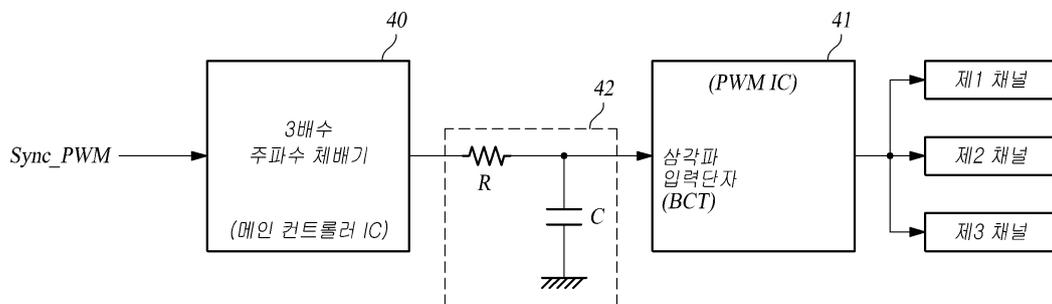
심사관 : 김도원

(54) 외부 동기형 위상 시프트 회로

(57) 요약

본 발명은 외부 동기형 위상 시프트 회로에 관한 것으로서, 채널별로 동기화를 이루면서 위상 시프트를 이룰 수 있음을 특징으로 한다. 본 발명은 기준 동기신호를 주파수 체배시켜 구형파 신호로서 출력하는 주파수 체배기와, 상기 구형파 신호를 입력받아 삼각파 동기신호로 변환하는 주파수 동기부와, 상기 변환된 삼각파 동기신호를 입력받아 동기화를 이루며 위상 시프트된 다채널 FET 제어신호를 출력하는 PWM IC를 포함한다. 상기 주파수 동기부는, 상기 주파수 체배기에서 출력되는 구형파 신호를 직렬로 입력받아 상기 PWM IC로 출력하는 저항과, 상기 저항과 PWM IC의 사이에 병렬 연결된 커패시터를 포함한다.

대표도 - 도4



(56) 선행기술조사문헌

KR1020030010288 A

KR1020040045079 A

JP2002354823 A

KR1020060051198 A

KR1020070060489 A

KR1020030030513 A*

KR200122403 Y1

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

펄스 형태의 기준 동기신호를 주파수 체배시켜 구형파 신호로서 출력하는 주파수 체배기와,
 상기 구형파 신호를 입력받아 삼각파를 동기시키는 주파수 동기부와,
 상기 변환된 삼각파 동기신호를 입력받아, 이러한 삼각파 동기신호에 동기화된 n개의 위상 시프트된 다채널 FET 제어신호를 출력하는 PWM IC
 를 포함하는 외부 동기형 위상 시프트 회로.

청구항 2

제1항에 있어서, 상기 기준 동기신호는 60Hz, 3.3V, 10uS 펄스 형태임을 특징으로 하는 외부 동기형 위상 시프트 회로.

청구항 3

제1항에 있어서, 상기 구형파 신호 및 삼각파 동기신호는 180Hz를 가짐을 특징으로 하는 외부 동기형 위상 시프트 회로.

청구항 4

제1항에 있어서, 상기 주파수 동기부는,
 상기 주파수 체배기에서 출력되는 구형파 신호를 직렬로 입력받아 상기 PWM IC로 출력하는 저항과,
 상기 저항과 PWM IC의 사이에 병렬 연결된 커패시터
 를 포함하는 외부 동기형 위상 시프트 회로.

청구항 5

제1항에 있어서, 상기 삼각파 동기신호가 풀리지 않고 듀티가 변경되지 않도록 상기 저항의 저항값이 설정되는 외부 동기형 위상 시프트 회로.

청구항 6

제1항에 있어서, 상기 삼각파 동기신호가 상기 PWM IC의 삼각파 입력단자(BCT)로 입력됨을 특징으로 하는 외부 동기형 위상 시프트 회로.

청구항 7

제1항에 있어서, 상기 기준 동기신호는 리프레쉬(refresh) 신호인 것을 특징으로 하는 외부 동기형 위상 시프트 회로.

청구항 8

제1항에 있어서, 상기 주파수 체배기는 기준 동기신호를 3배수 주파수 체배시키는 3배수 주파수 체배기인 것을 특징으로 하는 외부 동기형 위상 시프트 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<11> 본 발명은 외부 동기형 위상 시프트 회로에 관한 것이다.

- <12> 일반적으로 LCD모니터나 TFT LCD모니터 등과 같은 모니터에는 백라이트를 점등시킬 수 있도록 승압용 권선 트랜스를 이용한 인버터가 구비된다. 상기 인버터는 단채널과 다채널을 구동할 수 있도록 구현되는데, 다채널의 경우 단채널 인버터를 채널수에 해당되는 만큼 사용하거나 또는 1개의 PWM IC(Pulse Width Modulation IC)를 이용하여 다수의 채널을 구현하는 방법이 있다.
- <13> 도 1은 상기 1개의 PWM IC(10)를 이용하여 다수의 채널을 형성한 모습을 도시한 그림으로서, 1개의 PWM IC(10)는 각 채널마다의 FET 제어신호를 생성하여 각 채널에 제공한다. 상기 각 채널별 다채널 FWT 제어신호는 도 2와 같이 동일 위상을 갖도록 구현하거나 도 3과 같이 위상(phase) 시프트되어 위상을 서로 달리하도록 구현될 수 있다.
- <14> 이를 위하여 PWM IC(10)는 메인컨트롤러(미도시)와 같은 외부 소자로부터 전압(예컨대, 3.3V~0V)을 듀티단자로 입력받은 후, 입력받은 각 전압별로 듀티비(duty rate)를 결정하여 PWM파형(duty:40~100%)을 결정하여 각 채널별로 위상 동기 또는 위상을 서로 달리하는 다채널 FET 제어신호를 출력한다. 상기 듀티비에 따라 디밍(dimming) 제어되는 다채널 FET 제어신호를 출력하여 빛 밝기를 단계별로 조절할 수 있다.
- <15> 그런데, PWM IC가 상기와 같이 디밍 제어를 버스트 모드(버스트 디밍;Burst Dimming)로 구현할 시에 소음이 많이 발생하거나 물결노이즈(wave noise)가 발생하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <16> 본 발명은 다채널 디밍 제어를 버스트 모드(버스트 디밍;Burst Dimming)로 구현할 시에 소음 및 물결노이즈를 개선시킬 수 있다.

발명의 구성 및 작용

- <17> 본 발명은 기준 동기신호를 주파수 체배시켜 구형파 신호로서 출력하는 주파수 체배기와, 상기 구형파 신호를 입력받아 삼각파 동기신호로 변환하는 주파수 동기부와, 상기 변환된 삼각파 동기신호를 입력받아 동기화를 이루며 위상 시프트된 다채널 FET 제어신호를 출력하는 PWM IC를 포함한다.
- <18> 또한, 상기 기준 동기신호는 60Hz, 3.3V, 10uS 펄스 형태임을 특징으로 하며, 상기 구형파 신호 및 삼각파 동기신호는 180Hz를 가짐을 특징으로 한다.
- <19> 또한, 상기 주파수 동기부는, 상기 주파수 체배기에서 출력되는 구형파 신호를 직렬로 입력받아 상기 PWM IC로 출력하는 저항과, 상기 저항과 PWM IC의 사이에 병렬 연결된 커패시터를 포함한다.
- <20> 또한, 상기 삼각파 동기신호의 동기 및 듀티가 변경되지 않도록 상기 저항의 저항값이 설정된다.
- <21> 또한, 상기 삼각파 동기신호가 상기 PWM IC의 삼각파 입력단자(BCT)로 입력됨을 특징으로 하며, 상기 기준 동기신호는 리프레쉬(refresh) 신호인 것을 특징으로 한다.
- <22> 또한, 상기 주파수 체배기는 기준 동기신호를 3배수 주파수 체배시키는 3배수 주파수 체배기인 것을 특징으로 한다.
- <23> 이하, 본 발명의 바람직한 실시 예들의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 하기에서 각 도면의 구성요소들에 참조부호를 부가함에 있어 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다.
- <24> 도 4는 본 발명의 실시 예에 따른 외부 동기형 위상 시프트 회로를 도시한 그림이다.
- <25> 주파수 체배기는 입력받은 주파수 신호를 정수배하는 장치로서, 비직선 특성을 이용하여 파형을 일그러지게 한 다음 이 중에서 필요한 고조파를 끄집어내어 입력받은 주파수를 체배시켜 출력하는 기능을 수행한다. 주파수를 3배 체배시켜 출력하는 3배수 주파수 체배기(40)는 별도로 하드웨어 구성으로 구현할 수도 있지만, 메인 컨트롤러IC(main controller IC)와 같이 통합 제어 IC에서 3배 체배시켜 출력하도록 구현할 수 있다.
- <26> 따라서 본 발명의 3배수 주파수 체배기(40)는 본체로부터 오는 리프레쉬(refresh) 신호인 기준 동기신호(Sync_PWM)를 입력받아 이를 3배 체배시켜 구형파 신호로서 생성 출력한다. 상기 체배된 구형파 신호는 주파수 동기부(42)를 거쳐 PWM IC(41;Pulse Width Modulation)의 삼각파 입력단자(BCT)로 입력된다.
- <27> 상술하면, 상기 3배수 주파수 체배기(40)가 기준 동기신호(Sync_PWM)로서 60Hz, 3.3V, 10uS 펄스 형태의 주파수 신호를 입력받게 되면, 이를 3배 체배시켜 180Hz, 5V, 50% 듀티를 갖는 180Hz의 구형파 신호로서 변환하여 출력

하고, 상기 체배된 구형파 신호는 주파수 동기부(42)를 거쳐 180Hz의 삼각파 동기신호로 변환되어 PWM IC(41)의 삼각파 입력단자(BCT)로 입력된다.

- <28> 상기 PWM IC(41)는 삼각파 입력단자로 들어오는 3배수 체배된 180Hz의 삼각파 동기신호를 가지고서 각 채널별로 위상 동기(phase sync) 또는 위상 시프트(phase shift)된 버스트 모드의 다채널 FET 제어신호를 출력한다. 결국, 3배수 주파수 체배기(40)에서 출력되는 180Hz의 삼각파 동기신호를 이용하여 각 채널별 동기화가 가능하고 아울러 위상 시프트 기능도 구현할 수 있다. 예를 들어, 도 5에 도시한 바와 같이 PWM IC(41)가 채널별 위상을 달리하여 3블록화하여 출력하는 모습을 도시한 그림이다. 따라서 도 5에 도시한 바와 같이 180Hz의 삼각파 동기신호를 가지고서 각 채널별로 180Hz 동기화되고 0°, 180°, 100°로 위상 시프트된 다채널 FET 제어신호를 출력하여 버스트 디밍 제어를 수행할 수 있게 된다.
- <29> 한편, 3배수 주파수 체배기(40)에서 출력되는 3배 체배된 180Hz의 구형파 신호는 곧바로 PWM IC(41)의 삼각파 입력단자로 제공되는 것이 아니라, 주파수 동기부(42)를 거쳐 180Hz의 삼각파 동기신호로 변환된 후 PWM IC(41)의 삼각파 입력단자로 제공된다. 3배수 주파수 체배기(40)에서 3배 체배된 구형파 형태의 180Hz 신호가 저항(R)에 병렬로 연결된 커패시터(C)에서 충전전을 거침으로써, 삼각파 형태의 동기신호로서 PWM IC(41)의 삼각파 입력단자로 제공되는 것이다.
- <30> 이때, 저항값에 따라 PWM IC의 삼각파 입력단자로 제공되는 180Hz의 삼각파 동기신호의 전류량이 결정되는데, 전류량이 너무 클 시에는 각 채널별 듀티비가 서로 틀릴 수도 있고, 반면에 전류량이 너무 작을 시에는 동기신호가 풀리는 문제가 발생할 수 있다. 따라서 동기신호의 동기가 풀리지 않도록 저항값을 설정해야 한다.
- <31> 예를 들어, 도 6(a)에 도시한 바와 같이 저항값을 1M[Ω]으로 작게 설정할 시에는 동기는 확실하나 삼각파 모양으로 인해 각 채널별 듀티가 달라질 수 있고, 도 6(c)에 도시한 바와 같이 저항값을 10M[Ω]으로 크게 설정할 시에는 듀티는 확실하나 동기가 풀리는 문제가 발생한다. 반면에 도 6(b)에 도시한 바와 같이 최적의 저항값인 5M[Ω]으로 설정할 시에는 동기 및 듀티가 확실하게 보장된다.
- <32> 도 7은 PWM IC로 입력되는 동기신호의 동기가 풀리지 않도록 최적의 저항값을 설정(예컨대, R을 5M[Ω] 설정)하고 측정한 파형 그래프로서, 3배수 주파수 체배기(40)에서 출력되는 구형파 동기신호(71)에 맞추어 주파수 동기부(42)를 거친 삼각파 동기신호(72,73)가 동기화되어 있음을 알 수 있다. 또한, 이러한 삼각파 동기신호(72,73)를 이용함으로써 플리커(flicker) 현상이 개선된다.
- <33> 한편, 상기에서 설명한 바와 같이 PWM IC는 3배수 주파수 체배기에서 만들어지는 특정 주파수(예컨대, 180Hz)를 제공받아 PWM파형을 구현하는데, 제공되는 주파수가 실제로는 소정의 오차를 갖는 주파수(예컨대, 160~190Hz)를 가질 수 있다. 따라서 이를 고려하여 저항 및 커패시터를 설계하는데 참고할 수 있다.
- <34> 한편, 상기 설명에서는 3배수 주파수 체배기(40)를 이용해 3배 주파수 체배시키는 예를 들어 설명하겠으나, 이에 한정할 것이 아니라 다양한 배수로 체배시키는 주파수 체배기를 이용해 본 발명이 구현될 수 있을 것이다. 또한, 구형파 신호를 삼각파 동기신호로 변환하는 주파수 동기부(42)로 R-C 병렬필터를 적용하였으나, 이는 일 실시예로서, R-C 병렬필터로 한정할 것이 아니라 다양한 필터가 적용될 수 있다.
- <35> 상술한 본 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 여러 가지 변형이 본 발명의 범위에서 벗어나지 않고 실시될 수 있다. 따라서 본 발명의 특허 범위는 상기 설명된 실시 예에 의하여 정할 것이 아니고 특허청구범위뿐 아니라 균등 범위에도 미침은 자명할 것이다.

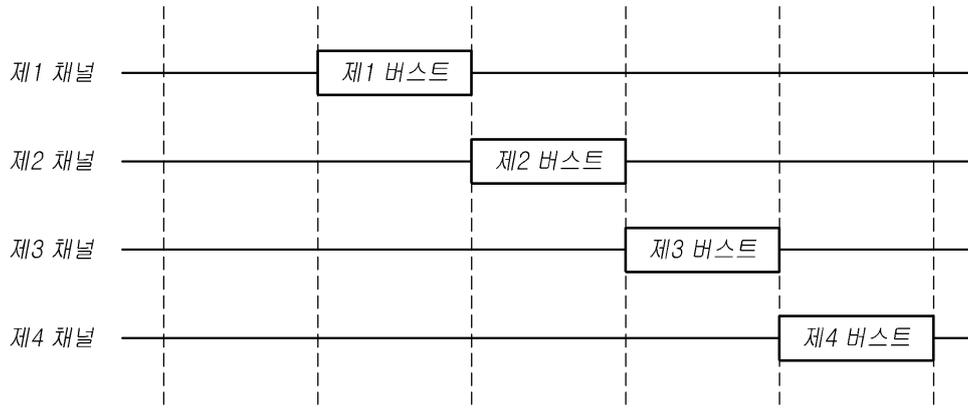
발명의 효과

- <36> 상기에서 기술한 바와 같이 본 발명은, 동기를 시키면서도 위상 시프트 기능을 추가하여 버스트 디밍 파형 분산(3block)을 함으로써, 소음 개선 및 노이즈 문제를 해결하였다.

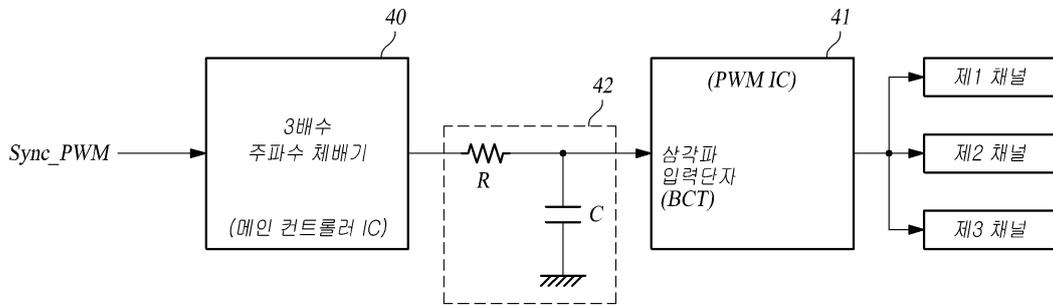
도면의 간단한 설명

- <1> 도 1은 1개의 PWM IC를 이용하여 다수의 채널을 형성한 모습을 도시한 그림이다.
- <2> 도 2는 동일 위상을 가지는 각 채널별 FET 제어신호를 도시한 그림이다.
- <3> 도 3은 위상을 서로 달리하는 각 채널별 FET 제어신호를 도시한 그림이다.
- <4> 도 4는 본 발명의 실시 예에 따른 외부 동기형 위상 시프트 회로를 도시한 그림이다.

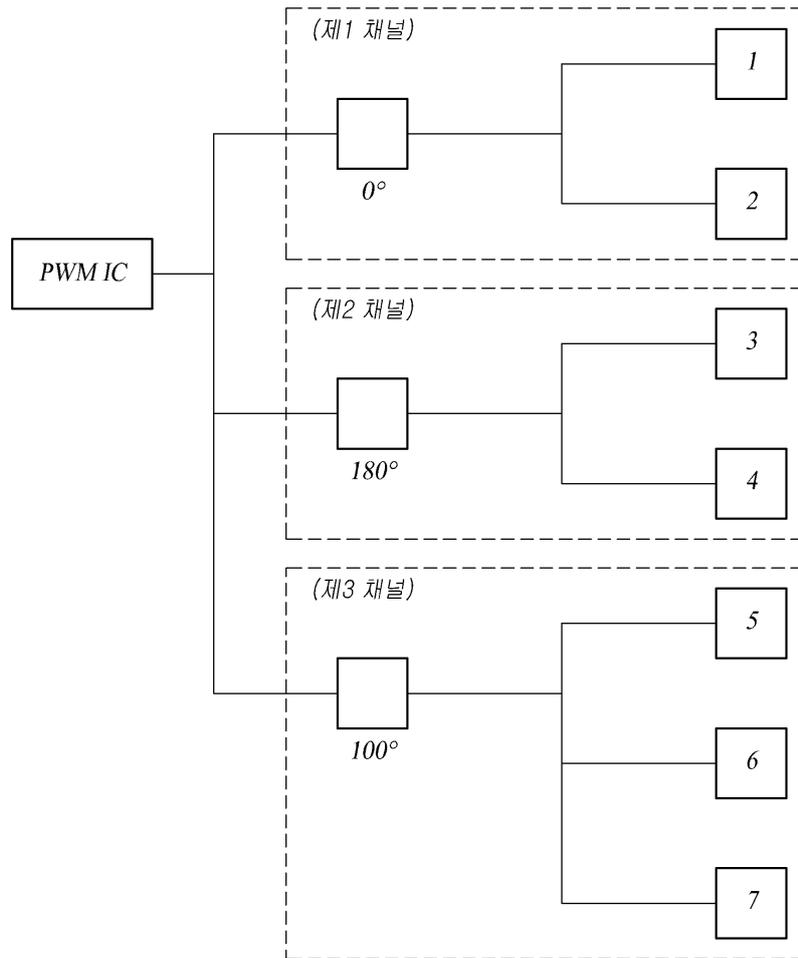
도면3



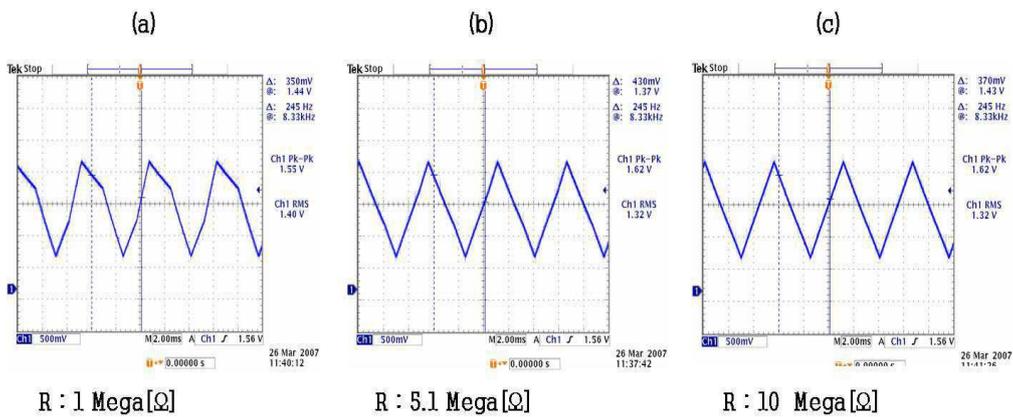
도면4



도면5



도면6



도면7

