

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5906004号
(P5906004)

(45) 発行日 平成28年4月20日 (2016. 4. 20)

(24) 登録日 平成28年3月25日 (2016. 3. 25)

(51) Int. Cl. F I
 HO 1 L 21/338 (2006. 01) HO 1 L 29/80 H
 HO 1 L 29/778 (2006. 01)
 HO 1 L 29/812 (2006. 01)

請求項の数 12 (全 22 頁)

(21) 出願番号	特願2009-542470 (P2009-542470)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(86) (22) 出願日	平成20年11月17日 (2008. 11. 17)	(74) 代理人	100110928 弁理士 速水 進治
(86) 国際出願番号	PCT/JP2008/003339	(74) 代理人	100127236 弁理士 天城 聡
(87) 国際公開番号	W02009/066434	(72) 発明者	大田 一樹 東京都港区芝五丁目7番1号 日本電気株式会社社内
(87) 国際公開日	平成21年5月28日 (2009. 5. 28)		
審査請求日	平成23年9月6日 (2011. 9. 6)	合議体	
審判番号	不服2014-23599 (P2014-23599/J1)	審判長	鈴木 匡明
審判請求日	平成26年11月19日 (2014. 11. 19)	審判官	小野田 誠
(31) 優先権主張番号	特願2007-299383 (P2007-299383)	審判官	飯田 清司
(32) 優先日	平成19年11月19日 (2007. 11. 19)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 電界効果トランジスタおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

GaNまたはInGaNを含む電子走行層と、
 前記電子走行層上に配置され、 $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$) を含む第1の電子供給層と、

前記第1の電子供給層上に配置され、InAlNを含む第1のエッチングストッパ層と

、
 前記第1のエッチングストッパ層上に設けられ、 $In_aAl_bGa_{1-a-b}N$ ($0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$) を含む第2の電子供給層と、

前記第2の電子供給層上に設けられ、互いに離間配置されたソース電極およびドレイン電極と、

前記ソース電極と前記ドレイン電極との間に設けられるゲート電極とを備え、

前記第2の電子供給層および前記第1のエッチングストッパ層には、これらを通し、前記第1の電子供給層表面を底面とする第1のリセスが形成されており、

前記ゲート電極は、前記第1のリセスの底面を被覆するとともに、前記第1のリセス内に埋め込まれ、

前記各層表面側からの平面視において前記第2の電子供給層は、前記第1の電子供給層と前記電子走行層との界面のうち、前記ゲート電極に被覆されている前記第1のリセスの底面の下方領域をのぞいた全領域と重なるように設けられ、

前記第1の電子供給層より前記第1のエッチングストッパ層のAl組成比が高く、

10

20

前記第 1 の電子供給層と前記第 1 のエッチングストッパ層の間には格子不整合が存在している電界効果トランジスタ。

【請求項 2】

請求項 1 に記載の電界効果トランジスタにおいて、

各層の積層方向に沿った断面において、前記第 1 のリセスの幅は、前記第 1 のリセスの底面側から開口側に至るまで均一であり、

前記ゲート電極は、前記第 1 のリセスの底面と、前記第 2 の電子供給層で構成される側面とに直接接触している電界効果トランジスタ。

【請求項 3】

請求項 1 に記載の電界効果トランジスタにおいて、

各層の積層方向に沿った断面において、前記第 1 のリセスの幅は、前記第 1 のリセスの底面側から開口側に至るまで均一であり、

前記ゲート電極は、前記第 1 のリセスの底面および前記第 2 の電子供給層で構成される側面に対し、ゲート絶縁膜を介して接触している電界効果トランジスタ。

【請求項 4】

請求項 1 乃至 3 のいずれかに記載の電界効果トランジスタにおいて、

前記第 2 の電子供給層上には、 $InAlN$ を含む第 2 の層が設けられるとともに、前記第 2 の層上には、 $In_cAl_dGa_{1-c-d}N$ ($0 < c < 1$ 、 $0 < d < 1$ 、 $0 < c + d < 1$) を含む第 3 の電子供給層が設けられ、

前記ソース電極および前記ゲート電極は、前記第 3 の電子供給層上に配置され、

前記第 3 の電子供給層および前記第 2 の層には、前記第 3 の電子供給層および前記第 2 の層を貫通し、前記第 1 のリセスと連通する第 2 のリセスが形成され、

前記ゲート電極は、前記第 2 のリセスおよび前記第 1 のリセス内に設けられている電界効果トランジスタ。

【請求項 5】

請求項 4 に記載の電界効果トランジスタにおいて、

前記第 2 のリセスは、前記第 1 のリセスよりも幅広であり、

前記第 2 のリセス内の一部を埋め込むとともに、前記第 3 の電子供給層を被覆する第 1 の絶縁膜が設けられ、

前記第 1 の絶縁膜のうち、前記第 2 のリセス内側の部分には、前記第 1 のリセスに連通する開口が形成されており、

前記ゲート電極は、前記第 2 のリセス内の前記第 1 の絶縁膜の開口内および前記第 1 のリセス内に設けられている電界効果トランジスタ。

【請求項 6】

請求項 1 乃至 5 のいずれかに記載の電界効果トランジスタにおいて、

前記第 1 の電子供給層および前記第 2 の電子供給層は $AlGaN$ で構成され、

前記第 2 の電子供給層の Al 組成比は、前記第 1 の電子供給層の Al 組成比以上である電界効果トランジスタ。

【請求項 7】

GaN または $InGaN$ を含む電子走行層を形成する工程と、

前記電子走行層上に $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$) を含む第 1 の電子供給層を形成する工程と、

前記第 1 の電子供給層上に、 $InAlN$ を含む第 1 のエッチングストッパ層を形成する工程と、

前記第 1 のエッチングストッパ層上に、 $In_aAl_bGa_{1-a-b}N$ ($0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$) を含む第 2 の電子供給層を形成する工程と、

前記第 2 の電子供給層上に、ソース電極およびドレイン電極を離間配置する工程と、

前記ソース電極と前記ドレイン電極との間となる領域に開口が形成された第 1 のマスクを、前記第 2 の電子供給層上に形成する工程と、

ドライエッチングにより、前記第 1 のマスクの開口から露出した前記第 2 の電子供給層

10

20

30

40

50

を除去するとともに、前記第2の電子供給層の下部の前記第1のエッチングストップ層の一部を除去し、前記第1のエッチングストップ層が底面となる孔を形成する工程と、

ウェットエッチングにより、前記孔の底面を構成する前記第1のエッチングストップ層を除去して、前記第1の電子供給層を露出させ、第1のリセスを形成する工程と、

前記第1のリセス内に、ゲート電極を埋め込む工程とを含み、

前記各層表面側からの平面視において、前記第2の電子供給層が、前記第1の電子供給層と前記電子走行層との界面のうち、前記ゲート電極に被覆されている前記第1のリセスの底面の下方領域をのぞいた全領域と重なり、

前記第1の電子供給層より前記第1のエッチングストップ層のAl組成比が高く、

前記第1の電子供給層と前記第1のエッチングストップ層の間には格子不整合が存在している電界効果トランジスタを形成する電界効果トランジスタの製造方法。 10

【請求項8】

請求項1乃至6のいずれかに記載の電界効果トランジスタにおいて、

InAlNを含む前記第1のエッチングストップ層は、厚さが0.5nm以上5nm以下であり、かつ、Al組成が80%以上である電界効果トランジスタ。

【請求項9】

請求項8に記載の電界効果トランジスタにおいて、

InAlNを含む前記第1のエッチングストップ層のAl組成が、81%以上85%以下である電界効果トランジスタ。

【請求項10】 20

請求項1に記載の電界効果トランジスタにおいて、

前記ゲート電極は、前記第1のリセス底面および側面全面に直接またはゲート絶縁膜を介して接触している電界効果トランジスタ。

【請求項11】

請求項1に記載の電界効果トランジスタにおいて、

前記第1の電子供給層のAl組成比は30%以下であり、前記第1のエッチングストップ層のAl組成比は80%以上である電界効果トランジスタ。

【請求項12】

請求項7に記載の電界効果トランジスタの製造方法において、

前記第1の電子供給層のAl組成比は30%以下であり、前記第1のエッチングストップ層のAl組成比は80%以上である電界効果トランジスタの製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、窒化物系半導体を用いた電界効果トランジスタ、およびその製造方法に関する。特に、エンハンスメント（ノーマリオフ）型電界効果トランジスタ、およびその製造方法に関する。

【背景技術】

【0002】

GaN、AlGaN、InGaN、InAlN、InAlGaNなどの窒化物系半導体は、高い絶縁破壊強度、高い熱伝導率、高い電子飽和速度を有しているという特長を有する。この特長のため、高周波デバイス、あるいは電源デバイスの分野における高パワーデバイスの作製に利用する半導体材料として有望であり、近年、窒化物系半導体材料を用いた電界効果トランジスタの実用化開発が盛んに行われている。 40

【0003】

これらの応用に対しては、電界効果トランジスタのゲート電極への負の直流バイアス電源を必要としないエンハンスメント（ノーマリオフ）型であることが要求されている。図6に、窒化物系半導体材料を用いたエンハンスメント（ノーマリオフ）型電界効果トランジスタとして、従来提案されている構造の一例を示す（特許文献1を参照）。図6に例示される、窒化物系半導体を用いたエンハンスメント型電界効果トランジスタの構成を簡単 50

に説明する。図6に示す、エンハンスメント型電界効果トランジスタは、所謂、HEMT (High Electron Mobility Transistor) の構成を有している。

図6の電界効果トランジスタは、サファイア基板のような、高抵抗の基板1と、この基板1上に設けられた厚さ50nmのGa_{0.5}Nからなるバッファ層2とを有する。バッファ層2上には、厚さ400nmのGa_{0.5}Nからなる電子走行層3、厚さ1nmのAl_{0.2}Nからなる中間層9、厚さ30nmのアンダーブAl_{0.2}Ga_{0.8}Nからなる電子供給層4が、順次積層され、ヘテロ接合構造が形成されている。そして、ソース電極S、ゲート電極G、ドレイン電極Dが平面配置されている。

【0004】

図6に示す、従来のHEMT構造の電界効果トランジスタでは、ゲート電極Gの直下に相当する部分8に、リセス構造を設けている。すなわち、部分8以外では、電子供給層4を構成するアンダーブAl_{0.2}Ga_{0.8}N層の厚さは、30nmであるが、部分8では、アンダーブAl_{0.2}Ga_{0.8}N層の厚さを5nmとしている。

部分8以外では、Al_{0.2}Nからなる中間層9とGa_{0.5}Nからなる電子走行層3とのヘテロ接合界面に、アンダーブAl_{0.2}Ga_{0.8}Nからなる電子供給層4から供給される電子が蓄積される。このAl_{0.2}Nからなる中間層9とGa_{0.5}Nからなる電子走行層3とのヘテロ接合界面に蓄積される電子は、2次元電子ガス6を構成している。

【0005】

一方、部分8では、ゲート電極Gのバイアスを0Vとする状態でも、アンダーブAl_{0.2}Ga_{0.8}N層の表面に設けるゲート電極Gに起因する空乏層がGa_{0.5}Nからなる電子走行層3に達している。その結果、部分8の直下に位置する、Al_{0.2}Nからなる中間層9とGa_{0.5}Nからなる電子走行層3とのヘテロ接合界面では、電子の蓄積は生じない。すなわち、部分8の領域の直下の部分には、ゲート電極Gのバイアスを0Vとする状態では、2次元電子ガス6は形成されていない状態となる。

従って、ゲート電極Gに印加するゲート電圧V_Gが0Vである状態では、ソース電極Sとドレイン電極Dとの間にドレイン電圧V_Dを印加しても、ドレイン電流I_Dが流れない、ノーマリオフ状態が達成されている。一方で、ゲート電極Gに印加するゲート電圧V_Gを、閾値電圧よりも高い正電圧にバイアスすると、ドレイン電流I_Dが流れ出す。これにより、エンハンスメント(ノーマリオフ)型電界効果トランジスタが実現されている。

【0006】

次に、図6に示す、従来のHEMT構造の電界効果トランジスタを製造する工程を、図7を参照して、簡単に紹介する。

まず、サファイア基板1をMOCVD (Metal Organic Chemical Vapor Deposition) 装置内に導入し、ターボポンプでMOCVD装置内の真空度を 1×10^{-6} hPa以下になるまで真空引きする。その後、真空度を100 hPaとし、基板1を1100℃に昇温する。温度が安定したところで、基板1を900 rpmで回転させる。原料となるトリメチルガリウム(TM_G)を100 cm³/min、アンモニアを12リットル/minの流量で、基板1の表面に導入し、Ga_{0.5}Nからなるバッファ層2の成長を行う。成長時間は4 min (240 sec) でバッファ層2の膜厚は50 nm程度である。

【0007】

その後、トリメチルガリウム(TM_G)を100 cm³/min、アンモニア(NH₃)を12リットル/minの流量で、バッファ層2の上に導入して、Ga_{0.5}Nからなる電子走行層3の成長を行う。成長時間は1000 secで、電子走行層3の膜厚は400 nmとなる。

【0008】

次に、トリメチルアルミニウム(TMA)を50 cm³/min、アンモニアを12リットル/minの流量で導入し、アンダーブAl_{0.2}Nからなる中間層9を成長する。引き続いて、トリメチルアルミニウム(TMA)を50 cm³/min、トリメチルガリウム(

10

20

30

40

50

TMG)を $100\text{ cm}^3/\text{min}$ 、アンモニアを $12\text{ リットル}/\text{min}$ の流量で導入し、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{N}$ からなる電子供給層4の成長を行う。成長時間は 40 sec で、電子供給層4の膜厚は 30 nm である。以上の工程によって、図7(a)に示される層構造 A_0 が完成する。

【0009】

層構造 A_0 のエピタキシャル成長が終了した後、層構造 A_0 の全面に SiO_2 膜10を形成する。ゲート直下に相当する部分8に相当する部分領域に、 SiO_2 膜10の開口を設け、その部分の電子供給層4を露出させる。そして、常圧において、酸素流量 $5\text{ リットル}/\text{min}$ の流量下、 900 の温度で、厚さが 30 nm からなる電子供給層4のうち、その表面から 25 nm の深さまでを酸化して、酸化層11を形成する(図7(b)の層構造 A_1 を参照)。

10

【0010】

この酸化処理により、ゲート直下に相当する部分8の電子供給層4は、半導体層の厚さが 5 nm となり、ゲート直下に相当する部分8以外の電子供給層4を構成する半導体層の厚さよりも薄くなる。続いて、リン酸系、塩酸系、フッ酸系もしくは硝酸系のエッチャントを用いて、酸化層11および SiO_2 膜10を順次ウェットエッチングにより除去する。その結果、電子供給層4に凹部7が形成される。

【0011】

そして、図7(c)の層構造 A_2 に示すように、電子供給層4の表面と、ゲート電極Gと、による、ショットキー接合が形成されていない時点でも、この凹部7の電子走行層3

20

では、2次元電子ガス6が消失している。すなわち、電子供給層4の表面にショットキー接合が形成されていない状態であっても、この凹部7の直下においては、中間層9と電子走行層3との界面における、電子走行層3の伝導帯端 E_c は、フェルミレベル E_f よりも、エネルギー的に高い位置となっている。

【0012】

エッチング処理の終了後、EB蒸着法により、ソース電極Sとドレイン電極D(いずれも $\text{Al}/\text{Ti}/\text{Au}$ 、厚さは $100\text{ nm}/100\text{ nm}/200\text{ nm}$)、凹部7内にゲート電極G(Pt/Au 、厚さは $100\text{ nm}/200\text{ nm}$)を形成する。以上より、図6で示すような、従来技術に係る窒化物半導体を用いたエンハンスメント(ノーマリオフ)型電界効果トランジスタが得られる。

30

【0013】

なお、同様の背景技術としては、特許文献2,3に開示されたものもある。

【特許文献1】特開2005-183733号公報

【特許文献2】特開2001-085670号公報

【特許文献3】特開2004-273655号公報

【発明の開示】

【0014】

図6に示した電界効果トランジスタにおいては、以下のような課題が生じる。

ゲート電極Gを正にバイアスして、ゲート電圧 V_G を閾値バイアス V_{th} より高く設定し、「オン状態」となった時点でのソース・ドレイン間の抵抗、所謂オン抵抗が高いために消費電力が大きくなってしまふ。この原因としては以下の点が考えられる。

40

【0015】

第1の要因(原因)は、次の現象が存在することである。ゲート電圧 V_G が閾値バイアス V_{th} より高く設定され、「オン状態」となった時点では、ゲート電極Gの直下の領域では、2次元電子ガスが生成され、 500 程度のシート抵抗となるが、凹部7の直下の領域の一部は、依然として2次元電子ガスが消失している状態となっている。

図6に示す構成の、従来技術に係るエンハンスメント(ノーマリオフ)型電界効果トランジスタでは、凹部7の端とゲート電極Gとの間に隙間を設けている。ゲート電極Gを正にバイアスして、ゲート電圧 V_G が閾値バイアス V_{th} に達すると、ゲート電極Gの直下の電子走行層3内には2次元電子ガス6が発生する。一方、前記凹部7の端とゲート電極

50

Gとの隙間部に関しては、電子供給層4の表面の電位は、ゲート電極Gの直下の電子供給層4の表面の電位と相違し、前記隙間部直下の電子走行層3では2次元電子ガス6が消失したままとなる。結果として、この部分が高い抵抗となることにより、オン抵抗が高くなる。

【0016】

特許文献1では、凹部7の直下では「2次元電子ガス6が消失している」と記載されているが、この「消失」とは、実際に、電子密度が 0 cm^{-2} になっている訳ではなく、「測定不能な程度」まで低下している状態であると考えられる。具体的には、凹部7以外の部分に比べて、2次元電子ガス6が、少なくとも $1/1000$ 以下に減少していることを意味していると考えられる。

仮に、上述した凹部7とゲート電極Gとの隙間部分の2次元電子ガス6が、凹部以外の部分に比べて、 $1/1000$ になっている、すなわち、この部分のシート抵抗が $500/1000$ の $500\text{ k}/$ 程度になっているものとする。図6に示す構造においては、ゲート電極Gを凹部7内に形成するには、位置合わせ精度を考慮すると、少なくとも、 $0.2\text{ }\mu\text{m}$ の隙間をゲート電極と凹部7の端との間に設けなければならない。仮に、ゲート電極Gと凹部7の端との隙間を、 $0.2\text{ }\mu\text{m}$ と仮定すると、この隙間の直下の領域の抵抗は、ゲート幅 $1\text{ mm}(=1000\text{ }\mu\text{m})$ あたり、 $500000 \times 0.2/1000 = 100\text{ }\Omega$ となる。このゲート電極Gと凹部7の端との隙間の抵抗は、凹部7以外の部分での抵抗に比べて、20倍ものオン抵抗への寄与がある。そのため、ゲート電極Gと凹部7の端との隙間がある程度小さくても、著しくオン抵抗を増加させてしまう要因となっていることがわかる。

【0017】

また、特許文献1に記載された技術では、以下のような問題点もある。

凹部7の底面が平坦に形成されず、同一トランジスタ内で閾値バイアス V_{th} を均一に制御することが困難である。この凹部7の底面が平坦にならない要因(原因)を以下に説明する。

現在、製造可能な窒化物系半導体エピタキシャルウェハは、SiやGaAsなど従来用いられている半導体基板およびそのエピタキシャルウェハに比べて、基板からエピタキシャル層表面へ至る貫通転位の密度が極めて大きいことが知られている。基板としてサファイア、炭化ケイ素(SiC)、Siなど窒化物系半導体でない材料を用いたものでは、その転位密度は $10^8 \sim 10^9\text{ cm}^{-2}$ と極めて大きく、また、近年の青紫レーザーダイオードの開発で注目されているGaN基板を用いた場合でも転位密度は 10^6 cm^{-2} 程度である。

一方、ノーマリオフ型の実現が期待されるパワーデバイスの分野においては、 10 A 以上の大電流を流す必要から、電界効果トランジスタのゲート幅(W_g)は、少なくとも 10 mm 以上に設計される。図6における凹部7の幅は通常数 μm 程度に設計されるが、ここでは仮に $1\text{ }\mu\text{m} = 10^{-4}\text{ cm}$ とすると、 $W_g = 10\text{ mm} = 1\text{ cm}$ の単一トランジスタには凹部7の領域が $10^{-4} \times 1 = 10^{-4}\text{ cm}^2$ の面積で存在する。従って、基板にサファイア、SiC、Siなどを用いた場合、単一のトランジスタの凹部7の領域には $10^4 \sim 10^5$ 個の転位が存在することになり、基板にGaNを用いた場合でも、凹部7の領域には 10^2 個程度の転位が存在する。このように、パワーデバイスの分野に利用する大電流トランジスタの製造においては、凹部7の領域に転位が存在しないようにすることは困難である。

【0018】

このように多量の貫通転位が存在する凹部7を、図7で開示されているように熱酸化した場合、貫通転位に沿ってエピタキシャル層の奥深くまで酸化が高速に進行してしまう。例えば、転位の無い領域での酸化層厚さを 25 nm に制御したとしても、貫通転位部分ではその数倍から数十倍の厚さの酸化層が形成される。従って、形成された酸化層を酸処理によりウェットエッチングすると、貫通転位部分が凹んでしまうことになり、すなわち凹部7の底面には凹凸ができてしまい、平坦に形成できないことになる。

製造した電界効果トランジスタの閾値バイアス V_{th} は、凹部7の底部に残った電子供給層4の厚さで決まるため、凹部7の底面に凹凸があるということは、単一のトランジスタであるにも関わらず、その内部で領域毎に閾値バイアス V_{th} が異なってしまうという問題が生じる。

【0019】

また、この凹部7を形成する際、熱酸化を用いることによる凹凸を避けるため、ドライエッチングを用いる手法もあるが、この場合、ウェハ面内で均一なエッチング速度を実現することが難しく、トランジスタ毎の閾値バイアス V_{th} がばらついてしまうという問題が生じる。例えば、25nmの深さに凹部7を形成する場合、ウェハ面内でのエッチング速度のばらつきを5%に抑えても、面内で1.2nm程度の深さばらつきが生じるが、これを閾値バイアス V_{th} のばらつきに換算すると150~250mVに達し、十分な閾値バイアス制御性が確保されているとは言い難い。

10

【0020】

以上より、図6に示す構成のエンハンスメント(ノーマリオフ)型電界効果トランジスタにおいて、「オン抵抗」を上昇させる主要な要因は、下記の二点に集約されることを見出した。

- ・リセス中、このリセス内に形成されるゲート電極の両側に残余する領域のサイズ(長さ)を、それぞれ、0.2 μ m以下に抑えることが困難であること；
- ・かかるゲート電極の両側に残余する領域では、電子供給層の膜厚が薄くなっており、その直下は、「2次元電子ガスが消失している」状態となっていること；

20

また、図7に示す従来のエンハンスメント(ノーマリオフ)型電界効果トランジスタの製造方法において、閾値バイアス V_{th} の制御性が悪い主要な要因は、下記の三点に集約されることを見出した。

- ・貫通転位密度の十分小さい窒化物系半導体エピタキシャルウェハの製造が困難であること；
- ・かかるウェハを用いて凹部7の領域を熱酸化すると、貫通転位の周辺とそれ以外の領域で酸化層の形成速度が大きくことなること；
- ・底面を平坦にするため、ドライエッチングにて、凹部7を形成した場合、ウェハ面内でのエッチング速度のばらつきによって生じる閾値バイアスのばらつきが大きいこと。

これらの課題を解決する手段として、下記の構造及び製造方法を選択することが有効であることを見出し、本発明を完成するに至った。

30

【0021】

本発明によれば、GaNまたはInGaNを含む電子走行層と、前記電子走行層上に配置され、 $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$)を含む第1の電子供給層と、前記第1の電子供給層上に配置され、InAlNを含む第1の層と、前記第1の層上に設けられ、 $In_aAl_bGa_{1-a-b}N$ ($0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$)を含む第2の電子供給層と、前記第2の電子供給層上に設けられ、互いに離間配置されたソース電極およびドレイン電極と、前記ソース電極と前記ドレイン電極との間に設けられるゲート電極とを備え、前記第2の電子供給層および第1の層には、これらを通し、前記第1の電子供給層表面を底面とする第1のリセスが形成されており、前記ゲート電極は、前記第1のリセスの底面を被覆するとともに、前記第1のリセス内に埋め込まれ、前記各層表面側からの平面視において、前記第2の電子供給層は、前記第1の電子供給層と前記電子走行層との界面のうち、前記ゲート電極に被覆されている前記第1のリセスの底面の下方領域をのぞいた領域と重なるように設けられている電界効果トランジスタが提供される。

40

【0022】

以上のような電界効果トランジスタは、以下の製造方法により製造することができる。

本発明の電界効果トランジスタの製造方法は、GaNまたはInGaNを含む電子走行層を形成する工程と、前記電子走行層上に $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$)を含む第1の電子供給層を形成する工程と、前記第1の電子供

50

給層上に、 $InAlN$ を含む第1の層を形成する工程と、前記第1の層上に、 $In_aAl_bGa_{1-a-b}N$ ($0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$)を含む第2の電子供給層を形成する工程と、前記第2の電子供給層上に、ソース電極およびドレイン電極を離間配置する工程と、前記ソース電極と前記ドレイン電極の間となる領域に開口が形成された第1のマスクを、前記第2の電子供給層上に形成する工程と、ドライエッチングにより、前記第1のマスクの開口から露出した前記第2の電子供給層を除去するとともに、第2の電子供給層の下部の第1の層を除去し、第1の層が底面となる孔を形成する工程と、ウェットエッチングにより、前記孔の底面を構成する第1の層を除去して、第1の電子供給層を露出させ、第1のリセスを形成する工程と、前記第1のリセス内に、ゲート電極を埋め込む工程とを含み、前記各層表面側からの平面視において、前記第2の電子供給層が、前記第1の電子供給層と前記電子走行層との界面のうち、前記ゲート電極に被覆されている前記第1のリセスの底面の下方領域をのぞいた領域と重なる電界効果トランジスタを形成する電界効果トランジスタの製造方法である。

10

【0023】

本発明によれば、閾値バイアスを一定に保つことができ、オン抵抗の低い電界効果トランジスタを提供することができる。

【図面の簡単な説明】

【0024】

上述した目的、およびその他の目的、特徴および利点は、以下に述べる好適な実施の形態、およびそれに付随する以下の図面によってさらに明らかになる。

20

【0025】

【図1】本発明の第1実施形態にかかる電界効果トランジスタの断面図である。

【図2】電界効果トランジスタの製造工程を示す断面図である。

【図3】電界効果トランジスタの製造工程を示す断面図である。

【図4】本発明の第2実施形態にかかる電界効果トランジスタの断面図である。

【図5】本発明の第3実施形態にかかる電界効果トランジスタの断面図である。

【図6】従来の電界効果トランジスタを示す断面図である。

【図7】従来の電界効果トランジスタの製造工程を示す図である。

【図8】第1実施形態にかかる電界効果トランジスタの断面図である。

30

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施形態を図面に基づいて説明する。

【0027】

尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

(第1実施形態)

図1～図3を参照して、第1実施形態にかかる電界効果トランジスタについて説明する。

。

はじめに図1を参照して、本実施形態の電界効果トランジスタの概要について説明する。

。

40

図1は、第1実施形態にかかる電界効果トランジスタの構造を模式的に示す断面図である。

本実施形態の電界効果トランジスタは、 GaN または $InGaN$ を主成分として含む電子走行層103と、電子走行層103上に配置され、 $In_xAl_yGa_{1-x-y}N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$)を主成分として含む第1の電子供給層104と、第1の電子供給層104上に配置され、 $InAlN$ を主成分として含む第1のエッチングストッパ層(第1の層)105と、第1のエッチングストッパ層105上に設けられ、 $In_aAl_bGa_{1-a-b}N$ ($0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$)を主成分として含む第2の電子供給層106と、第2の電子供給層106上に設けられ、離間配置されたソース電極107およびドレイン電極108と、前記ソース電極107と、ドレイン電極10

50

8との間に設けられるゲート電極109とを備える。

第2の電子供給層106および第1のエッチングストップ層105には、これらを通し、第1の電子供給層104表面を底面とする第1のリセス111が形成されている。

ゲート電極109は、第1のリセス111の底面を被覆し、前記第1のリセス111内に配置されている。

第2の電子供給層106は、各層の表面側からの平面視（換言すると基板101の基板面側からの平面視）において、第1の電子供給層104と電子走行層103との界面のうち、ゲート電極109に被覆されている第1のリセス111の底面の下方領域をのぞいた領域全面を被覆する。

ここで、ゲート電極109に被覆されている第1のリセス111の底面の下方領域とは、ゲート電極に被覆されている部分の直下の領域と、この直下の領域から層の平面方向に数100の範囲にある領域をいう。すなわち、ゲート電極に被覆されている部分の直下の領域と、第2の電子供給層に覆われていなくてもオン抵抗が増加しない領域とを含む。

【0028】

このような電界効果トランジスタは、ゲート電極109に印加されるゲート電圧 V_G が、 $V_G = 0V$ である際、ゲート電極109下方領域の電子走行層103に存在する電子密度が実質的に「ゼロ」となり、所謂「ノーマリオフ」状態を達成する。ゲート電極109に印加されるゲート電圧 V_G を正とすると、該ゲート電極109の下方領域で、第1の電子供給層104と電子走行層103との界面に、2次元電子ガスが誘起・蓄積される状態となり、「オン状態」となる。すなわち、エンハンスメント（ノーマリオフ）型電界効果トランジスタを実現することができる。

【0029】

次に、本実施形態の電界効果トランジスタについて詳細に説明する。

電界効果トランジスタは、前述した電子走行層103、第1の電子供給層104、第1のエッチングストップ層105、第2の電子供給層106、ソース電極107、ドレイン電極108、ゲート電極109に加え、基板101、バッファ層102、第1の絶縁膜110を有している。

なお、第1の電子供給層104と、第1のエッチングストップ層105との間に厚さ0.5nm以上、10nm以下のGa_{0.2}Nからなる（Ga_{0.2}Nを主成分とする）中間層Aを形成してもよい（図8参照）。この場合には、第1のリセス111は、中間層Aを貫通するものとなる。

【0030】

基板101は、たとえば、Ga_{0.2}N基板であり、バッファ層102はGa_{0.2}Nである。

なお、基板101としては、サファイア基板、SiC基板、Si基板を使用してもよい。また、バッファ層102もGa_{0.2}Nに限られるものではない。

基板101上にバッファ層102が積層されている。そして、本実施形態では、このバッファ層102上に、厚さ1μmのGa_{0.2}Nからなる電子走行層103、厚さ5nmのアンダー層Al_{0.2}Ga_{0.8}Nからなる第1の電子供給層104、厚さ5nmのIn_{0.17}Al_{0.83}Nからなる第1のエッチングストップ層105、厚さ25nmのアンダー層Al_{0.2}Ga_{0.8}Nからなる第2の電子供給層106が、この順にエピタキシャル成長され、積層構造を形成している。

なお、各層の厚みや、組成比は、例示であり、上述したものに限られるものではない。

【0031】

第1の電子供給層104のAl組成比を30%以下、好ましくは15%以上、25%以下とし、第1のエッチングストップ層105のAl組成比を80%以上、好ましくはGa_{0.2}Nと格子整合する81%以上、85%以下とすることが好ましい。

本実施形態では、第1の電子供給層104のAl組成比は20%であり、第1のエッチングストップ層105のAl組成比は、83%である。

このように第1の電子供給層104のAl組成比と、第1のエッチングストップ層105のAl組成比との差を大きくすることで、後述するウェットエッチングの際の選択比を

10

20

30

40

50

大きくとることができる。

また、第1の電子供給層104の厚みは、均一であり、第1のリセス111の直下の部分と、他の部分との厚みは等しい。すなわち、第1のリセス111を形成する際に、第1の電子供給層104はほとんどエッチングされていない。

【0032】

また、第1のエッチングストップ層105の厚みは、0.5~5nmであることが好ましい。AlGa_xNからなる第1および第2の電子供給層104、106と、これらに接触する第1のエッチングストップ層105との界面において、伝導帯端エネルギー E_c の差違(バンド・オフセット： E_c)が存在し、第1のエッチングストップ層105でエネルギーの高いポテンシャルバリアを形成しているため、ソース電極107およびドレイン電極108と2次元電子ガスとの間のアクセス抵抗を高める要因になるが、第1のエッチングストップ層105の厚さを5nm以下に制御すれば、ポテンシャルバリアを突き抜けるトンネル電流を十分大きくすることができ、アクセス抵抗の増加を排除することが可能となる。一方で、詳しくは後述するが、上記第1のリセス111を形成する際のエッチング停止機能を発現させるためには、第1のエッチングストップ層105は0.5nm以上の厚さがあることが好ましい。

【0033】

本実施形態の電界効果トランジスタでは、Ga_xNまたはInGa_xNからなる電子走行層103上に、AlGa_xNからなる第1の電子供給層104とInAlNからなる第1のエッチングストップ層105を積層する構成を採用している。電子走行層103のGa_xNまたはInGa_xNと、第1の電子供給層104との間には、格子不整合が存在し、電子供給層104と第1のエッチングストップ層105のInAlNとの間にも格子不整合が存在する。そのため、第1の電子供給層104のAlGa_xNの膜厚の合計は、前記格子不整合により規定される臨界膜厚を超えないようにすることが好ましい。この際、第1のエッチングストップ層105を構成するInAlNについては、上記のようにGa_xNに格子整合するAl組成を選択し、およびその厚さを0.5~5nmと薄くすれば、第1の電子供給層104のAlGa_xNの臨界膜厚には影響を与えない。

AlGa_xNからなる第1の電子供給層104の膜厚は、厚さを2~15nmの範囲に制御することが好ましい。これにより、ゲート電圧 $V_G = 0V$ を印加した状態で、ゲート電極直下の2次元電子ガスを確実に消失させることができる。

【0034】

第2の電子供給層106の膜厚は、第1のリセス部分以外の領域においては、第1の電子供給層104と電子走行層103との界面に蓄積される2次元電子ガスが消失しないような厚みとする。

さらに、第2の電子供給層106を構成するAlGa_xNのAl組成(b)は、第1の電子供給層104を構成するAlGa_xNのAl組成(y)と等しいか、それより大きいことが好ましい。本実施形態では、第2の電子供給層106を構成するAlGa_xNのAl組成(b)は、第1の電子供給層104を構成するAlGa_xNのAl組成(y)と等しくなっている。bをy以上とすることで、第1のリセス111以外の領域で2次元電子ガスを確実に発生させ、低オン抵抗とすることができる。

さらには、bをyよりも大きくすればするほど第1のリセス111以外の領域での2次元電子ガス濃度を高めることができ、この領域の抵抗が低減される。ただし、bを大きくしすぎると、第2の電子供給層106表面に形成されるソース電極107およびドレイン電極108との接触抵抗が増加する。低いオン抵抗の電界効果トランジスタを実現するためには、bを15%~35%の範囲に、より好ましくは20%~30%の範囲に制御するとよい。

なお、第1の電子供給層104のAl組成(y)は、チャネル層内に十分な濃度の2次元電子ガスを得ること、および十分高い移動度の2次元電子ガスを得るという観点から15%以上25%以下であることが好ましい。

【0035】

ソース電極 107 とドレイン電極 108 は、第 2 の電子供給層 106 上に形成されており、離間配置されている。ソース電極 107 とドレイン電極 108 との間は T 型のゲート電極 109 が配置されている。

【0036】

第 1 のリセス 111 は、ソース電極 107 とドレイン電極 108 との間の一部の領域において第 2 の電子供給層 106 および第 1 のエッチングストップ層 105 をエッチング除去して、第 1 の電子供給層 104 を露出させることで形成されている。

この第 1 のリセス 111 は、第 2 の電子供給層 106 および第 1 のエッチングストップ層 105 を貫通し、側面が、第 2 の電子供給層 106 および第 1 のエッチングストップ層 105 で構成され、底面が第 1 の電子供給層 104 で構成される。この第 1 のリセス 111 の幅は、底面側から上面（開口）側に至るまで略均一である。すなわち、各層の表面と直交する断面（層の積層方向に沿った断面）において、第 1 のリセス 111 は、断面矩形形状であり、底面の幅と、第 2 の電子供給層 106 で構成される側面間の幅と、第 1 のエッチングストップ層 105 で構成される側面間の幅とが略等しい。

また、第 1 のリセス 111 は平面矩形形状である。

【0037】

ここで、第 1 のリセス 111 の幅が略均一であるとは、第 1 のリセス 111 の底面の幅と、第 2 の電子供給層 106 で構成される側面間の幅と、第 1 のエッチングストップ層 105 で構成される側面間の幅とが完全に等しい場合のみならず、第 1 のエッチングストップ層 105 で構成される側面間の幅が、第 1 のリセス 111 の底面の幅および第 2 の電子供給層 106 で構成される側面間の幅よりもわずかに広い場合も含む。

すなわち、オン状態において、2次元電子ガスの消失した高抵抗領域が形成されない程度、第 1 のエッチングストップ層 105 で構成される側面間の幅が第 1 のリセス 111 の底面の幅および第 2 の電子供給層 106 で構成される側面間の幅よりも広くてもよい。

後述するウェットエッチングでのエッチング停止機能を利用して、InAlN からなる第 1 のエッチングストップ層 105 をわずかにオーバーエッチングすることによって、ゲート電極 109 と第 1 のエッチングストップ層 105 とが接触しない隙間のあいた構造としてもよい。

【0038】

ゲート電極 109 と第 1 のエッチングストップ層 105 との間隙間は、従来技術と同様、2次元電子ガスの消失した高抵抗領域となる可能性がある。しかしながら、第 1 のエッチングストップ層 105 が 0.5 ~ 5 nm と非常に薄いため、オーバーエッチングで形成する隙間をわずかな隙間、たとえば、0.1 μm 以下に制御することが容易である。そのため、この隙間により、2次元電子ガスの消失した高抵抗領域が形成されてしまうことを防止できる。

さらに、この隙間のあいた構造では、第 1 のエッチングストップ層 105 に n 型不純物を添加することで、ゲートリーク電流を増加させることなく、2次元電子ガスとソース電極 107 およびドレイン電極 108 との間隙のアクセス抵抗を低減することができる。これは、n 型不純物添加によって、第 1 のエッチングストップ層 105 に生じるポテンシャルバリアが下がることによる。n 型不純物添加量としては、 $5 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲に制御することが好ましい。

【0039】

ゲート電極 109 は、Ni/Au からなり、本実施形態では、第 1 のリセス 111 の側面全面および底面全面に直接接触している。換言すると、ゲート電極 109 は、第 1 のリセス 111 中に隙間なく埋め込まれるように形成されている。

このゲート電極 109 は、断面 T 字型形状であり、第 1 のリセス 111 内に埋め込まれる断面矩形形状部分と、この断面矩形形状部分上部に接続された庇部分とを有している。

【0040】

第 1 の絶縁膜 110 は、第 2 の電子供給層 106 上に設けられ、第 1 のリセス 111 以外の領域を被覆する。第 1 の絶縁膜 110 は、第 2 の電子供給層 106、ソース電極 10

10

20

30

40

50

7、ドレイン電極108を被覆する。また、この第1の絶縁膜110には第1の絶縁膜110を貫通し、第1のリセス111に連通する開口110Aが形成されている。この開口110Aには、ゲート電極109が埋め込まれている。なお、T型のゲート電極109の底部分は、第1の絶縁膜110上に位置している。第1の絶縁膜110は、たとえば、200nmのSiNからなる。

【0041】

次に、図2～図3を参照して、図1に示した電界効果トランジスタを製造する方法を説明する。

始めに、有機金属気相成長法(MOVPE: Metal Organic Vapor Phase Epitaxy)を用いて、基板101上に、パuffers層102、厚さ1 μ mのGaNからなる電子走行層103、厚さ5nmのアンドープAl_{0.2}Ga_{0.8}Nからなる第1の電子供給層104、厚さ5nmのIn_{0.17}Al_{0.83}Nからなる第1のエッチングストップ層105、厚さ25nmのアンドープAl_{0.2}Ga_{0.8}Nからなる第2の電子供給層106、をこの順にエピタキシャル成長する。そして、窒化物半導体の積層構造を得る(図2(a))。

【0042】

次に、蒸着・リフトオフ法を用いて、Ti/Al(30/180nm)電極を、第2の電子供給層106表面の所定場所に形成する。その後、700、60秒のRTA(Rapid Thermal Anneal)を行って、ソース電極107およびドレイン電極108を得る(図2(b))。

【0043】

プラズマCVD(Chemical Vapor Deposition)法により、厚さ200nmのSiNからなる第1の絶縁膜110を第2の電子供給層106表面全面に成膜する。その後、ソース電極107とドレイン電極108との間であって、第1のリセス111を作製すべき位置に、フォトレジスト・マスクを作製する。このフォトレジスト・マスクは、第1のリセス111の平面形状パターンに合わせた、開口パターンを有する。

このフォトレジスト・マスクを利用し、RIE(Reactive Ion Etching)法を用いて、SiNからなる第1の絶縁膜110を選択的にエッチングし、開口110Aを形成する(図2(c))。この第1の絶縁膜110をマスクとし、ICP(Inductively Coupled Plasma)ドライエッチング法を用いて、第2の電子供給層106および第1のエッチングストップ層105の一部を選択的に除去する(図3(a))。これにより、第1のエッチングストップ層105が底面となる孔105Aが形成されることとなる。

【0044】

次に、水酸化カリウム(KOH)水溶液を用いたウェットエッチング法にて、孔105Aの底面に残った第1のエッチングストップ層105を選択的に除去して、第1の電子供給層104を露出させ、第1のリセス111を形成する(図3(b))。

次いで、蒸着・リフトオフ法を用いて、Ni/Au(30/300nm)を、第1のリセス111を埋め込むように形成する。その結果、パターンニングされたNi/Au(30/300nm)の断面形状は、T型となり、T型のゲート電極109を得ることで電界効果トランジスタが完成する(図3(c))。なお、前述したGaNからなる中間層を形成する場合には、第1の電子供給層上に前記中間層を形成した後、第1のエッチングストップ層を設ければよい。

【0045】

次に、本実施形態の作用効果について説明する。

第1実施形態にかかる電界効果トランジスタでは、第1のリセス111を形成する際に、ドライエッチング法にて第1のエッチングストップ層105の途中までをエッチング除去し、残りをウェットエッチング法で除去しているために、トランジスタの閾値バイアス V_{th} を高い精度で制御することが可能である。

10

20

30

40

50

これは、以下のような理由による。

ドライエッチングでは、AlGaInからなる第2の電子供給層106とInAlNからなる第1のエッチングストップ層105との間のエッチング速度比(所謂「選択比」)が50~80程度と低いため、エッチングは第1のエッチングストップ層105表面では停止せず、その一部がエッチング除去されてしまう。一方、このドライエッチング工程の後に続くウェットエッチングでは、InAlNからなる第1のエッチングストップ層105とAlGaInからなる第1の電子供給層104との間の選択比が2000以上と高いため、エッチングは第1の電子供給層104表面で高精度に停止する。電界効果トランジスタの閾値バイアス V_{th} は、このエッチング底面に形成されたゲート電極直下のAlGaInからなる電子供給層104の厚さで決まるため、高精度にエッチング停止できることは、閾値バイアス V_{th} を高精度に制御できることを意味する。

10

【0046】

さらに、第1の電子供給層104と第1のエッチングストップ層105との間にGaNからなる中間層を形成すれば、第1の電子供給層104と、中間層との選択比が非常に大きなものとなるので、エッチング停止精度を向上させることができる。

また、GaNからなる中間層を挿入することにより、第1の電子供給層の膜厚が同じで、中間層がない場合に比べて、閾値バイアス V_{th} がより大きくなる。これにより、オフ状態でのリーク電流を低減できる。

ただし、GaNからなる中間層は、第1のリセス以外の領域の2次元電子ガスを減少させてオン抵抗を増加させる機能があるため、低いオン抵抗のエンハンスメント(ノーマリオフ)型電界効果トランジスタを実現するためには、GaNからなる中間層の厚さを0.5~5nmの範囲に選択することが好ましい。

20

【0047】

従来の熱酸化法、あるいはドライエッチング法のみを用いたリセス形成では、ウェハ面内の閾値バイアス V_{th} ばらつきの標準偏差(V_{th})が300mV以上あったのに対し、本実施形態の電界効果トランジスタ(図1)では、 V_{th} が60mVとなり、ばらつきを1/5以下に抑制にすることができた。さらに、第1の電子供給層104と第1のエッチングストップ層105との間に厚さ5nmのGaNからなる中間層を挿入したところ、 V_{th} が40mVまで低減された。

【0048】

30

また、本実施形態の電界効果トランジスタでは、第1のリセス111内に隙間なくゲート電極109が埋め込まれている。すなわち、基板101表面側からみて、第1の電子供給層104と電子走行層103との界面のうち、第1電子供給層104の前記ゲート電極109に接する第1のリセス111底面の直下の領域を除いた全領域が、第2の電子供給層106と重なっている。そのため、ゲート電圧 V_G を正にバイアスして $V_G > V_{th}$ となる「オン状態」において2次元電子ガスの消失している領域がない。

従来のリセス構造電界効果トランジスタにおける「オン抵抗」は、5.5mm程度であったのに対して、第1実施形態にかかる電界効果トランジスタにおける「オン抵抗」は、2.3mmとなり、従来の半分以下に低減された。さらに、第1のエッチングストップ層105にn型不純物としてSiを $4 \times 10^{19} \text{ cm}^{-3}$ の濃度で添加し、T型ゲート電極109と第1のエッチングストップ層105との間に20nm=0.02 μm の隙間を設ける構成としたところ、オン抵抗を1.8mmまで低減できた。

40

【0049】

第1のリセス111の底面の直下では、第1の電子供給層104の厚さが薄いため、ゲート電圧 $V_G = 0 \text{ V}$ では、この電界効果トランジスタはOFF状態となっている。この電界効果トランジスタをON状態とする、ゲートの閾値バイアス V_{th} は、 $V_{th} = +0.5 \text{ V}$ となっており、エンハンスメント(ノーマリオフ)型の電界効果トランジスタが得られている。

【0050】

第1の電子供給層104および第2の電子供給層106は、いずれもAlGaInで構成

50

されているが、そのAl組成が第2の電子供給層106の方が大きいかまたは同じとなっている。これにより、エンハンスメント(ノーマリオフ)型であっても、低いオン抵抗を実現する電界効果トランジスタとなるという効果を有する。

【0051】

(第2実施形態)

次に、図4を参照して、本発明の第2実施形態について説明する。

前記実施形態においては、T型ゲート電極109が第1の電子供給層104にショットキー接触して形成される、ショットキーゲート構造となっていたが、本実施形態では、T型のゲート電極109と第1の電子供給層304との間にゲート絶縁膜312を形成したMISゲート構造となっている。

10

【0052】

以下に、MISゲート構造を備えた、第2実施形態にかかる電界効果トランジスタの一例を、図4を参照して説明する。

第2実施形態にかかる電界効果トランジスタにおいて利用される窒化物半導体は、下記の層状構造を有している。基板101上に、バッファ層102、厚さ1 μ mのGa_{0.95}Nからなる第2のバッファ層313、厚さ15nmのIn_{0.05}Ga_{0.95}Nからなる電子走行層303、厚さ5nmのアンドープAl_{0.17}Ga_{0.83}Nからなる第1の電子供給層304、厚さ5nmでn型不純物としてSiを $5 \times 10^{19} \text{ cm}^{-3}$ の濃度に添加したIn_{0.17}Al_{0.83}Nからなる第1のエッチングストップ層(第1の層)305、厚さ25nmのアンドープAl_{0.25}Ga_{0.75}Nからなる第2の電子供給層306が、この順にエピタキシャル成長され、積層構造を形成している。該第2の電子供給層306上に、ソース電極107とドレイン電極108が形成されている。ソース電極107とドレイン電極108との間に、T型ゲート電極109を設けている。

20

なお、各層の厚みや、組成比は、例示であり、上述したものに限られるものではない。また、各層の好ましい厚み、好ましい組成は、前記実施形態と同様である。

また、第1の電子供給層304の厚みは、均一であり、第1のリセス311の直下の部分と、他の部分との厚みは等しい。すなわち、第1のリセス311を形成する際に、第1の電子供給層304はほとんどエッチングされていない。

【0053】

第1のリセス311は、前記実施形態の第1のリセス111と同様の構造であり、第1のリセス311は、第2の電子供給層306および第1のエッチングストップ層305を貫通し、側面が、第2の電子供給層306および第1のエッチングストップ層305で構成され、底面が第1の電子供給層304で構成される。この第1のリセス311の形状は第一実施形態の第1のリセス111と同様であり、各層の積層方向に沿った断面において、第1のリセス311の幅は、底面側から上面側に至るまでほぼ均一である。

30

この第1のリセス311は、ソース電極107とドレイン電極108との間に形成されている。

第2の電子供給層306上であって第1のリセス311以外の領域に、厚さ200nmのSiONからなる第1の絶縁膜310が形成されている。この第1の絶縁膜310は、第2の電子供給層306、ソース電極107、ドレイン電極108を被覆する。また、この第1の絶縁膜310には第1の絶縁膜310を貫通し、第1のリセス311に連通する開口310Aが形成されている。この開口310Aには、ゲート電極109が埋め込まれている。なお、T型のゲート電極109の庇部分は、第1の絶縁膜310上に位置している。

40

また、第1のリセス311中および第1の絶縁膜310上に渡って厚さ30nmのAl₂O₃からなるゲート絶縁膜312が形成されており、T型ゲート電極109の断面矩形部分が第1のリセス311および開口310A内を隙間なく、埋め込むように形成されている。

ゲート電極109は、第1のリセス311の側面全面および底面全面、開口310Aの内面に対し、ゲート絶縁膜312を介して接触している。

50

【0054】

このような電界効果トランジスタは、前記実施形態の電界効果トランジスタと同様の製造方法で製造されるが、ゲート電極109を形成する前段において、第1のリセス311内に、第1のリセス311の前記底面および前記側面を覆うゲート絶縁膜312を設ける工程を含んでいる。

【0055】

このような本実施形態によれば、第1実施形態と同様の効果を奏することができるうえ、以下の効果を奏することができる。

本実施形態の電界効果トランジスタでは、MISゲート構造を採用したことにより、トランジスタをオン状態にしたとき、T型ゲート電極直下の2次元電子ガス濃度がショットキーゲート構造に比べて高くなる。

また、第2の電子供給層306のAl組成を第1の電子供給層304のAl組成より大きくした結果、第1のリセス311以外の領域の2次元電子ガス濃度が高くなる。

さらに、第1のエッチングストップ層305にn型不純物を添加した結果、ソース電極107およびドレイン電極108と2次元電子ガスとの間のアクセス抵抗が低減される。これらの効果により、第2実施形態になる電界効果トランジスタでは、オン抵抗を1.5mmまで低減することができた。

【0056】

さらに、第2の電子供給層306のうち表面側の厚さ5nmの領域にn型不純物としてSiを $4 \times 10^{19} \text{ cm}^{-3}$ の濃度で添加したところ、ソース電極107およびドレイン電極108との接触抵抗が低減された結果、電界効果トランジスタのオン抵抗を1.1mmまで低減することができた。なお、第2実施形態の電界効果トランジスタにおいて、第1のエッチングストップ層305および第2の電子供給層306と、T型ゲート電極109との間にはゲート絶縁膜312があって互いに直接接触しないため、第1のエッチングストップ層305あるいは第2の電子供給層306にn型不純物を添加したことによるゲートリーク電流の増加はない。

【0057】

ここで、図6に示す構造では、ソース電極S、ドレイン電極Dが形成される電子供給層4は、n型ドーピングが施されていないAl_{0.2}Ga_{0.8}Nで構成されている。

本発明者は、n型ドーピングが施されていないAl_{0.2}Ga_{0.8}Nの表面にソース電極Sおよびドレイン電極Dを設けた場合について検討した。ソース電極S、ドレイン電極Dとしては、Al/Ti/Auを用いた。

本発明者の検討では、ソース電極Sあるいはドレイン電極Dと2次元電子ガス6との間のアクセス抵抗は1mm程度であり、これより低い抵抗を得ることはできなかった。

【0058】

また、動作時のオン抵抗の低減を図る際、コンタクト抵抗を低くする目的で、ソース電極Sおよびドレイン電極Dと電子供給層4との間に高濃度ドーピングされたコンタクト層を設ける手法がある。特許文献1には、n型不純物が $1 \times 10^{19} \text{ cm}^{-3}$ 程度の高濃度にドーピングされた窒化物系半導体のn-GaN層を、コンタクト層に利用する構造も開示されている。しかしながら、この構造は、ソース電極Sあるいはドレイン電極Dとコンタクト層との接触抵抗を低減する効果はあるが、下記の理由によって、ソース電極Sあるいはドレイン電極Dと2次元電子ガス6との間のアクセス抵抗を効果的に低減することはできない。

【0059】

コンタクト層として、n-GaN層を設けると、電子供給層4であるAlGaNに、結晶歪みに基づくピエゾ圧電効果でピエゾ電界が発生し、電子供給層4とコンタクト層との界面に負の分極電荷が発生したのと等価な状態となる。この負の分極電荷により、電子供給層4であるAlGaNとコンタクト層であるn-GaNとの界面では、伝導帯下端のエネルギーポテンシャルが引き上げられ、電子に対する高いポテンシャル障壁を形成する。従って、ソース電極Sあるいはドレイン電極Dと2次元電子ガス6との間で、この高いポ

10

20

30

40

50

テンシャル障壁を電子は通過しにくくなり、これが抵抗を上昇させる要因となっている。この抵抗上昇は、 n -Ga N からなるコンタクト層を用いてソース電極 S あるいはドレイン電極 D との接触抵抗を低減した効果を相殺してしまう。

【0060】

実際に、ソース電極 S およびドレイン電極 D と、 $Al_{0.2}Ga_{0.8}N$ 型ドーピングが施されていない電子供給層 4 との間に、 n -Ga N からなるコンタクト層を挿入する構造について検討した。本発明者の検討では、ソース電極 S あるいはドレイン電極 D と 2 次元電子ガス 6 との間のアクセス抵抗は、 1.5 μm となり、上記コンタクト層を設けていない場合のアクセス抵抗より、かえって抵抗が増加してしまうことがわかった。

これに対し、本実施形態では第 1 のエッチングストップ層 305 に n 型不純物を添加することで、ソース電極 107 およびドレイン電極 108 と 2 次元電子ガスとの間のアクセス抵抗が低減され、さらに、第 2 の電子供給層 306 に n 型不純物を添加することで、ソース電極 307 およびドレイン電極 308 との接触抵抗を低減することができる。

【0061】

また、本実施形態では、ゲート電極 109 は、ゲート絶縁膜 312 を介して第 2 の電子供給層 306 に接触している。そのため、ゲート絶縁膜 312 の直下の第 1 の電子供給層 304 と電子走行層 303 との界面は、第 2 の電子供給層 306 により覆われていないこととなる。

しかしながら、一般にゲート絶縁膜 312 の厚みは非常に薄いため、オン状態において、第 1 の電子供給層 304 と電子走行層 303 との界面において 2 次元電子ガスが消失している領域が発生してしまうことを抑制できる。

なお、ゲート絶縁膜 312 の厚みは、オン状態における 2 次元電子ガス消失防止の観点から 100 nm 以下とすることが好ましい。また、十分高いゲート耐圧を確保するという観点から、ゲート絶縁膜 312 の厚みは 10 nm 以上であることが好ましい。

【0062】

(第 3 実施形態)

図 5 を参照して、本実施形態の電界効果トランジスタについて説明する。

本実施形態では、第 1 のリセス 411 に連通する第 2 のリセス 416 が形成されている。

第 3 実施形態にかかる電界効果トランジスタにおいて利用される窒化物半導体は、下記の層状構造を有している。基板 101 上に、バッファ層 102 、厚さ 1 μm のGa N からなる第 2 のバッファ層 413 、厚さ 15 nm の $In_{0.05}Ga_{0.95}N$ からなる電子走行層 403 、厚さ 5 nm のアンダー $Al_{0.17}Ga_{0.83}N$ からなる第 1 の電子供給層 404 、厚さ 5 nm で n 型不純物として Si を 5×10^{19} cm^{-3} の濃度に添加した $In_{0.17}Al_{0.83}N$ からなる第 1 のエッチングストップ層(第 1 の層) 405 、厚さ 25 nm のアンダー $Al_{0.2}Ga_{0.8}N$ からなる第 2 の電子供給層 406 、厚さ 5 nm で n 型不純物として Si を 8×10^{19} cm^{-3} の濃度に添加した $In_{0.17}Al_{0.83}N$ からなる第 2 のエッチングストップ層(第 2 の層) 414 、厚さ 6 nm で n 型不純物として Si を 5×10^{19} cm^{-3} の濃度に添加した $Al_{0.25}Ga_{0.75}N$ からなる第 3 の電子供給層 415 が、この順にエピタキシャル成長され、積層構造を形成している。該第 3 の電子供給層 415 上に、ソース電極 107 とドレイン電極 108 とが離間配置されている。ソース電極 107 とドレイン電極 108 との間に、 T 型のゲート電極 109 が設けられている。

ゲート電極 109 は、第 1 のリセス 411 、第 2 のリセス 416 内に設けられている。

【0063】

なお、各層の厚みや、組成比は、例示であり、上述したものに限られるものではない。また、各層の好ましい厚み、好ましい組成は、前記実施形態と同様である。

また、第 1 の電子供給層 404 の厚みは、均一であり、第 1 のリセス 411 の直下の部分と、他の部分との厚みは等しい。すなわち、第 1 のリセス 411 を形成する際に、第 1 の電子供給層 404 はほとんどエッチングされていない。

10

20

30

40

50

【 0 0 6 4 】

さらに、第3の電子供給層415のAl組成は、第2の電子供給層406のAlGaNのAl組成と同じかそれよりも大きい。これにより、2次元電子ガス濃度を高めることができる。

第3の電子供給層415の全体あるいは表面側の一部には、 $5 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲でn型不純物を添加されていることが好ましい。これにより、ソース電極107およびドレイン電極108との接触抵抗が低減されることとなる。

【 0 0 6 5 】

また、第2のエッチングストップ層414はその厚さが0.5~5nmの範囲とされることが好ましい。AlGaNからなる第2および第3の電子供給層406, 415と、これらに接触する第2のエッチングストップ層414との界面において、伝導帯端エネルギー E_c の差違(バンド・オフセット: E_c)が存在する。第2のエッチングストップ層414でエネルギーの高いポテンシャルバリアが形成されるので、ソース電極107およびドレイン電極108と2次元電子ガスとの間のアクセス抵抗を高める要因となる。しかしながら、第2のエッチングストップ層414の厚さを5nm以下に制御すれば、ポテンシャルバリアを突き抜けるトンネル電流を十分大きくすることができ、アクセス抵抗の増加を排除することが可能となる。一方で、詳しくは後述するが、上記第2のリセス416を形成する際のエッチング停止機能を発現させるためには、第2のエッチングストップ層414は0.5nm以上の厚さがあることが好ましい。

この第2のエッチングストップ層414には、 $5 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲でn型不純物を添加することが好ましい。第2のエッチングストップ層414にn型不純物を添加した結果、ソース電極107およびドレイン電極108と2次元電子ガスとの間のアクセス抵抗が低減される。

【 0 0 6 6 】

第1のリセス411の形状およびその構造は、前記各実施形態の第1のリセスと同様であり、第1のリセス411は、ソース電極107とドレイン電極108との間の一部の領域において第2の電子供給層406および第1のエッチングストップ層405をエッチング除去して、第1の電子供給層404を露出させることで形成されている。

この第1のリセス411は、第2の電子供給層406および第1のエッチングストップ層405を貫通し、側面が、第2の電子供給層406および第1のエッチングストップ層405で構成され、底面が第1の電子供給層404で構成される。各層の積層方向に沿った断面において、この第1のリセス411の幅は、底面側から上面側に至るまでほぼ均一である。

【 0 0 6 7 】

第2のリセス416は、第3の電子供給層415および第2のエッチングストップ層414を貫通して形成されており、第1のリセス411に連通している。各層の積層方向に沿った一断面において、第2のリセスの幅は、第1のリセス411の幅よりも大きい。また、各層の積層方向に沿った断面において、第2のリセス416の幅も底面側から上面側に至るまでほぼ均一である。

第1の絶縁膜410は、第3の電子供給層415上、さらには、ソース電極107、ドレイン電極108を被覆している。さらに、この第1の絶縁膜410は、第2のリセス416の内側を被覆しており、第1の絶縁膜410のうち、第2のリセス416内に位置する部分には、第1のリセス411に連通する開口410Aが形成されている。この開口410Aは、第1の絶縁膜410を貫通している。

【 0 0 6 8 】

ゲート絶縁膜412は、第1のリセス411の底面、側面、第1の絶縁膜410の開口410Aの内面全面、さらには、第1の絶縁膜410上を覆っており、厚さ25nmの Al_2O_3 からなる。ゲート絶縁膜の好ましい厚みは前記実施形態と同様である。ゲート電極109のうち断面矩形状部分は、ゲート絶縁膜412を介して、第1のリセス411の底面全面、第1のリセス411の側面全面、第1の絶縁膜410の開口410Aの内面全

10

20

30

40

50

面に接しており、第1のリセス411および第1の絶縁膜410の開口410Aを隙間なく、埋めている。

また、ゲート電極109は、第1の絶縁膜410、ゲート絶縁膜412を介して、第2のリセス416内面に接する。

【0069】

このような本実施形態の電界効果トランジスタは、前記実施形態と同様の方法で製造することができるが、第2の電子供給層406上に、InAlNからなる第2のエッチングストップ層414を設ける工程と、第2のエッチングストップ層414上に第3の電子供給層415を設ける工程とを含んでいる。

ソース電極107とドレイン電極108を離間配置する工程では、ソース電極107およびドレイン電極108を、第3の電子供給層415上に配置する。

そして、第3の電子供給層415上にソース電極107およびドレイン電極108間の領域に開口が形成された第2の絶縁膜(図示略)を形成する。ドライエッチングにより、マスクとしての第2の絶縁膜の開口から露出した第3の電子供給層415を選択的に除去するとともに、第3の電子供給層415の下部の第2のエッチングストップ層414を選択的に除去する。これにより、第2のエッチングストップ層414が底面となる孔が形成される。さらに、ウェットエッチングにより、前記孔の底面を構成する第2のエッチングストップ層414を選択的に除去して、第2の電子供給層406を露出させ、第2のリセス416を形成する。

その後、マスクとしての第2の絶縁膜を除去して、前記実施形態と同様の方法で、第1の絶縁膜410を形成する。この第1の絶縁膜410の開口410Aは、第2のリセス416の内側に位置するようにする。

【0070】

このような本実施形態の電界効果トランジスタによれば前記各実施形態と同様の効果を奏することができるうえ、以下の効果を奏することができる。

本実施形態では、第2のリセス416を形成する際に、ドライエッチングにより、第3の電子供給層415を選択的に除去するとともに、第3の電子供給層415の下部の第2のエッチングストップ層414を選択的に除去し、第2のエッチングストップ層414が底面となる孔を形成している。さらに、ウェットエッチングにより、前記孔の底面を構成する第2のエッチングストップ層414を除去して、第2の電子供給層406を露出させ、第2のリセス416を形成している。

このようにして第2のリセス416を形成することで、第2の電子供給層406表面に凹凸が形成されてしまうことを抑制できる。

これに加え、上記のようにして第2のリセス416を形成することで、第2の電子供給層406表面でエッチングを正確に停止することができる。第2の電子供給層406表面でエッチングが正確に停止できない場合には、第1のリセスを形成する際に、第2の電子供給層406の厚みを把握することが難しく、第2の電子供給層406のエッチング量を決定することが困難となる。

これに対し、本実施形態では、第2の電子供給層406表面でエッチングを正確に停止することができるため、第1のリセス411の形成を行う際に第2の電子供給層406のエッチング量を容易に決定することができる。

【0071】

図5に示す第3実施形態にかかる電界効果トランジスタでは、第2のエッチングストップ層414と第3の電子供給層415とが、T型ゲート電極109からゲート絶縁膜412の厚さよりも遙かに大きく離れているため、第2のエッチングストップ層414と第3の電子供給層415に、より高い濃度のn型不純物を添加してもゲートリーク電流の増加を生じない。本実施形態では、ソース電極407およびドレイン電極408と、第3の電子供給層415との接触抵抗の低減することができ、電界効果トランジスタのオン抵抗として1.3 mmが得られた。

【0072】

10

20

30

40

50

なお、本発明は前述の実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

上記第3実施形態においては、T型ゲート電極109と第1の電子供給層404との間にゲート絶縁膜412を具えたMISゲート構造としたが、ゲート絶縁膜412のないショットキーゲート構造においても同様に2段リセス構造を製造することが可能である。

【0073】

また、上記第3実施形態においては、InAlNからなるエッチングストップ層を2層用いた2段リセス構造で記述したが、3層以上のInAlNからなるエッチングストップ層を具えた窒化物半導体層構造を採用することにより、3段以上の多段リセス構造を製造することも可能である。

10

【0074】

さらに、前記各実施形態では、第1の電子供給層104、304、404、第2の電子供給層106、306、406、第3の電子供給層415をAlGaN層としたが、これに限らず、InAlGaN層としてもよい。

すなわち、第1の電子供給層が、 $In_x Al_y Ga_{1-x-y} N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x + y < 1$)であり、第2の電子供給層が、 $In_a Al_b Ga_{1-a-b} N$ ($0 < a < 1$ 、 $0 < b < 1$ 、 $0 < a + b < 1$)であり、第3の電子供給層が $In_c Al_d Ga_{1-c-d} N$ ($0 < c < 1$ 、 $0 < d < 1$ 、 $0 < c + d < 1$)であればよい。

さらに、第1の層、第2の層のInAlNは前記実施形態の組成に限らず、InAlNを主成分として含むものであることが好ましい。

20

また、第2実施形態、第3実施形態において、第1実施形態と同様に、第1の電子供給層と、第一のエッチングストップ層との間に、0.5nm以上、10nm以下のGaNからなる中間層を形成してもよい。

さらに、前記各実施形態では、ソース電極S、ドレイン電極Dを形成した後、第1の絶縁膜110を形成したが、これに限られるものではない。たとえば、ソース電極S、ドレイン電極Dを形成するまえに、第1の絶縁膜110を形成してもよい。ソース電極S、ドレイン電極Dは第1の絶縁膜110により被覆されないものとなる。

さらには、ゲート電極Gを形成した後、ソース電極S、ドレイン電極Dを形成してもよい。ただし、ソース電極Sおよびドレイン電極Dを形成する際の高温の熱がゲート電極Gに加わることとなるため、ドレイン電極Dおよびソース電極Sをゲート電極Gよりも先に形成することが望ましい。

30

【0075】

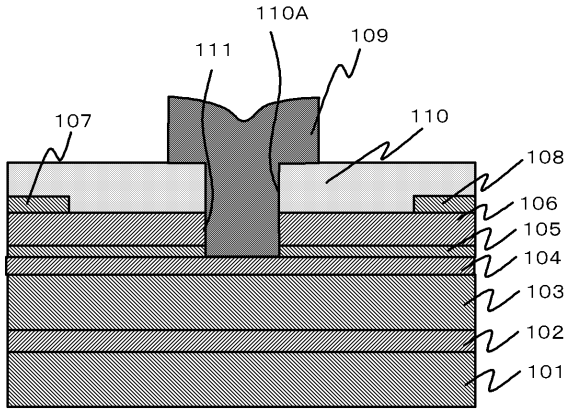
以上、本発明にかかる各実施形態の電界効果トランジスタをより詳しく説明するために、各窒化物半導体の組成やドーピング濃度や厚さ、各電極の金属の種類や積層構造、各絶縁膜の種類や膜厚などを具体的に開示している。上記の具体例に開示した数値や材料に限定されるものではなく、およそ窒化物半導体を用いた電界効果トランジスタを製造する上で一般的に使用されている材料や構造を広く用いることができる。

また、本発明は前述の実施形態に限定されるものではなく、本発明の目的を達成できる範囲での変形、改良等は本発明に含まれるものである。

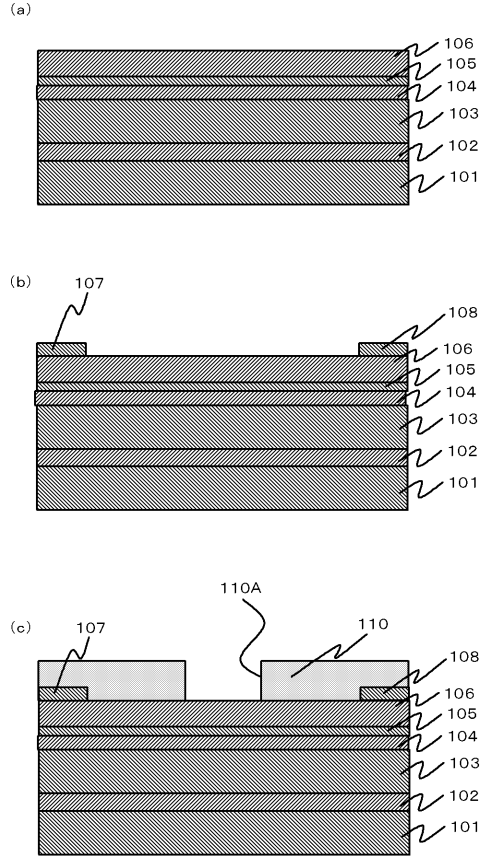
40

この出願は、2007年11月19日に出願された日本出願特願2007-299383号を基礎とする優先権を主張するものであり、その開示の全ては、本明細書の一部として援用 (incorporation herein by reference) される。

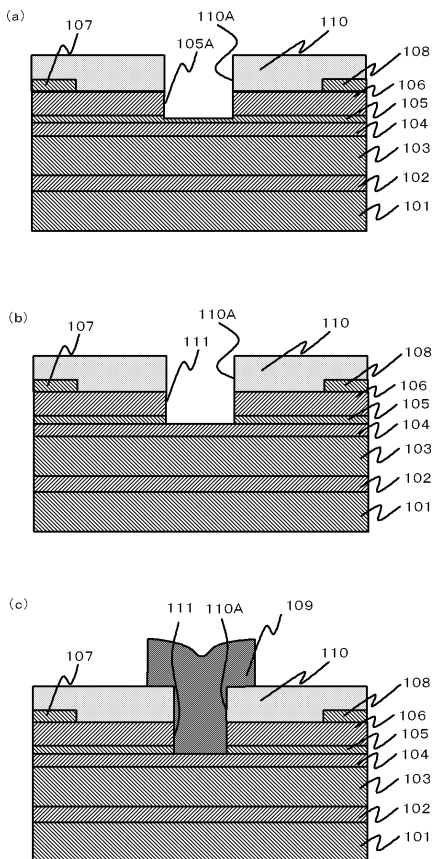
【図1】



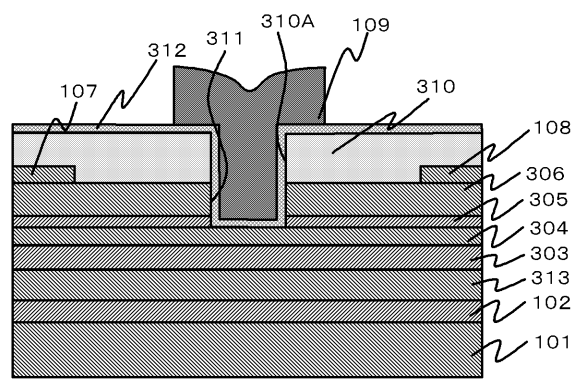
【図2】



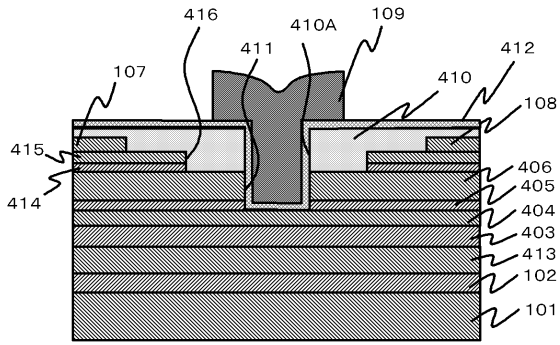
【図3】



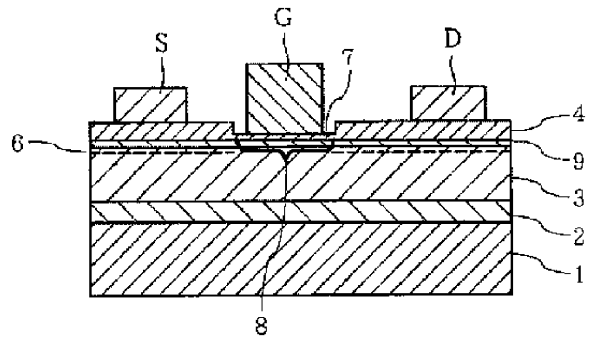
【図4】



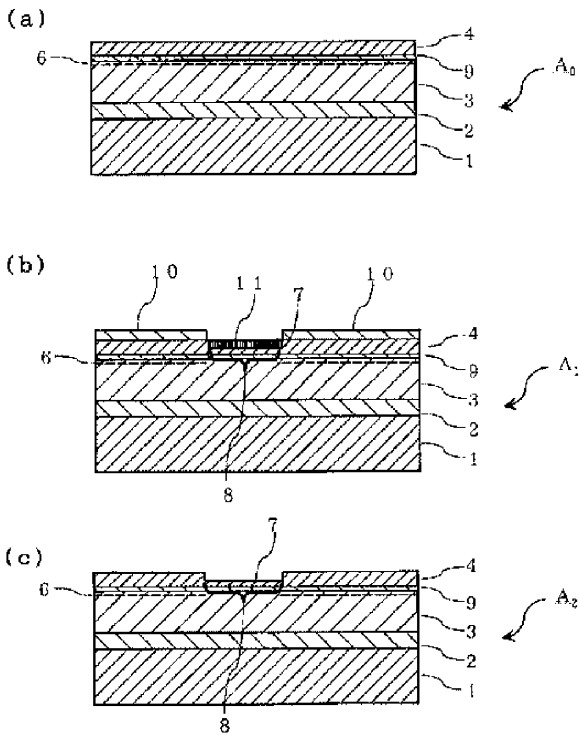
【図5】



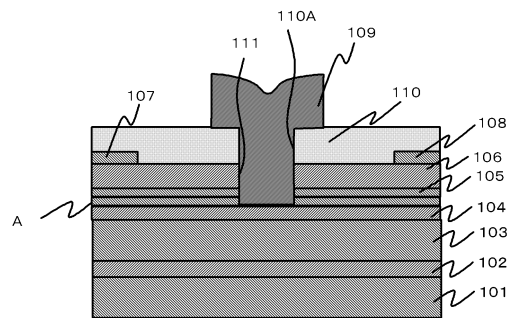
【図6】



【図7】



【図8】



フロントページの続き

- (56)参考文献 特開2007-35905(JP,A)
特開2003-158296(JP,A)
特開2001-185558(JP,A)
特開2000-353789(JP,A)
特開平10-294534(JP,A)
特開2004-228340(JP,A)
F. Rizzi他、Selective wet etching of lattice-matched AlInN-GaN heterostructures、Journal of Crystal Growth、300(2007)、P.254-258、Elsevier B.V.、UK、20 December 2006

- (58)調査した分野(Int.Cl. , DB名)

H01L29/80