



〔12〕发明专利申请审定说明书

〔21〕申请号 87102618

〔51〕Int.Cl⁴

G11C 27/04

〔44〕审定公告日 1989年11月29日

〔22〕申请日 87.4.4

〔30〕优先权

〔32〕86.4.9 〔33〕NL 〔31〕8600891

〔71〕申请人 飞利浦光灯制造公司

地址 荷兰艾恩德霍芬

〔72〕发明人 马塞林纳斯·约翰尼斯·玛丽亚·佩尔格

亨德里克斯·海恩斯

H01L 29/76

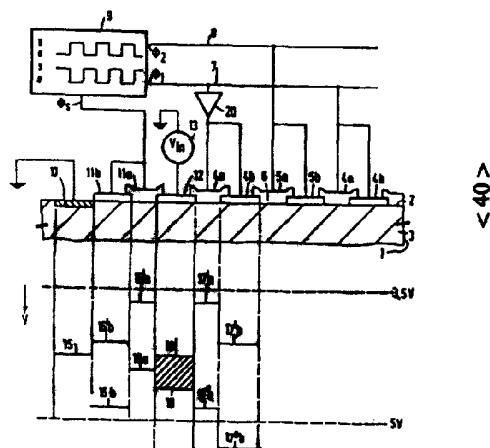
说明书页数:

附图页数:

〔54〕发明名称 半导体器件

〔57〕摘要

本发明涉及一种具有二极管截止输入的表面沟道CCD。基准电压被加到该输入二极管，而输入信号则加到第一时钟电极前的一个输入栅极。特别是如果由一个转移部分和一个存储部分组成的电极间有电势差时，不完全的电荷搬运就有可能由输入到第一时钟电极间发生。为了避免这种不完全的电荷搬运和/或可以扩大输入信号的动态范围，可将较大的例如是10伏（这比加到其后的时钟电极例如5伏大）的时钟电压加到第一时钟电极。为此，可在一最佳实施例中，将5伏的时钟电压通过一自举电路加到第一时钟电极。



1. 一种半导体器件包括一个电荷耦合器件和包括一个输入级以及一系列时钟电极，该电荷耦合器件配置在半导体本体的表面上，该输入级根据输入信号形成电荷包，该时钟电极各有施加时钟电压用的连接装置，而时钟电压是为了在下伏的电荷输运沟道中顺序存储和输运这些电荷包，从电荷输运的方向看去，输入级顺序包括有一个输入二极管、一个第一电极（下文称为取样栅极）和一个第二电极（下文称为输入栅极），而输入二极管各有施加固定电压的连接线，输入栅极各有施加输入信号的装置，取样栅极各有施加取样时钟电压的装置，取样时钟电压用以接通和阻断输入二极管和输入栅极下面区域间的连接，本半导体器件的特征是，所说连接装置包括一个放大器，放大器的输出端连到在输入栅极后的第一时钟电极，而且装配在该列时钟电极中的时钟电压可以加到放大器的输入端，因此，在加上这个时钟电压时，就可在第一时钟电极下面感生出一个势阱来，其深度足以使在输入栅极下面形成的整个电荷包流入这个势阱。

2. 如权利要求1中所要求的一种半导体器件，其特征在于各个时钟电极都包括一个转移部分和存储部分，在加上时钟电压时，就会在转移部分下面感生出一个势垒并在存储部分下面感生出一个势阱来。

3. 如权利要求2中所要求的一种半导体器件，其特征在于该器件构成一个两相电荷耦合器件。

4. 如任何一项前述权利要求中所要求的一种半导体器件，其特征在于该器件是一种表面沟道型的电荷耦合器件。

5. 如任何一项前述权利要求中所要求的一种半导体器件，其特征在于所说放大器包括一个自举激励电路。

半 导 体 器 件

本发明涉及的一种半导体器件包括一个电荷耦合器件和包括一个输入级以及一系列时钟电极，该电荷耦合器件配置在半导体本体的表面上，该输入级根据输入信号形成电荷包，该时钟电极备有施加时钟电压用的连接装置，而时钟电压是为了在下伏的电荷输运沟道中顺序存储和输运这些电荷包，从电荷输运的方向看去，输入级顺序包括有一个输入二极管、一个第一电极（下文称为取样栅极）和一个第二电极（下文称为输入栅极），而输入二极管备有施加固定电压用的连接线，输入栅极备有施加输入信号的装置，取样栅极备有施加取样时钟电压的装置，取样时钟电压用以接通和阻断在输入二极管和输入栅极下面区域间的连接。

包括这种称为SHC2（取样和维持电路2）的输入级的电荷耦合器件，特别在H·沃林斯（H·Wallings）所发表的“CCD模拟输入电路特性的比较”的文章（刊登在1974年9月爱丁堡“国际电荷耦合器件的技术和应用”第13-31页）里有过介绍。这样的输入具有线性特性，且又非常适于高频时应用。在所说出版物里提到的缺点是，输入信号必须以脉动的形式被加上或被衰减，以保证输入栅极下面的电荷包可以整个地被转移至第一时钟电极下面的存储区。但上述解决方法也有缺点。例如，在输入信号以脉动形式加上时，会导致信号畸变，这种信号畸变对于数字应用诚然无可非议，但对于如模拟电压的应用则是不能采用的。信号的衰减一般会导致信噪比降低的缺点。

在电荷耦合器件里，使用本文开头所介绍的那种输入电路将电荷从

输入结构转移至电荷输运沟道时，特别容易出现电荷输运不完全的问题，该器件中的电极包括一转移部分和一存储部分，而且在其内部提供的措施（较厚的氧化层和/或例如附加的注入）使转移部分下面感生出一个势垒来。从附图的说明显然可知，由于有了这个势垒，为了必须使整个电荷包可能被转移，结果使输入信号在势垒中能够变化的范围是很小的。

特别是为了达到目的，本发明必须提供一种上述类型的半导体，其输入信号可以在比较大的电压范围，例如5伏时钟电压时为2伏的变化而没有畸变。

根据本发明，一种如开头时所介绍过的半导体器件，其特征在於所说连接装置包括一个放大器，放大器的输出连到在输入栅极后的第一时钟电极，而且装配在该列时钟电极中的时钟电压可以加到放大器的输入端，因此，根据加上这个时钟电压，就可在第一时钟电极下面感生出一个势阱来，其深度足以使在输入栅极下面形成的整个电荷包流入这个势阱。

由于事实是用一较大的时钟电压而不是一般的时钟电压加至第一时钟电极，故可保证在电荷输运期间第一时钟电极的转移部分下面的势垒电平低于输入栅极下面的最低电位电平。由于事实是放大的时钟电压只加到第一时钟电极而不是加到其余时钟电极，器件中的损耗将基本上不会增加。一种重要的最佳实施例（它可能用一般的低电源电压，例如5伏来控制器件），其特征在於，所说放大器包括一个自举激励电路。

通过参考一个实施例和附图将更全面地介绍本发明，这些附图是：

图1 是本说明书开头所介绍的那种电荷耦合器件的横截面图，其中将常用时钟电压加到第一时钟电极，

图2 是本器件工作期间的电势分布图，

图3 展示本发明半导体器件的一个实施例，

图4 是本器件工作期间的电势分布图。

图5 是图3 所示器件所用的激励电路线路图。

本发明将参照一种表面沟道CCD 予以介绍。虽然，对于某些应用，例如在那些加有线性严格要求的应用中，发明本身就可以使用在具有埋沟的电荷耦合器件(BCCD)中，具有表面沟道的电荷耦合器件或者具有输入结构的BCCD在表面沟道工艺中都是经常被优选使用的。

为了要解释待由本发明解决的问题，图1 展示本文开头所介绍的那种电荷耦合器件，该器件用一般的时钟电压控制。本例中的器件是属于n 沟道型的，但当然也可以是属于p 沟道型的，该器件包括一个p 型半导体，例如是硅的本体1，在其表面2 处有沟道3 。为了控制电荷输运通过沟道3，表面2 备有一列时钟电极4 、5 ，它们被一中间氧化层6 隔离表面。时钟电极各包括一个转移部分a 和一个存储部分b，根据加上的时钟电压，a 部分就会在沟道3 中转移部分a 下面感生一个势垒，b 部分就会在沟道3 中存储部分下面感生一个势阱，从而可将a 、b 两部分彼此区别开来。在本实施例中，这些措施是由转移部分4a、5a下面的厚氧化层6 和存储部分4b、5b下面的薄氧化层组成的。当然，这些措施也可以包括其他已知的变动阈值电压的措施，例如在沟道中注入的区域。在此地要介绍例子中，为了二相模式的运作，使用带有转移部分和存储部分的电极结构。

但在其他实施例中，这种电极结构将器件作为“一电极一位”那样的器件来操作，在这种器件中，除一位置外的所有存储位置都充以数据，而空位则以电荷输运方向相反的方向移位。此外，也可以使用其他电极结构，例如一或三层结构。

时钟电极4 、5 以已知方式分别通过时钟线7 、8 而连接到一时钟电压源9，该电源9 提供在图中方框9 中以图形表示的时钟电压 ϕ_1 和 ϕ_2 。

电荷耦合器件的输入在从电荷输运方向（从左到右）看去时，按顺序包括：一个 n^+ 源区10（下文称为输入二极管），它供应形成电荷包的

电子，一个第一电极，它构成一个取样栅极，以及一个第二电极，它构成输入栅极。

输入二极管10被连到例如大地这样的一个固定电位。输入栅极12则连到电压源13，该电压源包括一个信号源并将与信号有关的电压加到能确定要在输入电极12下面形成的电荷包的大小的输入电极12。取样电极11由于制造工艺的理由，也与时钟电极4、5相同的方式，由厚氧化层上的部分11a和薄氧化层上的部分11b组成。取样电极11在输入二极管10和输入电极12下面的存储区域之间起作开关的作用。将取样时钟 ϕ_s （它由电源9提供）加到取样栅极11。

操作时，本体1加以例如-3.5伏的参考电压，而具有0和5伏电平的时钟电压 ϕ_1 、 ϕ_2 则加到时钟电极4、5。时钟 ϕ_s 也在0和5伏之间变动。图2展示出现在部分器件中的这些电压的电势分布，如对CCD一般的做法那样，参数V代表朝向下方向画得的表面电势。图中也用虚线表示出衬底电压和5伏的电势电平。电平15代表输入二极管10的电势电平。取样栅极11下面的表面电势以参考数字16表示，其后缀a和b分别表明部分11a和11b下面的电势。电势16'a和16'b发生在时钟 $\phi_s = 0$ 伏时。电势16a和16b发生在时钟电压 $\phi_s = 5$ 伏时。从图可看出，在 $\phi_s = 5V$ 时，电子可从输入二极管10流到输入栅极12下面的区域，而在 $\phi_s = 0$ 伏时，电子被堵塞。用相类似的方法，电平17a,b和17'a,b分别代表 $\phi_1 = 5$ 伏和 $\phi_1 = 0$ 伏时在第一时钟电极4a和4b下面的电势。决定每一电荷包最大数量的电平17'a和17'b间的电势差例如约为3伏。在输入栅极12下面的相应于 V_{in} 最大值的表面电势最高可能电平18（在图中反而是最低电平）是由输入二极管10的电势电平15确定的。在输入栅极12下面相应于最高 V_{in} 的最低有效电势电平18是由势垒17a的高度确定的。如图2所示，如果 V_{in} 超过了这个最大值，电平18将降到电势电平17a下面。在这种情况下，就不再可能将整个存储在输入栅极

12下面的电荷量转移到第一时钟电极4 下面的势阱17b 。

在实用的实施例中，曾经发现电平18和17间的电势差是很小的，即小于1 伏，特别是在最大输入电压 V_{in} 时，由于阈值电压的变动，电势电平12常在电平17a 之下，因此不可能转移整个电荷包。

图3 是半导体器件的一个实施例，器件中的上述问题用一简单方法就可以避免。为了简明起见，为器件提供如图1 所示器件的相同部分并带有相同的参考数字。与图1 中所示器件相比较，此刻的第一时钟电极4 并不直接而是通过放大器20接到时钟线7 。最好给这个放大器使用一个自举线路，以便不需要修改5 伏的电源电压。图5 通过例子说明这样一种电路的电路图。应注意电路图上的耗尽型晶体管在沟道区是用双线表示的，而沟道区中的增强型晶体管则用单线表示。由时钟电压源9 提供的时钟信号 ϕ_1 被加到晶体管 T_1 的栅极，而放大的输出信号 ϕ_o 是由晶体管 T_5 的漏极导出的。该电路包括0 伏和5 伏的两条电源线。从电路左侧开始，电路首先包括一个第一倒相级，该倒相级包括一个驱动晶体管 T_1 和一个负载晶体管 T_2 的串联组合。第一倒相级之后是一个包括驱动晶体管 T_3 和负载管 T_4 的相似的第二倒相级。该第二倒相级的输入端，即 T_3 的栅极被连到第一倒相级的输出端21。负载晶体管 T_2 和 T_4 的栅极被连到它们的源区。倒相级 T_3 、 T_4 之后是三个晶体管即 T_5 、 T_6 和 T_7 的串联组合。晶体管 T_5 和 T_7 的栅电极被连到第一倒相级的输出端21。 T_6 的栅极被连到第二倒相级 T_3 、 T_4 的输出端22。 T_5 和 T_6 的接合点23被连到输出端24，输出信号可从该处导出，也可以把它加到第一时钟电极4 。晶体管 T_6 和 T_7 间的接合点25被接到自举电容 C 的一个极板。在图的右侧示出两个晶体管的串联组合，这两个晶体管即晶体管 T_8 （其栅极被连到第一倒相级的输出21）和耗尽型晶体管 T_9 （其栅极被连到源区26）。晶体管 T_{10} 被并连连接到 T_9 ，其栅极则被连到输出端24，即接合点23。 T_9 和 T_{10} 间的接合点26被连到自举电容器 C 的第二个极板。

为解释该电路的工作原理，先从 $\phi_1 = 0$ 伏（低）的情况开始。 T_1 是不导通的，接点21于是达到5 伏（高）。这个信号再被倒相级 T_3 、 T_4 倒相，因此接合点22变低（接近0 伏）。在这种情况下，晶体管 T_5 和 T_7 导通而晶体管 T_6 不导通。接合点23（也构成输出）被加至0 伏，而接合点25被加至5 伏。同时，因为 T_6 是导通的，而 T_8 是不导通的，故接合点26被加至（接近）0 伏。如 ϕ_1 现在转到5 伏（高），则接合点21和22 分别转到0 伏和5 伏。晶体管 T_5 和 T_7 此时不导通，而 T_6 变为导通。同时， T_8 变为不导通，由此，接合点26的电压增至5 伏。由于事实是自举电容 C被连到接合点26，而且晶体管 T_5 和 T_7 不导通，故接合点25（已经加至5 伏）的电压达到实际上是10伏的数值。由于电容性电压分配，接点25 处的最终电势值可能会稍低于10伏。因为在这种情况下的 T_6 是导通的，接点23从而输出端24跟随接合点25的电压源而几乎达到10伏。晶体管 T_{10} （此时也是导通的）用以增加接合点26的充电速率。

通过使用图5 中所示的自举激励电路，同时使用5 伏时钟电压 ϕ_1 、 ϕ_2 ，可能得到整个电荷包从输入栅极下面到第一时钟电极4 的转移，如图4 所示。图中的相应电势电平使用了如图2 相同的参考数字。图4 和图2 间的区别主要在于 $\phi_1 = 5$ 伏时，电势电平17''a、17''b的位置比图2 中的电平17a、17b 低几伏特。结果，如果 V_{in} 也是最大值，电平18就会位于电势电平17''a之上，从而，在 V_{in} 的这个数值时，存储在输入栅12下面的整个电荷量可以流至电荷输运沟道3。在前序中叙述过的信号畸变，因不完全的电荷输运而可能出现在常用的器件中，但根据本发明在本文所叙述器件中用简单的方法就可以避免这种信号畸变而无需降低输入信号 V_{in} 。此外，文中所述器件中，其余的时钟电极可以用常用的0 和5 伏低时钟电压 ϕ_1 、 ϕ_2 来激励，从而功耗基本上没有增加。

可以理解，本发明并不受限于所示的实施例，对于那些熟悉本技术的人士不偏离本发明的范围就可以作出许多变更。例如，本发明不仅可

用于有势垒的电荷耦合器件中，也可用在不出现在该势垒的器件，例如用于前述出版物中所叙述的四相器件。

