



[12] 发明专利说明书

专利号 ZL 02121619.3

[45] 授权公告日 2008 年 5 月 14 日

[11] 授权公告号 CN 100388334C

[22] 申请日 2002.5.29 [21] 申请号 02121619.3

[30] 优先权

[32] 2001.5.29 [33] JP [31] 160140/01

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 长尾祥 浅见宗广 棚田好文

[56] 参考文献

EP0315362A2 1989.5.10

JP10-228262A 1998.8.25

US6052426A 2000.4.18

CN1157450A 1997.8.20

审查员 陈敏泽

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 陈景峻 梁永

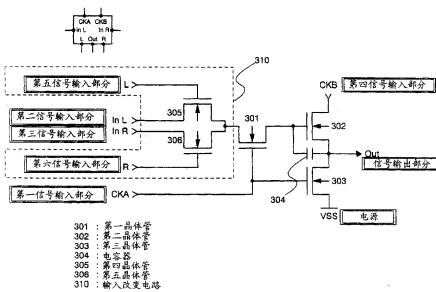
权利要求书 4 页 说明书 20 页 附图 17 页

[54] 发明名称

脉冲输出电路、移位寄存器和显示器件

[57] 摘要

提供一种由一个导电类型的 TFTs 构成的电路，该电路可以输出正常振幅的信号。当输入时钟信号 CK1 变为高电平时，每个 TFTs(101、103)导通以将信号输出部分(Out)的电位设定在低电平。然后将脉冲输入到信号输入部分(In)并变为高电平。因此 TFT(102)导通。然后 CK1 变为低电平，每个 TFTs(101、103)截止。同时，CK3 变为高电平，并且信号输出部分的电位增加。同时，TFT(102)的栅极的电位借助于电容器(104)的功能增加到等于或高于($VDD + VthN$)的电平，因此在信号输出部分(Out)呈现的高电平变为等于 VDD 。当 SP 变为低电平时；CK3 变为低电平；CK1 变为高电平时，信号输出部分(Out)的电位再次变为低电平。



1、一种脉冲输出电路，包括：

第一、第二和第三晶体管，各具有栅极、第一电极和第二电极，并且第一晶体管的第二电极电连接到第二晶体管的栅极；
电连接到第一和第三晶体管的栅极的第一信号输入部分；
电连接到第一晶体管的第一电极的输入改变电路；
电连接到输入改变电路的第二和第三信号输入部分；
电连接到第二晶体管的第一电极的第四信号输入部分；
电连接到第三晶体管的第一电极的电源；和
电连接到第二和第三晶体管的第二电极的信号输出部分，其中第一、第二和第三晶体管是相同导电类型的，以及其中电容器装置设置在所述第二晶体管的所述栅极和源极之间。

2、根据权利要求1的脉冲输出电路，其中输入改变电路包括：

具有栅极、第一和第二电极的第四晶体管，第四晶体管的第一电极电连接到第二信号输入部分，第四晶体管的第二电极电连接到第一晶体管的第一电极；

具有栅极、第一和第二电极的第五晶体管，第五晶体管的第一电极电连接到第三信号输入部分，第五晶体管的第二电极电连接到第一晶体管的第一电极；

电连接到第四晶体管的栅极的第五信号输入部分；和

电连接到第五晶体管的栅极的第六信号输入部分，其中第四和第五晶体管是相同导电类型的；

其中输入改变信号输入到所述第五信号输入部分，当反相输入改变信号输入到所述第六信号输入部分时，所述第四晶体管设定在导电状态，所述第五晶体管设定为非导电状态；和

其中输入改变信号的极性被反相，当反相输入改变信号的极性反相时，所述第四晶体管设定在非导电状态，所述第五晶体管设定在导电状态。

3、根据权利要求1的脉冲输出电路，其中所述电容器装置形成在所述第二晶体管的栅极和所述第二晶体管的有源层之间。

4、根据权利要求1的脉冲输出电路，其中所述电容器装置形成在

有源层材料、形成栅极的材料和布线材料中的任何两个之间。

5、根据权利要求 1 的脉冲输出电路，其中导电类型是 n 沟道型。

6、根据权利要求 1 的脉冲输出电路，其中导电类型是 p 沟道型。

7、一种脉冲输出电路，包括：

第一、第二和第三晶体管，各具有栅极、第一电极和第二电极，并且第一晶体管的第二电极电连接到第二晶体管的栅极；

电连接到第一和第三晶体管的栅极的第一信号输入部分；

电连接到第一晶体管的第一电极的输入改变电路；

电连接到输入改变电路的第二和第三信号输入部分；

电连接到第二晶体管的第一电极的第四信号输入部分；

电连接到第三晶体管的第一电极的电源；和

电连接到第二和第三晶体管的第二电极的信号输出部分，

其中第一、第二和第三晶体管是相同导电类型的，

其中输入改变电路处于第一状态，在第一晶体管的第一电极和第二信号输入部分之间形成导电，在第一晶体管的第一电极和第三信号输入部分之间不导电，

其中输入改变电路处于第二状态，在第一晶体管和第一电极和第三信号输入部分之间导电，在第一晶体管的第一电极和第二信号输入部分之间不导电，和

其中电容器装置设置在所述第二晶体管的所述栅极和源极之间。

8、根据权利要求 7 的脉冲输出电路，其中输入改变电路包括：

具有栅极、第一和第二电极的第四晶体管，第四晶体管的第一电极电连接到第二信号输入部分，第四晶体管的第二电极电连接到第一晶体管的第一电极；

具有栅极、第一和第二电极的第五晶体管，第五晶体管的第一电极电连接到第三信号输入部分，第五晶体管的第二电极电连接到第一晶体管的第一电极；

电连接到第四晶体管的栅极的第五信号输入部分；和

电连接到第五晶体管的栅极的第六信号输入部分，

其中第四和第五晶体管是相同导电类型的；

其中输入改变信号输入到所述第五信号输入部分，当反相输入改变信号输入到所述第六信号输入部分时，所述第四晶体管设定在导电

状态，所述第五晶体管设定为非导电状态；和

其中输入改变信号的极性被反相，当反相输入改变信号的极性反相时，所述第四晶体管设定在非导电状态，所述第五晶体管设定在导电状态。

9、根据权利要求 7 的脉冲输出电路，其中所述电容器装置形成在所述第二晶体管的栅极和所述第二晶体管的有源层之间。

10、根据权利要求 7 的脉冲输出电路，其中所述电容器装置形成在有源层材料、形成栅极的材料和布线材料中的任何两个之间。

11、根据权利要求 7 的脉冲输出电路，其中导电类型是 n 沟道型。

12、根据权利要求 7 的脉冲输出电路，其中导电类型是 p 沟道型。

13、一种移位寄存器，包括：

多个脉冲输出电路级，所述多个脉冲输出电路级中的每一个包括：

第一、第二和第三晶体管，每个晶体管具有栅极、第一电极和第二电极，并且第一晶体管的第二电极电连接到第二晶体管的栅极上；

电连接到第一和第三晶体管的栅极的第一信号输入部分；

电连接到第一晶体管的第一电极的输入改变电路；

电连接到输入改变电路的第二和第三信号输入部分；

电连接到第二晶体管的第一电极的第四信号输入部分；

电连接到第三晶体管的第一电极的电源；和

电连接到第二和第三晶体管的第二电极的信号输出部分，

其中第一、第二和第三晶体管是相同导电类型的，以及

其中电容器装置设置在所述第二晶体管的所述栅极和源极之间。

14、根据权利要求 13 的移位寄存器，其中导电类型是 n 沟道型。

15、根据权利要求 13 的移位寄存器，其中导电类型是 p 沟道型。

16、根据权利要求 13 的移位寄存器，其中所述电容器装置形成在第二晶体管的栅极和第二晶体管的有源层之间。

17、根据权利要求 13 的移位寄存器，其中所述电容器装置形成在有源层材料、形成栅极的材料和布线材料的任何两个之间。

18、一种移位寄存器，包括：

多个脉冲输出电路级，所述多个脉冲输出电路级中的每一个包括：

第一、第二和第三晶体管，每个晶体管具有栅极、第一电极和第二电极，并且第一晶体管的第二电极电连接到第二晶体管的栅极上；

电连接到第一和第三晶体管的栅极的第一信号输入部分；
电连接到第一晶体管的第一电极的输入改变电路；
电连接到输入改变电路的第二和第三信号输入部分；
电连接到第二晶体管的第一电极的第四信号输入部分；
电连接到第三晶体管的第一电极的电源； 和
电连接到第二和第三晶体管的第二电极的信号输出部分，
其中第一、第二和第三晶体管是相同导电类型的，
其中输入改变电路处于第一状态，在第一晶体管的第一电极和第二信号输入部分之间导电，在第一晶体管的第一电极和第三信号输入部分之间不导电，
其中输入改变电路处于第二状态，在第一晶体管的第一电极和第三信号输入部分之间导电，在第一晶体管的第一电极和第二信号输入部分之间不导电，和
其中电容器装置设置在所述第二晶体管的所述栅极和源极之间。
19、根据权利要求 18 的移位寄存器，其中导电类型是 n 沟道型。
20、根据权利要求 18 的移位寄存器，其中导电类型是 p 沟道型。
21、根据权利要求 18 的移位寄存器，其中所述电容器装置形成在第二晶体管的栅极和第二晶体管的有源层之间。
22、根据权利要求 18 的移位寄存器，其中所述电容器装置形成在有源层材料、形成栅极的材料和布线材料的任何两个之间。

脉冲输出电路、移位寄存器和显示器件

发明背景

1、发明领域

本发明涉及脉冲输出电路、移位寄存器和显示器件。注意在本说明书中，显示器件包括采用液晶显示元件作像素的液晶显示器件和采用自发光元件如电致发光（EL）元件的自发光显示器件。用于显示器件的驱动器电路是通过给设置在显示器件中的像素输入图像信号而进行显示图象处理的电路，并包括脉冲输出电路如移位寄存器和反相器，以及放大器电路。

2、相关技术的说明

近年来，已经广泛地获得了具有形成在绝缘基片如玻璃基片上的半导体薄膜的显示器件，特别是采用薄膜晶体管（TFTs）的有源矩阵显示器件，并在各个产品中使用。采用 TFTs 的有源矩阵显示器件具有排列成矩阵形式的几十万到几百万个像素并通过借助提供在像素上的 TFT 控制每个像素上的电荷来显示图像。

近年来已经研制了涉及多晶硅 TFTs 的技术，包括利用 TFTs 在像素部分周边的衬底上形成驱动器电路，同时形成构成像素的像素 TFTs。这种技术已经对减小显示器件的尺寸和功耗的研究上做出了贡献。而且，这种显示器件对于移动信息终端的显示单元是必不可少的，近年来已经发现了它在施加面积的增加量上的应用。

通常，采用 n 沟道 TFT 和 p 沟道 TFT 的组合的补偿金属氧化物（CMOS）电路用做构成显示器件的驱动器电路的电路。下面参照图 11A-11C 介绍作为这种 CMOS 电路的例子的移位寄存器。由虚线表示的方框 1100 中的部分是用于形成输出脉冲的一级的电路。图 11A 中只示出了移位寄存器的三个脉冲输出级。每个电路形成一级由时钟反相器 1101 和 1103 及反相器 1102 构成。图 11B 示出了电路结构的细节。参见图 11B，TFTs 1104-1107 构成时钟反相器 1101，TFTs 1108 和 1109 构成时钟反相器 1102，TFTs 1110-1113 构成时钟反相器 1103。

构成电路的每个 TFTs 具有三个电极：栅极、源极和漏极。然而，

由于 TFT 的结构特性，不能互相辨别源区和漏区。在普通的 CMOS 电路中，处于低电位的 n 沟道 TFT 的源区和漏区之一作用源极，而处于较高电位的另一个作为漏极。而且，处于高电位的 p 沟道 TFT 的源区和漏区之一用做源极，而处于低电位的另一个作为漏极。在本说明书中关于 TFTs 的说明中，源极和漏极分别被称为第一电极和第二电极，或分别称为第二电极和第一电极，以便避免混淆它们。

下面将介绍电路的操作。在下面 TFTs 操作的说明中，当通过给栅极施加电位而在杂质区之间形成沟道时的导电状态表示为“ON”，当不形成杂质区沟道时的非导电状态表示为“OFF”。

参见作为时序图的图 11A-11C，时钟信号（以下称为“CK”）和反相时钟信号（以下称为“CKB”）分别输入到 TFTs 1107 和 1104。起动脉冲（以下称为“SP”）被输入到 TFTs 1105 和 1106。当 CK 是高电平时，CKB 是低电平；SP 是高电平，TFTs 1106 和 1107 每个处于 ON，并输出要输入到由 TFTs 1108 和 1109 构成的反相器 1102 的低电平。反相器 1102 使输入低电平反相并通过输出节点（SRout1）输出高电平。之后，CK 变为低电平，CKB 变为高电平，而 SP 为高电平。然后，借助由反相器 1102 和时钟反相器 1103 形成的回路进行保存操作。因此继续通过输出节点输出高电平。然后 CK 和 CKB 分别变为高电平和低电平，时钟反相器 1101 再次进行写操作。由于 SP 已经变为低电平，因此通过输出节点输出低电平。接着，当 CK 和 CKB 分别变为低电平和高电平时，再次进行保存操作。此时从输出节点输出的低电平被保存在由反相器 1102 和时钟反相器 1103 形成的回路中。

由此进行了一级的操作。在下一级中，关于 CK 和 CKB 的连接是反向的并根据时钟信号的反向极性进行与上述相同的操作。根据已经改变的时钟信号的极性重复相同操作。由此连续输出采样脉冲，如图 11C 所示。

应该提到的 CMOS 电路的特征在于限制由整个电路消耗的功率。即，只在逻辑状态发生变化（从高电平到低电平或从低电平到高电平）时流过电流，在逻辑状态保持不变时没有电流流过（虽然实际上有小的漏电流流过）。

随着移动电子设备尺寸和重量的减小的发展，对于采用液晶或自发光元件的显示器件的需求快速增长。但是，通过提高生产率等难以

有效地降低这种显示器件的制造成本。可以想象这种需求将进一步快速增长。因此，希望以降低的成本供应显示器件。

通过进行曝光和采用多个光掩模的刻蚀形成有源层图形、布线图形等的方法通常用做在绝缘体上制造驱动器电路的方法。由于制造步骤的数量是确定制造成本的主要因素，因此采用较少数量制造步骤的制造方法是制造驱动器电路的理想方法。如果可以通过只采用两种导电类型即 n 沟道或 p 沟槽型中的一种导电类型的 TFTs 形成驱动器电路，代替形成 CMOS 电路，可去掉部分离子掺杂工艺和减少光掩模的数量。

图 9A 示出了通常使用的 CMOS 反相器 (I) 和通过只用一个极性的 TFTs 或通过只有一个 TFT 形成的反相器 (II) 和 (III)。反相器 (II) 具有用做负载的 TFT。反相器 (III) 具有用做负载的电阻器。每个反相器的操作将在下面介绍。

图 9B 示出了输入到每个反相器的信号的波形。该输入信号幅度是低电平/高电平=VSS/VDD ($VSS < VDD$)。假设 $VSS = 0V$ 。

下面将介绍电路的操作。为了简单、明确地说明操作，这里假设在整个电路板上的 n 沟道 TFTs 的阈值电压互相相等，并用 V_{thN} 表示，同样，p 沟道 TFT 的阈值电压由恒定值 V_{thP} 表示。

当如图 9B 所示的信号输入到 CMOS 反相器时，和当输入信号的电位为高电平时，p 沟道 TFT 901 处于 OFF，N 沟道 TFT 902 处于 ON。在输出节点得到的电位为低电平。相反，当输入信号的电位为低电平时，p 沟道 TFT901 处于 ON，N 沟道 TFT902 处于 OFF。在输出节点得到的电位为高电平（图 9C）。

下面关于输入如图 9B 中所示的信号的情况介绍采用 TFT 的反相器 (II) 的操作。当输入信号是低电平时，n 沟道 TFT904 处于 OFF，负载 TFT903 在饱和状态工作。结果，在输出节点的电位向高电平升高。另一方面，当输入信号为高电平时，n 沟道 TFT904 为 ON。如果 n 沟道 TFT904 的电流容量比负载 TFT903 的电流容量充分大，则在输出节点的电位向低电平下降。

在采用电阻器作为负载的反相器 (III) 中，n 沟道 TFT906 的 ON 电阻设定为比负载电阻器 905 的电阻值充分小的值。因此，在这个反相器中，当输入信号为高电平时，n 沟道 TFT 906 为 ON，在输出节点

的电位向低电平下降。当输入信号为低电平时，n 沟道 TFT906 为 OFF，在输出节点的电位向高电平上升。

然而，还是存在问题的，下面将借助采用 TFT 作为负载的每个反相器和采用电阻器作为负载的反相器进行介绍。图 9D 示出了从采用 TFT903 作为负载的反相器输出的波形。当输出为高电平时，输出的电位比 VDD 小由 907 表示的量。如果在负载 TFT903 中，输出节点一侧上的端子是源，而电源 VDD 一侧上的端子是漏，则栅极的电位为 VDD，这是因为栅极和漏极互相连接。维持负载 TFT 处于 ON 状态的条件是 (TFT903 栅-源电压>V_{thN})。因此，输出节点的电位可以增加到的最高电平是 (VDD-V_{thN})。即，量 907 等于 V_{thN}。此外，当输出为低电平时，输出的电位比 VSS 高出由 908 表示的量，这取决于负载 TFT903 和 n 沟道 TFT904 的电流容量的比。为使输出电位充分接近于 VSS，需要相对于负载 TFT903 的电流容量充分增加 n 沟道 TFT904 的电流容量。同样，参见表示从采用电阻器 905 做负载的反相器输出的波形的图 9E，输出电位高出由 909 表示的量，这取决于负载电阻器 905 的电阻值和 n 沟道 TFT906 的 ON 电阻的比。即，在采用通过只用一个 TFT 或只有一个极性的 TFTs 形成的上述反相器时，输出信号的幅度相对于输入信号的幅度衰减。

发明概述

鉴于上述问题，本发明的目的是提供通过只采用一个极性的 TFTs 形成的脉冲输出电路和采用该输出电路的移位寄存器，其中通过进行减少数量的制造步骤可以以低成本制造该脉冲输出电路，并且可以在振幅不衰减的情况下从该脉冲输出电路获得输出。

为确保输出信号的振幅在图 9A 的 (II) 中所示的反相器中具有低电平/高电平=VSS/VDD 的正常值的条件将在下面介绍，其中所述的反相器是采用 TFT 做负载的反相器。首先，在如图 10A 中所示的电路中，当输出信号电位变为低电平时，其中电源 VSS 和输出节点 (Out) 之间的电阻相对于电源 VDD 和输出节点 (Out) 之间的电阻足够小的状态足以使输出信号的电位充分接近 VSS。就是说，在 n 沟道 TFT 1002 为 ON 期间，保持 n 沟道 TFT 1001 处于 OFF 状态就足够了。

其次，当输出信号电位变为高电平时，其中 n 沟道 TFT1002 的栅-源电压的绝对值总是高于 V_{thN} 和 TFT1001 可靠地保持在 OFF 状态的状

态足以使输出信号的电位等于 VDD。即，为满足使输出节点的高电平等于 VDD 的条件，必须将 n 沟道 TFT1001 的栅极电位增加到高于 (VDD+V_{thN}) 的电平。

因此根据本发明，采用下列措施。在 n 沟道 TFT1001 的栅极和源极之间提供电容器 1003，如图 10B 所示。当 n 沟道 TFT1001 具有栅极的电位以便处于浮置状态时，输出节点的电位增加了。通过增加输出节点的电位，通过电容器 1003 的容性耦合功能增加了 n 沟道 TFT1001 的栅极电位。利用这个效果，可以将 n 沟道 TFT1001 的栅极电位增加到高于 VDD 的电平（更准确地说，高于 (VDD+V_{thN})）。这样，可以使输出节点的电位增加到充分接近 VDD。

在 TFT1001 的栅极和源极之间作为寄生电容产生的电容器可用做图 10B 中所示的电容器 1003，或者可以实际制造电容器部分。如果独立制造电容器部分，优选采用简单的制造工艺，其中采用有源层材料、栅极材料和布线材料中的两种并在它们之间置入绝缘层。然而，可以采用其它材料制造电容器部分。在采用有源层的情况下，希望例如通过向该有源层的材料中添加杂质来减小有源层的电阻。

下面介绍本发明的结构。

根据本发明的脉冲输出电路包括第一—第三晶体管、第一—第三信号输入部分、信号输出部分和电源，并且该脉冲输出电路的特征在于：

第一—第三晶体管是相同导电类型的；

第一晶体管的栅极电连接到第一信号输入部分；

第一晶体管的第一电极电连接到第二信号输入部分；

第一晶体管的第二电极电连接到第二晶体管的栅极；

第二晶体管的第一电极电连接到第三信号输入部分；

第二晶体管的第二电极电连接到信号输出部分；

第三晶体管的栅极电连接到第一信号输入部分；

第三晶体管的第一电极电连接到电源；和

第三晶体管的第二电极电连接到信号输出部分。

根据本发明的脉冲输出电路包括第一—第三晶体管、第一—第四信号输入部分、信号输出部分、电源和输入改变电路，该脉冲输出电路的特征在于：

第一—第三晶体管是相同导电类型的；

第一晶体管的栅极电连接到第一信号输入部分；
第一晶体管的第一电极电连接到输入改变电路；
输入改变电路电连接到第二信号输入部分和第三信号输入部分；
第一晶体管的第二电极电连接到第二晶体管的栅极；
第二晶体管的第一电极电连接到第四信号输入部分；
第二晶体管的第二电极电连接到信号输出部分；
第三晶体管的栅极电连接到第一信号输入部分；
第三晶体管的第一电极电连接到电源； 和
第三晶体管的第二电极电连接到信号输出部分。

根据本发明的脉冲输出电路包括第一-第三晶体管、第一-第四信号输入部分、信号输出部分、电源和输入改变电路，该脉冲输出电路的特征在于：

第一-第三晶体管是相同导电类型的；
第一晶体管的栅极电连接到第一信号输入部分；
第一晶体管的第一电极电连接到输入改变电路；
输入改变电路电连接到第二信号输入部分和第三信号输入部分；
第一晶体管的第二电极电连接到第二晶体管的栅极；
第二晶体管的第一电极电连接到第四信号输入部分；
第二晶体管的第二电极电连接到信号输出部分；
第三晶体管的栅极电连接到第一信号输入部分；
第三晶体管的第一电极电连接到电源；
第三晶体管的第二电极电连接到信号输出部分；

当输入改变电路处于第一状态时，在第一晶体管的第一电极和第二信号输入部分之间进行导电，在第一晶体管的第一电极和第三信号输入部分之间不导电；

当输入改变电路处于第二状态时，在第一晶体管的第一电极和第三信号输入部分之间进行导电，在第一晶体管的第一电极和第二信号输入部分之间不导电。

根据本发明的脉冲输出电路，其特征在于输入改变电路具有第四晶体管、第五晶体管、第五信号输入部分和第六信号输入部分；

第四晶体管和第五晶体管的每个是与第一-第三晶体管相同导电类型的；

第四晶体管的栅极电连接到第五信号输入部分；

第四晶体管的第一电极电连接到第二信号输入部分；

第四晶体管的第二电极电连接到第一晶体管的第一电极；

第五晶体管的栅极电连接到第六信号输入部分；

第五晶体管的第一电极电连接到第三信号输入部分；

第五晶体管的第二电极电连接到第一晶体管的第一电极；

当输入改变信号输入到第五信号输入部分和反相的输入改变信号输入到第六信号输入部分时，第四晶体管被设定为导电状态，第五晶体管被设定为非导电状态；和

当输入改变信号的极性相反和反相输入改变信号的极性相反时，

第四晶体管被设定为非导电状态，第五晶体管被设定为导电状态。

根据本发明的脉冲输出电路还包括在第二晶体管的栅极和第一电极之间或在第二晶体管的栅极和第二电极之间的电容器装置。

根据本发明的脉冲输出电路，该电容器装置可以形成在第二晶体管的栅极和第二晶体管的有源层之间，或者形成在有源层材料、形成栅极的材料和布线材料中的任何两个之间。

采用本发明的脉冲输出电路，提供其中在第一-第四时钟信号和起动脉冲的基础上连续输出采样脉冲的移位寄存器。

根据本发明的移位寄存器的特征在于：

该移位寄存器包括第一-第四时钟信号线和起动脉冲输入线；

在形成第 $(4n-3)$ 级 (n : 自然数, $1 \leq n$) 的脉冲输出电路中，第一信号输入部分电连接到第一时钟信号线；

如果 $n=1$ ，第二信号输入部分电连接到起动脉冲输入线，或者，如果 $n \neq 1$ ，第二信号输入部分电连接到形成第 $(4n-1)$ 级的脉冲输出电路的信号输出部分；

第三信号输入部分电连接到第三时钟信号线；

在形成第 $(4n-2)$ 级的脉冲输出电路中，第一信号输入部分电连接到第二时钟信号线；

第二信号输入部分电连接到形成第 $(4n-3)$ 级的脉冲输出电路的信号输出部分；

第三信号输入部分电连接到第四时钟信号；

在形成第 $(4n-1)$ 级的脉冲输出电路中，第一信号输入部分电连

接到第三时钟信号线；

第二信号输入部分电连接到形成第（4n-2）级的脉冲输出电路的信号输出部分；

第三信号输入部分电连接到第一时钟信号线；

在形成第4n级的脉冲输出电路中，第一信号输入部分电连接到第四时钟信号线；

第二信号输入部分电连接到形成第（4n-1）级的脉冲输出电路的信号输出部分；

第三信号输入部分电连接到第二时钟信号线；和

在第一-第四时钟信号和起始信号基础上连续输出采样脉冲。

根据本发明的移位寄存器的特征在于：

该移位寄存器包括第一-第四时钟信号线和起动脉冲输入线；

在形成第（4n-3）级（n：自然数， $1 \leq n$ ）的脉冲输出电路中，第一信号输入部分电连接到第一时钟信号线；

如果 $n=1$ ，第二信号输入部分电连接到起动脉冲输入线，或者，如果 $n \neq 1$ ，第二信号输入部分电连接到形成第（4n-1）级的脉冲输出电路的信号输出部分；

第三信号输入部分电连接到起动脉冲输入线和形成第（4n-2）级的脉冲输出电路的信号输出部分之一上；和

第四信号输入部分电连接到第三时钟信号线上，

在形成第（4n-2）级的脉冲输出电路中，第一信号输入部分电连接到第二时钟信号线；

第二信号输入部分电连接到形成第（4n-3）级的脉冲输出电路的信号输出部分；

第三信号输入部分电连接到起动脉冲输入线和形成第（4n-1）级的脉冲输出电路的信号输出部分之一上；

第四信号输入部分电连接到第四时钟信号线，

在形成第（4n-1）级的脉冲输出电路中，第一信号输入部分电连接到第三时钟信号线；

第二信号输入部分电连接到形成第（4n-2）级的脉冲输出电路的信号输出部分；

第三信号输入部分电连接到起动脉冲输入线和形成第4n级的脉冲

输出电路的信号输出部分之一上；

第四信号输入部分电连接到第一时钟信号线，

在形成第 $4n$ 级的脉冲输出电路中，第一信号输入部分电连接到第四时钟信号线；

第二信号输入部分电连接到形成第 $(4n-1)$ 级的脉冲输出电路的信号输出部分；

第三信号输入部分电连接到起动脉冲输入线和形成第 $(4n+1)$ 级的脉冲输出电路的信号输出部分之一上；和

第四信号输入部分电连接到第二时钟信号线，和

在第一-第四时钟信号和起始信号基础上连续输出采样脉冲。

根据本发明的脉冲输出电路可以只由其导电类型为 n 沟道型的晶体管构成，或只由其导电类型为 p 沟道型的晶体管构成。

根据本发明的移位寄存器可以只由其导电类型为 n 沟道型的晶体管构成，或只由其导电类型为 p 沟道型的晶体管构成。

附图的简要说明

在附图中：

图 1A 和 1B 是表示通过采用根据本发明的脉冲输出电路形成的移位寄存器的示意图；

图 2 是关于图 1A 和 1B 中所示的移位寄存器的驱动的时序图；

图 3A 和 3B 是表示添加扫描方向改变功能并代表本发明的实施例的移位寄存器的示意图；

图 4 是关于图 3A 和 3B 中所示的移位寄存器的驱动的时序图；

图 5 是表示在根据本发明提供的显示器件中的源信号线驱动电路的结构图；

图 6A-6D 是表示在根据本发明提供的显示器件中的电平移位器的电路结构图；

图 7A-7C 是表示在根据本发明提供的显示器件中的 NAND 电路、缓冲电路和采样开关的电路结构图；

图 8A-8G 是表示可适用于本发明的电子设备的例子的示意图；

图 9A-9E 是表示常规 CMOS 反相器和负载型反相器的结构以及关于该反相器的输入和输出信号的波形的示意图；

图 10A 和 10B 是说明本发明的脉冲输出电路的原理的示意图；

图 11A-11C 是表示常规移位寄存器的电路结构和时序图的示意图；

图 12 是表示根据本发明提供的显示器件的整个外观的示意图；

图 13A 和 13B 是表示通过采用由导电类型不同于本发明的实施方式的导电类型的晶体管构成的脉冲输出电路形成的移位寄存器的示意图；

图 14 是关于在图 13A 和 13B 中所示的移位寄存器的驱动的时序图；

图 15 是产生在所制造的移位寄存器的测试片中的 TFT 尺寸和电容值的示意图；

图 16 是表示图 5 中所示的移位寄存器的模拟结果的示意图；

图 17A 和 17B 是表示在如图 15 所示实际制造的移位寄存器的测量结果的示意图。

优选实施例的说明

图 1A 示意性地示出了根据本发明的移位寄存器。图 1A 的方框图中的方框 100 代表用于输出采样脉冲的、形成一级的脉冲输出电路。连续连接相同的脉冲输出电路，形成构成图 1A 中所示的移位寄存器的多个级。图 1A 中所示的移位寄存器具有第一-第四时钟信号线和起动脉冲输入线。分别从第一-第四时钟信号线输入第一-第四时钟信号 (CK1-CK4)，从起动脉冲输入线输入起动脉冲 (SP)。

图 1B 表示方框 100 的详细电路结构。TFT101 的栅极和 TFT103 的栅极连接到第一信号输入部分 (CKA)。TFT101 的输入电极连接到第二信号输入部分 (In)，其输出电极连接到 TFT102 的栅极和电容器 104 的电极的一端。TFT102 的输入电极连接到第三信号输入部分 (CKB)。TFT102 的输出电极、TFT103 的输出电极和电容器 104 的另一端连接到信号输出部分 (Out)。TFT103 的输入电极连接到低电位电源 (VSS)。

在只用 n 沟道 TFTs 形成本发明的这个实施方式中的电路时，采用 p 沟道 TFTs 可形成相同的电路。

输入到第一信号输入部分 (CKA) 的时钟信号和输入到第三信号输入部分 (CKB) 的时钟信号极性互相相反。第二时钟信号具有相对于第一时钟信号的 1/4 周期的相位延迟，第三时钟信号还具有相对于第二时钟信号的 1/4 周期的相位延迟。此外，第四时钟信号具有相对于第

三时钟信号的 $1/4$ 周期的相位延迟。就是说，第三时钟信号具有相对于第一时钟信号的 $1/2$ 周期的相位延迟，并与通过使第一时钟信号的极性相反得到的信号相等。同样，第四时钟信号具有相对于第二时钟信号的 $1/2$ 周期的相位延迟，并与通过使第二时钟信号的极性相反得到的信号相等。

在采用各如图 1B 中所示那样形成并连续连接形成多个级的脉冲输出电路的移位寄存器中，来自一级的输出脉冲输入到下一级中的第二信号输入部分 (In)。在第一级中，起动脉冲输入到第二信号输入部分 (In)。

参见表 1，在第 $(4n-3)$ 级 (n : 自然数， $1 \leq n$) 中，第一时钟信号输入到第一信号输入部分 (CKA)，第三时钟信号输入到第三信号输入部分 (CKB)。在第 $(4n-2)$ 级 (n : 自然数， $1 \leq n$) 中，第二时钟信号输入到第一信号输入部分 (CKA)，第四时钟信号输入到第三信号输入部分 (CKB)。在第 $(4n-1)$ 级中，第三时钟信号输入到第一信号输入部分 (CKA)，第一时钟信号输入到第三信号输入部分 (CKB)。在第 $4n$ 级中，第四时钟信号输入到第一信号输入部分 (CKA)，第一时钟信号输入到第三信号输入部分 (CKB)。

表 1

	信号输入部分 (CKA)	信号输入部分 (CKB)
第 $4(n-1)$ 级	第四时钟信号	第二时钟信号
第 $4n-3$ 级	第一时钟信号	第三时钟信号
第 $4n-2$ 级	第二时钟信号	第四时钟信号
第 $4n-1$ 级	第三时钟信号	第一时钟信号
第 $4n$ 级	第四时钟信号	第二时钟信号
.....

即，本发明的该实施方式中的移位寄存器具有一定数量的构成单元，每个构成单元由在四个连续级中包括脉冲输出电路的部分构成。即使连接的脉冲输出电路的级数小于 4，也根据表 1 按顺序输入时钟信号。

下面参照图 2 的时序图说明电路的工作。以下说明中将假设时钟信号和起动脉冲的电压振幅为低电平/高电平= VSS/VDD ，并且 $VSS < VDD$ 。

<1>在第一级脉冲输出电路中，第一时钟信号(CK1)输送到 TFTs101 和 103 的栅极并变成高电平，以便接通 TFTs101 和 103。在这个级中，由于没有输入起动脉冲 (SP)，因此 TFT102 的栅极电位是低电平，信号输出部分 (Out) 的电位设置在低电平。

<2>当随后从信号输入部分 (In) 输入的起动脉冲 (SP) 变为高电平时，TFT102 的栅极增加到 (VDD-VthN)，并随后保持在浮置状态。由此接通 TFT102。然而，此时，输入到信号输入部分 (CKB) 的第三时钟信号 (CK3) 为低电平，信号输出部分 (Out) 的电位不变。

<3>接着，第一时钟信号 (CK1) 变为低电平，以使 TFTs101 和 103 截止。同时，第三时钟信号 (CK3) 变为高电平。由于 TFT102 已经导通，因此信号输出部分 (Out) 的电位增加。随着信号输出部分 (Out) 的电位的增加，由于 TFT101 已经导通而在 (VDD-VthN) 保持在浮置状态的 TFT102 的栅极由于电容器 104 的功能而进一步从 (VDD-VthN) 增加到高于 (VDD+VthN) 的电平。因此，当信号输出部分 (Out) 的电位变为高电平时，其等于 VDD。

<4>然后起动脉冲变为低电平。接着，当第一时钟信号 (CK1) 再次变为高电平时，TFTs101 和 103 导通，TFT102 的栅极电位变为低电平，因此 TFT102 截止。由于 TFT103 导通，因此信号输出部分 (Out) 的电位变为低电平。

如上所述，在第一-最后一级中的电路连续工作以输出采样脉冲。用本发明的脉冲输出电路形成的移位寄存器只由一个导电类型的 TFTs 形成，但是通过由于 TFTs 的阈值而避免输出脉冲的幅度衰减，可以输出正常振幅的输出脉冲。即使在没有从每级输出采样脉冲的周期期间，TFT103 在每次从信号输入部分 (CKA) 输入的时钟信号变为高电平时导通，由此将信号输出部分 (Out) 的电位设定为低电平。信号输出部分长时间不是浮置状态。因此，移位寄存器可用在相对低驱动频率的电路中，例如栅信号线驱动器电路。

下面将介绍本发明的实施例。

(实施例 1)

图 3A 表示通过将扫描方向反向功能添加到在上面本发明的实施方式中所述的移位寄存器的方式设置的移位寄存器的例子。本例的移位寄存器采用附加输入信号：输入改变信号 (LR) 和反向输入改变信号

(RL)，而不是在图 1A 中所示电路中的那些信号。

图 3B 表示对应由图 3A 中的方框 300 所代表的一级的脉冲输出电路的详细结构。由 TFTs 301-303 和电容器 304 构成的脉冲输出电路的部分与图 1B 中所示的电路相同，并且本例的脉冲输出电路具有由开关、第五信号输入部分和第六信号输入部分构成的输入改变电路 310，其中开关由 TFTs 305 和 306 形成。

TFTs 305 和 306 的每个输出电极连接到 TFT 301 的输入电极。TFT305 的输入电极连接到第二信号输入部分 (InL)，其栅极电连接到第五输入部分 (L)。TFT306 的输入电极连接到第三信号输入部分 (InR)，其栅极电连接到第六信号输入部分 (R)。输入改变信号 (LR) 输入到第五信号输入部分 (L)，同时反相输入改变信号 (RL) 输入到第六信号输入部分 (R)。LR 和 RL 的每个只具有互相相对的高电平或低电平。相应地，本例中的输入改变电路 310 在下述两个状态之间改变。

首先，当 LR 和 RL 分别为高电平和低电平时，TFT305 导通，TFT306 截止。因此通过第二信号输入部分 (InL) 从前级输送的采样脉冲施加于 TFT301 的输入电极。其次，当 LR 和 RL 分别为低电平和高电平时，TFT305 截止，TFT306 导通。因此通过第三信号输入部分 (InR) 从前级输送的采样脉冲施加于 TFT301 的输入电极。

在图 3A 中所示的移位寄存器中，当 LR 和 RL 分别为高电平和低电平时，按照第一级、第二级、...、和最后级的顺序输出采样脉冲，并且在 LR 和 RL 分别为低电平和高电平时，按照最后级、...、第二级、第一级的顺序输出采样脉冲。

为改变扫描方向，需要改变时钟信号的输入定时。图 2 中的时序图中所示的定时是用于在正常方向的扫描。图 4 的时序图表示用于在相反方向的扫描的定时。按照与图 2 中所示的相反的顺序输入时钟信号。就是说，输入相对于第四时钟信号具有 $1/4$ 周期延迟的第三时钟信号，输入相对于第三时钟信号具有 $1/4$ 周期延迟的第二时钟信号，并且输入相对于第二时钟信号具有 $1/4$ 延迟的第一时钟信号。根据由用在移位寄存器中的脉冲输出电路形成的级数确定起动脉冲定时，即首先输出采样脉冲的脉冲输出电路利用该时钟信号驱动。在图 4 所示的定时例子中，第四时钟信号输入到终结脉冲输出电路的信号输入部

分 (CKA)，第二时钟信号输入到信号输入部分 (CKB)。

(实施例 2)

下面将介绍只采用一个极性的 TFTs 制造的显示器件的例子。

图 12 是示意性地表示整个显示器件的视图。在衬底 1200 上互相整体地形成源信号线驱动器电路 1201、栅信号线驱动器电路 1202 和像素部分 1203。在由虚线表示的方框 1210 中所示的像素 1203 的部分是用于形成一个像素的部分。图 12 中所示的像素的例子是液晶显示器件的像素。当电荷施加于液晶显示器件的一个电极时，利用像素中的一个 TFT (以下称为“像素 TFT”) 进行每个像素的 ON/OFF 控制。经过柔性印刷电路 (FPC) 1204 从外部输送用于驱动源信号线驱动器电路 1201 和栅信号线驱动器电路 1202 的信号 (时钟信号，起动脉冲等)。

具有像素 TFT 和驱动器电路的衬底可以根据公知方法制造，例如在颁发给 Koyama 等人的美国专利 US5889291 中公开的方法。而且，可以通过采用用于促进结晶的金属元素使用于 TFTs 的有源层的半导体膜结晶，但也可以采用其它公知方法进行结晶。这种采用金属元素的方法例如在颁发给 Ohtani 等人的美国专利 US 5643826 中公开了。这里引证美国专利 US 5889291 和 5643826 供参考。

图 5 是表示图 12 中所示的显示器件中的源信号线驱动器电路 1201 的整个结构的视图。该源信号线驱动器电路具有时钟信号电平移位器 501、起动脉冲电平移位器 502、构成移位寄存器的脉冲输出电路 503、NAND 电路 504、缓冲器 505 和采样开关 506。从外部输送的信号是第一-第四时钟信号 (CK1-CK4)、起动脉冲 (SP)、输入改变信号 (LR)、反相输入改变信号 (RL) 和模拟视频信号 (Video1-Video12)。第一-第四时钟信号 (CK1-CK4) 和起动脉冲 (SP) 在作为低压振幅信号从外部输送之后马上在电平移位器中进行振幅转换。因此这些信号被转换成要输入到驱动器电路的高压振幅信号。在本例的显示器件中的源信号线驱动器电路中，通过借助从形成移位寄存器中的一个级的脉冲输出电路输出的采样脉冲驱动采样开关 506，同时采样对应 12 个源信号线的模拟信号。

图 6A 表示时钟信号电平移位器 501 的结构。在时钟信号电平移位器 501 中，极性互相相反的时钟信号成对 (CK1 和 CK3，或 CK2 和 CK4) 并在互相平行设置 (在级 1 中) 的一对一个输入型电平移位器中的进

行振幅转换，并且来自电平移位器电路的输出被用做反相输入以跟随缓冲器级（级 2、级 3、级 4）。

下面将介绍图 6A 中所示的电路的操作。采用三个电源电位 VSS、VDD1 和 VDD2。这些电位的关系如下：VSS<VDD1<VDD2。在本例中，VSS=0 [V]，VDD1=5 [V]，VDD2=16 [V]。图 6A 中所示的 TFTs 601、603、606 和 608 各是双栅结构。然而，也可以以单栅结构或具有三个或更多个栅极的多栅结构提供这些 TFTs。对于其它 TFTs 不特别限制栅极的数量。

从信号输入部分（CK in1）输入具有低电平/高电平=VSS/VDD1 的振幅的第一时钟信号（CK1）。当 CK1 为高电平时，TFTs 602 和 604 各处于 ON 状态，TFT 603 的栅极电位为低电平，TFT 603 处于 OFF 状态。在设计阶段，TFT 602 的 ON 电阻设定为相对于 TFT 601 的电阻的充分小的值。因此，在节点 α 出现低电平。当 CK1 为低电平时，TFTs 602 和 604 各处于 OFF 状态，TFT 603 的栅极的电位通过工作在饱和状态的 TFT 601 向 VDD2 升高。当该电位等于（VDD2-V_{thN}）时，TFT 601 截止，并且 TFT 603 的栅极浮置。因此 TFT 603 导通，节点 α 的电位向 VDD2 升高。随着节点 α 的电位的增加，处于浮置状态的 TFT 603 的栅极电位利用电容器 605 的功能升高到高于 VDD2 的电平。由此 TFT 603 的栅极电位设定为（VDD2+V_{thN}）以上，因而在节点 α 出现的高电平等于 VDD2。结果是，输出信号的低电平等于 VSS，输出信号的高大电平等于 VDD2，由此完成振幅转换。

另一方面，从信号输入部分（CK in2）输入也具有振幅 VSS-VDD1 的第三时钟信号（CK3）。由 TFTs 606-609 和电容器 610 构成的一个输入型电平移位器以与上述方式相同的方式工作，以便进行振幅转换，由此通过节点 β 输出具有 VSS-VDD2 的振幅的信号。出现在节点 α 的信号具有与输入 CK1 的极性相反的极性，出现在节点 β 的信号具有与输入 CK3 的极性相反的极性。

在用在本例的显示器件中的电平移位器中，考虑到关于振幅转换脉冲的负载，提供缓冲器级（级 2-4）作为跟随电平移位器电路（级 1）的级。形成每个缓冲器级的反相器电路是需要输入信号和输入信号的反相信号的两个输入型的。两个输入型反相器电路用于降低功耗的目的。在上述电平移位器中，当 TFT 602 处于 ON 状态时，击穿（shoot-

through) 电流流过 VSS 和 VDD2 之间的 TFTs601 和 602。两个输入型反相器用于防止在工作期间有击穿电流流动。

在图 6A 中所示的级 2 中的反相器电路中，输送到 TFT611 的栅极的信号和输送到 TFT602 的栅极的信号极性互相相反。因此，通过利用极性互相相反的 CK1 和 CK3 的形式，出现在节点 α 的输出信号和出现在节点 β 的输出信号用做 TFTs 的输入和反相输入。

下面介绍反相器电路的工作。下面将介绍级 2 中的两个反相器电路之一即由 TFTs611-614 和电容器 615 形成的反相器电路的工作。其它反相器电路以相同方式工作。

当输送到 TFT611 的栅极的信号为高电平时，TFT611 处于 ON 状态，并且 TFT613 的栅极电位向 VDD2 升高。当该电位等于 (VDD2-V_{thN}) 时，TFT611 截止，TFT613 的栅极浮置。另一方面，由于输送到 TFTs612 和 614 的栅极的信号是低电平，因此 TFTs612 和 614 各处于 OFF 状态。由于 TFT613 的栅极电位已经升高到 (VDD2-V_{thN})，因此 TFT613 处于 ON 状态，在节点 γ 的电位向 VDD2 升高。在少数电平移位器电路工作时，随着节点 γ 的电位的增加，处于浮置状态的 TFT613 的栅极电位借助电容器 615 的功能升高到高于 VDD2 的电平。TFT613 的栅极电位由此设定为 (VDD2+V_{thN}) 以上，因而出现在节点 γ 的高电平等于 VDD2。

当输送到 TFT611 的栅极的信号为低电平时，TFT611 处于 OFF 状态，高电平输送到 TFTs612 和 614 的栅极，并且 TFTs612 和 614 各处于 ON 状态。因而，TFT613 的栅极电位为低电平，并且在节点 γ 呈现为低电平。

也通过相同操作将脉冲输出到节点 δ 。通过节点 δ 输出的脉冲的极性与在节点 γ 的脉冲的极性相反。

在级 3 和级 4 的每个中进行相同操作，以便最后输出脉冲到信号输出部分 (3) 和 (4)。图 6B 示出了时钟信号振幅转换的状态。输入信号的振幅为低电平/高电平=VSS/VDD1 (0V/5V)，输出信号的振幅为低电平/高电平=VSS/VDD2 (0V/16V)。

图 6C 表示起动脉冲 (SP) 电平移位器。在没有它的反相信号的情况下使用该起动脉冲。因此，来自一个输入型电平移位器电路 (级 1) 的输出输入到一个输入型反相器电路 (级 2)。在两个输入型反相器电路 (级 3) 中采用来自级 1 和级 2 的输出。一个输入型电平移位器

电路的操作与处理时钟信号的情况一样。一个输入型反相器电路关于其中的处理以与一个输入型电平移位器电路相同的方式工作，除了输入信号的振幅为低电平/高电平=VSS/VDD2 和在输入与输出脉冲之间不进行振幅转换之外。不再重复说明这些电路。

图 6D 表示起动脉冲振幅转换的状态。输入信号的振幅是低电平/高电平 VSS/VDD1(0V/5V)，输出信号的振幅为低电平/高电平=VSS/VDD1(0V/16V)，与时钟信号的一样。

图 7A 展示了两个输入型 NAND 电路。NAND 电路的结构与一个输入型反相器电路的结构相同。区别只在于，提供两个输入型信号输入部分代替一个输入型反相器电路中的输入部分，提供互相串联的 TFTs 702 和 703，还提供互相串联的 TFTs 705 和 706。

当高电平输入到每个信号输入部分 (In1) 和 (In2) 时，TFTs 703、705 和 706 每个都导通，TFT704 的栅极电位变为低电平，由此 TFT704 截止。结果是，在信号输出部分 (Out) 呈现低电平。当低电平输入到信号输入部分 (In1) 和 (In2) 的两个或一个时，在 TFT704 的栅极和电源 VSS 之间不导电，因此 TFT704 的栅极电位向 VDD2 升高以使 TFT704 导通。

此外，该电位借助于电容器 707 的功能被增加到高于 (VDD+V_{thN}) 的电平，因此在信号输出部分 (Out) 呈现对应电位 VDD2 的高电平。

图 7B 示出了由一个输入型反相器电路（级 1）和两个输入型反相器电路（级 2-4）构成的缓冲器电路的结构。一个输入型和两个输入型反相器电路的每个的工作与上述电平移位器的相同。不再重复说明。

图 7C 示出了采样开关的结构。通过信号输入部分 (25) 输入采样脉冲以同时控制互相并联设置的 12 个 TFTs 731。当输入采样脉冲时，将模拟视频信号输送到 12 个 TFTs 731 的输入电极 (1) - (12)，以便将视频信号的电位写到源信号线中。

在构成本例的显示器件的驱动器电路的电路中的反相器电路和电平移位器电路可以与由本申请的发明人申请的日本专利申请 N0. 2001-133431 中的发明的说明书中所述的相同。

构成本例中的包括像素部分的整个显示器件的驱动器电路只采用一个极性的 TFTs (例如, n 沟道 TFTs) 制造，其中所述极性与像素 TFTs 的极性相同。因此，可去除用于给半导体层施加 p 型导电性的离子掺

杂工艺。这将导致降低制造成本和提高生产率。

在构成本例的显示器件的 TFTs 是 n 沟道 TFTs 时，根据本发明，驱动器电路和像素 TFTs 可以只采用 p 沟道 TFTs 形成。在这种情况下，要去除的离子掺杂工艺是用于给半导体层施与 n 型导电性的工艺。而且，本发明不仅适用于液晶显示器件，如果半导体器件是通过在绝缘体上整体地形成驱动器电路而制造的，则还适用于半导体器件。

(实施例 3)

在本发明的该实施方式和本发明的上述实施例中，已经示出了通过只采用 n 沟道 TFTs 形成的电路的例子。然而，通过只采用 p 沟道 TFTs 和通过交换电源电位电平可形成相同电路。

图 13A 是 13B 示出了通过只采用 p 沟道 TFTs 形成的移位寄存器的例子。图 13A 的方框图中所示的结构与图 1A 和 1B 中所示的通过只采用 n 沟道 TFTs 形成的移位寄存器的结构相同。图 13A 中的方框 1300 代表形成一个级的脉冲输出电路，用于输出采样脉冲。图 13A 中所示的移位寄存器不同于通过只采样 n 沟道 TFTs 形成的移位寄存器的地方在于，电源电位的电平与图 13B 中所示的相反。

图 14 示出了时序图和输出脉冲。每个部分的工作与参照图 1-2 的上述实施方式的相同。因此不再重复详细说明。图 14 中所示的脉冲是通过使图 2 中所示的高电平和低电平反相表示的。

(实施例 4)

根据本发明制造图 15 中所示的移位寄存器的测试片。该移位寄存器形成为具有 9 个脉冲输出电路级。每个 TFT 的沟道长度/沟道宽度和电容值示于图 15 中。

图 16 示出了该移位寄存器电路的模拟结果。作为工作条件，输入信号振幅设定为低电平/高电平=0V/10V，该电路的电源电位也设定为相同值。在图 16 中，从曲线顶部到底部示出了第一时钟信号 (CK1)、起动脉冲 (SP)、移位寄存器第一级输出 (SROut1)、移位寄存器第二级输出 (SROut2)、移位寄存器第三级输出 (SROut3) 和移位寄存器第四级输出 (SROut4)。

图 17A 和 17B 示出了实际制造的移位寄存器的测试片的工作测试结果。在图 17A 中，从曲线顶部到底部示出了第一时钟信号 (CK1)、起动脉冲 (SP)、移位寄存器第一级输出 (SROut1)、移位寄存器第

二级输出 (SROut2)、移位寄存器第三级输出 (SROut3) 和移位寄存器第四级输出 (SROut4)。在图 17B 中，从曲线顶部到底部示出了第一时钟信号 (CK1)、起动脉冲 (SP)、移位寄存器第六级输出 (SROut6)、移位寄存器第七级输出 (SROut7)、移位寄存器第八级输出 (SROut8) 和移位寄存器第九级输出 (SROut9)。如图 17A 和 17B 所示，确认了在电源电压 10V 和在约 5MHz 的驱动频率的正常工作。

(实施例 5)

本发明可适用于制造用在各种电子设备中的显示器件。这种电子设备的例子是便携式信息终端（电子笔记本、可移动计算机、移动电话等）、视频摄像机、数字摄像机、个人计算机、电视机和移动电话，如在图 8A-8G 中所示的。

图 8A 示出了由壳体 3001、支架 3002、显示部分 3003 等构成的液晶显示器 (LCD)。本发明可适用于显示部分 3003。

图 8B 示出了视频摄像机，由主机 3001、显示部分 3012、声音输入部分 3013、操作开关 3014、电池 3015、图像接收部分 3016 等构成。本发明可适用于显示部分 3012。

图 8C 示出了笔记本型个人计算机，由机 3021、壳体 3022、显示部分 3023、键盘 3024 等构成。本发明可适用于显示部分 3023。

图 8D 示出了便携式信息终端，由主机 3031、记录笔 3032、显示部分 3033、操作按钮 3034、外部接口 3035 等构成。本发明可适用于显示部分 3033。

图 8E 示出了声频再现装置，更具体地说是安装在机动车上的声频装置，由主机 3041、显示部分 3042、操作开关 3043 和 3044 等构成。本发明可适用于显示部分 3042。除了上述安装在机动车中的声频装置以外，本发明可适用于任何便携式或家庭声频装置。

图 8F 示出了数字摄像机，由主机 3051、显示部分 (A) 3052、目镜部分 3053、操作开关 3054、显示部分 (B) 3055、电池 3056 等构成。本发明可适用于显示部分 (A) 3052 和显示部分 (B) 3055。

图 8G 示出了移动电话，由主机 3061、声频输出部分 3062、声频输入部分 3063、显示部分 3064、操作开关 3065、天线 3066 等构成。本发明可适用于显示部分 3064。

应该理解，本例的上述装置只是举例而已，本发明不是唯一地适

用于这些装置。

根据本发明，即使在只通过采用一个导电性类型的 TFTs 形成驱动器电路显示器件的像素部分的情况下，在由于 TFTS 的阈值而不引起输出脉冲的振幅衰减的情况下可获得正常振幅的输出脉冲。因此，可减少制造步骤的数量，这将导致制造成本降低并提高生产率。这样，本发明可以降低的成本提供显示器件。

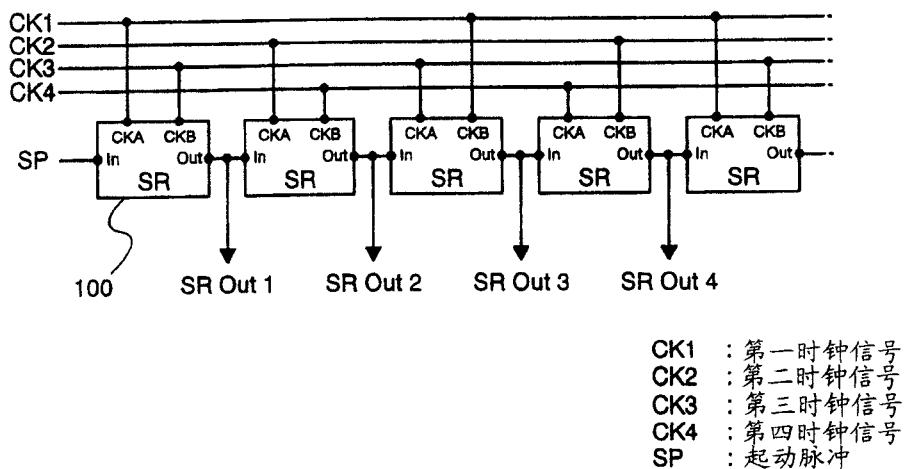


图 1A

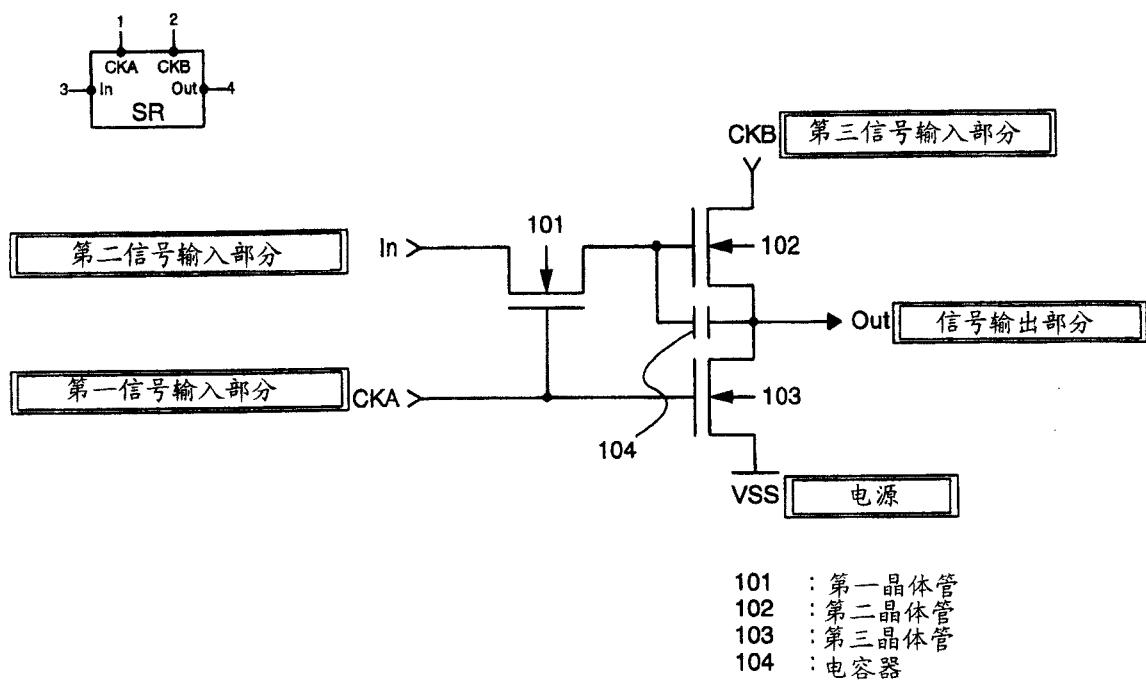


图 1B

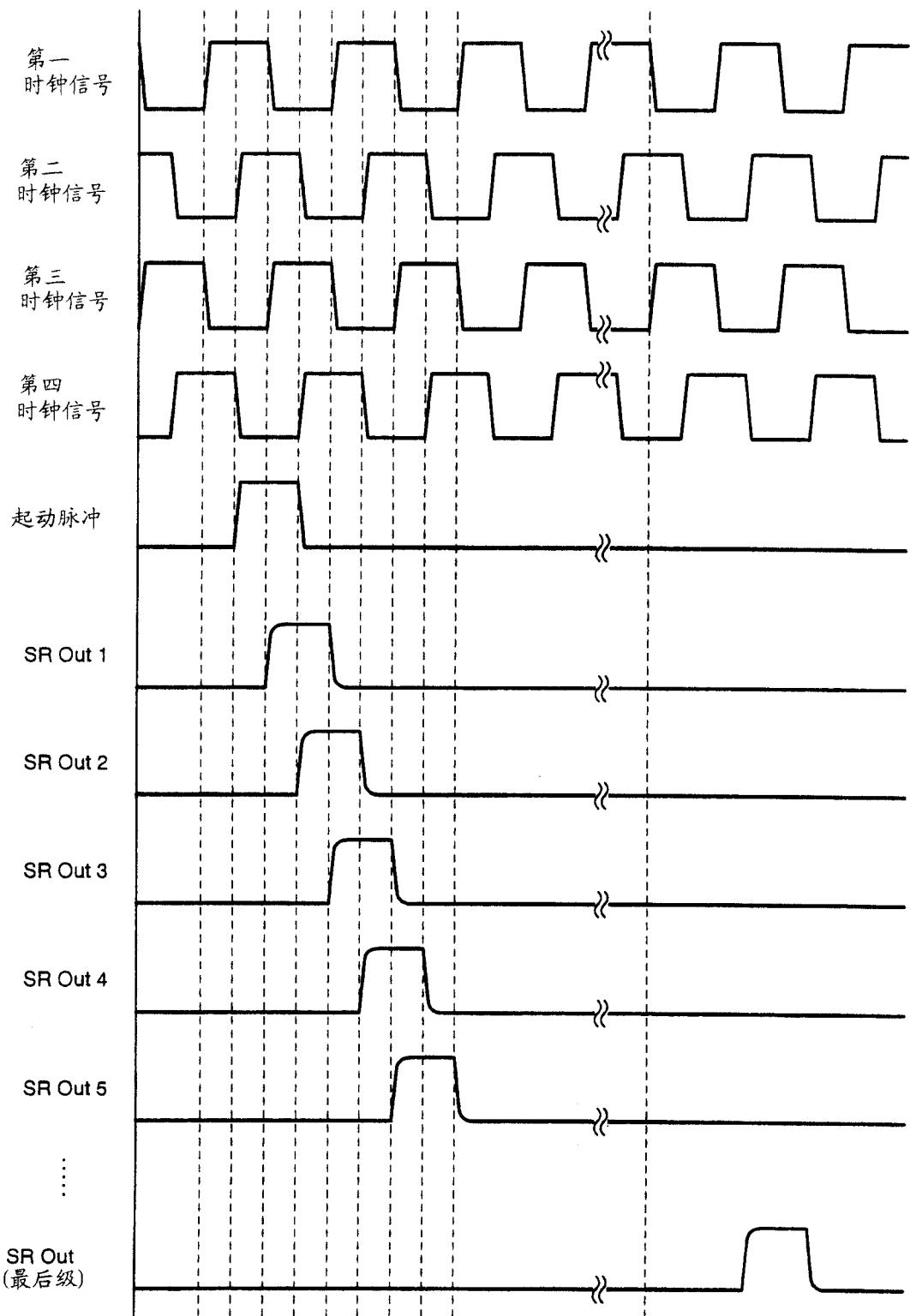
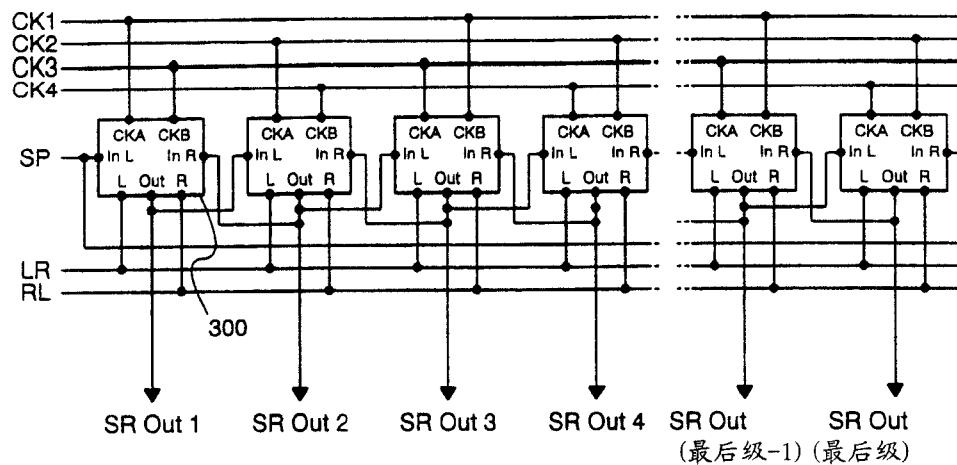
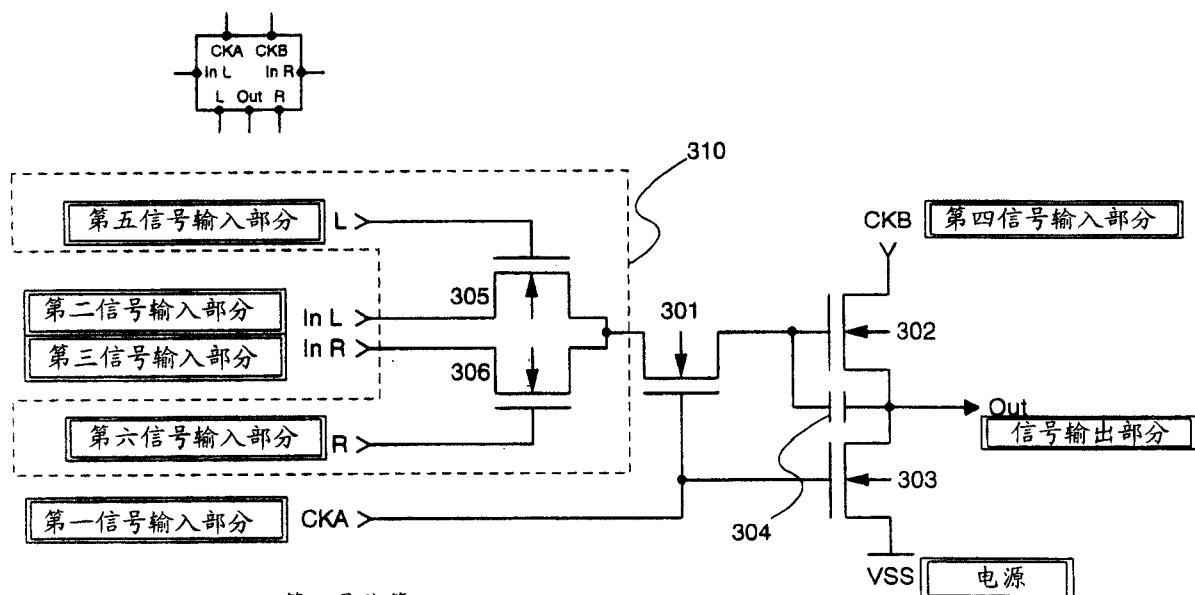


图 2



CK1	: 第一时钟信号
CK2	: 第二时钟信号
CK3	: 第三时钟信号
CK4	: 第四时钟信号
SP	: 起动脉冲
LR	: 输入改变信号
RL	: 反相输入改变信号

图 3A



301	: 第一晶体管
302	: 第二晶体管
303	: 第三晶体管
304	: 电容器
305	: 第四晶体管
306	: 第五晶体管
310	: 输入改变电路

图 3B

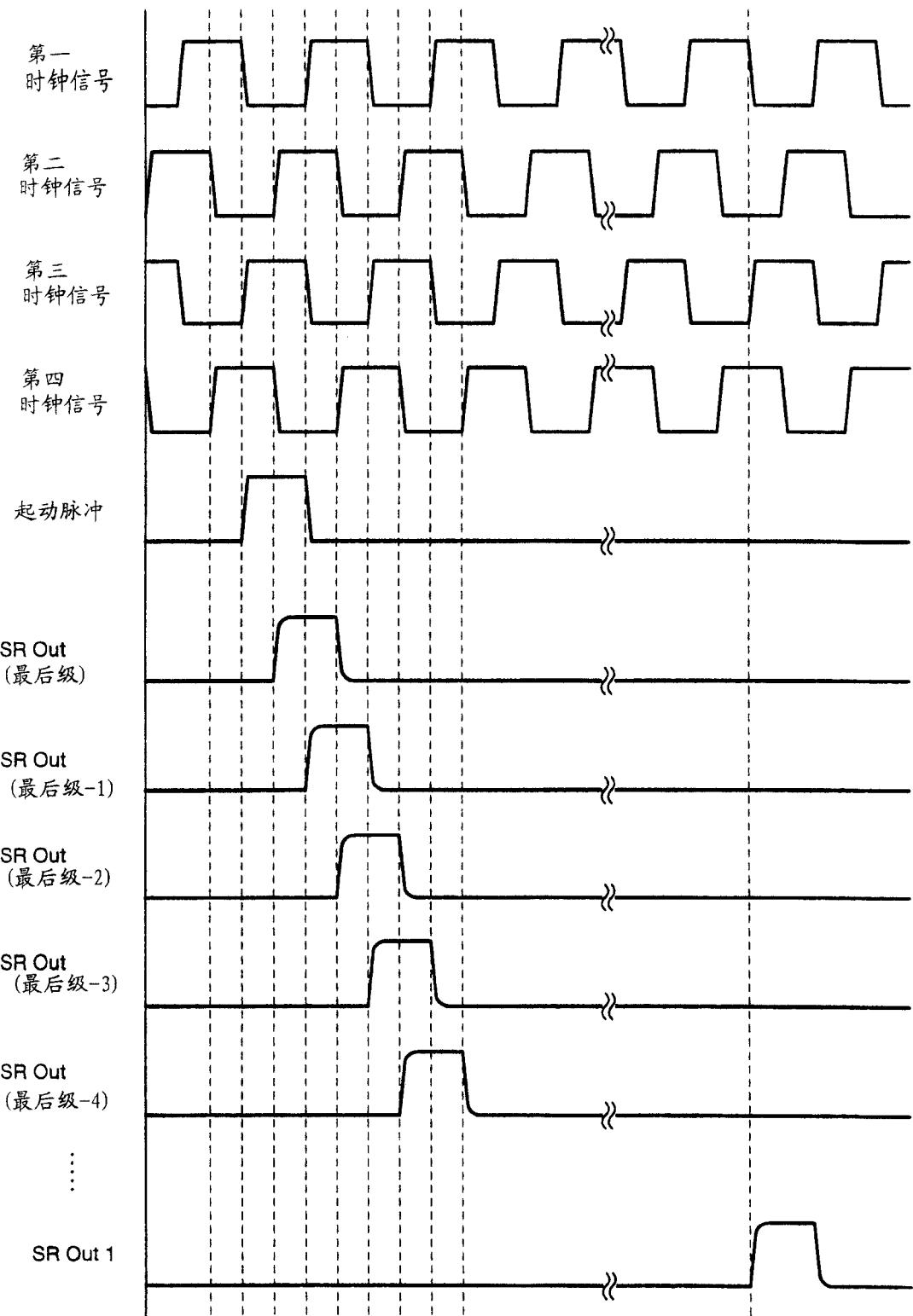
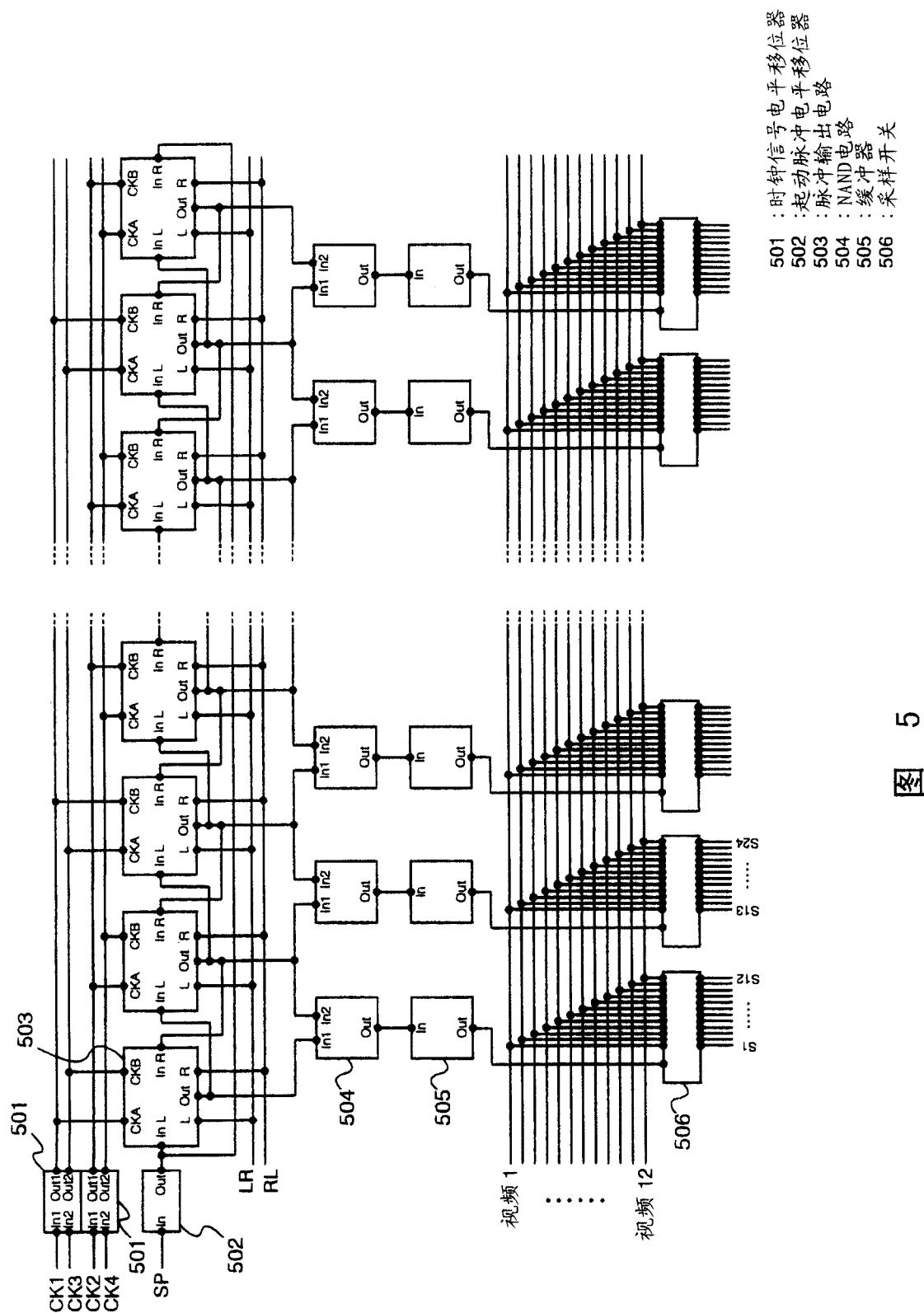


图 4



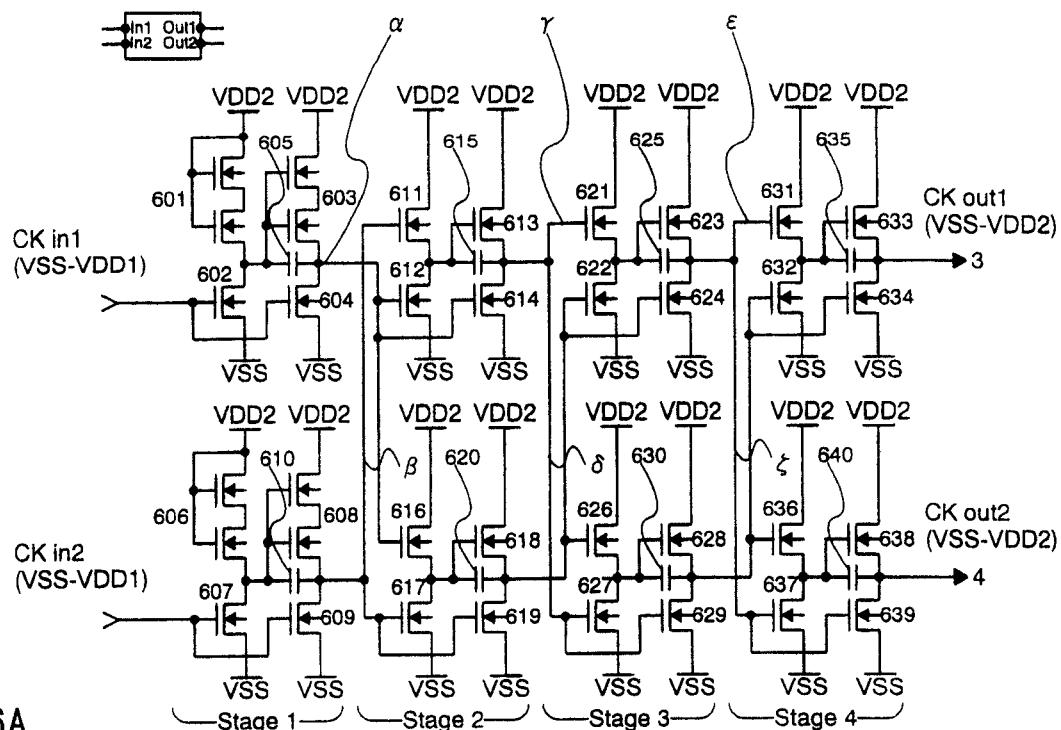


图 6A

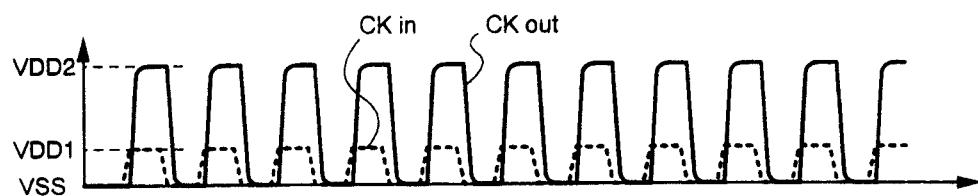


图 6B

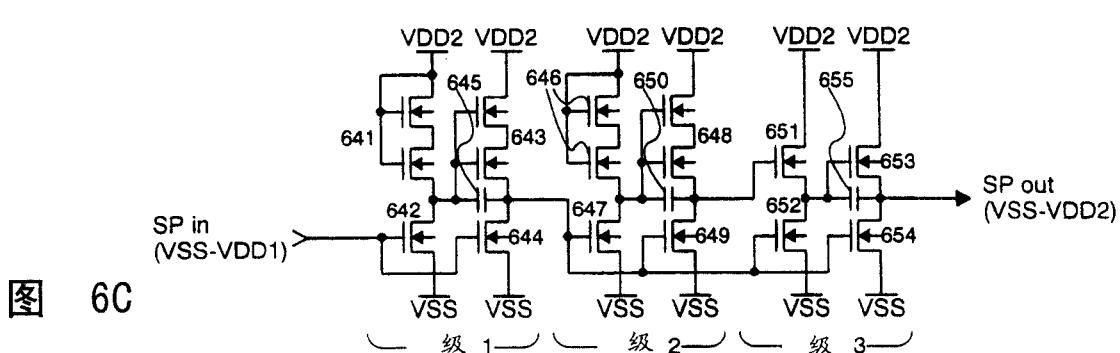


图 6C



图 6D

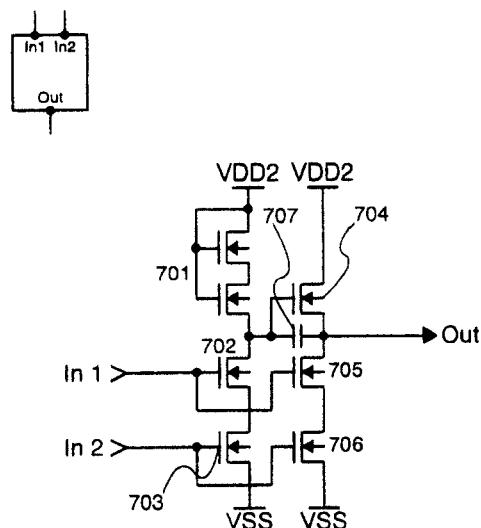


图 7A

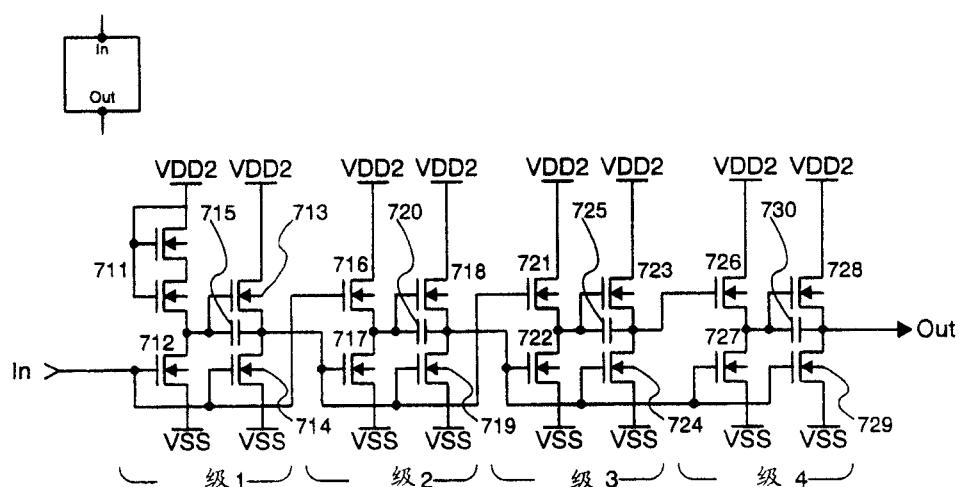


图 7B

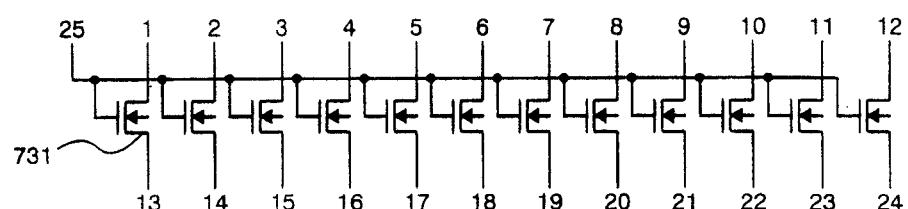
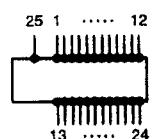


图 7C

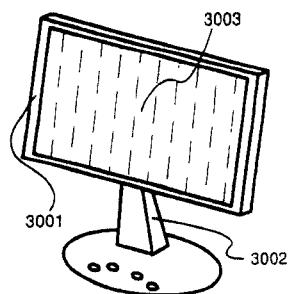


图 8A

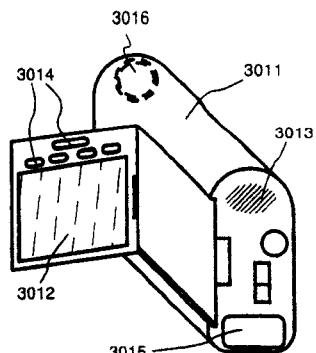


图 8B

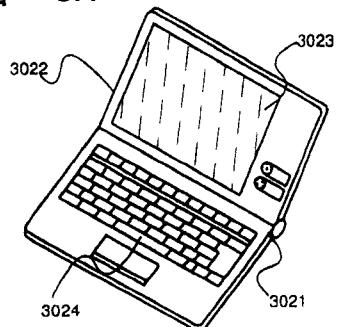


图 8C

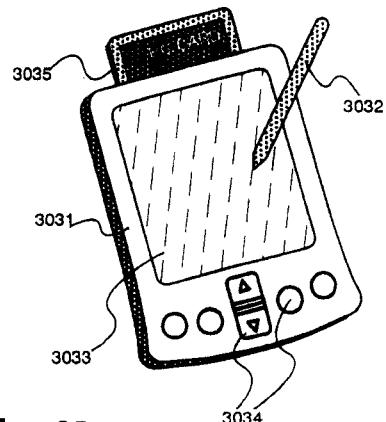


图 8D

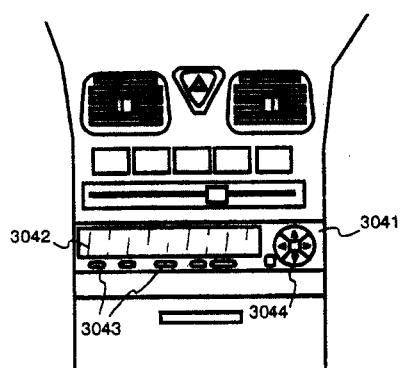


图 8E

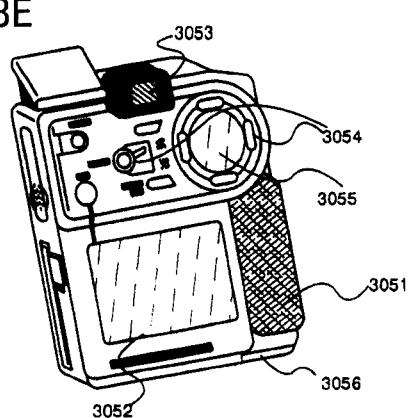


图 8F

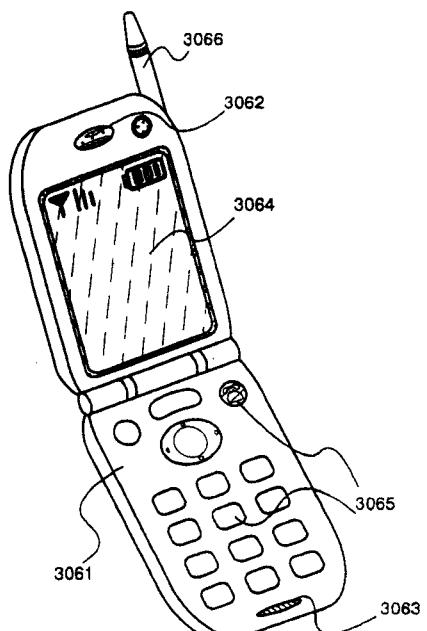


图 8G

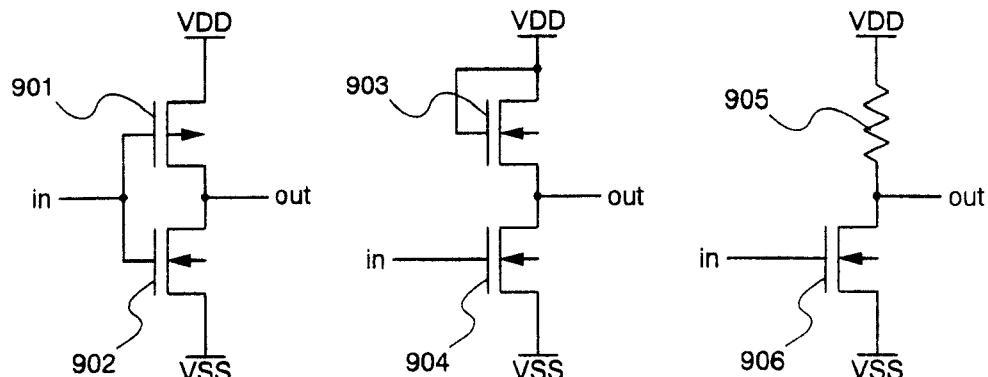


图 9A (I) (II) (III)

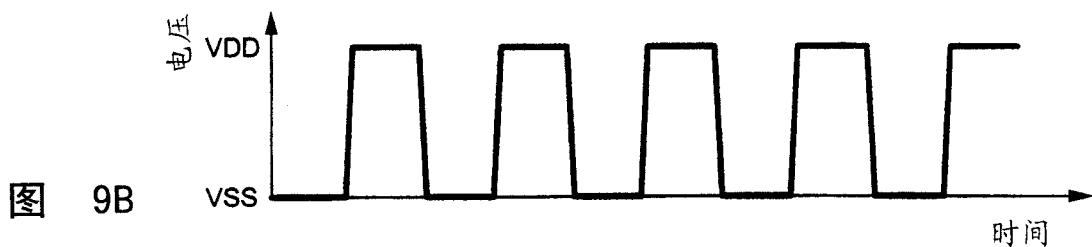


图 9B

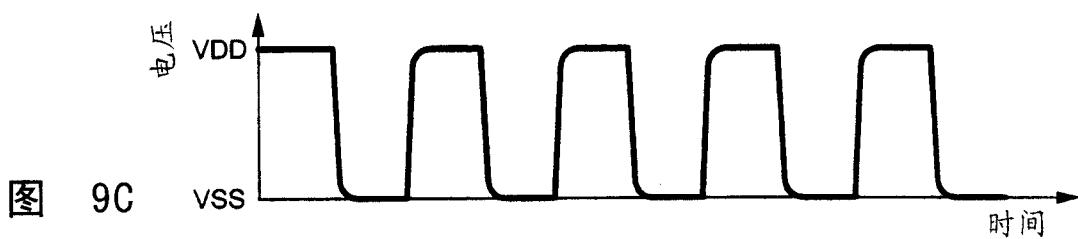


图 9C

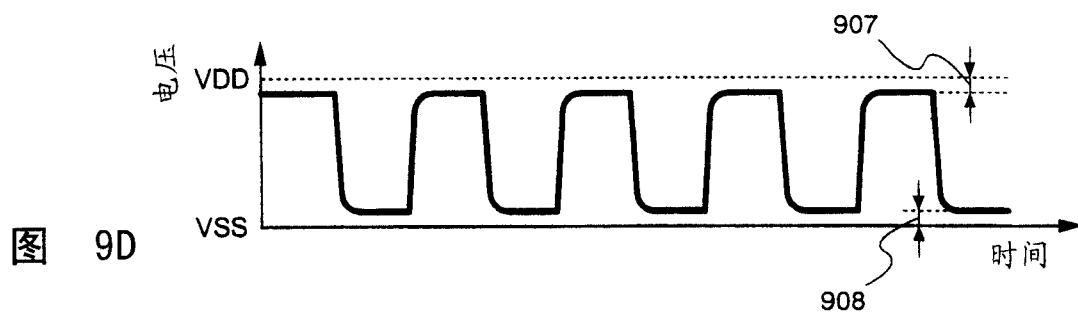


图 9D

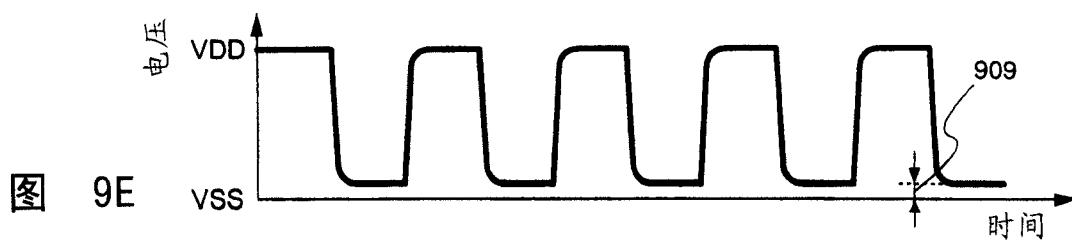


图 9E

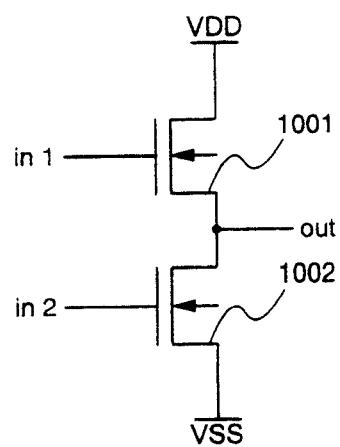


图 10A

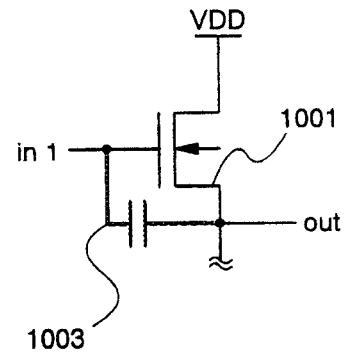


图 10B

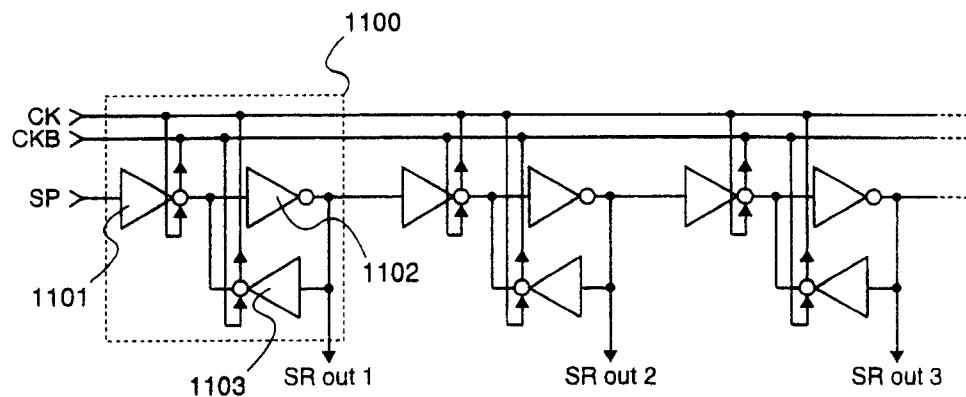


图 11A

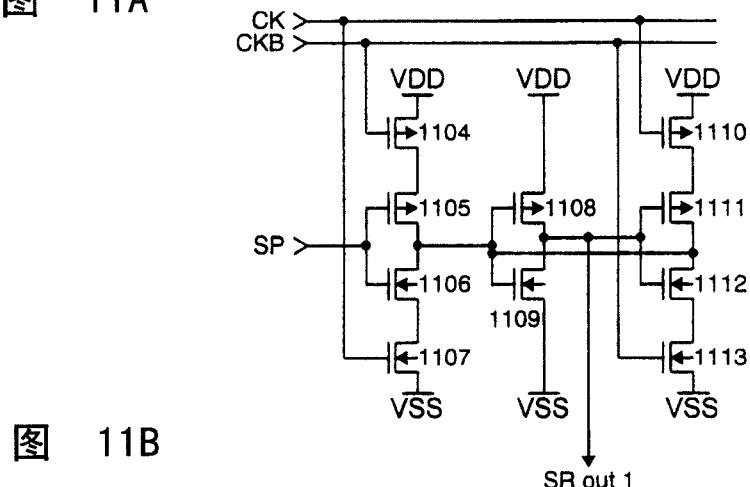


图 11B

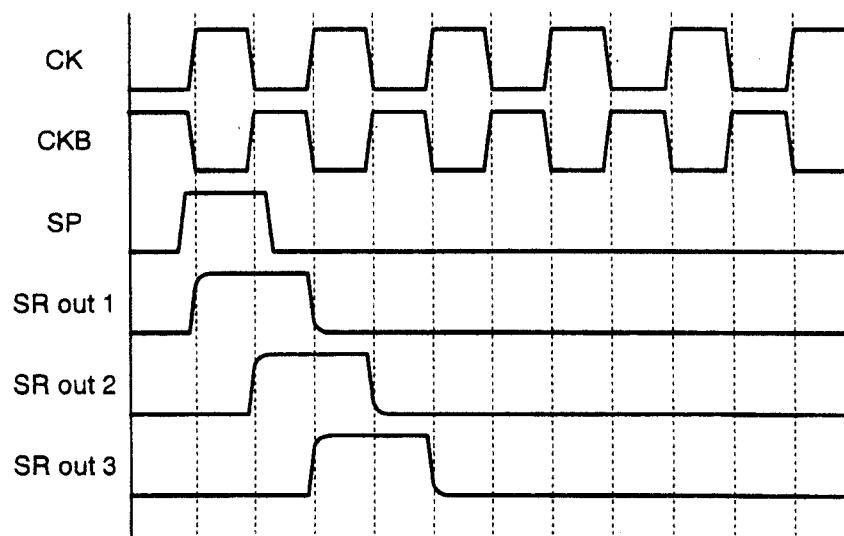


图 11C

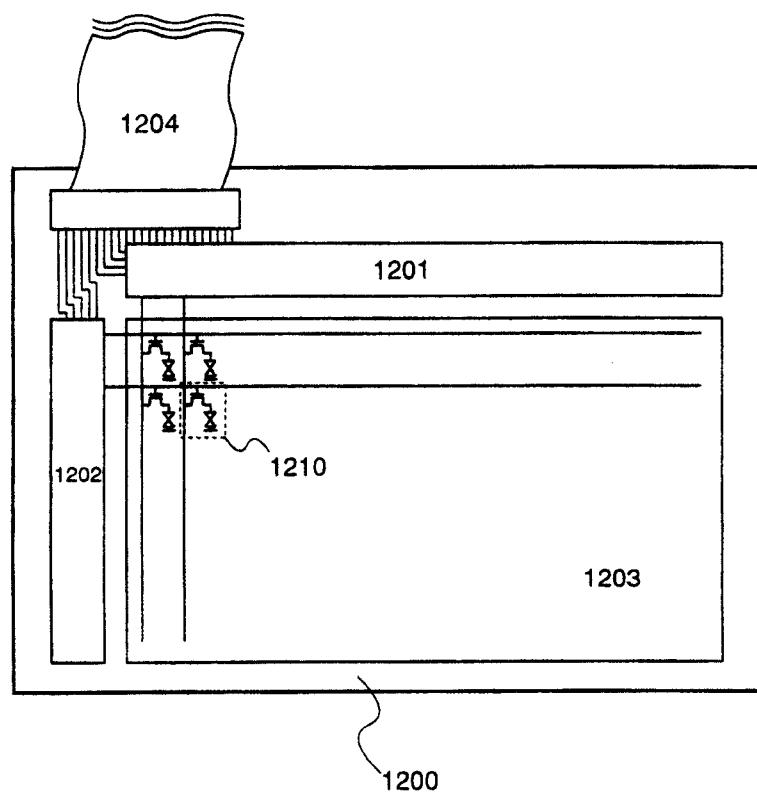


图 12

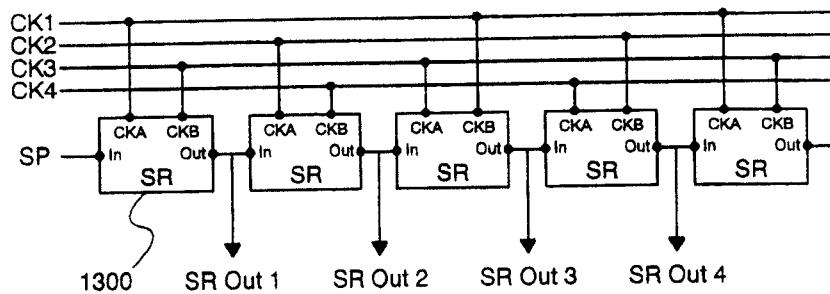


图 13A

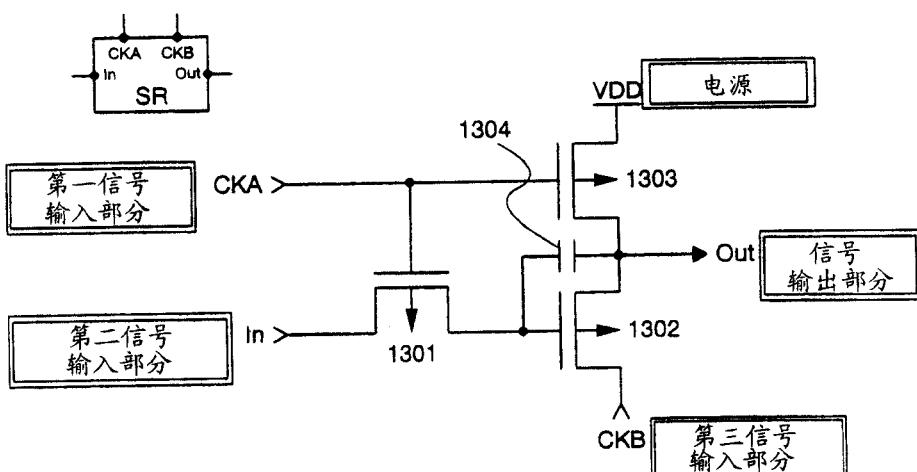


图 13B

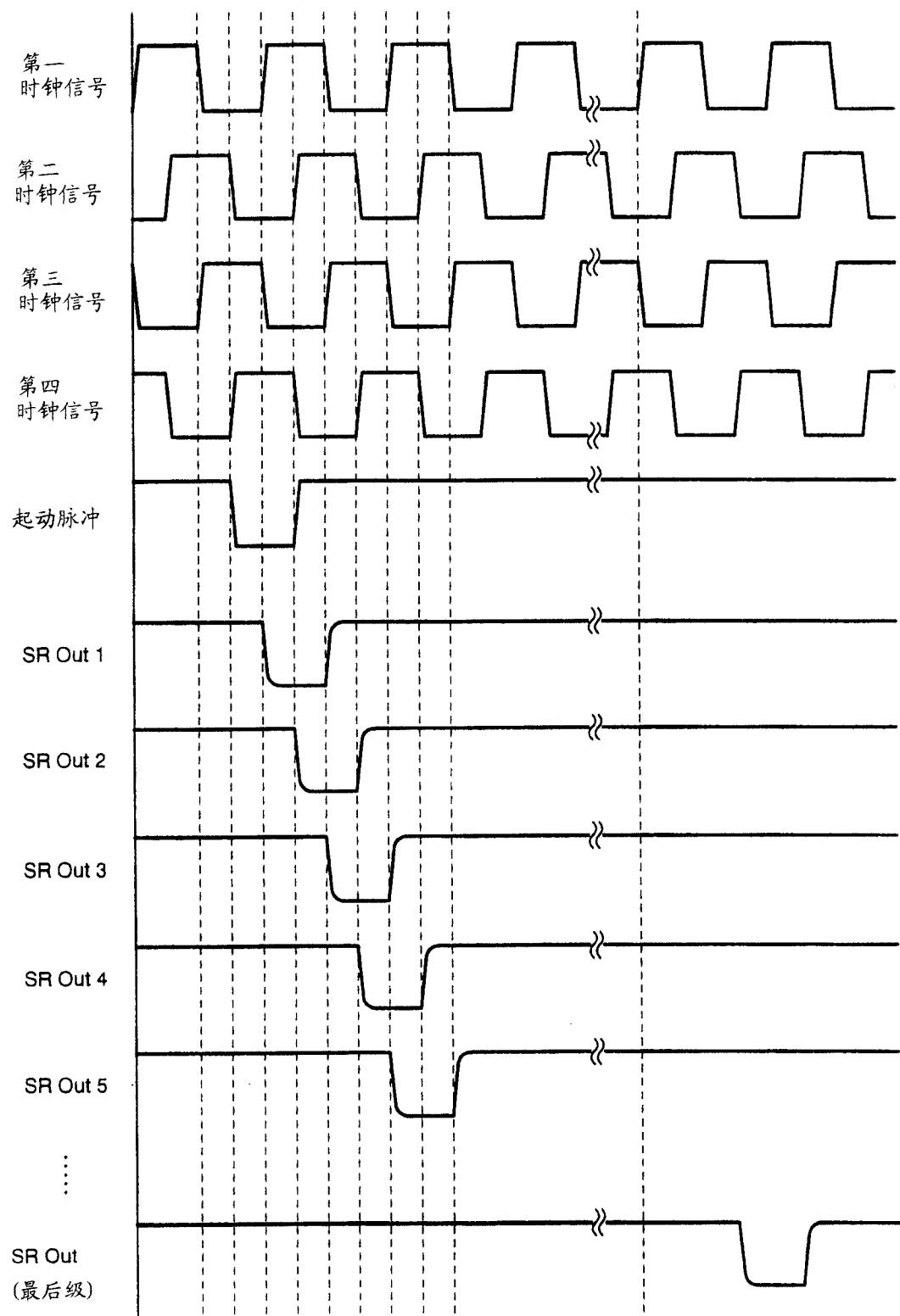


图 14

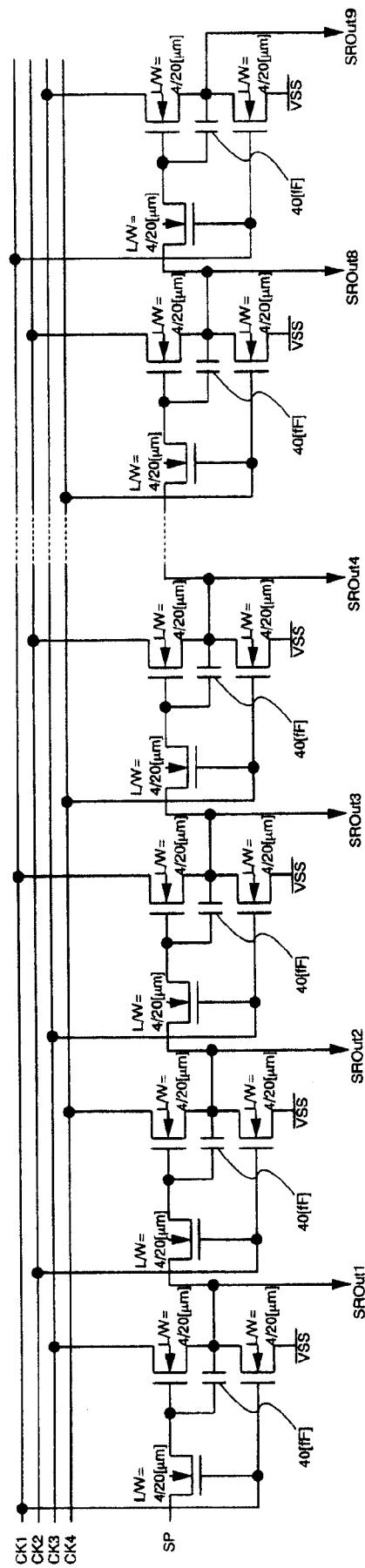


图 15

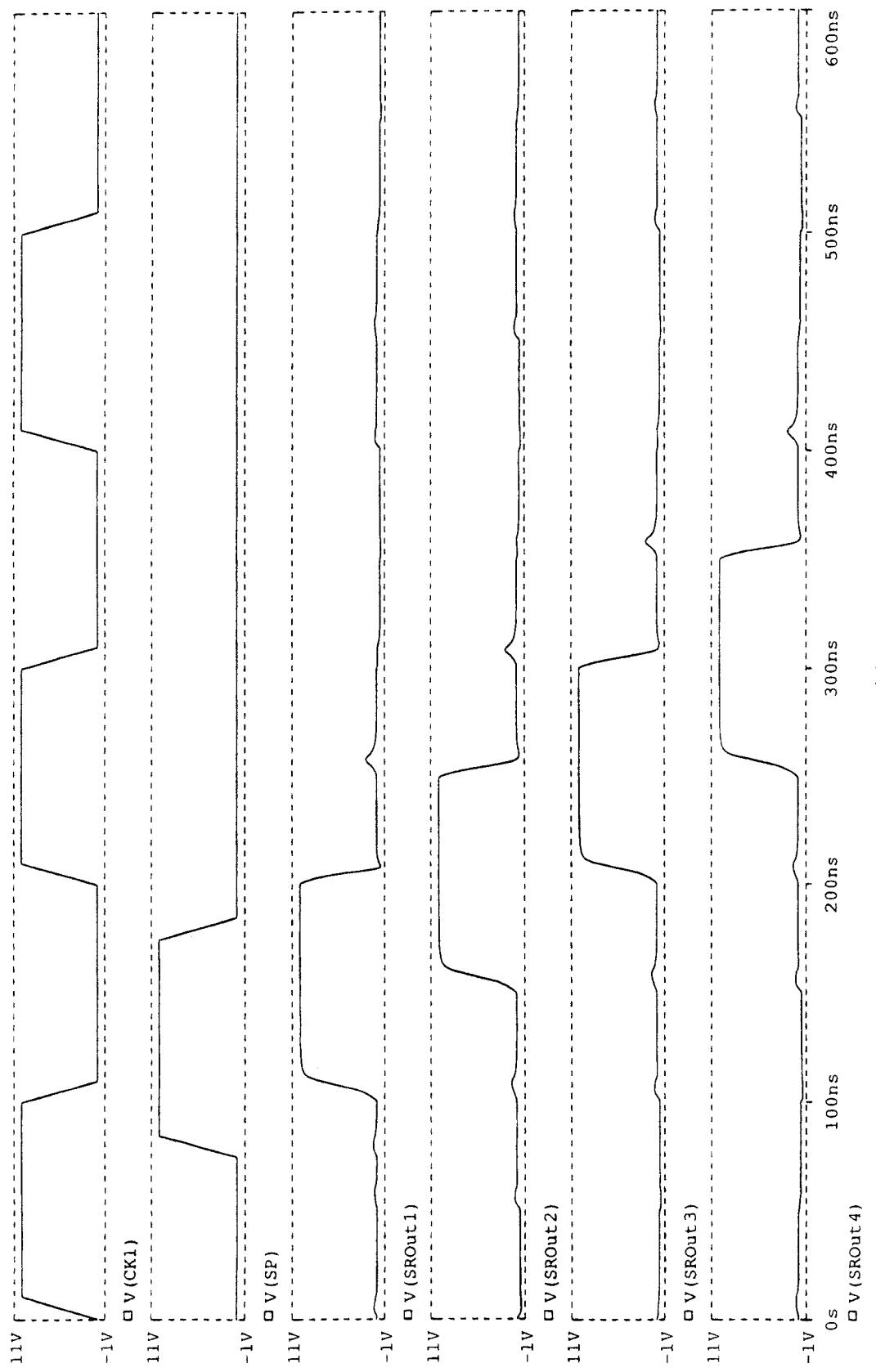


图 16

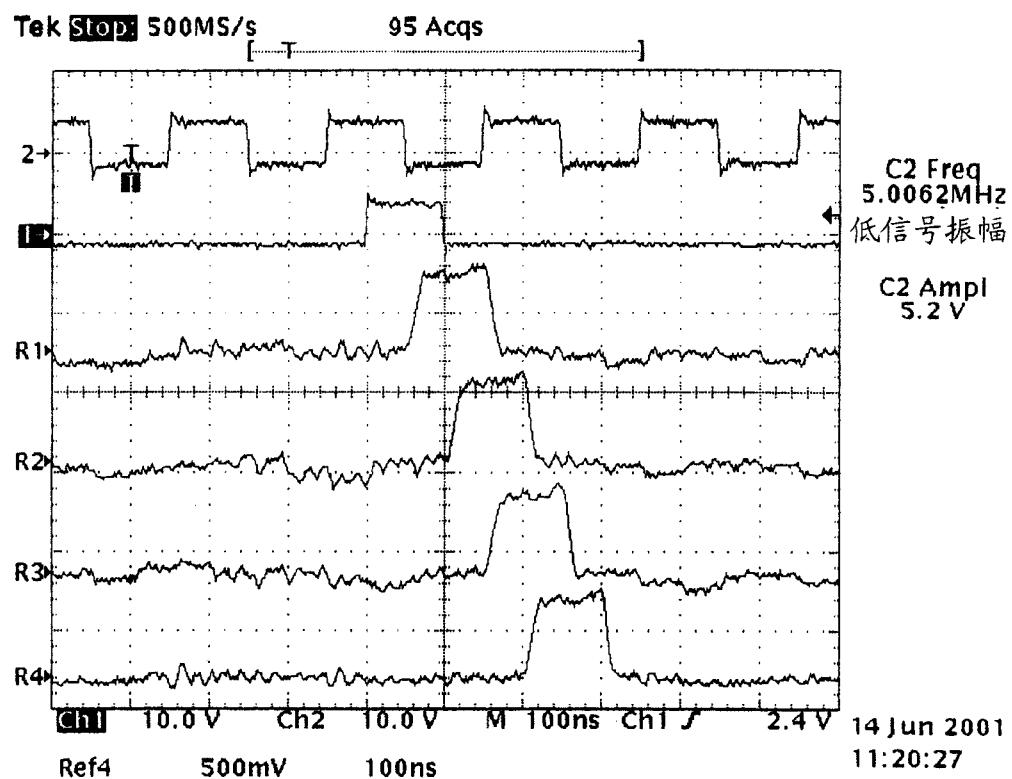


图 17A

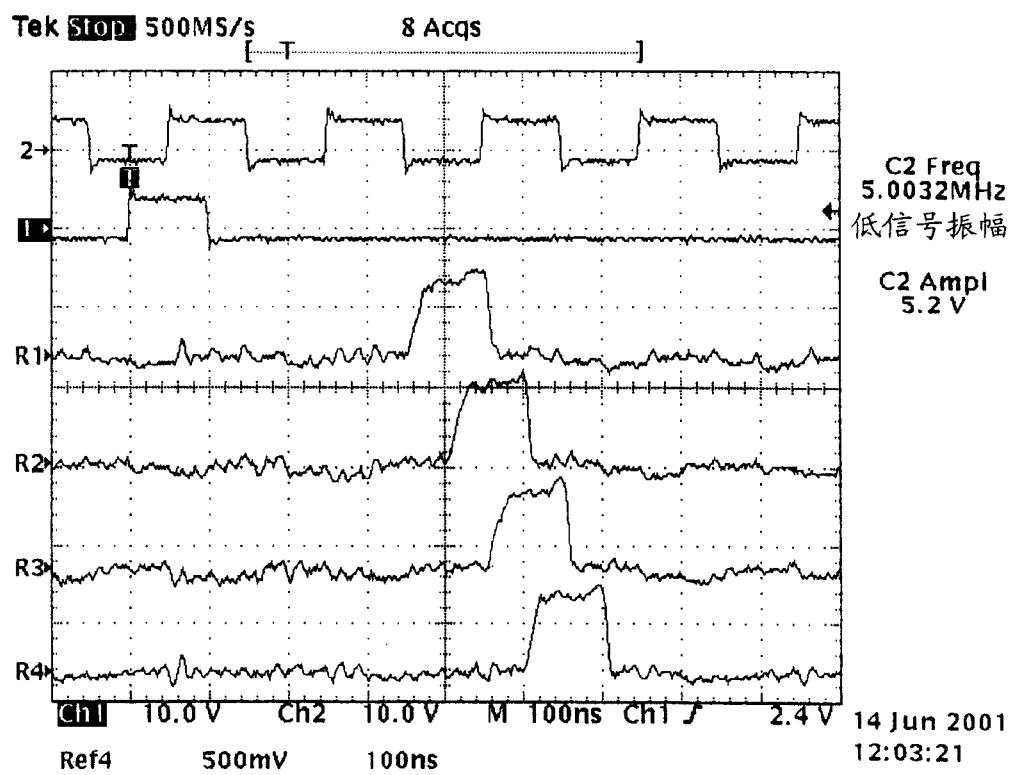


图 17B