

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7697262号
(P7697262)

(45)発行日 令和7年6月24日(2025.6.24)

(24)登録日 令和7年6月16日(2025.6.16)

(51)国際特許分類

F I

H O 1 L 21/301 (2006.01)

H O 1 L 21/78 C

H O 1 L 21/66 (2006.01)

H O 1 L 21/66 L

請求項の数 5 (全20頁)

(21)出願番号	特願2021-83247(P2021-83247)	(73)特許権者	000005234
(22)出願日	令和3年5月17日(2021.5.17)		富士電機株式会社
(65)公開番号	特開2022-176695(P2022-176695 A)	(74)代理人	100104190
(43)公開日	令和4年11月30日(2022.11.30)		弁理士 酒井 昭徳
審査請求日	令和6年3月13日(2024.3.13)	(72)発明者	中村 英達
			神奈川県川崎市川崎区田辺新田1番1号
		(72)発明者	奥村 啓樹
			神奈川県川崎市川崎区田辺新田1番1号
		(72)発明者	藤本 好邦
			神奈川県川崎市川崎区田辺新田1番1号
		審査官	李 哲次

最終頁に続く

(54)【発明の名称】 炭化珪素半導体装置の製造方法

(57)【特許請求の範囲】

【請求項1】

炭化珪素からなる出発基板上にエピタキシャル層をエピタキシャル成長させてなる半導体ウェハを形成する第1工程と、

前記半導体ウェハに設けられた第1スクライブライン中にマークを形成する第2工程と、結晶欠陥検査装置により、前記エピタキシャル層を検査して、前記エピタキシャル層の結晶欠陥を検出する第3工程と、

前記半導体ウェハに所定の素子構造を形成する第4工程と、前記第4工程の後、前記半導体ウェハをダイシングして半導体チップに個片化する第5工程と、

前記第3工程で前記結晶欠陥が検出されなかった前記半導体チップを良品候補として選別する第6工程と、

を含み、前記結晶欠陥検査装置が認識する第2スクライブラインと前記第1スクライブラインとにずれがない場合、前記第2スクライブラインの端と前記マークの端との距離を、10 μm以上25 μm以下とすることを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】

前記第2スクライブラインの幅を、前記半導体ウェハに設けられた前記第1スクライブラインの幅よりも大きくすることを特徴とする請求項1に記載の炭化珪素半導体装置の製造方法。

【請求項 3】

前記第 2 スクライブラインの端は、前記半導体チップのチャネルストッパ部に位置することを特徴とする請求項 2 に記載の炭化珪素半導体装置の製造方法。

【請求項 4】

前記第 2 スクライブラインの幅は、前記半導体ウェハに設けられた前記第 1 スクライブラインの幅と同じであることを特徴とする請求項 1 に記載の炭化珪素半導体装置の製造方法。

【請求項 5】

前記第 1 スクライブラインは、 $\langle 11-20 \rangle$ 方向と $\langle 1-100 \rangle$ 方向とに格子状に設けられ、

前記第 2 スクライブラインと前記第 1 スクライブラインにずれがない場合の、 $\langle 11-20 \rangle$ 方向の前記第 2 スクライブラインの端と前記マークの端との距離を、 $10\mu\text{m}$ 以上 $25\mu\text{m}$ 以下とすることを特徴とする請求項 1 に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、炭化珪素半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、炭化珪素 (SiC) を半導体材料とした炭化珪素半導体装置 (半導体チップ) の信頼性を評価するにあたって、結晶欠陥検査装置 (例えばレーザーテック株式会社製の SiC ウェハ欠陥検査／レビュー装置 SICAS8) によって半導体ウェハ (SiC ウェハ) の表面および内部の結晶欠陥を検出することで、半導体ウェハから切断されて個片化される複数の半導体チップ中の不良チップを選別している。結晶欠陥検査装置によって検出された結晶欠陥を含む半導体チップは、電気特性試験の結果に関係なく、または電気特性試験を行うことなく、すべて例外なく不良チップとしている。

【0003】

従来の炭化珪素半導体装置の製造方法について説明する。図 11 は、従来の炭化珪素半導体装置の製造方法の概要を示すフローチャートである。まず、炭化珪素を半導体材料とした半導体ウェハ (SiC ウェハ) を用意する (ステップ S101)。半導体ウェハは、炭化珪素からなる出発ウェハ上にエピタキシャル層をエピタキシャル成長させてなるエピタキシャルウェハである。次に、半導体ウェハのエピタキシャル層表面 (主面) に、半導体ウェハの結晶欠陥の位置 (ウェハ表面に平行な方向の座標) や製造プロセスのアライメントを示すためのマークを形成する (ステップ S102)。

【0004】

次に、結晶欠陥検査装置によって半導体ウェハのエピタキシャル層の結晶欠陥を検出し、ステップ S102 の処理で形成したマークに基づいて当該結晶欠陥の位置情報等を取得する (ステップ S103)。ステップ S103 の処理では、エピタキシャル層のエピタキシャル成長中に発生する、異物混入やカーボン (C) インクルージョンに起因するダウンフォールおよびラージピットと、ポリタイプ (結晶多形) インクルージョンに起因する三角欠陥と、貫通らせん転位 (TSD: Threading Screw Dislocation) に起因するフランク型欠陥およびキャロット型欠陥と、が検出される。

【0005】

次に、半導体ウェハの各チップ領域 (半導体チップとなる領域) に所定の素子構造を形成するための各種プロセスを行う (ステップ S104)。次に、半導体ウェハを切断 (ダイシング) して、半導体ウェハの各チップ領域を個々の半導体チップ (SiC チップ) に個片化する (ステップ S105)。次に、ステップ S103 の処理で取得した位置情報に基づいて、ステップ S103 の処理で検出された結晶欠陥を完全に含まない半導体チップを良品 (良チップ) 候補として選別する (ステップ S106)。ステップ S103 の処理で検出された結晶欠陥を 1 つでも含む半導体チップは不良チップとして除去される。

【0006】

次に、ステップ S 1 0 6 の処理で良品候補とした各半導体チップについて、それぞれ所定の通電試験を行って電気特性を検査し（ステップ S 1 0 7）、ステップ S 1 0 7 の結果に基づいて、予め取得した良品規格を満たすか否かを判定する（ステップ S 1 0 8）。良品規格とは、炭化珪素半導体装置の所定耐量および所定の信頼性を確保可能な諸特性の限界値であり、予め取得される。その後、ステップ S 1 0 8 の結果に基づいて、良品規格を満たす半導体チップを良品（良チップ）として選別することで（ステップ S 1 0 9）、炭化珪素半導体装置の評価が完了する。

【 0 0 0 7 】

従来の炭化珪素半導体装置の製造方法として、外観検査で、チップのサイズがカメラの視野サイズよりも大きく、チップを複数分割して撮像する場合に、疑似欠陥が発生することを防ぐため、アライメントパターンの位置に基づき、撮像画像から検査画像を切り出し外観検査を行う方法が提案されている（例えば、下記特許文献 1 参照。）。また、従来の半導体ウェハとして、直交する第 1 および第 2 スクライブラインのうち、第 1 スクライブラインを基板結晶のへき開方向に平行な方向に配置するとともに、アクセサリパターンをステルスダイシングのレーザー照射領域と重なる位置に集中配置することで、チップングやクラックの発生を低減する半導体ウェハが提案されている（例えば、下記特許文献 2 参照。）。

【先行技術文献】

【特許文献】

【 0 0 0 8 】

【文献】国際公開第 2 0 1 8 / 0 2 9 7 8 6 号

【文献】特開 2 0 1 6 - 1 3 4 4 2 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 9 】

図 1 2 は、従来の半導体ウェハを示す上面図である。半導体ウェハ 1 5 0 には、半導体ウェハ 1 5 0 を切断し、半導体チップを個別化する際の切断位置を示すスクライブライン 1 6 1 が設けられている。図 1 3 は、従来の半導体ウェハのスクライブラインを示す上面図である。図 1 3 は、図 1 2 の部分 A の拡大図である。

【 0 0 1 0 】

図 1 4 は、従来の半導体ウェハのスクライブライン内のマークを示す上面図である。図 1 4 は、図 1 3 の部分 B の拡大図である。半導体ウェハ 1 5 0 には、その中に結晶欠陥の位置や製造プロセスのアライメントを示すマーク 1 6 2 が設けられている。これらのマーク 1 6 2 は、スクライブライン 1 6 1 内に設けられている。

【 0 0 1 1 】

結晶欠陥検査装置が結晶欠陥を検出する際、結晶欠陥検査装置は、スクライブライン 1 6 1 の位置を認識して、そこの検査を行わないように設定されている。図 1 5 は、従来の半導体ウェハのスクライブラインと結晶欠陥検査装置が認識しているスクライブラインとを示す上面図である。しかしながら、図 1 5 に示すように、半導体ウェハ 1 5 0 に設けられたスクライブライン 1 6 1 と、結晶欠陥検査装置が認識しているスクライブライン 1 6 1 a は完全に一致することができず、ずれが生じている。

【 0 0 1 2 】

図 1 6 は、従来の半導体ウェハのスクライブライン内のマークを欠陥と認識する場合の上面図である。ずれが生じていると、結晶欠陥検査装置は、マーク 1 6 2 のマーク端部分 1 6 3 a を、半導体ウェハ 1 5 0 のオリエンテーションフラットと平行な方向に伸びるエッジラインと呼ばれる結晶線状の欠陥と形状が類似しているため、誤って結晶欠陥と誤認識する場合がある。

【 0 0 1 3 】

これにより、上述した従来の炭化珪素半導体装置の製造方法では、この誤認識により、本来良品であるチップが不良品と判定され、不良チップとして除去される。このため、ス

10

20

30

40

50

チップ S 1 0 6 の処理において不良チップとして除去される半導体チップの中には、良品として使用可能な電気特性を有する半導体チップが含まれている。このように良品として使用可能な半導体チップを不良チップとして除去しているため、良品率が低下して、チップコストの上昇を招いている。

【 0 0 1 4 】

この発明は、上述した従来技術による課題を解消するため、良品率を向上させることができる炭化珪素半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 5 】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる炭化珪素半導体装置の製造方法は、次の特徴を有する。まず、炭化珪素からなる出発基板上にエピタキシャル層をエピタキシャル成長させてなる半導体ウェハを形成する第 1 工程を行う。次に、前記半導体ウェハに設けられた第 1 スクライブライン中にマークを形成する第 2 工程を行う。次に、結晶欠陥検査装置により、前記エピタキシャル層を検査して、前記エピタキシャル層の結晶欠陥を検出する第 3 工程を行う。次に、前記半導体ウェハに所定の素子構造を形成する第 4 工程を行う。次に、前記第 4 工程の後、前記半導体ウェハをダイシングして半導体チップに個片化する第 5 工程を行う。次に、前記第 3 工程で前記結晶欠陥が検出されなかった前記半導体チップを良品候補として選別する第 6 工程を行う。前記結晶欠陥検査装置が認識する第 2 スクライブラインと前記第 1 スクライブラインとにずれがない場合の、前記第 2 スクライブラインの端と前記マークの端との距離を、10 μ m 以上 25 μ m 以下とする。

【 0 0 1 6 】

また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第 2 スクライブラインの幅を、前記半導体ウェハに設けられた前記第 1 スクライブラインの幅よりも大きくすることを特徴とする。

【 0 0 1 7 】

また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第 2 スクライブラインの端は、前記半導体チップのチャンネルストッパ部に位置することを特徴とする。

【 0 0 1 8 】

また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第 2 スクライブラインの幅は、前記半導体ウェハに設けられた前記第 1 スクライブラインの幅と同じである。

【 0 0 1 9 】

また、この発明にかかる炭化珪素半導体装置の製造方法は、上述した発明において、前記第 1 スクライブラインは、< 1 1 - 2 0 > 方向と < 1 - 1 0 0 > 方向とに格子状に設けられ、前記第 2 スクライブラインと前記第 1 スクライブラインにずれがない場合の、< 1 1 - 2 0 > 方向の前記第 2 スクライブラインの端と前記マークの端との距離を、10 μ m 以上 25 μ m 以下とすることを特徴とする。

【 0 0 2 1 】

上述した発明によれば、結晶欠陥検査装置が認識するスクライブラインの端とスクライブラインにずれがない場合の前記マークの端との距離を、10 μ m 以上 25 μ m 以下としている。例えば、結晶欠陥検査装置が認識しているスクライブラインの幅を、半導体ウェハに設けられたスクライブラインの幅より広げている。例えば、マークの大きさを、半導体ウェハに設けられたスクライブラインの幅よりも小さくする。また、マークを < 1 - 1 0 0 > 方向のスクライブライン上のみ、または、< 1 - 1 0 0 > 方向のスクライブライン上に存在する比率を多くする。これにより、結晶欠陥検査装置が認識しているスクライブラインが、半導体ウェハに設けられたスクライブラインとずれたとしても、結晶欠陥検査装置が、マークを結晶欠陥と誤認識して、当該結晶欠陥を検出した半導体チップが、不良チップとして除去されることがなくなる。このように、従来、過検出で不良にしていた半

導体チップを良品化できるので、良品率の向上とそれに伴うチップコストの低減が可能となる。

【発明の効果】

【0022】

本発明にかかる炭化珪素半導体装置の製造方法によれば、良品率を向上させることができ、チップコストを低減させることができるという効果を奏する。

【図面の簡単な説明】

【0023】

【図1】実施の形態1にかかる炭化珪素半導体装置の製造方法による半導体ウェハをおもて面側から見た状態を示す平面図である。

10

【図2】図1の半導体ウェハから切断された半導体チップをおもて面側から見たレイアウトを示す平面図である。

【図3】実施の形態1にかかる炭化珪素半導体装置の構造を示す断面図である。

【図4】実施の形態1にかかる炭化珪素半導体装置の製造方法の概要を示すフローチャートである。

【図5】実施の形態1にかかる半導体ウェハのスクライブラインと結晶欠陥検査装置が認識しているスクライブラインとを示す上面図である。

【図6】実施の形態1にかかる半導体ウェハのスクライブライン内のマークを示す上面図である。

【図7】実施の形態1にかかる半導体ウェハのスクライブライン内のマークの位置を示す上面図である。

20

【図8】実施の形態1にかかる半導体ウェハのスクライブライン内のマークおよび線状の結晶欠陥を示す上面図である。

【図9】実施の形態2にかかる半導体ウェハ内のマークの位置を示す上面図である（その1）。

【図10】実施の形態2にかかる半導体ウェハ内のマークの位置を示す上面図である（その2）。

【図11】従来の炭化珪素半導体装置の製造方法の概要を示すフローチャートである。

【図12】従来の半導体ウェハを示す上面図である。

【図13】従来の半導体ウェハのスクライブラインを示す上面図である。

30

【図14】従来の半導体ウェハのスクライブライン内のマークを示す上面図である。

【図15】従来の半導体ウェハのスクライブラインと結晶欠陥検査装置が認識しているスクライブラインとを示す上面図である。

【図16】従来の半導体ウェハのスクライブライン内のマークを欠陥と認識する場合の上面図である。

【発明を実施するための形態】

【0024】

以下に添付図面を参照して、この発明にかかる炭化珪素半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数をあらわしている。そして、同じまたは同等との記載は製造におけるばらつきを考慮して5%以内まで含むとするのがよい。

40

【0025】

（実施の形態1）

実施の形態1にかかる炭化珪素半導体装置の製造方法は、例えば、ショットキーバリアダイオード（SBD：Schottky Barrier Diode）や、MOSFET

50

(Metal Oxide Semiconductor Field Effect Transistor: 金属-酸化膜-半導体の3層構造からなる絶縁ゲートを備えたMOS型電界効果トランジスタ)に適しているが、pin(p-intrinsic-n)ダイオードやIGBT(Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ)に適用してもよい。

【0026】

ここでは、炭化珪素(SiC)を用いて作製(製造)された炭化珪素半導体装置について、トレンチゲート構造のnチャネル型の縦型MOSFETを示す。図1は、実施の形態にかかる炭化珪素半導体装置の製造方法による半導体ウェハをおもて面側から見た状態を示す平面図である。図2は、図1の半導体ウェハから切断された半導体チップをおもて面側から見たレイアウトを示す平面図である。図2には、図1の半導体ウェハ50の1つのチップ領域51の切断後の状態を示している。図3は、実施の形態1にかかる炭化珪素半導体装置の構造を示す断面図である。

10

【0027】

半導体ウェハ50は、炭化珪素からなるn⁺型出発ウェハ(図3参照、ダイシング後に図3のn⁺型出発基板31となる部分)上にエピタキシャル層(図3参照、ダイシング後に図3のエピタキシャル層35となる部分)をエピタキシャル成長させてなる。

【0028】

半導体ウェハ50は、面方位を示す例えばオリエンテーションフラット(エッジ端の一部に設けられた直線状の切り欠け)54またはノッチ(エッジ端の一部に設けられたV字状の切り欠け:不図示)を有していてもよい。半導体ウェハ50の各チップ領域51がスクライブライン61に沿ってそれぞれ切断(ダイシング)されることで個々の半導体チップ30に個片化される。同一の半導体ウェハ50から個片化されたすべての半導体チップ30は、同一のエピタキシャル層35、p型エピタキシャル層34(図3参照)を有し、同一工程で形成された同一の素子構造(ここではトレンチゲート構造:図3参照)を有する。

20

【0029】

チップ領域51は、略矩形状の平面形状を有し、半導体ウェハ50の略中央部にマトリクス状に複数配置されている。スクライブライン61は、チップ領域51の周囲を格子状に囲む。スクライブライン61は、半導体ウェハ50の主面(図3のエピタキシャル層33側の表面)に形成された線状領域である。スクライブライン61内には、半導体ウェハ50の表面に平行な方向の位置(座標)を特定するためのマーク(図5参照)が形成されている。マークは、各チップ領域51の位置や、後述する図4のステップS3の処理で検出される結晶欠陥の位置を特定するための目印である。

30

【0030】

マークは、例えばスクライブライン61内において半導体ウェハ50の主面にエッチングにより形成された所定の平面形状(例えば十字状)の凸部または凹部である。マークとして、チップ領域51に形成される素子構造の各部の位置合わせ(アライメント)のためのアライメントマークを用いてもよい。

【0031】

図2に示す実施の形態1にかかる炭化珪素半導体装置10は、活性領域41において、炭化珪素からなる半導体チップ30のおもて面側、例えば(0001)面(Si面)に、トレンチゲート構造を備えたnチャネル型の縦型MOSFETである。活性領域41は、MOSFETがオン状態のときに主電流(ドリフト電流)が流れる領域であり、MOSFETの同一構造の複数の単位セル(素子の機能単位)が隣接して配置される。図3には、MOSFETの1つの単位セルを示す。活性領域41は、例えば半導体チップ30の略中央に配置され、エッジ終端領域42に周囲を囲まれている。

40

【0032】

エッジ終端領域42は、活性領域41と半導体チップ30の端部との間の領域である。エッジ終端領域42は、半導体チップ30のおもて面側の電界を緩和して耐圧を保持する

50

機能を有する。エッジ終端領域 42 には、フィールドリミッティングリング（FLR：Field Limiting Ring）、接合終端拡張（JTE：Junction Termination Extension）構造またはガードリング等の耐圧構造（不図示）が配置されている。耐圧とは、リーク電流が過度に増大せず、炭化珪素半導体装置 10 が誤動作や破壊を起こさない限界の電圧である。

【0033】

トレンチゲート構造は、p 型ベース領域 4、n⁺型ソース領域 5、p⁺⁺型コンタクト領域 6、トレンチ 7、ゲート絶縁膜 8 およびゲート電極 9 で構成される。半導体チップ 30 は、炭化珪素からなる n⁺型出発基板 31 のおもて面上に n 型バッファ領域 2a、n⁻型ドリフト領域 2b および p 型ベース領域 4 となる各エピタキシャル層 32～34 を順にエピタキシャル成長させてなる。半導体チップ 30 の、n⁺型ソース領域 5側の主面をおもて面とし、n⁺型出発基板 31 側の主面（n⁺型出発基板 31 の裏面）を裏面とする。

【0034】

n⁺型出発基板 31 は、n⁺型ドレイン領域 1 である。n 型バッファ領域 2a は、p 型ベース領域 4 と n⁻型ドリフト領域 2b との pn 接合界面で発生したホール（正孔）が n 型バッファ領域 2a 内で再結合して n⁺型出発基板 31 に到達することを防止する機能を有する。また、n 型バッファ領域 2a は、n⁺型出発基板 31 からエピタキシャル層 35 への転位の伝搬によってエピタキシャル層 33、34 中に積層欠陥が拡張することを抑制する機能を有する。n 型バッファ領域 2a は設けられていなくてもよい。

【0035】

n⁻型ドリフト領域 2b は、p 型ベース領域 4 と n 型バッファ領域 2a（n 型バッファ領域 2a を設けない場合は n⁺型ドレイン領域 1）との間に、これらの領域に接して設けられている。p 型ベース領域 4 と n⁻型ドリフト領域 2b との間に、n 型電流拡散領域 3 および p⁺型領域 21、22 が設けられてもよい。この場合、n⁻型ドリフト領域 2b は、n⁻型エピタキシャル層 33 の、n 型電流拡散領域 3 および p⁺型領域 21、22 を除く部分である。n 型電流拡散領域 3 および p⁺型領域 21、22 は、トレンチ 7 の底面よりも n⁺型ドレイン領域 1 側に深い位置に設けられる。

【0036】

n 型電流拡散領域 3 は、キャリアの広がり抵抗を低減させる、いわゆる電流拡散層（CSL：Current Spreading Layer）である。p⁺型領域 21、22 は、トレンチ 7 の底面のゲート絶縁膜 8 にかかる電界を緩和させる機能を有する。p⁺型領域 21 は、p 型ベース領域 4 と離れて設けられ、深さ方向にトレンチ 7 の底面に対向する。p⁺型領域 21 は、トレンチ 7 の底面に達していてもよい。p⁺型領域 22 は、互いに隣り合うトレンチ 7 間に、p⁺型領域 21 およびトレンチ 7 と離れて設けられ、かつ p 型ベース領域 4 に接する。

【0037】

p 型ベース領域 4 は、半導体チップ 30 のおもて面と n⁻型ドリフト領域 2b との間に設けられている。p 型ベース領域 4 は、p 型エピタキシャル層 34 の、n⁺型ソース領域 5 および p⁺⁺型コンタクト領域 6 を除く部分である。n⁺型ソース領域 5 および p⁺⁺型コンタクト領域 6 は、半導体チップ 30 のおもて面と p 型ベース領域 4 との間にそれぞれ選択的に設けられている。n⁺型ソース領域 5 および p⁺⁺型コンタクト領域 6 は、p 型ベース領域 4 に接し、かつ後述する層間絶縁膜 11 のコンタクトホールにおいてオーミック電極 13 にオーミック接触している。

【0038】

p⁺⁺型コンタクト領域 6 は設けられていなくてもよい。p⁺⁺型コンタクト領域 6 が設けられていない場合、p⁺⁺型コンタクト領域 6 に代えて、p 型ベース領域 4 がオーミック電極 13 にオーミック接触する。これら n 型電流拡散領域 3、p⁺型領域 21、22、n⁺型ソース領域 5 および p⁺⁺型コンタクト領域 6 は、イオン注入により形成された拡散領域であり、エピタキシャル層 35 の内部に選択的に設けられている。トレンチ 7 は、n⁺型ソース領域 5 および p 型ベース領域 4 を貫通して n 型電流拡散領域 3（n 型電流拡散領域 3 が

10

20

30

40

50

設けられていない場合は n^{-} 型ドリフト領域2b)に達する。

【0039】

トレンチ7の内部には、ゲート絶縁膜8を介してゲート電極9が設けられている。層間絶縁膜11は、半導体チップ30のおもて面に設けられ、ゲート電極9を覆う。層間絶縁膜11と後述するおもて面電極14との間の全面に、例えばおもて面電極14側からゲート電極9側への金属原子の拡散を防止するバリアメタル12が設けられてもよい。オーミック電極13は、層間絶縁膜11のコンタクトホールにおいて半導体チップ30のおもて面上に設けられたシリサイド膜である。オーミック電極13は、 p 型ベース領域4、 n^{+} 型ソース領域5および p^{++} 型コンタクト領域6に電氣的に接続されている。

【0040】

おもて面電極14は、層間絶縁膜11のコンタクトホールを埋め込むように、活性領域41において半導体チップ30のおもて面の略全面に設けられている。おもて面電極14は、オーミック電極13を介して p 型ベース領域4、 n^{+} 型ソース領域5および p^{++} 型コンタクト領域6に電氣的に接続されている。バリアメタル12、オーミック電極13およびおもて面電極14は、ソース電極として機能する。裏面電極15は、半導体チップ30の裏面、例えば<000-1>面(C面)、(n^{+} 型出発基板31の裏面)全面に設けられ、 n^{+} 型ドレイン領域1に電氣的に接続されている。裏面電極15は、ドレイン電極として機能する。

【0041】

(実施の形態1にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態1にかかる炭化珪素半導体装置の製造方法について説明する。図4は、実施の形態1にかかる炭化珪素半導体装置の製造方法の概要を示すフローチャートである。

【0042】

まず、炭化珪素を半導体材料とした半導体ウェハ(SiCウェハ)50を形成する(ステップS1:第1工程)。半導体ウェハ50は、 n^{+} 型出発基板31上にエピタキシャル層35をエピタキシャル成長させてなる。ステップS1の処理においては、炭化珪素からなる出発ウェハ55を用意して半導体ウェハ50を作製してもよいし、半導体ウェハ50自体を購入してもよい。

【0043】

次に、半導体ウェハ50の主面(エピタキシャル層35側の表面)のスクライブライン中にマークを形成する(ステップS2:第2工程)。スクライブラインは、ダイシングラインとも呼ばれ、半導体ウェハ50の主面(図3のエピタキシャル層35側の表面)に形成された線状領域であり、半導体チップを個別化する際の切断位置を示す。例えば、スクライブラインの幅は、100 μ m程度である。

【0044】

次に、結晶欠陥検査装置によって検査を行い、半導体ウェハ50のエピタキシャル層35の表面および内部の結晶欠陥の種類、大きさ(長さや表面積等)および位置情報を検出して取得する(ステップS3:第3工程)。結晶欠陥検査装置とは、例えばレーザーテック株式会社製のSiCウェハ欠陥検査/レビュー装置SICA88である。ステップS3の処理で検出される結晶欠陥は、エピタキシャル層に形成される異物欠陥、三角欠陥および拡張欠陥である。これらの結晶欠陥の大きさおよび位置情報は、例えばステップS2の処理で形成したマークに基づいて取得する。

【0045】

ここで、図5は、実施の形態1にかかる半導体ウェハのスクライブラインと結晶欠陥検査装置が認識しているスクライブラインとを示す上面図である。図5において、細線で示すスクライブライン61が、半導体ウェハ50に設けられたスクライブラインであり、点線で示すスクライブライン61aが、従来の結晶欠陥検査装置が認識しているスクライブラインであり、太線で示すスクライブライン61bが、実施の形態1の結晶欠陥検査装置が認識しているスクライブラインである(図6も同様である)。

10

20

30

40

50

【0046】

ここで、スクライブライン61は、ダイシングにより多くが切り取られ、残った部分も電流が流れないため、スクライブライン61内に結晶欠陥が存在しても問題はない。このため、結晶欠陥検査装置は、スクライブライン61内の結晶欠陥を検査しないように、スクライブライン61の位置がどこにあるか事前に設定されている。結晶欠陥検査装置が認識しているスクライブライン61a、61bとは、結晶欠陥検査装置に設定されたスクライブラインの位置である。また一点鎖線で示したマーク62aは、結晶欠陥検査装置において、スクライブラインにずれがない場合のスクライブライン61に設けられたマーク62の位置である。

【0047】

実施の形態1では、結晶欠陥検査装置が認識するスクライブライン61bの端とマーク62aの端との距離h1を10 μ m以上25 μ m以下としている。結晶欠陥検査装置が認識するスクライブライン61bの端とマーク62aの端との距離h1とは、スクライブライン61bの幅とマーク62の幅との差の半分である。ここで、従来の結晶欠陥検査装置が認識しているスクライブライン61aの幅は、半導体ウェハ50に設けられたスクライブライン61と同じ幅であった。実施の形態1では、結晶欠陥検査装置が認識しているスクライブライン61bの幅を、半導体ウェハ50に設けられたスクライブライン61の幅より広げて、結晶欠陥検査装置が認識するスクライブライン61bの端とマーク62aの端との距離h1を、10 μ m以上25 μ m以下としている。

【0048】

例えば、スクライブライン61bを、図5の矢印が示すように、外側（スクライブライン61bと直交する方向）に幅L1ずつ広げることで、結晶欠陥検査装置が認識するスクライブライン61bの端からマーク62aの端までの距離h1を調整する。結晶欠陥検査装置が認識しているスクライブライン61bの幅は、結晶欠陥検査装置の設定により変更可能である。結晶欠陥検査装置が認識するスクライブライン61bの端からマーク62aの端までの距離h1は、例えば、10 μ m以上25 μ m以下であり、好ましくは15 μ m以上20 μ m以下である。この値は、半導体ウェハ50に設けられたスクライブライン61と結晶欠陥検査装置が認識しているスクライブライン61bとのずれが10 μ m以内であるに基づいている。また、25 μ mより大きくすると、本来検出すべき結晶欠陥が検出されなくなるためである。

【0049】

ここで、炭化珪素半導体装置では、エッジ終端領域42の最外周にチャネルストッパ部43が設けられている（図2参照）。チャネルストッパ部43から外側は、電流が流れないため、結晶欠陥が存在してもオン電圧等の素子特性に影響を与えない。このため、結晶欠陥検査装置が認識するスクライブライン61bの端の位置を、チャネルストッパ部43にまで広げてよい。この場合、結晶欠陥検査装置が認識するスクライブライン61bの端は、半導体チップのチャネルストッパ部43に位置する。外側に広げる幅L1は、チップ端部からチャネルストッパ部43の活性領域41側の端部までの距離L2（図2参照）以下にすることが好ましい。この距離L2には、チップ端部からチャネルストッパ部43のエッジ終端領域42側の端部までの距離L3（不図示）と、チャネルストッパ部43の幅と、を含む。従って、距離L3やチャネルストッパ部43の幅を大きくすることで、距離L2を大きくして、外側に広げる幅L1を大きくすることができる。

【0050】

このようにすることで、結晶欠陥検査装置が認識しているスクライブライン61bが、半導体ウェハ50に設けられたスクライブライン61とずれたとしても、マーク62は、結晶欠陥検査装置が認識しているスクライブライン61b内に入ることになる。このため、結晶欠陥検査装置がマーク62を結晶欠陥と誤認識することをなくすることができる。

【0051】

また、結晶欠陥検査装置が認識しているスクライブラインは、従来のスクライブライン61aのままとして、マーク62を小さくしてもよい。図6は、実施の形態1にかかる半

10

20

30

40

50

導体ウェハのスクライブライン内のマークを示す上面図である。図 6 に示すように、ステップ S 2 で形成したマーク 6 2 を従来の大きさより小さくすることで、マーク 6 2 の大きさを、スクライブライン 6 1 の幅よりも小さくする。このようにして、実施の形態 1 では、結晶欠陥検査装置が認識するスクライブライン 6 1 a の幅を、マーク 6 2 の大きさより大きくしている。

【0052】

例えば、スクライブライン 6 1 とマーク 6 2 の端部との距離を h_2 とすると、マーク 6 2 がスクライブライン 6 1 の端から h_2 以上内側に離れる大きさにする。例えば、 h_2 は $10\text{ }\mu\text{m}$ 以内であるため、マーク 6 2 がスクライブライン 6 1 の端から $10\text{ }\mu\text{m}$ 以上内側に離れる大きさにする。また、マーク 6 2 を小さくしすぎると位置合わせが難しくなるため、スクライブライン 6 1 の端からマーク 6 2 の端までの距離は $25\text{ }\mu\text{m}$ 以下とすることが好ましい。

【0053】

このようにすることで、スクライブライン 6 1 と結晶欠陥検査装置が認識しているスクライブライン 6 1 a とにずれがあったとしても、スクライブライン 6 1 内のマーク 6 2 は、結晶欠陥検査装置が認識しているスクライブライン 6 1 a 内に入ることになる。このため、結晶欠陥検査装置が認識しているスクライブライン 6 1 a の幅が半導体ウェハ 5 0 に設けられたスクライブライン 6 1 の幅と同じ場合でも、結晶欠陥検査装置がマーク 6 2 を結晶欠陥と誤認識することをなくすることができる。

【0054】

また、図 7 は、実施の形態 1 にかかる半導体ウェハのスクライブライン内のマークの位置を示す上面図である。スクライブライン 6 1 は、オリエンテーションフラット 5 4 の方向の $\langle 11-20 \rangle$ 方向と、オリエンテーションフラット 5 4 と直交する $\langle 1-100 \rangle$ 方向に設けられている。実施の形態 1 では、マーク 6 2 を $\langle 1-100 \rangle$ 方向のスクライブライン 6 1 上（図 7 の領域 A）のみ、または、 $\langle 1-100 \rangle$ 方向のスクライブライン 6 1 上に存在する比率を多くしてもよい。

【0055】

図 8 は、実施の形態 1 にかかる半導体ウェハのスクライブライン内のマークおよび線状の結晶欠陥を示す上面図である。線状の結晶欠陥 6 4 は、オリエンテーションフラット 5 4 の方向の $\langle 11-20 \rangle$ 方向に線状に成長する。このため、結晶欠陥検査装置は、 $\langle 11-20 \rangle$ 方向に伸びた棒状の形状を線状の結晶欠陥 6 4 と認識している。ここで、 $\langle 11-20 \rangle$ 方向のスクライブライン 6 1 と、結晶欠陥検査装置が認識しているスクライブライン 6 1 b がずれた場合、マーク端部分 6 3 a は、 $\langle 11-20 \rangle$ 方向に伸びた棒状の形状となる。この形状は、線状の結晶欠陥 6 4 と似ているため、結晶欠陥検査装置は、線状の結晶欠陥 6 4 と誤認識する。一方、 $\langle 1-100 \rangle$ 方向のスクライブライン 6 1 と、結晶欠陥検査装置が認識しているスクライブライン 6 1 b がずれた場合、マーク端部分 6 3 b は、 $\langle 1-100 \rangle$ 方向に伸びた棒状の形状となり、線状の結晶欠陥 6 4 と形状が異なり、結晶欠陥検査装置は、線状の結晶欠陥と認識しない。

【0056】

このため、マーク 6 2 を $\langle 1-100 \rangle$ 方向のスクライブライン 6 1 上（図 7 の領域 A）のみ、または、 $\langle 1-100 \rangle$ 方向のスクライブライン 6 1 上に存在する比率を多くすることで、結晶欠陥検査装置が、マーク 6 2 を結晶欠陥と誤認識することを減少させることができる。このとき、 $\langle 1-100 \rangle$ 方向のスクライブライン 6 1 上のみにマーク 6 2 を設ける構成は、 $\langle 11-20 \rangle$ 方向のスクライブライン 6 1 と $\langle 1-100 \rangle$ 方向のスクライブライン 6 1 との交点にマーク 6 2 を設ける構成を含む。

【0057】

このように、 $\langle 1-100 \rangle$ 方向のスクライブライン 6 1 内のマーク 6 2 は、結晶欠陥と誤認識することがないため、図 5 のように、結晶欠陥検査装置が認識しているスクライブライン 6 1 b の幅を広げる必要がない。例えば、半導体ウェハ 5 0 に設けられたスクライブライン 6 1 の幅より広げる場合、 $\langle 11-20 \rangle$ 方向の結晶欠陥検査装置が認識して

10

20

30

40

50

いるスクライプライン 61b の幅のみを、半導体ウェハ 50 に設けられたスクライプライン 61 の幅より広げるようにしてもよい。

【0058】

また、結晶欠陥検査装置が認識するスクライプライン 61b の幅を、マーク 62 の大きさより大きくすることと、マーク 62 を $\langle 1-100 \rangle$ 方向のスクライプライン 61 上のみ、または、 $\langle 1-100 \rangle$ 方向のスクライプライン 61 上に存在する比率を多くすることを、組み合わせることも可能である。例えば、従来の大きさの半分以下のサイズに小さくしたマーク 62 を $\langle 1-100 \rangle$ 方向のスクライプライン 61 上のみ配置することが可能である。

【0059】

また、マーク 62 は、図 5 等に示すように四角の形状となっているが、この形状を菱形等のスクライプライン 61 と平行な線がない形状とすることで、結晶欠陥検査装置による誤検出をさらに減らすことができる。

【0060】

次に、半導体ウェハ 50 の各チップ領域に所定の素子構造（図 3 参照）を形成するための各種プロセスを行う（ステップ S4：第 4 工程）。各種プロセスの概略を以下に示す。まず、フォトリソグラフィおよびイオン注入により、エピタキシャル層 35 に、n 型エピタキシャル層 32 と、n⁻型エピタキシャル層 33 と、n 型電流拡散領域 3 を選択的に形成する。次に、エピタキシャル成長により、n 型電流拡散領域 3 内に p⁺型領域 21、22 を選択的に形成する。なお、n 型電流拡散領域 3 や p⁺型領域 22 は、複数回のエピタキシャル成長およびイオン注入により形成してもよい。

【0061】

次に、n 型電流拡散領域 3 の表面に、アルミニウムなどの p 型不純物をドーピングした p 型ベース領域 4 をエピタキシャル成長させる。次に、フォトリソグラフィおよびエッチングによるイオン注入用マスクの形成と、このイオン注入用マスクを用いたイオン注入と、イオン注入用マスクの除去と、を 1 組とする工程を異なるイオン注入条件で繰り返し行うことで、p 型ベース領域 4 の表面層に n⁺型ソース領域 5 および p⁺⁺型コンタクト領域 6 を形成する。

【0062】

次に、熱処理（アニール）を行って、例えば p⁺型領域 21、22、n⁺型ソース領域 5、p⁺⁺型コンタクト領域 6 を活性化させる。なお、上述したように 1 回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、イオン注入を行うたびに熱処理を行って活性化させてもよい。

【0063】

次に、p 型ベース領域 4 の表面（すなわち n⁺型ソース領域 5 および p⁺⁺型コンタクト領域 6 の表面）から、フォトリソグラフィおよびエッチングにより、n⁺型ソース領域 5 および p 型ベース領域 4 を貫通して n 型電流拡散領域 3 に達するトレンチ 7 を形成する。トレンチ 7 の底部は、p⁺型領域 21 に達する。

【0064】

次に、n⁺型ソース領域 5 および p⁺⁺型コンタクト領域 6 の表面と、トレンチ 7 の底部および側壁と、に沿ってゲート絶縁膜 8 を形成する。次に、ゲート絶縁膜 8 上に、例えばリン原子（P）がドーピングされた多結晶シリコン層を形成する。この多結晶シリコン層はトレンチ 7 内を埋めるように形成する。この多結晶シリコン層をパターニングして、トレンチ 7 内部に残すことによって、ゲート電極 9 が形成される。

【0065】

次に、ゲート絶縁膜 8 およびゲート電極 9 を覆うように、層間絶縁膜 11 を形成する。層間絶縁膜 11 およびゲート絶縁膜 8 をパターニングして選択的に除去することによって、コンタクトホールを形成し、n⁺型ソース領域 5 および p⁺⁺型コンタクト領域 6 を露出させる。その後、熱処理（リフロー）を行って層間絶縁膜 11 を平坦化する。

【0066】

10

20

30

40

50

次いで、コンタクトホール内および層間絶縁膜 1 1 の上にオーミック電極 1 3 となる導電性の膜を形成する。この導電性の膜を選択的に除去して、例えばコンタクトホール内のみオーミック電極 1 3 を残す。

【0067】

次いで、 n^+ 型ドレイン領域 1 の裏面に、裏面電極 1 5 を形成する。次に、例えばスパッタ法によって、オーミック電極 1 3 および層間絶縁膜 1 1 を覆うように、おもて面電極 1 4 を形成する。また、おもて面電極 1 4 と層間絶縁膜 1 1 との間に、バリアメタル 1 2 を形成してもよい。以上のプロセスにより、各チップ領域に所定の素子構造が形成される。

【0068】

次に、半導体ウェハ 5 0 を切断（ダイシング）して、半導体ウェハ 5 0 の各チップ領域を個々の半導体チップ 3 0 に個片化する（ステップ S 5：第 5 工程）。次に、ステップ S 3 の処理で取得した情報に基づいて、結晶欠陥検査装置による検査で、結晶欠陥が検出されたか否かを判定する（ステップ S 6：第 6 工程）。結晶欠陥を含まない場合、正常と判定する（ステップ S 6：No）。結晶欠陥を含む場合、異常と判定し（ステップ S 6：Yes）、不良チップとして破棄する（ステップ S 9）。

【0069】

次に、ステップ S 6 の処理で結晶欠陥を含まない各半導体チップについて、それぞれ所定の通電試験を行って電気特性を検査する（ステップ S 7）。ステップ S 7 においては、後述するステップ S 8 の処理で良品規格と比較するため、良品規格を取得したときと同じ通電試験を行って電気特性を取得する。良品規格とは、炭化珪素半導体装置 1 0 の所定耐量および所定の信頼性を確保可能な諸特性の限界値（上限値・下限値またはその両方）であり、耐量評価のための電気特性を測定する 1 つ以上の試験と、信頼性評価のための 1 つ以上の試験と、を例えば予備試験として行って得たすべての結果のうちの一層厳しい条件で設定される。

【0070】

良品規格をリーク電流値（SBD の場合は逆回復電流 I_r 、MOSFET の場合はドレイン電流 I_{dss} の電流値）で設定する場合、耐量評価のための電気特性とは、例えば、順方向サージ電流耐量（IFSM 耐量）、逆回復耐量、アバランシェ耐量、逆バイアス安全動作領域（RBSOA: Reverse Bias Safety Operation Area）、および、短絡電流遮断時の安全動作領域（SCSOA: Short Circuit Safe Operation Area）である。この場合、良品規格の上限値は、定格となるときのリーク電流値である。

【0071】

また、良品規格をリーク電流値で設定する場合、耐量評価のための電気特性とは、例えば、連続通電時の順方向サージ電流耐量、連続通電寿命、連続通電時の逆回復耐量、連続通電時のアバランシェ耐量、連続通電時の RBSOA、および、連続通電時の SCSOA である。この場合、良品規格は、これらの電気特性の設計値からの変動量が所定比率（例えば 20%）以下となるときのリーク電流値の範囲である。MOSFET においては、さらに、良品規格をリーク電流値で設定する場合、耐量評価のための電気特性とは、ゲート絶縁膜の絶縁破壊耐量である。

【0072】

ゲート絶縁膜の絶縁破壊耐量とは、例えば、タイムゼロ絶縁破壊（TZDB: Time Zero Dielectric Breakdown）耐量、ドレインおよびソースを接地した状態でのゲート電圧印加による経時絶縁破壊（TDDB: Time Dependent Dielectric Breakdown）耐量、および、ソースを接地した状態でのドレインに所定電圧（例えば 1200 V）印加およびゲート電圧印加による経時絶縁破壊（DTDDDB）耐量である。この場合、良品規格は、ゲート絶縁膜 8 の絶縁破壊耐量の設計値からの変動量が所定比率（例えば 20%）以下となるときのリーク電流値（ドレイン電流 I_{dss} の電流値）の範囲である。

【0073】

また、良品規格をリーク電流値で設定する場合、信頼性評価のための試験とは、例えば、高温下での高電圧印加により電気特性を評価する高温高電圧印加試験、高温高湿下での高電圧印加により電気特性を評価する高温高湿高電圧印加試験、断続的に通電して自己発熱と冷却とを交互に繰り返すことで熱疲労による動作寿命を評価するパワーサイクル（Power Cycle）試験、および、低温下での高電圧印加により電気特性を評価する低温高電圧印加試験である。この場合、良品規格は、これらの試験で得た電気特性の設計値からの変動量が所定比率（例えば20%）以下となるときのリーク電流値の範囲である。

【0074】

ここでは説明を省略するが、上述した耐量評価および信頼性評価のための試験の他に、耐量や信頼性に影響しない条件を確認または評価するための他の各種試験を行う。これらの試験は、半導体ウェハの状態で行っても支障のない場合には、ステップS5の処理後、ステップS6の処理前のタイミングで行ってもよいし、ステップS6の処理後に半導体チップ30に対して行ってもよい。ステップS7においては、半導体ウェハ50の状態で行うことが難しい試験や、所定温度になるまで加熱または冷却する場合など半導体ウェハ50の状態で行うと時間がかかる試験を行えばよい。

【0075】

次に、ステップS7の結果と予め取得した良品規格とに基づいて、良品候補の半導体チップ30の規格判定を行う（ステップS8）。ステップS8の処理においては、良品候補のすべての半導体チップ30に1つの良品規格が適用される。これにより、炭化珪素半導体装置10の製造が完了する。

【0076】

以上、説明したように、実施の形態1によれば、結晶欠陥検査装置が認識するスクライブラインの端とマークの端との距離を、 $10\mu\text{m}$ 以上 $25\mu\text{m}$ 以下としている。例えば、結晶欠陥検査装置が認識しているスクライブラインの幅を、半導体ウェハに設けられたスクライブラインの幅より広げている。例えば、マークの大きさを、半導体ウェハに設けられたスクライブラインの幅よりも小さくする。また、マークを $\langle 1-100 \rangle$ 方向のスクライブライン上のみ、または、 $\langle 1-100 \rangle$ 方向のスクライブライン上に存在する比率を多くする。これにより、結晶欠陥検査装置が認識しているスクライブラインが、半導体ウェハに設けられたスクライブラインとずれたとしても、結晶欠陥検査装置が、マークを結晶欠陥と誤認識して、当該結晶欠陥を検出した半導体チップが、不良チップとして除去されることがなくなる。このように、従来、過検出で不良にしていた半導体チップを良品化できるので、良品率の向上とそれに伴うチップコストの低減が可能となる。

【0077】

（実施の形態2）

実施の形態2にかかる炭化珪素半導体装置の構造は、実施の形態1（図3）と同じであるため、記載を省略する。また、実施の形態2にかかる炭化珪素半導体装置の製造方法は、実施の形態1にかかる炭化珪素半導体装置の製造方法の概要を示すフローチャート（図4）に対し、ステップS2およびステップS3が異なる。このため、ステップS2およびステップS3のみを説明する。

【0078】

実施の形態2では、ステップS2において、半導体ウェハ50の主面（エピタキシャル層35側の表面）の専用のチップ配置領域または無効領域53にマーク62を形成する。図9および図10は、実施の形態2にかかる半導体ウェハ内のマークの位置を示す上面図である。図9および図10に示すように、実施の形態2では、マーク62をスクライブライン61内以外の領域に配置する。つまり、マーク62をスクライブライン61内に配置していない。

【0079】

図9は、マーク62を専用のチップ配置領域に配置した場合の上面図である。ここで、専用のチップ配置領域とは、半導体ウェハ50のチップ領域の中で、マーク62を形成し、半導体チップ30とならない領域である。マーク62は、アライメントに使用するため

10

20

30

40

50

、最低でも3カ所、好ましくは5カ所配置する。図9には、マーク62は、十文字状に配置されているが、その他にも四角形状に配置してもよい。

【0080】

また、半導体ウェハ50上には、デバイスの製造プロセスの各工程における、管理、確認または検査などを行うために、デバイスを形成するウェハ面内にPCM (Process Control Monitor) を形成している。PCMを形成した領域 (PCMチップ) は、製品とする半導体チップ30とならないため、専用のチップ配置領域をPCMチップにすることが好ましい。このようにすることにより、専用のチップ配置領域により、半導体ウェハから製造される半導体チップ30の数を減らすことをなくせる。

【0081】

ここで、専用のチップ配置領域に配置した場合、結晶欠陥検査装置が専用のチップ配置領域を検査しないようにすることで、結晶欠陥検査装置はマーク62を結晶欠陥と認識しないようにすることができる。また、PCMチップに配置した場合、結晶欠陥検査装置はマーク62を結晶欠陥と認識するが、PCMチップは、製品の特性を検出するために使用し、製品にならないので問題はない。

【0082】

図10は、マーク62を無効領域53に配置した場合の上面図である。無効領域53とは、半導体ウェハ50の最も外側のチップ領域51と半導体ウェハ50の端部との間の、半導体チップ30として用いられない部分である。マーク62を無効領域53に配置することにより、半導体ウェハ50から製造される半導体チップ30の数を減らすことをなくせる。また、チップ領域51内の専用のチップ配置領域と、外周の無効領域53と、を組み合わせ、例えば、X字状に配置してもよい。ただし、外周の無効領域53に設ける場合、マーク62を外側にしすぎないことが必要である。

【0083】

このように、実施の形態2では、マーク62を専用のチップ配置領域または無効領域53に形成している。このため、結晶欠陥検査装置が認識しているスクライプライン61aが、半導体ウェハ50に設けられたスクライプライン61とずれたとしても、マーク62を結晶欠陥と誤認識することがない。このため、結晶欠陥検査装置が、マーク62を結晶欠陥と誤認識して、不良チップとして除去されることがなくなり、従来過検出で不良にしていたチップを良品化できるので、良品率の向上とそれに伴うチップコストの低減が可能となる。

【0084】

また、実施の形態2では、ステップS2において、結晶欠陥検査装置が認識しているスクライプライン61aの幅を変更することなく、結晶欠陥検査装置によって検査を行うことができる。マーク62がスクライプライン61内に無いためである。このため、結晶欠陥検査装置が認識しているスクライプライン61aの幅を変更する必要が無く、この幅を設定により変更することができない結晶欠陥検査装置にも適用可能である。

【0085】

以上、説明したように、実施の形態2によれば、半導体ウェハの主面の専用のチップ配置領域または無効領域にマークを形成する。これにより、結晶欠陥検査装置が認識しているスクライプラインが、半導体ウェハに設けられたスクライプラインとずれたとしても、結晶欠陥検査装置が、マークを結晶欠陥と誤認識して、不良チップとして除去されることがなくなり、従来過検出で不良にしていたチップを良品化できるので、良品率の向上とそれに伴うチップコストの低減が可能となる。

【0086】

(実施の形態1、2の効果)

結晶欠陥検査装置として、SICA装置を用いて結晶欠陥が存在すると判定されたチップに対して、目視で検査したところ、約3割のチップで、結晶欠陥は存在しなかった。この約3割のチップは、SICA装置がマークを線状の結晶欠陥と誤認識したものである。このため、実施の形態による製造方法では、SICA装置による誤認識をほぼなくすこと

10

20

30

40

50

ができるため、S I C A装置で不良と判定されたチップの約3割を良品にすることができ、良品率を向上させることができる。

【0087】

以上において本発明は本発明の趣旨を逸脱しない範囲で種々変更可能であり、上述した各実施の形態において、例えば各部の寸法や不純物濃度等は要求される仕様等に応じて種々設定される。また、上述した各実施の形態では、M O S F E Tを例に説明したが、各実施の形態はS B Dにも適用可能である。また、上述した各実施の形態では、S i Cの場合を説明したが、各実施の形態はG a Nにも適用可能である。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。

10

【産業上の利用可能性】

【0088】

以上のように、本発明にかかる炭化珪素半導体装置の製造方法は、6インチの半導体ウェハから半導体チップ（炭化珪素半導体装置）を量産する場合に有用であり、特にS B DやM O S F E Tの製造に適している。

【符号の説明】

【0089】

- 1 n⁺型ドレイン領域
- 2 a n型バッファ領域
- 2 b n⁻型ドリフト領域
- 3 n型電流拡散領域
- 4 p型ベース領域
- 5 n⁺型ソース領域
- 6 p⁺⁺型コンタクト領域
- 7 トレンチ
- 8 ゲート絶縁膜
- 9 ゲート電極
- 10 炭化珪素半導体装置
- 11 層間絶縁膜
- 12 バリアメタル
- 13 オーミック電極
- 14 おもて面電極
- 15 裏面電極
- 21、22 p⁺型領域
- 30 半導体チップ
- 31、55 n⁺型出発基板
- 32 n型エピタキシャル層
- 33 n⁻型エピタキシャル層
- 34 p型エピタキシャル層
- 35 エピタキシャル層
- 41 活性領域
- 42 エッジ終端領域
- 43 チャンネルストッパ部
- 50、150 半導体ウェハ
- 51 半導体ウェハのチップ領域
- 53 半導体ウェハの無効領域
- 54 オリエンテーションフラット
- 61、161 スクライブライン
- 61 a、61 b、161 a 結晶欠陥検査装置が認識しているスクライブライン
- 62、62 a、162 マーク

20

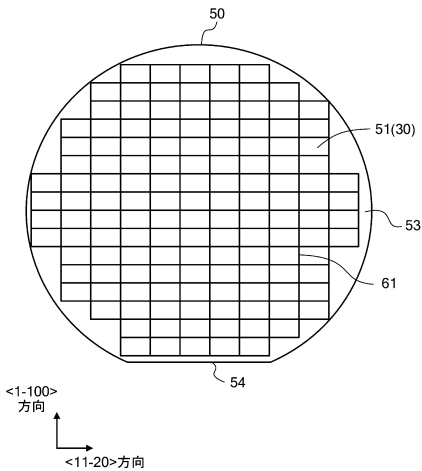
30

40

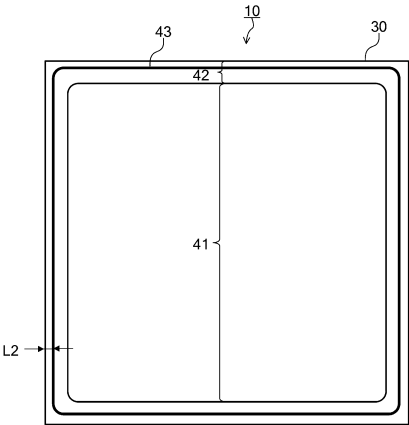
50

6 3 a、6 3 b、1 6 3 a マーク端部分
6 4 線状の結晶欠陥

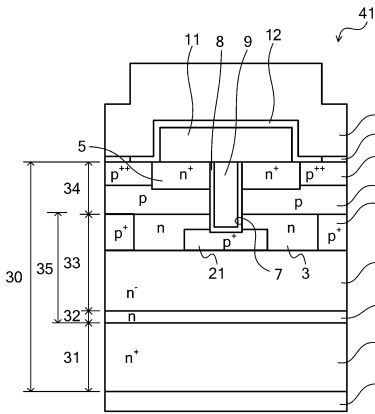
【図面】
【図 1】



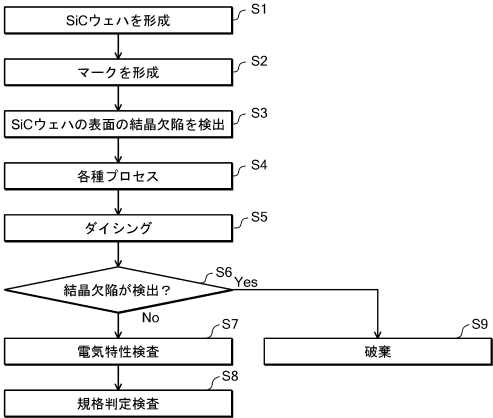
【図 2】



【図 3】



【図 4】



10

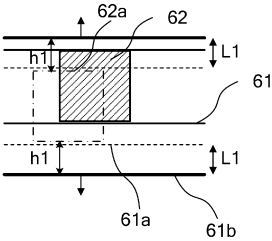
20

30

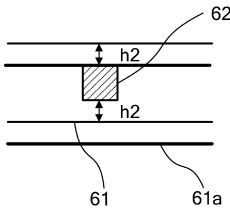
40

50

【図 5】

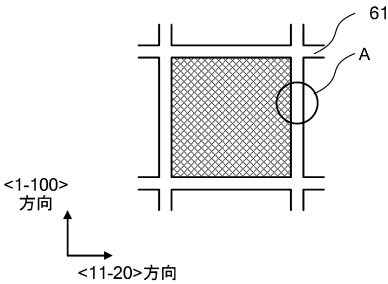


【図 6】

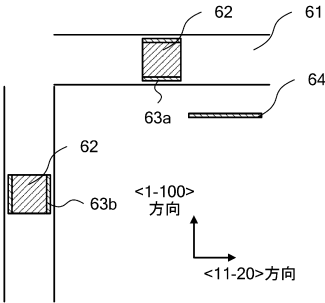


10

【図 7】



【図 8】



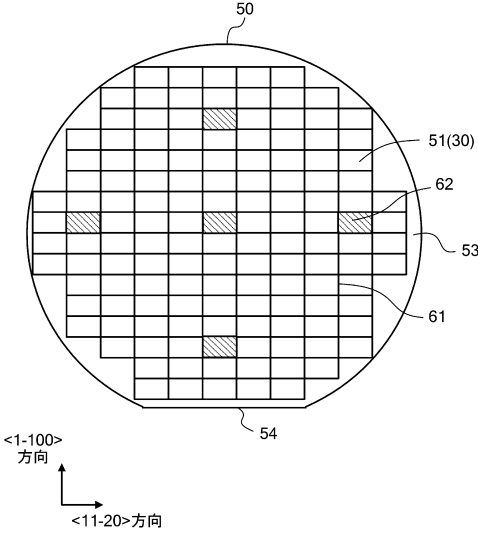
20

30

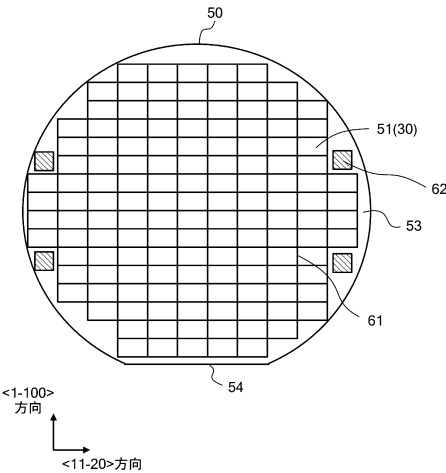
40

50

【図 9】



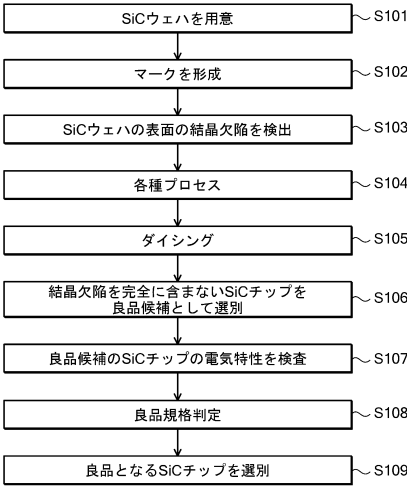
【図 10】



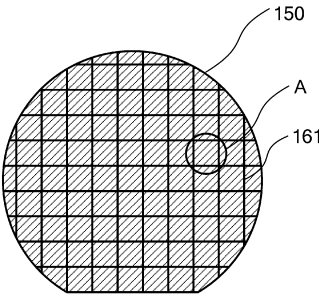
10

20

【図 11】



【図 12】

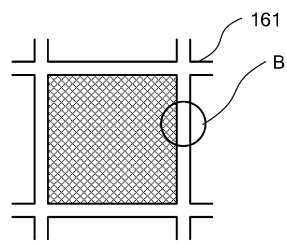


30

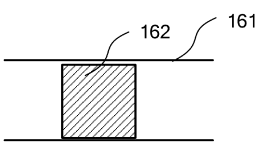
40

50

【図 1 3】

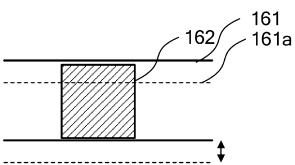


【図 1 4】

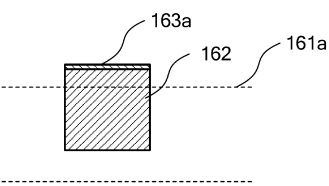


10

【図 1 5】



【図 1 6】



20

30

40

50

フロントページの続き

- (56)参考文献 特開 2014-22503 (JP, A)
特開 2015-207595 (JP, A)
特開 2013-187524 (JP, A)
特開 2013-118242 (JP, A)
特開 2013-232555 (JP, A)
特開 2015-126110 (JP, A)
特開 2017-55010 (JP, A)
特開 2015-207596 (JP, A)
特開 2007-318030 (JP, A)
米国特許出願公開第 2014/0212021 (US, A1)
米国特許第 05847821 (US, A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 21/301
H01L 21/66