

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5908030号  
(P5908030)

(45) 発行日 平成28年4月26日 (2016. 4. 26)

(24) 登録日 平成28年4月1日 (2016. 4. 1)

(51) Int. Cl.

F I

H O 1 L 23/12 (2006. 01)

H O 1 L 23/12 5 O 1 P

H O 1 L 25/065 (2006. 01)

H O 1 L 25/08 C

H O 1 L 25/07 (2006. 01)

H O 1 L 25/14 Z

H O 1 L 25/18 (2006. 01)

H O 1 L 25/10 (2006. 01)

請求項の数 20 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2014-125069 (P2014-125069)  
 (22) 出願日 平成26年6月18日 (2014. 6. 18)  
 (65) 公開番号 特開2015-5748 (P2015-5748A)  
 (43) 公開日 平成27年1月8日 (2015. 1. 8)  
 審査請求日 平成28年1月8日 (2016. 1. 8)  
 (31) 優先権主張番号 10-2013-0071775  
 (32) 優先日 平成25年6月21日 (2013. 6. 21)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 14/264, 120  
 (32) 優先日 平成26年4月29日 (2014. 4. 29)  
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区三星路129  
 129, Samsung-ro, Yeon  
 g t o n g - g u, S u w o n - s i, G  
 y e o n g g i - d o, R e p u b l i c  
 o f K o r e a  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 鄭 顯秀  
 大韓民国京畿道華城市石隅洞 (番地なし)  
 ウミリンジェイルブンギョンチャアパー  
 トメント115棟1001号  
 最終頁に続く

(54) 【発明の名称】 貫通電極を有する半導体パッケージ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

ウエハーの前面上に第1活性層を含む基板を提供し、

前記第1活性層上にポリマー物質を含む第1モールド層を形成して前記基板に剛性を提供し、

前記第1モールド層を形成した後に、接着剤の使用無しで前記第1モールド層に装置を付着して前記基板が支持された状態で、前記基板の第1後面を除去して前記基板を薄型化し、第2後面を露出させ、

前記薄型化された基板に前記基板に提供された貫通電極と電氣的に連結されるパッドを形成することを含み、

前記第1モールド層は、前記基板が薄型化の間に曲がらないように、基板に剛性を提供するための所定の厚さを有する、半導体素子の製造方法。

【請求項 2】

前記装置は、前記装置が前記第1モールド層に接着されないまま、前記第1モールド層に付着される請求項1に記載の半導体素子の製造方法。

【請求項 3】

前記装置は、前記装置と前記第1モールド層との間に接着剤を使用せずに、前記第1モールド層に付着される請求項1に記載の半導体素子の製造方法。

【請求項 4】

前記基板の第1後面を薄型化することは、

10

20

機械的な工程を使用して前記第 1 後面を除去することを含む請求項 1 に記載の半導体素子の製造方法。

【請求項 5】

前記基板の第 1 後面を薄型化することは、

前記基板の第 1 後面をグラインディングすることを含む請求項 1 に記載の半導体素子の製造方法。

【請求項 6】

前記薄型化された基板内に前記貫通電極を形成することをさらに含む請求項 4 に記載の半導体素子の製造方法。

【請求項 7】

前記薄型化された基板の第 2 後面上にチップを積層することをさらに含み、

前記チップの活性面は、前記薄型化された基板の第 2 後面に向かう請求項 6 に記載の半導体素子の製造方法。

【請求項 8】

前記チップ上に前記チップをモールドリングする第 2 モールド層を形成して前記基板に剛性を付し、

前記第 2 モールド層を形成した後に前記第 1 モールド層の少なくとも一部を除去して滑らかで平坦な面を形成することをさらに含む請求項 7 に記載の半導体素子の製造方法。

【請求項 9】

前記第 1 及び第 2 モールド層と前記基板とをカッティングして半導体パッケージを形成することをさらに含み、

前記半導体パッケージの第 1 モールド層の幅、前記半導体パッケージの第 2 モールド層の幅、及び前記半導体パッケージの基板の幅の中でいずれか 1 つは、前記チップの幅に比べて大きい請求項 8 に記載の半導体素子の製造方法。

【請求項 10】

前記半導体パッケージの第 1 モールド層の幅、前記半導体パッケージの第 2 モールド層の幅、及び前記半導体パッケージの基板の幅は、同一である請求項 9 に記載の半導体素子の製造方法。

【請求項 11】

前記第 2 モールド層は、前記チップと前記基板との間に配置されない請求項 9 に記載の半導体素子の製造方法。

【請求項 12】

前記基板を薄型化する時、前記装置は、前記第 1 モールド層と直接接触して支持する真空チャックである請求項 1 に記載の半導体素子の製造方法。

【請求項 13】

前記第 1 モールド層の少なくとも一部を除去する時、前記第 2 モールド層は、真空チャックに直接接触して支持される請求項 8 に記載の半導体素子の製造方法。

【請求項 14】

前記第 1 モールド層の熱膨張係数 C T E と前記基板の熱膨張係数 C T E とは、1 つの桁程度 ( an order of magnitude ) の範囲である請求項 1 に記載の半導体素子の製造方法。

【請求項 15】

前記第 1 モールド層の熱膨張係数 C T E と前記基板の熱膨張係数 C T E との比は、3 乃至 1 である請求項 1 に記載の半導体素子の製造方法。

【請求項 16】

前記第 1 活性層は、回路層である請求項 1 に記載の半導体素子の製造方法。

【請求項 17】

ウエハーの前面上に提供された第 1 活性層を含む基板を提供し、

前記第 1 活性層上にポリマー物質を含む第 1 モールド層を形成して前記基板に剛性を付し、

10

20

30

40

50

前記第 1 モールド層を形成した後に、前記基板の第 1 後面を除去して前記基板を薄型化し、第 2 後面を露出させ、

前記薄型化された基板内に前記第 1 活性層と電氣的に連結される貫通電極を形成し、

前記薄型化された基板上に前記基板内に提供された前記貫通電極と電氣的に連結されるパッドを形成することを

含み、

前記第 1 モールド層の熱膨張係数 C T E と前記基板の熱膨張係数 C T E とは、1 つの桁程度 ( an order of magnitude ) の範囲である、半導体素子の製造方法。

【請求項 18】

10

前記第 1 モールド層は、装置が前記第 1 モールド層に接着されないまま、前記装置に付着される、請求項 17 に記載の半導体素子の製造方法。

【請求項 19】

前記第 1 モールド層は、装置と前記第 1 モールド層との間に接着剤を使用せずに、前記装置に付着される、請求項 17 に記載の半導体素子の製造方法。

【請求項 20】

前面上に第 1 活性層を含む基板を提供し、

前記第 1 活性層上に第 1 モールド層を形成して前記基板に剛性を提供し、

前記第 1 モールド層を形成した後に、前記基板の第 1 後面を除去して前記基板を薄型化し、第 2 後面を露出させ、

20

前記薄型化された基板内に前記第 1 活性層と電氣的に連結される貫通電極を形成し、

前記薄型化された基板に前記基板内に提供された前記貫通電極と電氣的に連結されるパッドを形成し、

前記薄型化された基板の第 2 後面上に、チップの活性面が前記薄型化された基板の第 2 後面に向かう前記チップを積層すること含み、

前記基板が薄型化されるときに接着剤の使用無しで装置に前記第 1 モールド層を付着して、前記基板が支持され、

前記第 1 モールド層の幅、及び前記基板の幅は、同一である、半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は半導体に関し、より具体的には貫通電極を有する半導体パッケージ及びその製造方法に関する。

【背景技術】

【0002】

貫通電極によって高性能の半導体パッケージが具現される。貫通電極を半導体パッケージに適用するためには、接着剤を利用してウエハーにキャリアをボンディングした後、ウエハーを練磨することが一般的である。半導体パッケージに貫通電極を適用するためにはキャリア工程が必要とされるので、生産性の低下と工程費用の上昇のような問題点があった。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許第 8338939 号明細書

【特許文献 2】米国特許第 8373261 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、従来技術での問題点を解決するために案出されたことであって、本発明の目的は、工程費用を減らし、生産性を向上させることができる貫通電極を有する半導体パッ

50

ケージ及びその製造方法を提供することである。

【課題を解決するための手段】

【0005】

本発明の一実施形態は、半導体素子の製造方法を提供し、前記方法は、ウエハーの前面上に第1活性層を含む基板を提供し、前記第1活性層上にポリマー物質を含む第1モールド層を形成して前記基板に剛性を提供し、前記第1モールド層を形成した後に、接着剤の使用無しで前記第1モールド層に装置を除去できるように付着して前記基板が支持された状態で、前記基板の第1後面を除去して前記基板を薄型化し、第2後面を露出させ、前記薄型化された基板に前記基板に提供された貫通電極と電氣的に連結されるパッドを形成することを含むことができる。

10

【0006】

前記装置は、前記装置が前記第1モールド層に接着されないまま、前記第1モールド層に除去できるように付着され得る。

【0007】

前記装置は、前記装置と前記第1モールド層との間に接着剤を使用せずに、前記第1モールド層に除去できるように付着され得る。

【0008】

前記基板の第1後面を薄型化することは、機械的な工程を使用して前記第1後面を除去することを包含することができる。

【0009】

前記基板の第1後面を薄型化することは、前記基板の第1後面をグラインディングすることを包含することができる。

20

【0010】

一実施形態において、前記方法は、前記薄型化された基板内に前記貫通電極を形成することをさらに含むことができる。

【0011】

一実施形態において、前記方法は、前記薄型化された基板の第2後面上にチップを積層することをさらに含み、前記チップの活性面は、前記薄型化された基板の第2後面に向かうことができる。

【0012】

一実施形態において、前記方法は、前記チップ上に前記チップをモールドリングする第2モールド層を形成して前記基板に剛性を付し、前記第2モールド層を形成した後に前記第1モールド層の少なくとも一部を除去して滑らかで平坦な面を形成することをさらに含むことができる。

30

【0013】

一実施形態において、前記方法は、前記第1及び第2モールド層と前記基板とをカッティングして半導体パッケージを形成することをさらに含み、

前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅の中でいずれか1つは、前記チップの幅に比べて大きくなり得る。

40

【0014】

前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅は、同一であり得る。

【0015】

前記第2モールド層は、前記チップと前記基板との間に配置されないことがあり得る。

【0016】

前記基板を薄型化する時、前記装置は、前記第1モールド層と直接接触して支持する真空チャックであり得る。

【0017】

前記第1モールド層の少なくとも一部を除去する時、前記第2モールド層は、真空チャ

50

ックに直接接触して支持され得る。

【0018】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとは、1つの桁程度(an order of magnitude)の範囲であり得る。

【0019】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとの比は、3乃至1であり得る。

【0020】

前記第1活性層は、回路層であり得る。

【0021】

本発明の他の実施形態は、半導体素子の製造方法を提供し、前記方法は、ウエハーの前面上に提供された第1活性層を含む基板を提供し、

前記第1活性層上にポリマー物質を含む第1モールド層を形成して前記基板に剛性を付し、前記第1モールド層を形成した後に、前記基板の第1後面を除去して前記基板を薄型化し、第2後面を露出させ、前記薄型化された基板内に前記第1活性層と電氣的に連結される貫通電極を形成し、前記薄型化された基板上に前記基板内に提供された前記貫通電極と電氣的に連結されるパッドを形成することを包含することができる。

【0022】

前記装置は、前記装置が前記第1モールド層に接着されないまま、前記第1モールド層に除去できるように付着され得る。

【0023】

前記装置は、前記装置と前記第1モールド層との間に接着剤を使用せずに、前記第1モールド層に除去できるように付着され得る。

【0024】

前記基板の第1後面を薄型化することは、機械的な工程を使用して前記第1後面を除去することを包含することができる。

【0025】

前記基板の第1後面を薄型化することは、前記基板の第1後面をグラインディングすることを包含することができる。

【0026】

他の実施形態において、前記方法は、前記薄型化された基板の第2後面上にチップを積層することをさらに含み、前記チップの活性面は、前記薄型化された基板の第2後面に向かうことができる。

【0027】

他の実施形態において、前記方法は、前記チップ上に前記チップをモールドリングする第2モールド層を形成して前記基板に剛性を付し、前記第2モールド層を形成した後に前記第1モールド層の少なくとも一部を除去して滑らかで平坦な面を形成することをさらに含むことができる。

【0028】

他の実施形態において、前記方法は、前記第1及び第2モールド層と前記基板とをカッティングして半導体パッケージを形成することをさらに含み、前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅の中でいずれか1つは、前記チップの幅に比べて大きくなり得る。

【0029】

前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅は、同一であり得る。

【0030】

前記第2モールド層は、前記チップと前記基板との間に配置されないことがあり得る。

【0031】

前記基板を薄型化する時、前記装置は、前記第1モールド層と直接接触して支持する真

10

20

30

40

50

空チャックであり得る。

【0032】

前記第1モールド層の少なくとも一部を除去する時、前記第2モールド層は、真空チャックに直接接触して支持され得る。

【0033】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEは、1つの桁程度(an order of magnitude)の範囲であり得る。

【0034】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとの比は、3乃至1であり得る。

10

【0035】

本発明の一実施形態は、半導体素子を提供し、前記半導体素子は、第1ポリマー物質を含む第1モールド層と、前記第1モールド層上に配置された第1活性層と、前記第1活性層上に配置され、前記第1活性層と電氣的に連結される貫通電極が内部に形成された基板と、前記基板の上に形成されて前記貫通電極と電氣的に連結されるパッドと、前記基板の上に配置され、前記チップの第2活性層に向かって、そして前記パッドと電氣的に連結されたチップと、前記チップの少なくとも一部を覆い、前記基板に剛性を付し、そして第2ポリマー物質を含む第2モールド層と、を含み、前記基板の幅は、前記チップの幅に比べて大きくなり得る。

【0036】

20

前記チップは、前記第2モールド層によって囲まれることができる。

【0037】

前記基板の側壁と前記第1活性層の側壁とは、前記第2モールド層によって覆わないこともあり得る。

【0038】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとは、1つの桁程度(an order of magnitude)の範囲であり得る。

【0039】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとの比は、3乃至1であり得る。

30

【発明の効果】

【0040】

本発明によると、ウエハーを練磨する段階において、必要であるキャリアーのボンディング及びデボンディング工程が必要としないので、生産性を向上させ、工程費用を減少させることができる効果がある。ウエハーと類似の熱膨張係数を有するモールド層をウエハー上に形成することによってウエハーの歪み現象を無くすか、或いは減らすことができるので、工程不良を抑制することができる効果がある。さらに、本発明は貫通電極を形成するためのビアファースト、ビアミドル、及びビアラスト工程の中でいずれかのスキームとの互換性がある。

【図面の簡単な説明】

40

【0041】

【図1A】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1B】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1C】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1D】図1Bの変形形態を示した断面図である。

【図1E】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

50

50

【図５Ｃ】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図５Ｄ】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図５Ｅ】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図６Ａ】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図６Ｂ】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

10

【図６Ｃ】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図６Ｄ】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図７Ａ】本発明の実施形態による半導体パッケージを具備するメモリカードを示したブロック図である。

【図７Ｂ】本発明の実施形態による半導体パッケージを応用した情報処理システムを示したブロック図である。

【発明を実施するための形態】

【００４２】

20

以下、本発明による半導体パッケージ及びその製造方法を添付した図面を参照して詳細に説明する。

【００４３】

本発明と従来技術とを比較した長所は添付された図面を参照した詳細な説明と特許請求の範囲を通じて明確になり得る。特に、本発明は特許請求の範囲で明確に請求される。しかし、本発明は添付された図面と関連して次の詳細な説明を参照することによって最も良く理解されることができる。図面において、同一の参照符号は多様な図面を通じて同一の構成要素を示す。

【００４４】

<実施形態１>

30

図１Ａ乃至図１Ｊは本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。図１Ｄは図１Ｂの変形形態を示した断面図である。

【００４５】

図１Ａを参照すれば、ウエハー１０１上に活性層が形成されたウエハーレベルチップ１９０が提供され得る。一例によれば、活性層は回路層１０３であり、本発明はこれに限定されない。ウエハー１０１は前面１０１ａと第１後面１０１ｂとを有するシリコンのような半導体を包含することができる。ウエハーレベルチップ１９０の前面１０１ａの上には回路層１０３と電氣的に連結されたパンプ１０５が提供され得る。回路層１０３はメモリ回路、ロジック回路或いはこれらの組み合わせのような集積回路を含み、回路層１０３の構成要素と電氣的に連結された前面パッド１０４をさらに包含することができる。パンプ１０５は前面パッド１０４に直接或いは間接的に接続されて回路層１０３と電氣的に連結され得る。

40

【００４６】

図１Ｂを参照すれば、ウエハーレベルチップ１９０上に前面モールド層１１１を形成し、ウエハー１０１を薄型化することができる。例えば、ウエハー１０１の前面１０１ａ上に前面モールド層１１１を形成し、ウエハー１０１を研磨することができる。一例として、前面モールド層１１１がウエハー１０１を支持した状態でウエハー１０１の第１後面１０１ｂをグラインダ９０によって研磨することができる。前記ウエハー後面研磨によってウエハー１０１の厚さが縮小されて第２後面１０１ｃが露出され得る。一例によれば、ウエハー１０１は機械的な工程のような薄型化工程によって薄型化され得る。本明細書で前

50



面は活性面に相当し、第２後面は非活性面に相当することがあり得る。

【００４７】

前面モールド層１１１はウエハー１０１に剛性乃至硬直性を提供するのに十分な厚さを有するので、ウエハー後面研磨工程の時、ウエハー１０１は曲がらず、屈曲されず、或いは変形されず、その状態を維持することができる。以下ではウエハー１０１の曲げに対して説明されるが、本発明の実施形態はこれに限定されず、ウエハー１０１の屈曲、変形、或いは歪み等に対しても適用され得る。前面モールド層１１１は絶縁体、例えばエポキシ樹脂のような高分子物質を包含することができる。エポキシ樹脂は約５０～８０ppm/

の熱膨張係数CTEを有していると知られている。ウエハー１０１を構成するシリコンのCTEは大略３ppm/ であるので、ウエハー１０１と前面モールド層１１１との間の熱膨張係数の差（CTEmismatch）によってウエハー１０１の歪み（warping）現象が発生することがあり得る。本発明をこれに限定しようとする意図ではなく、単なる一例として、前面モールド層１１１はエポキシ樹脂にシリカが混合された（例：約８０wt%のシリカ含量）約５～７ppm/ のCTEを有するエポキシピラー複合体を包含することができる。このようにウエハー１０１のCTEと類似のCTEを有する前面モールド層１１１を形成することによってウエハー１０１の歪み現象が無くなるか、或いは減少され得る。一例によれば、ウエハー１０１の熱膨張係数CTEと前面モールド層１１１の熱膨張係数CTEとは同じ大きさの程度（same order of magnitude）、例えば２つの熱膨張係数は１乃至１０ppm/ であり得る。他の例として、前面モールド層１１１の熱膨張係数CTE：ウエハー１０１の熱膨張係数CTE＝

【００４８】

本実施形態によれば、前記ウエハー後面研磨工程の時、前面モールド層１１１がウエハー１０１を支持するので、ウエハー１０１の前面１０１a上に接着剤を利用してキャリアを付着する工程が必要としない。その上に、前面モールド層１１１はウエハー１０１と類似のCTEを有するので、歪み現象によるウエハー１０１の損傷を避けることができる。

【００４９】

前面モールド層１１１はウエハー１０１と回路層１０３とを含むウエハーレベルチップ１９０に全体的に剛性乃至硬直性を提供する。ウエハー研磨工程の時、ウエハーレベルチップ１９０、特に前面モールド層１１１は剛性乃至硬直性を提供して曲げやすいことを防止する真空チャックやその以外の他の器具のような装置によって支持される。一例として、真空チャックは前面モールド層１１１に直接接触して支持することができる。

【００５０】

前記装置は接着剤の使用無しで前面モールド層１１１に脱付着され得る。例えば、前記装置は前面モールド層１１１に接着されない状態で脱付着され得る。他の例として、前記装置と前面モールド層１１１との間に接着剤を形成しなかった状態で前記装置が前面モールド層１１１とに脱付着され得る。

【００５１】

図１Cを参照すれば、ウエハー１０１を貫通して回路層１０３に電氣的に連結される貫通電極１２１を形成することができる。言い換えれば、貫通電極１２１は貫通シリコンビアTSVであり得る。例えば、ウエハー１０１の非活性面１０１cをドライエッチングするか、或いはドリリングして垂直ホール１２０を形成し、垂直ホール１２０をタングステンや銅等のような伝導体を電気鍍金するか、或いは蒸着して貫通電極１２１を形成することができる。ウエハー１０１の非活性面１０１c上に貫通電極１２１と連結される後面パッド１２３をさらに形成することができる。一例として、電気鍍金で貫通電極１２１と後面パッド１２３とを同時に形成することができる。この場合、貫通電極１２１と後面パッド１２３とは一体化された１つの構造（single structure）を成し得る。他の例として、貫通電極１２１を形成した後に後面パッド１２３を別個の工程で形成することができる。

## 【 0 0 5 2 】

他の例として、図 1 D に示したように、ウエハー 1 0 1 はウエハー 1 0 1 を一部貫通して第 1 後面 1 0 1 b に至らない貫通電極 1 2 1 を包含することができる。ウエハー 1 0 1 の前面 1 0 1 a 上に前面モールド層 1 1 1 を形成し、ウエハー 1 0 1 は、前面モールド層 1 1 1 がウエハー 1 0 1 を支持する状態で、グラインダ 9 0 で第 1 後面 1 0 1 b を研磨することができる。前記ウエハー後面研磨は貫通電極 1 2 1 を露出させる第 2 後面 1 0 1 c が露出される時まで進行することができる。続いて、ウエハー 1 0 1 の第 2 後面 1 0 1 c 上に貫通電極 1 2 1 と連結される図 1 C に図示されたような後面パッド 1 2 3 を形成することができる。

## 【 0 0 5 3 】

本実施形態によれば、貫通電極 1 2 1 は図 1 C に図示したようにウエハー後面研磨後に即ち、ビアラスト ( V i a L a s t ) 工程で形成するか、又は図 1 D に示したようにウエハー後面研磨以前に、即ちピアファースト ( V i a F i r s t ) 或いはピアミドル ( V i a M i d d l e ) 工程で形成され得る。このように本実施形態はピアファースト、ピアミドル、ビアラスト工程の全てに適用され得る。

## 【 0 0 5 4 】

図 1 E を参照すれば、ウエハーレベルチップ 1 9 0 上に複数個のチップ 2 0 0 を積層することができる。例えば、基板 2 0 1 の活性面 2 0 1 a がウエハー 1 0 1 の非活性面 1 0 1 c に向かうようにチップ 2 0 0 を覆してフリップチップ実装することができる。ウエハー 1 0 1 は非活性面 1 0 1 c が上に向かうように覆してあり得る。チップ 2 0 0 は基板 2 0 1 の活性面 2 0 1 a 上に提供された回路層 2 0 3 に電氣的に連結されたパンプ 2 0 5 が貫通電極 1 2 1 に連結されることによってウエハー 1 0 1 の回路層 1 0 3 と電氣的に連結され得る。チップ 2 0 0 の回路層 2 0 3 はメモリ回路、ロジック回路、或いはこれらの組み合わせを包含することができる。基板 2 0 1 はチップ単位の半導体ウエハーであり得る。チップ 2 0 0 のパンプ 2 0 5 は貫通電極 1 2 1 と垂直整列されるか、或いは垂直整列されないことがあり得る。垂直整列されないパンプ 2 0 5 と貫通電極 1 2 1 とを電氣的に連結するために後面パッド 1 2 3 は再配線されてあり得る。

## 【 0 0 5 5 】

図 1 F を参照すれば、ウエハー 1 0 1 の非活性面 1 0 1 c 上にチップ 2 0 0 をモールドイングする後面モールド層 2 1 1 を形成し、前面モールド層 1 1 1 を除去することができる。一例として、後面モールド層 2 1 1 はウエハー 1 0 1 を含む最終構造に剛性を提供することができる。後面モールド層 2 1 1 は前面モールド層 1 1 1 と同一又は類似のエポキシピラー複合体を包含することができる。前面モールド層 1 1 1 はグライディング工程、化学機械的な研磨工程、或いはエッチング工程で除去することができる。例えば、滑らかで平坦な面が形成され得る。一例によれば、前面モールド層 1 1 1 はパンプ 1 0 5 が露出される時までグラインダ 9 0 によって研磨され得る。これにしたがって、ウエハー 1 0 1 の活性面 1 0 1 a 乃至回路層 1 0 3 は隣接するパンプ 1 0 5 の間を満たす前面モールド層 1 1 1 で覆われていることがあり得る。図 1 B を参照して前述したように、前面モールド層 1 1 1 が研磨される時、真空チャックやその以外の他の器具のような装置が前面モールド層 1 1 1 に脱付着される方法と類似に後面モールド層 2 1 1 に脱付着され得る。一例として、真空チャックは後面モールド層 2 1 1 に直接接触して支持 ( h o l d ) することができる。

## 【 0 0 5 6 】

図 1 G を参照すれば、パンプ 1 0 5 上に第 2 パンプ 1 0 7 を付着して外部端子 1 0 9 を形成することができる。第 2 パンプ 1 0 7 は蒸発 ( e v a p o r a t i o n ) 、電気鍍金 ( e l e c t r o l y t i c p l a t i n g ) 、無電解鍍金 ( e l e c t r o l e s s p l a t i n g ) 、ボールドロップ ( b a l l d r o p ) 、スクリーンプリンティング ( s c r e e n p r i n t i n g ) 工程等にパンプ 1 0 5 上にソルダペースト等を提供した後、リフロして形成することができる。前記一連の工程を通じてウエハーレベルチップ 1 9 0 上に複数個のチップ 2 0 0 が積層されたウエハーレベルパッケージ 1 を製造す

10

20

30

40

50

ることができる。ウエハーレベルパッケージ 1 は以下で後述するようにパッケージングされ得る。

【 0 0 5 7 】

図 1 H を参照すれば、ウエハーレベルパッケージ 1 をダイシングすることができる。一例として、ブレード 9 5 やレーザーを利用して隣接するチップ 2 0 0 間の後面モールド層 2 1 1、ウエハー 1 0 1、前面モールド層 1 1 1 を分離することができる。前記ダイシングによってウエハーレベルチップ 1 9 0 は複数個に単位チップ、例えば図 1 I のチップ 1 0 0 に分離され得る。

【 0 0 5 8 】

図 1 I を参照すれば、前記ダイシングによってウエハーレベルパッケージ 1 が分離されて、チップ 1 0 0 (以下、マスターチップ) 上にチップ 2 0 0 (以下、スレーブチップ) が積層された複数個のチップレベルの半導体パッケージ 1 1 が製造され得る。マスターチップ 1 0 0 はスレーブチップ 2 0 0 に比べて左右幅が大きい大きさを有することができる。マスターチップ 1 0 0 はウエハー 1 0 1 のダイシングによって形成されるので、マスターチップ 1 0 0 の側面 1 0 0 s は露出され得る。反面に、スレーブチップ 2 0 0 は後面モールド層 2 1 1 にモールドイングされており、その側面 2 0 0 s は露出されないこともあり得る。前面モールド層 1 1 1 はマスターチップ 1 0 0 の回路層 1 0 3 を覆う保護層として活用され得る。一例として、前面モールド層 1 1 1 の幅と後面モールド層 2 1 1 の幅との中でいずれか 1 つ、そしてウエハーレベルパッケージ 1 のカッティングされたウエハー 1 0 1 の幅はスレーブチップ 2 0 0 の幅に比べて実質的に大きくなり得る。他の例として、前面モールド層 1 1 1 の幅、後面モールド層 2 1 1 の幅、及びウエハーレベルパッケージ 1 のカッティングされたウエハー 1 0 1 の幅は実質的に同一であり得る。

【 0 0 5 9 】

本実施形態によれば、半導体パッケージ 1 1 はマスターチップ 1 0 0 の非活性面 1 0 1 c とスレーブチップ 2 0 0 の活性面 2 0 1 a が対面する方式に積層されたバック - フロント (back - front) 構造を有することができる。スレーブチップ 2 0 0 のバンパ 2 0 5 がマスターチップ 1 0 0 の貫通電極 1 2 1 と連結されることによって、スレーブチップ 2 0 0 とマスターチップ 1 0 0 とが電氣的に連結され得る。外部端子 1 0 9 は前面モールド層 1 1 1 上へ突出されることによって、半導体パッケージ 1 1 と電氣的な装置 (例: 半導体チップ、半導体パッケージ、印刷回路基板、モジュール基板) との電氣的な連結が容易になり得る。一例として、後面モールド層 2 1 1 はスレーブチップ 2 0 0 とカッティングされたウエハー 1 0 1 との間に配置されないことがあり得る。

【 0 0 6 0 】

図 1 J を参照すれば、半導体パッケージ 1 1 をパッケージ基板 8 0 上に実装して半導体パッケージ 1 2 を製造することができる。一例として、印刷回路基板のようなパッケージ基板 8 0 の前面 8 0 a 上に半導体パッケージ 1 1 を実装し、半導体パッケージ 1 1 を覆う外部モールド層 8 3 を形成して半導体パッケージ 1 2 を製造することができる。パッケージ基板 8 0 の後面 8 0 b にソルダボール 8 5 を付着することができる。マスターチップ 1 0 0 は前面モールド層 1 1 1 と、後面モールド層 2 1 1 と、外部モールド層 8 3 とによって囲まれてモールドイングされ得る。スレーブチップ 2 0 0 は後面モールド層 2 1 1 と外部モールド層 8 3 とによって二重に囲まれてモールドイングされ得る。半導体パッケージ 1 2 は外部端子 1 0 9 を媒介にパッケージ基板 8 0 と電氣的に連結され、ソルダボール 8 5 を通じて電氣的な装置 (例: 半導体チップ、半導体パッケージ、モジュール基板) と電氣的に連結され得る。

【 0 0 6 1 】

< 実施形態 2 >

図 2 A 乃至図 2 D は本発明の他の実施形態による半導体パッケージの製造方法を示した断面図である。以下には第 1 実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

【 0 0 6 2 】

10

20

30

40

50

図2Aを参照すれば、ウエハーレベルチップ190上に複数個のチップ200を積層し、前面モールド層111を除去することができる。一例として、図1A乃至図1Fで説明したことから同一又は類似にウエハー101の活性面101a上に前面モールド層111を形成した後、ウエハー101を研磨し、貫通電極121と後面パッド123とを形成した後、ウエハー101の非活性面101c上に複数個のチップ200をフリップチップ実装し、ウエハー101の非活性面101c上にチップ200をモールドイングする後面モールド層211を形成した後、前面モールド層111を除去することができる。一例によれば、前面モールド層111を選択的に除去することができる化学物質を提供して前面モールド層111を除去することができる。

【0063】

10

図2Bを参照すれば、前面モールド層111の除去によってウエハー101の非活性面101c上に複数個のチップ200がフリップチップ実装されたウエハーレベルパッケージ2が製造され得る。本実施形態によれば、前面モールド層111が完全に除去されて、バンブ105は突出された状態を有することができる。他の例として、前面モールド層111は完全に除去されなく、バンブ105を埋め込ませない厚さにウエハー101の活性面101a乃至回路層103上に残留することができる。

【0064】

図2Cを参照すれば、ウエハーレベルパッケージ2をダイシングして半導体パッケージ21を製造することができる。半導体パッケージ21はマスターチップ100上にスレーブチップ200がフリップチップ実装されたバック-フロント構造を有することができる。本実施形態によれば、バンブ105が突出されているので、バンブ105上に第2バンブを形成する工程が必要としないことがあり得る。

20

【0065】

図2Dを参照すれば、半導体パッケージ21を印刷回路基板のようなパッケージ基板80の前面80a上に実装し、外部モールド層83を形成して半導体パッケージ22を製造することができる。マスターチップ100は後面モールド層211と外部モールド層83とによって囲まれてモールドイングされ得る。スレーブチップ200は後面モールド層211と外部モールド層83とによって二重に囲まれてモールドイングされ得る。

【0066】

<実施形態3>

30

図3A乃至図3Hは本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。図3Iは図3Aの変形形態を示した断面図である。図3Jは図3Gの変形形態を示した断面図である。

【0067】

以下には第1実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

【0068】

図3Aを参照すれば、ウエハーレベルチップ190上に複数個のチップ200を積層することができる。例えば、図1A乃至図1Eで説明したことから同一又は類似にウエハー101の活性面101a上に前面モールド層111を形成した後、ウエハー101を研磨し、そして貫通電極121と後面パッド123とを形成した後、ウエハー101の非活性面101c上に複数個のチップ200を実装することができる。チップ200は前面201aと第1後面201bとを有する基板201上に提供された回路層203とバンブ205とを包含することができる。チップ200はウエハー101の非活性面101c上にフリップチップが実装され、バンブ205と貫通電極121とが連結されてウエハー101の回路層103と電氣的に連結され得る。

40

【0069】

図3Bを参照すれば、ウエハーレベルチップ190上に後面モールド層211を形成し、チップ200を薄型化することができる。一例として、ウエハー101の非活性面101c上にチップ200をモールドイングする後面モールド層211を形成し、チップ20

50

0を研磨することができる。後面モールド層211はチップ200の第1後面201bを覆う形態であるか、或いは露出させる形態を有することができる。チップ200を練磨することはグラインダ90を利用するグライディング工程或いは化学機械的な研磨工程を包含することができる。前記チップ研磨によってチップ200の第1後面201bが練磨されて第2後面201b(以下、非活性面)が露出され得る。後面モールド層211はチップ200と共に練磨されてチップ200をモールドイングし、チップ200の非活性面201cを露出させる形態を有することができる。言い換えれば、後面モールド層211はチップ200の間、及びチップ200とウエハー101との間を満たすことができる。

#### 【0070】

図3Cを参照すれば、チップ200の基板201を貫通して回路層203と電氣的に連結される貫通電極221を形成することができる。例えば、チップ200の非活性面201cをドライエッチングするか、或いはドリリングして垂直ホール220を形成し、垂直ホール220をタングステンや銅等のような伝導体を電気鍍金するか、或いは蒸着して貫通電極221を形成することができる。チップ200の非活性面201c上に貫通電極221と連結される後面パッド223をさらに形成することができる。一例として、電気鍍金によって貫通電極221と後面パッド223とを同時に蒸着して一体化された1つの構造に形成することができる。他の例として、貫通電極221を形成した後に後面パッド223を別個の工程によって形成することができる。その他の例として、図1Dに図示されたことと類似に、チップ200はビアファースト或いはビアミドル工程によって形成された貫通電極221を包含することができる。この場合、前記チップ研磨によって貫通電極221を露出させた後、貫通電極221と連結される後面パッド223を形成することができる。

#### 【0071】

図3Dを参照すれば、チップ200の非活性面201c上に複数個のチップ300を実装することができる。チップ200(以下、第1スレーブチップ)とチップ300(以下、第2スレーブチップ)は1:1対応され得る。第2スレーブチップ300は活性面301aと非活性面301cとを有する基板301上に提供された回路層303とバンプ305とを包含することができる。第2スレーブチップ300は第1スレーブチップ200の非活性面201c上にフリップチップ実装され、バンプ305と貫通電極221とが連結されることによって第1スレーブチップ200と電氣的に連結され得る。第2スレーブチップ300の回路層303はメモリ回路、ロジック回路、或いはこれらの組み合わせを包含することができる。第2スレーブチップ300の基板301はチップ単位の半導体ウエハーであり得る。

#### 【0072】

図3Eを参照すれば、第2スレーブチップ300をモールドイングする第2後面モールド層311を形成し、前面モールド層111を除去することができる。一例によれば、グラインダ90で前面モールド層111を研磨してバンプ105を露出させ得る。前面モールド層111は一部が残留して隣接するバンプ105間を満たすことができる。他の例として、前面モールド層111は図2A及び図2Bに示したように化学物質を利用するエッチングによって完全に除去されるか、或いはバンプ105を露出させる埋め込ませない厚さにウエハー101の活性面101a上に残留することができる。

#### 【0073】

図3Fを参照すれば、バンプ105上に第2バンプ107を付着して外部端子109を形成することによってウエハーレベルパッケージ3を製造することができる。ウエハーレベルパッケージ3はウエハーレベルチップ190上にフリップチップ実装された第1スレーブチップ200と第2スレーブチップ300とを包含することができる。

#### 【0074】

図3Gを参照すれば、ウエハーレベルパッケージ3をダイシングしてウエハー101が分離されて形成されたマスターチップ100上に第1スレーブチップ200と第2スレーブチップ300とがフリップチップ実装された半導体パッケージ31を製造することがで

10

20

30

40

50

きる。半導体パッケージ 31 はマスターチップ 100 と第 1 スレーブチップ 200 との間のバック - フロント構造及び第 1 スレーブチップ 200 と第 2 スレーブチップ 300 との間のバック - フロント構造を有することができる。第 1 スレーブチップ 200 のパンプ 205 がマスターチップ 100 の貫通電極 121 と連結されることによって、第 1 スレーブチップ 200 とマスターチップ 100 とが電氣的に連結され、第 2 スレーブチップ 300 のパンプ 305 が第 1 スレーブチップ 200 の貫通電極 221 と連結されることによって、第 1 スレーブチップ 200 と第 2 スレーブチップ 300 とが電氣的に連結され得る。

#### 【0075】

マスターチップ 100 は第 1 スレーブチップ 200 と第 2 スレーブチップ 300 とに比べて左右幅が大きい大きさを有することができる。第 2 スレーブチップ 200 と第 2 スレーブチップ 300 とは同一であるか、或いは類似の幅を有することができる。マスターチップ 100 はウエハー 101 のダイシングによって形成されるので、マスターチップ 100 の側面 100s は露出され得る。反面に、第 1 スレーブチップ 200 の側面 200s は後面モールド層 211 によって覆っており、第 2 スレーブチップ 300 の側面 300s は第 2 後面モールド層 311 によって覆っているので、露出されないこともあり得る。

#### 【0076】

図 3H を参照すれば、半導体パッケージ 31 を印刷回路基板のようなパッケージ基板 80 の前面 80a 上に実装し、外部モールド層 83 を形成して半導体パッケージ 32 を製造することができる。マスターチップ 100 は前面モールド層 111 と、後面モールド層 211 と、外部モールド層 83 とによって囲まれてモールドイングされ得る。第 1 スレーブチップ 200 は第 1 スレーブチップ 200 を囲む後面モールド層 211 及び第 2 後面モールド層 311 を外部モールド層 83 がさらに囲む形態にモールドイングされ得る。第 2 スレーブチップ 300 は第 2 後面モールド層 311 と外部モールド層 83 とによって二重に囲まれてモールドイングされ得る。

#### 【0077】

他の例として、図 3I に示したようにウエハーレベルチップ 190 上に上部ウエハーレベルチップ 290 を積層することができる。上部ウエハーレベルチップ 290 は回路層 203 とパンプ 205 が提供された上部ウエハー 201 を包含することができる。上部ウエハー 201 はその活性面 201a がウエハー 101 の非活性面 101c に向かうように覆って下部ウエハー 101 上に積層され得る。上部ウエハー 201 の第 1 後面 201b が図 3B のように練磨されて非活性面 201c が露出され得る。

#### 【0078】

図 3B 乃至図 3G で説明したことと同一又は類似の工程によってマスターチップ 100 上に第 1 スレーブチップ 200 と第 2 スレーブチップ 300 とがフリップチップ実装された半導体パッケージ 31a が製造され得る。マスターチップ 100 はウエハー 101 のダイシングによって形成されるので、その側面 100s が露出され得る。類似に、第 1 スレーブチップ 200 は上部ウエハー 201 のダイシングによって形成されるので、その側面 200s が露出され得る。反面に、第 2 スレーブチップ 300 の側面 300s は第 2 後面モールド層 311 によって覆っているので、露出されないこともあり得る。半導体パッケージ 31a はパッケージ基板 80 上に実装され、外部モールド層 83 によってモールドイングされて図 3H に図示された半導体パッケージ 32 と類似にパッケージングされ得る。

#### 【0079】

##### < 実施形態 4 >

図 4A 乃至図 4E は本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。以下には第 1 実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

#### 【0080】

図 4A を参照すれば、ウエハーレベルチップ 190 上に複数個の半導体パッケージ 11 を積層することができる。一例として、図 1A 乃至図 1C で説明したことと同一又は類似にウエハー 101 の活性面 101a 上に前面モールド層 111 を形成し、ウエハー 101

10

20

30

40

50

を研磨した後、貫通電極 121 と後面パッド 123 とを形成することができる。その後、ウエハー 101 の非活性面 101c 上に図 1I に図示された複数個の半導体パッケージ 11 を実装することができる。半導体パッケージ 11 の外部端子 109 がウエハーレベルチップ 190 の貫通電極 121 に連結されることによって、半導体パッケージ 1 とウエハーレベルチップ 190 とが電氣的に連結され得る。

【0081】

図 4B を参照すれば、ウエハー 101 の非活性面 101c 上に半導体パッケージ 11 をモルディングする後面モールド層 211 を形成し、前面モールド層 111 を除去することができる。前面モールド層 111 はグラインダ 90 を利用するグラインディング工程、或いは化学物質を利用するエッチング工程等に除去されることができる。例えばグラインダ 90 で前面モールド層 111 を研磨してバンプ 105 を露出させ得る。

10

【0082】

図 4C を参照すれば、バンプ 105 上に第 2 バンプ 107 を付着して外部端子 109a を形成することによってウエハーレベルパッケージ 4 を製造することができる。ウエハーレベルパッケージ 4 はウエハーレベルチップ 190 上に実装された複数個の半導体パッケージ 11 を包含することができる。

【0083】

図 4D を参照すれば、ウエハーレベルパッケージ 4 をダイシングしてウエハー 101 が分離されて形成されたマスターチップ 100 上に半導体パッケージ 11 が実装された半導体パッケージ 41 を製造することができる。一例によれば、マスターチップ 100 の側面 100s は露出され、半導体パッケージ 11 は後面モールド層 211 によってモルディングされ得る。

20

【0084】

図 4E を参照すれば、半導体パッケージ 41 を印刷回路基板のようなパッケージ基板 80 の前面 80a 上に実装し、外部モールド層 83 を形成して、半導体パッケージ 42 を製造することができる。マスターチップ 100 は前面モールド層 111 と、後面モールド層 211 と、外部モールド層 83 とによって囲まれてモルディングされ得る。半導体パッケージ 11 は後面モールド層 111 と外部モールド層 83 とによって二重に囲まれてモルディングされ得る。

【0085】

30

< 実施形態 5 >

図 5A 乃至図 5E は本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。以下には第 1 実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

【0086】

図 5A を参照すれば、下部ウエハーレベルチップ 190 上に上部ウエハーレベルチップ 295 を積層することができる。例えば、図 1A 乃至図 1C で説明したことと同一又は類似にウエハー 101 の活性面 101a 上に前面モールド層 111 を形成し、ウエハー 101 を研磨した後、貫通電極 121 と後面パッド 123 とを形成することができる。その後、ウエハー 101 (以下、下部ウエハー) の非活性面 101c 上に回路層 253 を有するウエハー 251 (以下、上部ウエハー) を積層することができる。上部ウエハー 251 は活性面 251a と非活性面 251c とを有するシリコンのような半導体を包含することができる。上部ウエハー 251 の活性面 251a の上には回路層 253 と電氣的に連結されたバンプ 255 が提供され得る。上部ウエハー 251 はその活性面 251a が下部ウエハー 101 の非活性面 101c に向かうように覆して下部ウエハー 101 上に積層され得る。

40

【0087】

図 5B を参照すれば、下部ウエハー 101 の非活性面 101c 上に上部ウエハーレベルチップ 295 をモルディングする後面モールド層 211 を形成し、前面モールド層 111 を除去することができる。前面モールド層 111 はグラインダ 90 によってバンプ 10

50

5を露出させる時まで研磨され得る。他の例として、前面モールド層111は図2A及び図2Bに示したように化学物質を利用するエッチングによって完全に除去されるか、或いはバンプ105を露出させる埋め込ませない厚さにウエハー101の活性面101a上に残留することができる。

【0088】

図5Cを参照すれば、バンプ105上に第2バンプ107を付着して外部端子109を形成することができる。前記一連の工程を通じて上部ウエハーレベルチップ295が後面モールド層211でモールドイングされて、下部ウエハーレベルチップ190上に積層されたウエハーレベルパッケージ5を製造することができる。

【0089】

図5Dを参照すれば、ウエハーレベルパッケージ5をダイシングして下部ウエハー101が分離されて形成されたマスターチップ100上に上部ウエハー251が分離されて形成されたスレーブチップ250が実装された半導体パッケージ51を製造することができる。マスターチップ100の側面100sとスレーブチップ250の側面250sとは露出され得る。

【0090】

図5Eを参照すれば、半導体パッケージ51を印刷回路基板のようなパッケージ基板80の前面80a上に実装し、外部モールド層83を形成して、半導体パッケージ52を製造することができる。マスターチップ100は前面モールド層111と、後面モールド層211と、外部モールド層83とによって囲まれてモールドイングされ得る。スレーブチップ250は後面モールド層211と外部モールド層83とによって囲まれてモールドイングされ得る。

【0091】

<実施形態6>

図6A乃至図6Dは本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。以下には第1実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

【0092】

図6Aを参照すれば、ウエハーレベルチップ190上に複数個のチップ200を積層することができる。例えば、図1A乃至図1Eで説明したことと同一又は類似にウエハー101の活性面101a上に前面モールド層111を形成し、ウエハー101を研磨した後、貫通電極121と後面パッド123とを形成し、そしてウエハー101の非活性面101c上に複数個のチップ200をフリップチップ実装することができる。本実施形態によれば、ウエハーレベルチップ190はウエハー101の活性面101a上に提供されて前面パッド104と連結されるバンプを包含しないことがあり得る。

【0093】

図6Bを参照すれば、ウエハーレベルチップ190上に後面モールド層211を形成し、前面モールド層111をグラインディング工程、化学機械的研磨工程、或いはエッチング工程等によって除去することができる。一例によれば、前面モールド層111はグライнда90によって練磨されて前面パッド104が露出され得る。

【0094】

図6Cを参照すれば、前面モールド層111の除去によってウエハーレベルチップ190上に複数個のチップ200が積層されたウエハーレベルパッケージ6が製造され得る。バンプ205が貫通電極121と連結されることによって、チップ200がウエハーレベルチップ190と電氣的に連結され得る。

【0095】

図6Dを参照すれば、ウエハーレベルパッケージ6のダイシングによって形成されたチップ積層体195を印刷回路基板のようなパッケージ基板70上に実装して半導体パッケージ61を製造することができる。一例として、前面パッド104に連結されるボンディングパッド74を形成し、接着層71の介在下にチップ積層体195を実装してパッケー

10

20

30

40

50



ジ基板 70 の前面 70 a 上に実装することができる。チップ積層体 195 はウエハー 101 のダイシングによって分離されて形成されたマスターチップ 100 上にフリップチップ実装されたスレーブチップ 200 を包含することができる。

#### 【0096】

パッケージ基板 70 の後面 70 b にはソルダボール 75 が付着され得る。本実施形態によれば、パッケージ基板 70 はチップ積層体 195 のセンターを開放するウインドー 70 w を包含することができる。チップ積層体 195 はウインドー 70 w を通過してボンディングパッド 74 に接続するボンディングワイヤ 72 を通じてパッケージ基板 70 と電氣的に連結され得る。ウインドー 70 w はボンディングワイヤ 72 を固定させ、保護するモールド層 73 によって満たされ得る。

10

#### 【0097】

##### < 応用例 >

図 7 A は本発明の実施形態による半導体パッケージを具備するメモリカードを示したブロック図である。図 7 B は本発明の実施形態による半導体パッケージを応用した情報処理システムを示したブロック図である。

#### 【0098】

図 7 A を参照すれば、メモリカード 1200 はホストとメモリ 1210 との間の諸般データ交換を制御するメモリコントローラ 1220 を包含することができる。SRAM 1221 は中央処理装置 1222 の動作メモリとして使用され得る。ホストインターフェイス 1223 はメモリカード 1200 と接続されるホストのデータ交換プロトコルを具備することができる。誤謬修正コード 1224 はメモリ 1210 から読出されたデータに含まれる誤謬を検出及び訂正することができる。メモリアンターフェイス 1225 はメモリ 1210 とインターフェイシングする。中央処理装置 1222 はメモリコントローラ 1220 のデータを交換するための諸般制御動作を遂行することができる。メモリ 1210 は本実施形態の半導体パッケージの中で少なくともいずれか 1 つを包含することができる。

20

#### 【0099】

図 7 B を参照すれば、情報処理システム 1300 は本実施形態の半導体パッケージの中で少なくともいずれか 1 つを具備するメモリシステム 1310 を包含することができる。情報処理システム 1300 はモバイル機器やコンピューター等を包含することができる。一例として、情報処理システム 1300 はシステムバス 1360 に電氣的に連結されたメモリシステム 1310、モデム 1320、中央処理装置 1330、RAM 1340、ユーザインターフェイス 1350 を包含することができる。メモリシステム 1310 はメモリ 1311 とメモリコントローラ 1312 とを包含でき、図 7 A のメモリカード 1200 と実質的に同様に構成され得る。このようなメモリシステム 1310 には中央処理装置 1330 によって処理されたデータ又は外部から入力されたデータが格納され得る。情報処理システム 1300 はメモリカード、半導体ディスク装置 (Solid State Disk)、カメライメージプロセッサ (Camera Image Sensor)、及びその他の応用チップセット (Application Chipset) に提供され得る。

30

#### 【0100】

以上の発明の詳細な説明は開示された実施状態に本発明を制限しようとする意図ではなく、本発明の要旨を逸脱しない範囲内で多様な他の組み合わせ、変更及び環境で使用することができる。添付された請求の範囲は他の実施状態も含むことと理解しなければならない。

40

#### 【符号の説明】

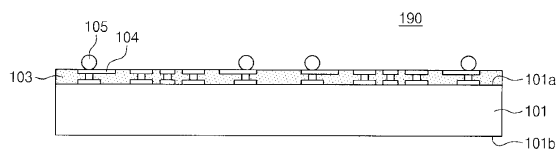
#### 【0101】

- 1、11・・・半導体パッケージ
- 100・・・マスターチップ
- 101・・・下部ウエハー
- 101a・・・前面、活性面

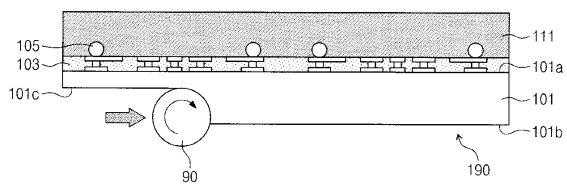
50

- 101b・・・第1後面、非活性面
- 101c・・・第2後面
- 103・・・回路層
- 104・・・前面パッド
- 105・・・バンプ
- 109・・・外部端子
- 111・・・前面モールド層
- 120・・・垂直ホール
- 121・・・貫通電極
- 123・・・後面パッド
- 200・・・スレーブチップ

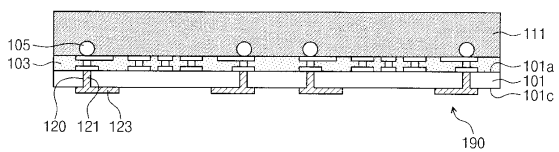
【図1A】



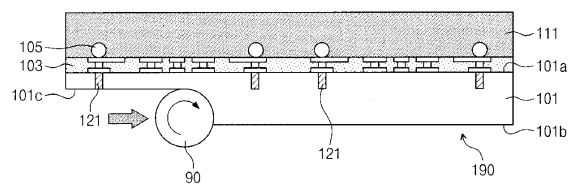
【図1B】



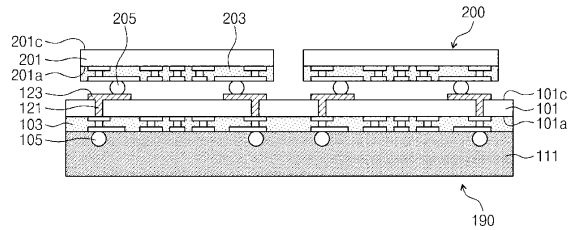
【図1C】



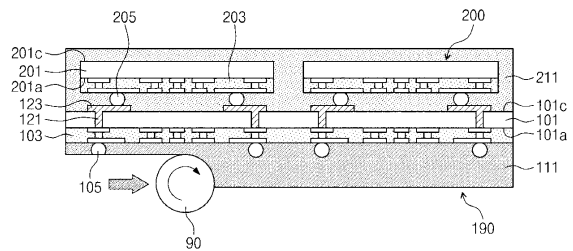
【図1D】



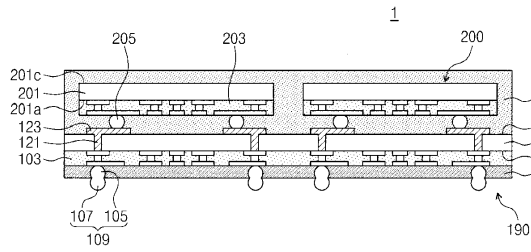
【図1E】



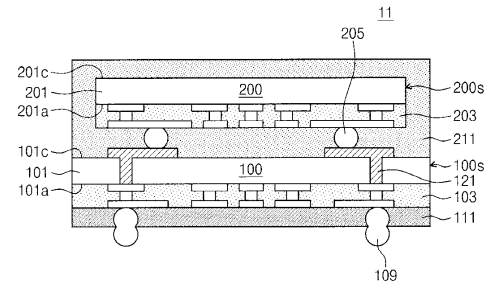
【図1F】



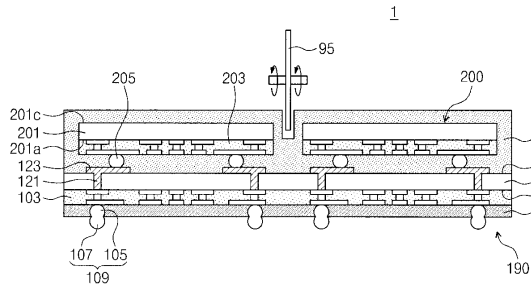
【図 1 G】



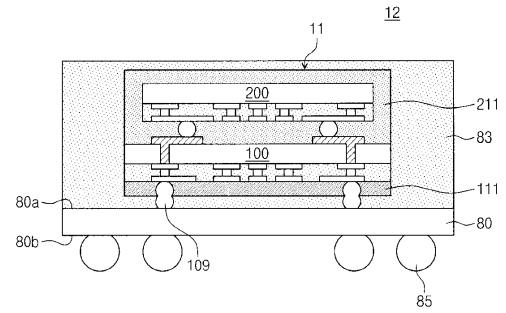
【図 1 I】



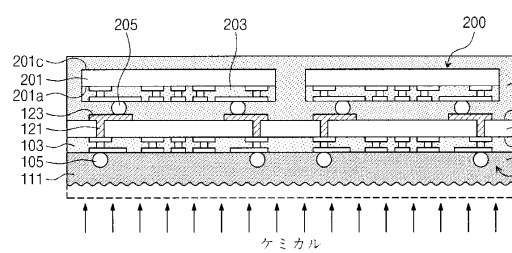
【図 1 H】



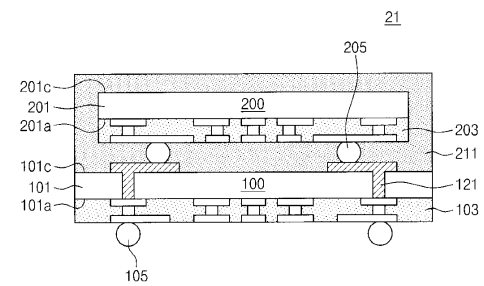
【図 1 J】



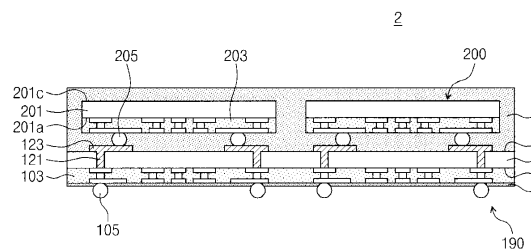
【図 2 A】



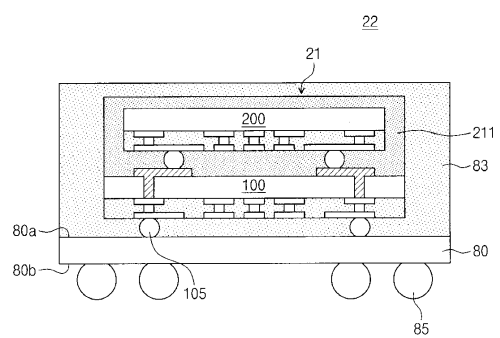
【図 2 C】



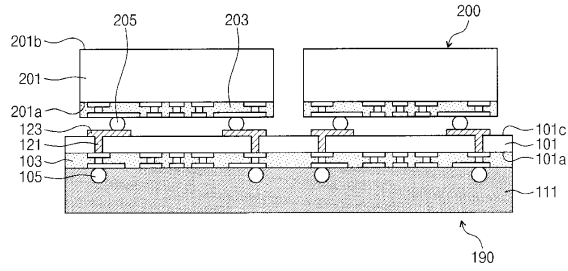
【図 2 B】



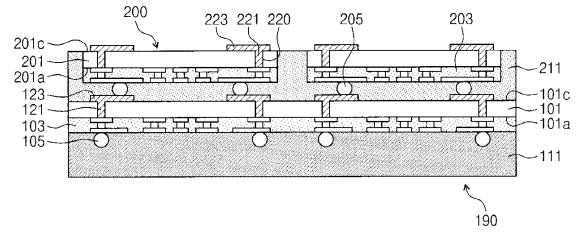
【図 2 D】



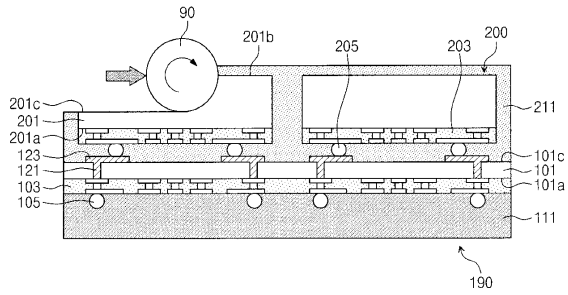
【図 3 A】



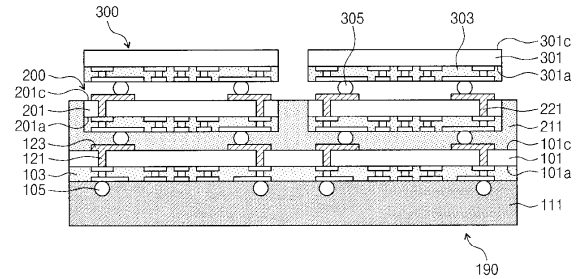
【図 3 C】



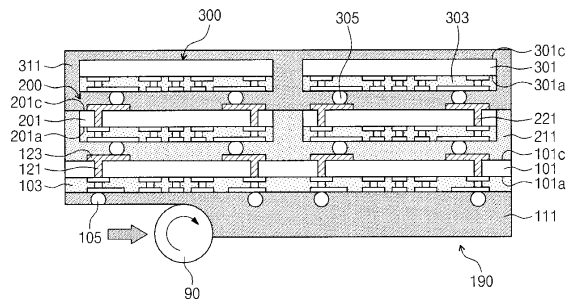
【図 3 B】



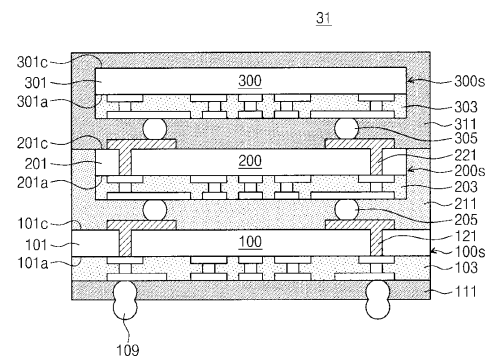
【図 3 D】



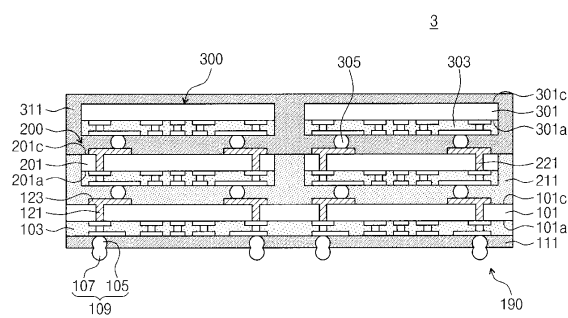
【図 3 E】



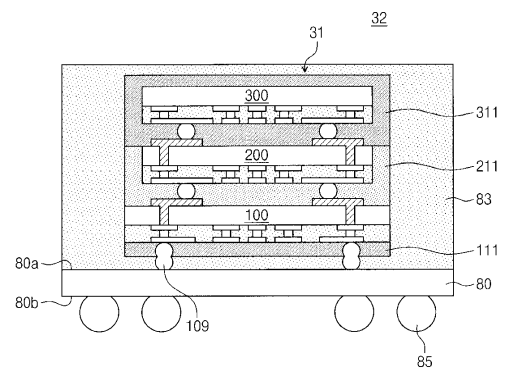
【図 3 G】



【図 3 F】

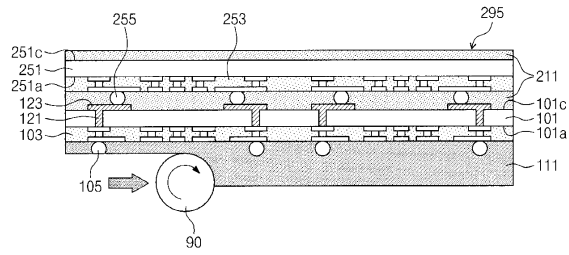


【図 3 H】

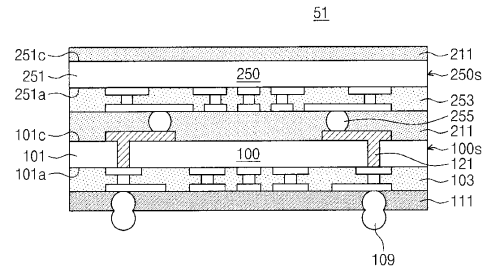




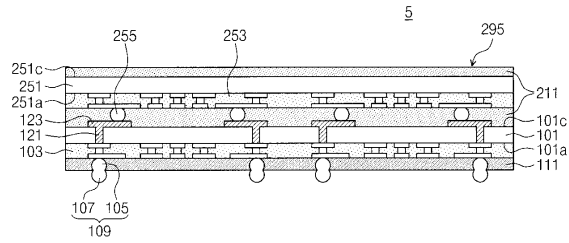
【図 5 B】



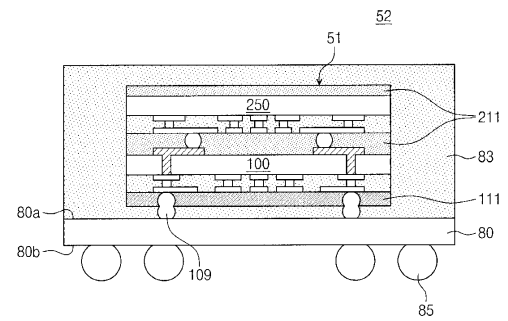
【図 5 D】



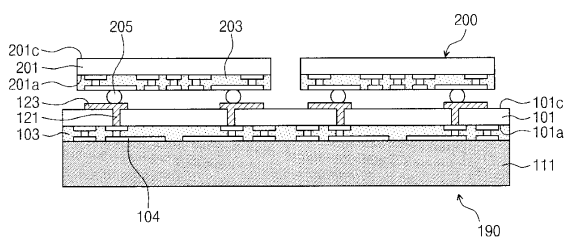
【図 5 C】



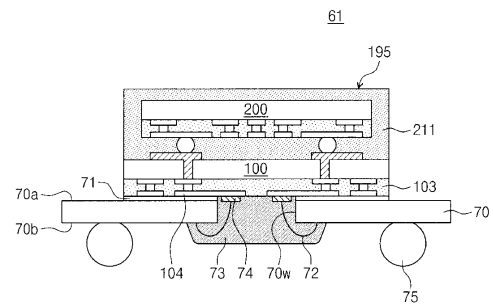
【図 5 E】



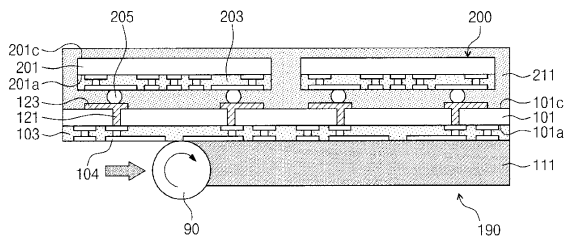
【図 6 A】



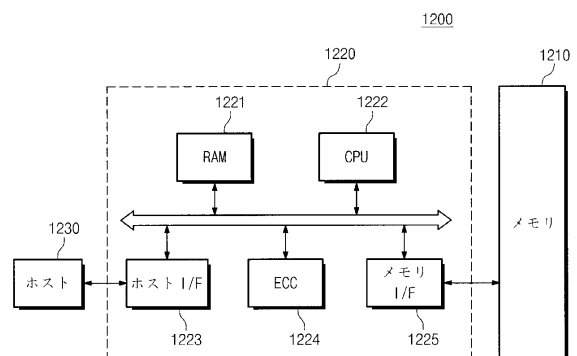
【図 6 D】



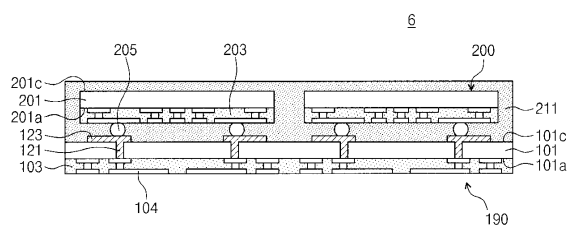
【図 6 B】



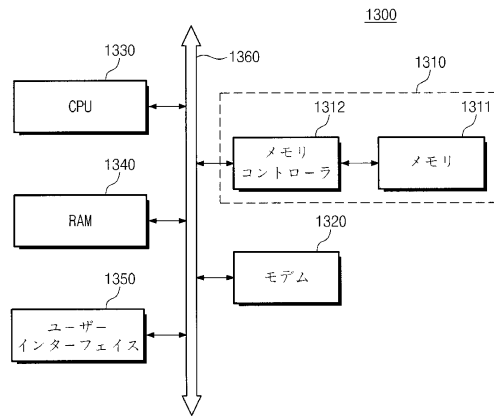
【図 7 A】



【図 6 C】



【図 7 B】



## フロントページの続き

(51)Int.Cl. F I

H 0 1 L 25/11 (2006.01)

(72)発明者 馬 金希

大韓民国京畿道水原市靈通区靈通洞(番地なし) ファンゴルマウル233棟1803号

(72)発明者 李 仁榮

大韓民国京畿道龍仁市水枝区サンヒョン・ドン(番地なし) マンヒョンマウル3団地スンウォン  
アパートメント304棟202号

(72)発明者 趙 文祺

大韓民国京畿道軍浦市山本洞1026-10 グンジョンサムスンチェヴィルアパートメントエ  
ー棟2303号

(72)発明者 趙 チャ 済

大韓民国仁川広域市富平区サンゴク1・ドン(番地なし) ヒュンダイ1次アパートメント105  
棟802号

(72)発明者 趙 泰済

大韓民国京畿道華城市盤松洞167番地 デウープルジオハイム227号

審査官 豊島 洋介

(56)参考文献 米国特許出願公開第2004/0188819(US,A1)

特開2001-237205(JP,A)

米国特許出願公開第2013/0037917(US,A1)

特開2012-238894(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H 0 1 L 2 3 / 1 2 - 2 3 / 1 5

2 5 / 0 0 - 2 5 / 0 7

2 5 / 1 0 - 2 5 / 1 1

2 5 / 1 6 - 2 5 / 1 8

H 0 5 K 3 / 4 6