

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5908030号  
(P5908030)

(45) 発行日 平成28年4月26日(2016.4.26)

(24) 登録日 平成28年4月1日(2016.4.1)

(51) Int.Cl.  
**H01L 23/12 (2006.01)**  
**H01L 25/065 (2006.01)**  
**H01L 25/07 (2006.01)**  
**H01L 25/18 (2006.01)**  
**H01L 25/10 (2006.01)**

F 1  
 H01L 23/12 501 P  
 H01L 25/08 C  
 H01L 25/14 Z

請求項の数 20 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2014-125069 (P2014-125069)  
 (22) 出願日 平成26年6月18日 (2014.6.18)  
 (65) 公開番号 特開2015-5748 (P2015-5748A)  
 (43) 公開日 平成27年1月8日 (2015.1.8)  
 審査請求日 平成28年1月8日 (2016.1.8)  
 (31) 優先権主張番号 10-2013-0071775  
 (32) 優先日 平成25年6月21日 (2013.6.21)  
 (33) 優先権主張国 韓国 (KR)  
 (31) 優先権主張番号 14/264,120  
 (32) 優先日 平成26年4月29日 (2014.4.29)  
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区三星路 129  
 129, Samsung-ro, Yeon  
 gton-gu, Suwon-si, G  
 yeonggi-do, Republic  
 of Korea  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 鄭 顯秀  
 大韓民国京畿道華城市石隅洞 (番地なし)  
 ウミリンジエイルブンギョンチャアパー  
 トメント 115 棟 1001 号

最終頁に続く

(54) 【発明の名称】貫通電極を有する半導体パッケージ及びその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

ウエハーの前面上に第1活性層を含む基板を提供し、  
 前記第1活性層上にポリマー物質を含む第1モールド層を形成して前記基板に剛性を提供し、  
 前記第1モールド層を形成した後に、接着剤の使用無しで前記第1モールド層に装置を付着して前記基板が支持された状態で、前記基板の第1後面を除去して前記基板を薄型化し、第2後面を露出させ、  
 前記薄型化された基板に前記基板に提供された貫通電極と電気的に連結されるパッドを形成することを含み、

前記第1モールド層は、前記基板が薄型化の間に曲がらないように、基板に剛性を提供するための所定の厚さを有する、半導体素子の製造方法。

## 【請求項 2】

前記装置は、前記装置が前記第1モールド層に接着されないまま、前記第1モールド層に付着される請求項1に記載の半導体素子の製造方法。

## 【請求項 3】

前記装置は、前記装置と前記第1モールド層との間に接着剤を使用せずに、前記第1モールド層に付着される請求項1に記載の半導体素子の製造方法。

## 【請求項 4】

前記基板の第1後面を薄型化することは、

機械的な工程を使用して前記第1後面を除去することを含む請求項1に記載の半導体素子の製造方法。

【請求項5】

前記基板の第1後面を薄型化することは、

前記基板の第1後面をグラインディングすることを含む請求項1に記載の半導体素子の製造方法。

【請求項6】

前記薄型化された基板内に前記貫通電極を形成することをさらに含む請求項4に記載の半導体素子の製造方法。

【請求項7】

10

前記薄型化された基板の第2後面上にチップを積層することをさらに含み、

前記チップの活性面は、前記薄型化された基板の第2後面に向かう請求項6に記載の半導体素子の製造方法。

【請求項8】

前記チップ上に前記チップをモールディングする第2モールド層を形成して前記基板に剛性を付し、

前記第2モールド層を形成した後に前記第1モールド層の少なくとも一部を除去して滑らかで平坦な面を形成することをさらに含む請求項7に記載の半導体素子の製造方法。

【請求項9】

20

前記第1及び第2モールド層と前記基板とをカッティングして半導体パッケージを形成することをさらに含み、

前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅の中でいずれか1つは、前記チップの幅に比べて大きい請求項8に記載の半導体素子の製造方法。

【請求項10】

前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅は、同一である請求項9に記載の半導体素子の製造方法。

【請求項11】

30

前記第2モールド層は、前記チップと前記基板との間に配置されない請求項9に記載の半導体素子の製造方法。

【請求項12】

前記基板を薄型化する時、前記装置は、前記第1モールド層と直接接触して支持する真空チャックである請求項1に記載の半導体素子の製造方法。

【請求項13】

前記第1モールド層の少なくとも一部を除去する時、前記第2モールド層は、真空チャックに直接接触して支持される請求項8に記載の半導体素子の製造方法。

【請求項14】

40

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとは、1つの桁程度(*an order of magnitude*)の範囲である請求項1に記載の半導体素子の製造方法。

【請求項15】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとの比は、3乃至1である請求項1に記載の半導体素子の製造方法。

【請求項16】

前記第1活性層は、回路層である請求項1に記載の半導体素子の製造方法。

【請求項17】

ウエハーの前面上に提供された第1活性層を含む基板を提供し、

前記第1活性層上にポリマー物質を含む第1モールド層を形成して前記基板に剛性を付し、

50

前記第1モールド層を形成した後に、前記基板の第1後面を除去して前記基板を薄型化し、第2後面を露出させ、

前記薄型化された基板内に前記第1活性層と電気的に連結される貫通電極を形成し、

前記薄型化された基板上に前記基板内に提供された前記貫通電極と電気的に連結されるパッドを形成することを

含み、

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとは、1つの桁程度(an order of magnitude)の範囲である、半導体素子の製造方法。

**【請求項18】**

10

前記第1モールド層は、装置が前記第1モールド層に接着されないまま、前記装置に付着される、請求項17に記載の半導体素子の製造方法。

**【請求項19】**

前記第1モールド層は、装置と前記第1モールド層との間に接着剤を使用せずに、前記装置に付着される、請求項17に記載の半導体素子の製造方法。

**【請求項20】**

前面に第1活性層を含む基板を提供し、

前記第1活性層上に第1モールド層を形成して前記基板に剛性を提供し、

前記第1モールド層を形成した後に、前記基板の第1後面を除去して前記基板を薄型化し、第2後面を露出させ、

20

前記薄型化された基板内に前記第1活性層と電気的に連結される貫通電極を形成し、

前記薄型化された基板に前記基板内に提供された前記貫通電極と電気的に連結されるパッドを形成し、

前記薄型化された基板の第2後面上に、チップの活性面が前記薄型化された基板の第2後面に向かう前記チップを積層すること含み、

前記基板が薄型化されるときに接着剤の使用無しで装置に前記第1モールド層を付着して、前記基板が支持され、

前記第1モールド層の幅、及び前記基板の幅は、同一である、半導体素子の製造方法。

**【発明の詳細な説明】**

30

**【技術分野】**

**【0001】**

本発明は半導体に関し、より具体的には貫通電極を有する半導体パッケージ及びその製造方法に関する。

**【背景技術】**

**【0002】**

貫通電極によって高性能の半導体パッケージが具現される。貫通電極を半導体パッケージに適用するためには、接着剤を利用してウエハーにキャリヤーをボンディングした後、ウエハーを練磨することが一般的である。半導体パッケージに貫通電極を適用するためにはキャリヤー工程が必要とされるので、生産性の低下と工程費用の上昇のような問題点があった。

40

**【先行技術文献】**

**【特許文献】**

**【0003】**

【特許文献1】米国特許第8338939号明細書

【特許文献2】米国特許第8373261号明細書

**【発明の概要】**

**【発明が解決しようとする課題】**

**【0004】**

本発明は、従来技術での問題点を解決するために案出されたことであって、本発明の目的は、工程費用を減らし、生産性を向上させることができる貫通電極を有する半導体パッ

50

ケージ及びその製造方法を提供することである。

【課題を解決するための手段】

【0005】

本発明の一実施形態は、半導体素子の製造方法を提供し、前記方法は、ウエハーの前面上に第1活性層を含む基板を提供し、前記第1活性層上にポリマー物質を含む第1モールド層を形成して前記基板に剛性を提供し、前記第1モールド層を形成した後に、接着剤の使用無しで前記第1モールド層に装置を除去できるように付着して前記基板が支持された状態で、前記基板の第1後面を除去して前記基板を薄型化し、第2後面を露出させ、前記薄型化された基板に前記基板に提供された貫通電極と電気的に連結されるパッドを形成すること包含することができる。

10

【0006】

前記装置は、前記装置が前記第1モールド層に接着されないまま、前記第1モールド層に除去できるように付着され得る。

【0007】

前記装置は、前記装置と前記第1モールド層との間に接着剤を使用せずに、前記第1モールド層に除去できるように付着され得る。

【0008】

前記基板の第1後面を薄型化することは、機械的な工程を使用して前記第1後面を除去することを包含することができる。

【0009】

前記基板の第1後面を薄型化することは、前記基板の第1後面をグラインディングすることを包含することができる。

20

【0010】

一実施形態において、前記方法は、前記薄型化された基板内に前記貫通電極を形成することをさらに含むことができる。

【0011】

一実施形態において、前記方法は、前記薄型化された基板の第2後面上にチップを積層することをさらに含み、前記チップの活性面は、前記薄型化された基板の第2後面に向かうことができる。

【0012】

一実施形態において、前記方法は、前記チップ上に前記チップをモールディングする第2モールド層を形成して前記基板に剛性を付し、前記第2モールド層を形成した後に前記第1モールド層の少なくとも一部を除去して滑らかで平坦な面を形成することをさらに含むことができる。

30

【0013】

一実施形態において、前記方法は、前記第1及び第2モールド層と前記基板とをカッティングして半導体パッケージを形成することをさらに含み、

前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅の中でいずれか1つは、前記チップの幅に比べて大きくなり得る。

40

【0014】

前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅は、同一であり得る。

【0015】

前記第2モールド層は、前記チップと前記基板との間に配置されないことがあり得る。

【0016】

前記基板を薄型化する時、前記装置は、前記第1モールド層と直接接触して支持する真空チャックであり得る。

【0017】

前記第1モールド層の少なくとも一部を除去する時、前記第2モールド層は、真空チャ

50

ックに直接接触して支持され得る。

【0018】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとは、1つの桁程度(a n o r d e r o f m a g n i t u d e)の範囲であり得る。

【0019】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとの比は、3乃至1であり得る。

【0020】

前記第1活性層は、回路層であり得る。

【0021】

本発明の他の実施形態は、半導体素子の製造方法を提供し、前記方法は、ウエハーの前面に提供された第1活性層を含む基板を提供し、

前記第1活性層上にポリマー物質を含む第1モールド層を形成して前記基板に剛性を付し、前記第1モールド層を形成した後に、前記基板の第1後面を除去して前記基板を薄型化し、第2後面を露出させ、前記薄型化された基板内に前記第1活性層と電気的に連結される貫通電極を形成し、前記薄型化された基板上に前記基板内に提供された前記貫通電極と電気的に連結されるパッドを形成することを包含することができる。

【0022】

前記装置は、前記装置が前記第1モールド層に接着されないまま、前記第1モールド層に除去できるように付着され得る。

【0023】

前記装置は、前記装置と前記第1モールド層との間に接着剤を使用せずに、前記第1モールド層に除去できるように付着され得る。

【0024】

前記基板の第1後面を薄型化することは、機械的な工程を使用して前記第1後面を除去することを包含することができる。

【0025】

前記基板の第1後面を薄型化することは、前記基板の第1後面をグラインディングすることを包含することができる。

【0026】

他の実施形態において、前記方法は、前記薄型化された基板の第2後面上にチップを積層することをさらに含み、前記チップの活性面は、前記薄型化された基板の第2後面に向かうことができる。

【0027】

他の実施形態において、前記方法は、前記チップ上に前記チップをモールディングする第2モールド層を形成して前記基板に剛性を付し、前記第2モールド層を形成した後に前記第1モールド層の少なくとも一部を除去して滑らかで平坦な面を形成することをさらに含むことができる。

【0028】

他の実施形態において、前記方法は、前記第1及び第2モールド層と前記基板とをカッティングして半導体パッケージを形成することをさらに含み、前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅の中でいずれか1つは、前記チップの幅に比べて大きくなり得る。

【0029】

前記半導体パッケージの第1モールド層の幅、前記半導体パッケージの第2モールド層の幅、及び前記半導体パッケージの基板の幅は、同一であり得る。

【0030】

前記第2モールド層は、前記チップと前記基板との間に配置されないことがあり得る。

【0031】

前記基板を薄型化する時、前記装置は、前記第1モールド層と直接接触して支持する真

10

20

30

40

50

空チャックであり得る。

【0032】

前記第1モールド層の少なくとも一部を除去する時、前記第2モールド層は、真空チャックに直接接触して支持され得る。

【0033】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEは、1つの桁程度(*an order of magnitude*)の範囲であり得る。

【0034】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとの比は、3乃至1であり得る。

10

【0035】

本発明の一実施形態は、半導体素子を提供し、前記半導体素子は、第1ポリマー物質を含む第1モールド層と、前記第1モールド層上に配置された第1活性層と、前記第1活性層上に配置され、前記第1活性層と電気的に連結される貫通電極が内部に形成された基板と、前記基板上に形成されて前記貫通電極と電気的に連結されるパッドと、前記基板上に配置され、前記チップの第2活性層に向かって、そして前記パッドと電気的に連結されたチップと、前記チップの少なくとも一部を覆い、前記基板に剛性を付し、そして第2ポリマー物質を含む第2モールド層と、を含み、前記基板の幅は、前記チップの幅に比べて大きくなり得る。

【0036】

20

前記チップは、前記第2モールド層によって囲まれることができる。

【0037】

前記基板の側壁と前記第1活性層の側壁とは、前記第2モールド層によって覆わないこともあり得る。

【0038】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとは、1つの桁程度(*an order of magnitude*)の範囲であり得る。

【0039】

前記第1モールド層の熱膨張係数CTEと前記基板の熱膨張係数CTEとの比は、3乃至1であり得る。

30

【発明の効果】

【0040】

本発明によると、ウエハーを練磨する段階において、必要であるキャリヤーのボンディング及びデボンディング工程が必要としないので、生産性を向上させ、工程費用を減少させることができる効果がある。ウエハーと類似の熱膨張係数を有するモールド層をウエハー上に形成することによってウエハーの歪み現象を無くすか、或いは減らすことができるので、工程不良を抑制することができる効果がある。さらに、本発明は貫通電極を形成するためのビアファースト、ビアミドル、及びビアラスト工程の中でいずれかのスキームとの互換性がある。

【図面の簡単な説明】

40

【0041】

【図1A】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1B】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1C】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1D】図1Bの変形形態を示した断面図である。

【図1E】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

。

50

【図1F】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1G】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1H】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図11】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図1J】本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。

【図2A】本発明の他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図2-B】本発明の他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図 2-1】本発明の他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図2-D】本発明の他の実施形態による半導体ハッソーラの製造方法を示した断面図である。

【図3A】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図3B】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図3-D】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図3-E】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図

【図3F】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図

【図3G】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図

【図3H】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図

である。

【図3-I】図3-Aの変形形態を示した断面図である。

【図 3 J】図 3 G の変形形態を示した断面図である。  
【図 4 A】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図

【図4B】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図

【図4C】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図

【図4D】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図4E】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図 5 A】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図5B】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図5C】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図5D】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図5E】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図6A】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図6B】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

10

【図6C】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図6D】本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。

【図7A】本発明の実施形態による半導体パッケージを具備するメモリカードを示したブロック図である。

【図7B】本発明の実施形態による半導体パッケージを応用した情報処理システムを示したブロック図である。

【発明を実施するための形態】

【0042】

20

以下、本発明による半導体パッケージ及びその製造方法を添付した図面を参照して詳細に説明する。

【0043】

本発明と従来技術とを比較した長所は添付された図面を参照した詳細な説明と特許請求の範囲を通じて明確になり得る。特に、本発明は特許請求の範囲で明確に請求される。しかし、本発明は添付された図面と関連して次の詳細な説明を参照することによって最も良く理解されることができる。図面において、同一の参照符号は多様な図面を通じて同一の構成要素を示す。

【0044】

<実施形態1>

30

図1A乃至図1Jは本発明の一実施形態による半導体パッケージの製造方法を示した断面図である。図1Dは図1Bの変形形態を示した断面図である。

【0045】

図1Aを参照すれば、ウエハー101上に活性層が形成されたウエハーレベルチップ190が提供され得る。一例によれば、活性層は回路層103であり、本発明はこれに限定されない。ウエハー101は前面101aと第1後面101bとを有するシリコンのような半導体を包含することができる。ウエハーレベルチップ190の前面101aの上には回路層103と電気的に連結されたバンプ105が提供され得る。回路層103はメモリ回路、ロジック回路或いはこれらの組み合わせのような集積回路を含み、回路層103の構成要素と電気的に連結された前面パッド104をさらに包含することができる。バンプ105は前面パッド104に直接或いは間接的に接続されて回路層103と電気的に連結され得る。

40

【0046】

図1Bを参照すれば、ウエハーレベルチップ190上に前面モールド層111を形成し、ウエハー101を薄型化することができる。例えば、ウエハー101の前面101a上に前面モールド層111を形成し、ウエハー101を研磨することができる。一例として、前面モールド層111がウエハー101を支持した状態でウエハー101の第1後面101bをグラインダ90によって研磨することができる。前記ウエハー後面研磨によってウエハー101の厚さが縮小されて第2後面101cが露出され得る。一例によれば、ウエハー101は機械的な工程のような薄型化工程によって薄型化され得る。本明細書で前

50

面は活性面に相当し、第2後面は非活性面に相当することがあり得る。

【0047】

前面モールド層111はウエハー101に剛性乃至硬直性を提供するのに充分な厚さを有するので、ウエハー後面研磨工程の時、ウエハー101は曲がらず、屈曲されず、或いは変形されず、その状態を維持することができる。以下ではウエハー101の曲げに対して説明されるが、本発明の実施形態はこれに限定されず、ウエハー101の屈曲、変形、或いは歪み等に対しても適用され得る。前面モールド層111は絶縁体、例えばエポキシ樹脂のような高分子物質を包含することができる。エポキシ樹脂は約50～80ppm/

の熱膨張係数CTEを有していると知られている。ウエハー101を構成するシリコンのCTEは大略3ppm/であるので、ウエハー101と前面モールド層111との間の熱膨張係数の差(CTEmismatch)によってウエハー101の歪み(warpage)現象が発生することができると知られる。本発明をこれに限定しようとする意図ではなく、単なる一例として、前面モールド層111はエポキシ樹脂にシリカが混合された(例:約80wt%のシリカ含量)約5～7ppm/のCTEを有するエポキシピラー複合体を包含することができる。このようにウエハー101のCTEと類似のCTEを有する前面モールド層111を形成することによってウエハー101の歪み現象が無くなるか、或いは減少され得る。一例によれば、ウエハー101の熱膨張係数CTEと前面モールド層111の熱膨張係数CTEとは同じ大きさの程度(same order of magnitude)、例えば2つの熱膨張係数は1乃至10ppm/であり得る。他の例として、前面モールド層111の熱膨張係数CTE:ウエハー101の熱膨張係数CTE=3:1であり得る。

【0048】

本実施形態によれば、前記ウエハー後面研磨工程の時、前面モールド層111がウエハー101を支持するので、ウエハー101の前面101a上に接着剤を利用してキャリヤーを付着する工程が必要としない。その上に、前面モールド層111はウエハー101と類似のCTEを有するので、歪み現象によるウエハー101の損傷を避けることができる。

【0049】

前面モールド層111はウエハー101と回路層103とを含むウエハーレベルチップ190に全体的に剛性乃至硬直性を提供する。ウエハー研磨工程の時、ウエハーレベルチップ190、特に前面モールド層111は剛性乃至硬直性を提供して曲げやすいことを防止する真空チャックやその以外の他の器具のような装置によって支持される。一例として、真空チャックは前面モールド層111に直接接触して支持することができる。

【0050】

前記装置は接着剤の使用無しで前面モールド層111に脱付着され得る。例えば、前記装置は前面モールド層111に接着されない状態で脱付着され得る。他の例として、前記装置と前面モールド層111との間に接着剤を形成しなかった状態で前記装置が前面モールド層111とに脱付着され得る。

【0051】

図1Cを参照すれば、ウエハー101を貫通して回路層103に電気的に連結される貫通電極121を形成することができる。言い換えれば、貫通電極121は貫通シリコンピアTSVであり得る。例えば、ウエハー101の非活性面101cをドライエッチングするか、或いはドリリングして垂直ホール120を形成し、垂直ホール120をタンゲステンや銅等のような伝導体を電気鍍金するか、或いは蒸着して貫通電極121を形成することができる。ウエハー101の非活性面101c上に貫通電極121と連結される後面パッド123をさらに形成することができる。一例として、電気鍍金で貫通電極121と後面パッド123とを同時に形成することができる。この場合、貫通電極121と後面パッド123とは一体化された1つの構造(single structure)を成し得る。他の例として、貫通電極121を形成した後に後面パッド123を別個の工程で形成することができる。

10

20

30

40

50

## 【0052】

他の例として、図1Dに示したように、ウエハー101はウエハー101を一部貫通して第1後面101bに至らない貫通電極121を包含することができる。ウエハー101の前面101a上に前面モールド層111を形成し、ウエハー101は、前面モールド層111がウエハー101を支持する状態で、グラインダ90で第1後面101bを研磨することができる。前記ウエハー後面研磨は貫通電極121を露出させる第2後面101cが露出される時まで進行することができる。続いて、ウエハー101の第2後面101c上に貫通電極121と連結される図1Cに図示されたような後面パッド123を形成することができる。

## 【0053】

本実施形態によれば、貫通電極121は図1Cに図示したようにウエハー後面研磨後に即ち、ピアラスト(Via Last)工程で形成するか、又は図1Dに示したようにウエハー後面研磨以前に、即ちビアファースト(Via First)或いはビアミドル(Via Middle)工程で形成され得る。このように本実施形態はビアファースト、ビアミドル、ピアラスト工程の全てに適用され得る。

## 【0054】

図1Eを参照すれば、ウエハーレベルチップ190上に複数個のチップ200を積層することができる。例えば、基板201の活性面201aがウエハー101の非活性面101cに向かうようにチップ200を覆してフリップチップ実装することができる。ウエハー101は非活性面101cが上に向かうように覆してあり得る。チップ200は基板201の活性面201a上に提供された回路層203に電気的に連結されたバンプ205が貫通電極121に連結されることによってウエハー101の回路層103と電気的に連結され得る。チップ200の回路層203はメモリ回路、ロジック回路、或いはこれらの組み合わせを包含することができる。基板201はチップ単位の半導体ウエハーであり得る。チップ200のバンプ205は貫通電極121と垂直整列されるか、或いは垂直整列されないことがあり得る。垂直整列されないバンプ205と貫通電極121とを電気的に連結するために後面パッド123は再配線されてあり得る。

## 【0055】

図1Fを参照すれば、ウエハー101の非活性面101c上にチップ200をモールディングする後面モールド層211を形成し、前面モールド層111を除去することができる。一例として、後面モールド層211はウエハー101を含む最終構造に剛性を提供することができる。後面モールド層211は前面モールド層111と同一又は類似のエポキシピラーレ复合体を包含することができる。前面モールド層111はグラインディング工程、化学機械的な研磨工程、或いはエッティング工程で除去することができる。例えば、滑らかで平坦な面が形成され得る。一例によれば、前面モールド層111はバンプ105が露出される時までグラインダ90によって研磨され得る。これにしたがって、ウエハー101の活性面101a乃至回路層103は隣接するバンプ105の間を満たす前面モールド層111で覆われていることがあり得る。図1Bを参照して前述したように、前面モールド層111が研磨される時、真空チャックやその以外の他の器具のような装置が前面モールド層111に脱付着される方法と類似に後面モールド層211に脱付着され得る。一例として、真空チャックは後面モールド層211に直接接触して支持(hold)することができる。

## 【0056】

図1Gを参照すれば、バンプ105上に第2バンプ107を付着して外部端子109を形成することができる。第2バンプ107は蒸発(evaporation)、電気鍍金(electrolytic plating)、無電解鍍金(electroless plating)、ボールドロップ(ball drop)、スクリーンプリンティング(screen printing)工程等にバンプ105上にソルダペースト等を提供した後、リフロして形成することができる。前記一連の工程を通じてウエハーレベルチップ190上に複数個のチップ200が積層されたウエハーレベルパッケージ1を製造す

10

20

30

40

50

ることができる。ウエハーレベルパッケージ 1 は以下で後述するようにパッケージングされ得る。

【 0 0 5 7 】

図 1 H を参照すれば、ウエハーレベルパッケージ 1 をダイシングすることができる。一例として、ブレード 95 やレーザーを利用して隣接するチップ 200 間の後面モールド層 211、ウエハーレベルパッケージ 1 は複数個に単位チップ、例えば図 1 I のチップ 100 に分離され得る。

【 0 0 5 8 】

図 1 I を参照すれば、前記ダイシングによってウエハーレベルパッケージ 1 が分離され 10 て、チップ 100 (以下、マスターチップ) 上にチップ 200 (以下、スレーブチップ) が積層された複数個のチップレベルの半導体パッケージ 1 が製造され得る。マスターチップ 100 はスレーブチップ 200 に比べて左右幅が大きい大きさを有することができる。マスターチップ 100 はウエハーレベルパッケージ 1 のダイシングによって形成されるので、マスターチップ 100 の側面 100s は露出され得る。反面に、スレーブチップ 200 は後面モールド層 211 にモールディングされており、その側面 200s は露出されないこともあり得る。前面モールド層 111 はマスターチップ 100 の回路層 103 を覆う保護層として活用され得る。一例として、前面モールド層 111 の幅と後面モールド層 211 の幅との中でいずれか 1 つ、そしてウエハーレベルパッケージ 1 のカッティングされたウエハーレベルパッケージ 1 の幅はスレーブチップ 200 の幅に比べて実質的に大きくなり得る。他の例として、前面モールド層 111 の幅、後面モールド層 211 の幅、及びウエハーレベルパッケージ 1 のカッティングされたウエハーレベルパッケージ 1 の幅は実質的に同一であり得る。 20

【 0 0 5 9 】

本実施形態によれば、半導体パッケージ 1 はマスターチップ 100 の非活性面 101c とスレーブチップ 200 の活性面 201a が対面する方式に積層されたバック - フロント (back - to - front) 構造を有することができる。スレーブチップ 200 のバンプ 205 がマスターチップ 100 の貫通電極 121 と連結されることによって、スレーブチップ 200 とマスターチップ 100 とが電気的に連結され得る。外部端子 109 は前面モールド層 111 上へ突出されることによって、半導体パッケージ 1 と電気的な装置 (例: 半導体チップ、半導体パッケージ、印刷回路基板、モジュール基板) との電気的な連結が容易になり得る。一例として、後面モールド層 211 はスレーブチップ 200 とカッティングされたウエハーレベルパッケージ 1 の間に配置されないことがあり得る。 30

【 0 0 6 0 】

図 1 J を参照すれば、半導体パッケージ 1 はパッケージ基板 80 上に実装して半導体パッケージ 1 2 を製造することができる。一例として、印刷回路基板のようなパッケージ基板 80 の前面 80a 上に半導体パッケージ 1 1 を実装し、半導体パッケージ 1 1 を覆う外部モールド層 83 を形成して半導体パッケージ 1 2 を製造することができる。パッケージ基板 80 の後面 80b にソルダボール 85 を付着することができる。マスターチップ 100 は前面モールド層 111 と、後面モールド層 211 と、外部モールド層 83 とによって囲まれてモールディングされ得る。スレーブチップ 200 は後面モールド層 211 と外部モールド層 83 とによって二重に囲まれてモールディングされ得る。半導体パッケージ 1 2 は外部端子 109 を媒介にパッケージ基板 80 と電気的に連結され、ソルダボール 85 を通じて電気的な装置 (例: 半導体チップ、半導体パッケージ、モジュール基板) と電気的に連結され得る。 40

【 0 0 6 1 】

< 実施形態 2 >

図 2 A 乃至図 2 D は本発明の他の実施形態による半導体パッケージの製造方法を示した断面図である。以下には第 1 実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

【 0 0 6 2 】

50

図2Aを参照すれば、ウエハーレベルチップ190上に複数個のチップ200を積層し、前面モールド層111を除去することができる。一例として、図1A乃至図1Fで説明したことと同一又は類似にウエハ-101の活性面101a上に前面モールド層111を形成した後、ウエハ-101を研磨し、貫通電極121と後面パッド123とを形成した後、ウエハ-101の非活性面101c上に複数個のチップ200をフリップチップ実装し、ウエハ-101の非活性面101c上にチップ200をモールディングする後面モールド層211を形成した後、前面モールド層111を除去することができる。一例によれば、前面モールド層111を選択的に除去することができる化学物質を提供して前面モールド層111を除去することができる。

## 【0063】

10

図2Bを参照すれば、前面モールド層111の除去によってウエハ-101の非活性面101c上に複数個のチップ200がフリップチップ実装されたウエハーレベルパッケージ2が製造され得る。本実施形態によれば、前面モールド層111が完全に除去されて、バンプ105は突出された状態を有することができる。他の例として、前面モールド層111は完全に除去されなく、バンプ105を埋め込まらせない厚さにウエハ-101の活性面101a乃至回路層103上に残留することができる。

## 【0064】

20

図2Cを参照すれば、ウエハーレベルパッケージ2をダイシングして半導体パッケージ21を製造することができる。半導体パッケージ21はマスターチップ100上にスレーブチップ200がフリップチップ実装されたバック-フロント構造を有することができる。本実施形態によれば、バンプ105が突出されているので、バンプ105上に第2バンプを形成する工程が必要としないことがあり得る。

## 【0065】

図2Dを参照すれば、半導体パッケージ21を印刷回路基板のようなパッケージ基板80の前面80a上に実装し、外部モールド層83を形成して半導体パッケージ22を製造することができる。マスターチップ100は後面モールド層211と外部モールド層83とによって囲まれてモールディングされ得る。スレーブチップ200は後面モールド層211と外部モールド層83とによって二重に囲まれてモールディングされ得る。

## 【0066】

30

## &lt;実施形態3&gt;

図3A乃至図3Hは本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。図3Iは図3Aの変形形態を示した断面図である。図3Jは図3Gの変形形態を示した断面図である。

## 【0067】

以下には第1実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

## 【0068】

図3Aを参照すれば、ウエハーレベルチップ190上に複数個のチップ200を積層することができる。例えば、図1A乃至図1Eで説明したことと同一又は類似にウエハ-101の活性面101a上に前面モールド層111を形成した後、ウエハ-101を研磨し、そして貫通電極121と後面パッド123とを形成した後、ウエハ-101の非活性面101c上に複数個のチップ200を実装することができる。チップ200は前面201aと第1後面201bとを有する基板201上に提供された回路層203とバンプ205とを包含することができる。チップ200はウエハ-101の非活性面101c上にフリップチップが実装され、バンプ205と貫通電極121とが連結されてウエハ-101の回路層103と電気的に連結され得る。

## 【0069】

図3Bを参照すれば、ウエハーレベルチップ190上に後面モールド層211を形成し、チップ200を薄型化することができる。一例として、ウエハ-101の非活性面101c上にチップ200をモールディングする後面モールド層211を形成し、チップ20

40

50

0を研磨することができる。後面モールド層211はチップ200の第1後面201bを覆う形態であるか、或いは露出させる形態を有することができる。チップ200を練磨することはグラインダ90を利用するグラインディング工程或いは化学機械的な研磨工程を包含することができる。前記チップ研磨によってチップ200の第1後面201bが練磨されて第2後面201b（以下、非活性面）が露出され得る。後面モールド層211はチップ200と共に練磨されてチップ200をモールディングし、チップ200の非活性面201cを露出させる形態を有することができる。言い換えれば、後面モールド層211はチップ200の間、及びチップ200とウエハー101との間を満たすことができる。

#### 【0070】

図3Cを参照すれば、チップ200の基板201を貫通して回路層203と電気的に連結される貫通電極221を形成することができる。例えば、チップ200の非活性面201cをドライエッチングするか、或いはドリリングして垂直ホール220を形成し、垂直ホール220をタンクステンや銅等のような伝導体を電気鍍金するか、或いは蒸着して貫通電極221を形成することができる。チップ200の非活性面201c上に貫通電極221と連結される後面パッド223をさらに形成することができる。一例として、電気鍍金によって貫通電極221と後面パッド223とを同時に蒸着して一体化された1つの構造に形成することができる。他の例として、貫通電極221を形成した後に後面パッド223を別個の工程によって形成することができる。その他の例として、図1Dに図示されたことと類似に、チップ200はビアファースト或いはビアミドル工程によって形成された貫通電極221を包含することができる。この場合、前記チップ研磨によって貫通電極221を露出させた後、貫通電極221と連結される後面パッド223を形成することができる。

#### 【0071】

図3Dを参照すれば、チップ200の非活性面201c上に複数個のチップ300を実装することができる。チップ200（以下、第1スレーブチップ）とチップ300（以下、第2スレーブチップ）は1:1対応され得る。第2スレーブチップ300は活性面301aと非活性面301cとを有する基板301上に提供された回路層303とバンプ305とを包含することができる。第2スレーブチップ300は第1スレーブチップ200の非活性面201c上にフリップチップ実装され、バンプ305と貫通電極221とが連結されることによって第1スレーブチップ200と電気的に連結され得る。第2スレーブチップ300の回路層303はメモリ回路、ロジック回路、或いはこれらの組み合わせを包含することができる。第2スレーブチップ300の基板301はチップ単位の半導体ウエハーであり得る。

#### 【0072】

図3Eを参照すれば、第2スレーブチップ300をモールディングする第2後面モールド層311を形成し、前面モールド層111を除去することができる。一例によれば、グラインダ90で前面モールド層111を研磨してバンプ105を露出させ得る。前面モールド層111は一部が残りして隣接するバンプ105間を満たすことができる。他の例として、前面モールド層111は図2A及び図2Bに示したように化学物質を利用するエッティングによって完全に除去されるか、或いはバンプ105を露出させる埋め込まさせない厚さにウエハー101の活性面101a上に残留することができる。

#### 【0073】

図3Fを参照すれば、バンプ105上に第2バンプ107を付着して外部端子109を形成することによってウエハーレベルパッケージ3を製造することができる。ウエハーレベルパッケージ3はウエハーレベルチップ190上にフリップチップ実装された第1スレーブチップ200と第2スレーブチップ300とを包含することができる。

#### 【0074】

図3Gを参照すれば、ウエハーレベルパッケージ3をダイシングしてウエハー101が分離されて形成されたマスター・チップ100上に第1スレーブチップ200と第2スレーブチップ300とがフリップチップ実装された半導体パッケージ31を製造することができる。

10

20

20

30

40

50

きる。半導体パッケージ31はマスター・チップ100と第1スレーブ・チップ200との間のバック・フロント構造及び第1スレーブ・チップ200と第2スレーブ・チップ300との間のバック・フロント構造を有することができる。第1スレーブ・チップ200のバンプ205がマスター・チップ100の貫通電極121と連結されることによって、第1スレーブ・チップ200とマスター・チップ100とが電気的に連結され、第2スレーブ・チップ300のバンプ305が第1スレーブ・チップ200の貫通電極221と連結されることによって、第1スレーブ・チップ200と第2スレーブ・チップ300とが電気的に連結され得る。

【0075】

マスター・チップ100は第1スレーブ・チップ200と第2スレーブ・チップ300とに比べて左右幅が大きい大きさを有することができる。第2スレーブ・チップ200と第2スレーブ・チップ300とは同一であるか、或いは類似の幅を有することができる。マスター・チップ100はウエハー101のダイシングによって形成されるので、マスター・チップ100の側面100sは露出され得る。反面に、第1スレーブ・チップ200の側面200sは後面モールド層211によって覆っており、第2スレーブ・チップ300の側面300sは第2後面モールド層311によって覆っているので、露出されないこともあり得る。

10

【0076】

図3Hを参照すれば、半導体パッケージ31を印刷回路基板のようなパッケージ基板80の前面80a上に実装し、外部モールド層83を形成して半導体パッケージ32を製造することができる。マスター・チップ100は前面モールド層111と、後面モールド層211と、外部モールド層83とによって囲まれてモールディングされ得る。第1スレーブ・チップ200は第1スレーブ・チップ200を囲む後面モールド層211及び第2後面モールド層311を外部モールド層83がさらに囲む形態にモールディングされ得る。第2スレーブ・チップ300は第2後面モールド層311と外部モールド層83とによって二重に囲まれてモールディングされ得る。

20

【0077】

他の例として、図3Iに示したようにウエハー・レベル・チップ190上に上部ウエハー・レベル・チップ290を積層することができる。上部ウエハー・レベル・チップ290は回路層203とバンプ205が提供された上部ウエハー201を包含することができる。上部ウエハー201はその活性面201aがウエハー101の非活性面101cに向かうように覆して下部ウエハー101上に積層され得る。上部ウエハー201の第1後面201bが図3Bでのように練磨されて非活性面201cが露出され得る。

30

【0078】

図3B乃至図3Gで説明したことと同一又は類似の工程によってマスター・チップ100上に第1スレーブ・チップ200と第2スレーブ・チップ300とがフリップチップ実装された半導体パッケージ31aが製造され得る。マスター・チップ100はウエハー101のダイシングによって形成されるので、その側面100sが露出され得る。類似に、第1スレーブ・チップ200は上部ウエハー201のダイシングによって形成されるので、その側面200sが露出され得る。反面に、第2スレーブ・チップ300の側面300sは第2後面モールド層311によって覆っているので、露出されないこともあり得る。半導体パッケージ31aはパッケージ基板80上に実装され、外部モールド層83によってモールディングされて図3Hに図示された半導体パッケージ32と類似にパッケージングされ得る。

40

【0079】

<実施形態4>

図4A乃至図4Eは本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。以下には第1実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

【0080】

図4Aを参照すれば、ウエハー・レベル・チップ190上に複数個の半導体パッケージ11を積層することができる。一例として、図1A乃至図1Cで説明したことと同一又は類似にウエハー101の活性面101a上に前面モールド層111を形成し、ウエハー101

50

を研磨した後、貫通電極 121 と後面パッド 123 とを形成することができる。その後、ウエハー 101 の非活性面 101c 上に図 1 I に図示された複数個の半導体パッケージ 11 を実装することができる。半導体パッケージ 11 の外部端子 109 がウエハーレベルチップ 190 の貫通電極 121 に連結されることによって、半導体パッケージ 1 とウエハーレベルチップ 190 とが電気的に連結され得る。

【0081】

図 4 B を参照すれば、ウエハー 101 の非活性面 101c 上に半導体パッケージ 11 をモールディングする後面モールド層 211 を形成し、前面モールド層 111 を除去することができる。前面モールド層 111 はグラインダ 90 を利用するグラインディング工程、或いは化学物質を利用するエッティング工程等に除去されることができる。例えばグラインダ 90 で前面モールド層 111 を研磨してバンプ 105 を露出させ得る。

【0082】

図 4 C を参照すれば、バンプ 105 上に第 2 バンプ 107 を付着して外部端子 109a を形成することによってウエハーレベルパッケージ 4 を製造することができる。ウエハーレベルパッケージ 4 はウエハーレベルチップ 190 上に実装された複数個の半導体パッケージ 11 を包含することができる。

【0083】

図 4 D を参照すれば、ウエハーレベルパッケージ 4 をダイシングしてウエハー 101 が分離されて形成されたマスターチップ 100 上に半導体パッケージ 11 が実装された半導体パッケージ 41 を製造することができる。一例によれば、マスターチップ 100 の側面 100s は露出され、半導体パッケージ 11 は後面モールド層 211 によってモールディングされ得る。

【0084】

図 4 E を参照すれば、半導体パッケージ 41 を印刷回路基板のようなパッケージ基板 80 の前面 80a 上に実装し、外部モールド層 83 を形成して、半導体パッケージ 42 を製造することができる。マスターチップ 100 は前面モールド層 111 と、後面モールド層 211 と、外部モールド層 83 とによって囲まれてモールディングされ得る。半導体パッケージ 11 は後面モールド層 111 と外部モールド層 83 とによって二重に囲まれてモールディングされ得る。

【0085】

<実施形態 5 >  
図 5 A 乃至図 5 E は本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。以下には第 1 実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

【0086】

図 5 A を参照すれば、下部ウエハーレベルチップ 190 上に上部ウエハーレベルチップ 295 を積層することができる。例えば、図 1 A 乃至図 1 C で説明したことと同一又は類似にウエハー 101 の活性面 101a 上に前面モールド層 111 を形成し、ウエハー 101 を研磨した後、貫通電極 121 と後面パッド 123 とを形成することができる。その後、ウエハー 101 (以下、下部ウエハー) の非活性面 101c 上に回路層 253 を有するウエハー 251 (以下、上部ウエハー) を積層することができる。上部ウエハー 251 は活性面 251a と非活性面 251c とを有するシリコンのような半導体を包含することができる。上部ウエハー 251 の活性面 251a の上には回路層 253 と電気的に連結されたバンプ 255 が提供され得る。上部ウエハー 251 はその活性面 251a が下部ウエハー 101 の非活性面 101c に向かうように覆して下部ウエハー 101 上に積層され得る。

【0087】

図 5 B を参照すれば、下部ウエハー 101 の非活性面 101c 上に上部ウエハーレベルチップ 295 をモールディングする後面モールド層 211 を形成し、前面モールド層 111 を除去することができる。前面モールド層 111 はグラインダ 90 によってバンプ 10

10

20

30

40

50

5を露出させる時まで研磨され得る。他の例として、前面モールド層111は図2A及び図2Bに示したように化学物質を利用するエッティングによって完全に除去されるか、或いはバンプ105を露出させる埋め込ませない厚さにウエハー101の活性面101a上に残留することができる。

【0088】

図5Cを参照すれば、バンプ105上に第2バンプ107を付着して外部端子109を形成することができる。前記一連の工程を通じて上部ウエハーレベルチップ295が後面モールド層211でモールディングされて、下部ウエハーレベルチップ190上に積層されたウエハーレベルパッケージ5を製造することができる。

【0089】

図5Dを参照すれば、ウエハーレベルパッケージ5をダイシングして下部ウエハー101が分離されて形成されたマスターチップ100上に上部ウエハー251が分離されて形成されたスレーブチップ250が実装された半導体パッケージ51を製造することができる。マスターチップ100の側面100sとスレーブチップ250の側面250sとは露出され得る。

【0090】

図5Eを参照すれば、半導体パッケージ51を印刷回路基板のようなパッケージ基板80の前面80a上に実装し、外部モールド層83を形成して、半導体パッケージ52を製造することができる。マスターチップ100は前面モールド層111と、後面モールド層211と、外部モールド層83とによって囲まれてモールディングされ得る。スレーブチップ250は後面モールド層211と外部モールド層83とによって囲まれてモールディングされ得る。

【0091】

<実施形態6>

図6A乃至図6Dは本発明のその他の実施形態による半導体パッケージの製造方法を示した断面図である。以下には第1実施形態と異なる点に対して詳説し、同一な点に対しては省略するか、或いは概説する。

【0092】

図6Aを参照すれば、ウエハーレベルチップ190上に複数個のチップ200を積層することができる。例えば、図1A乃至図1Eで説明したことと同一又は類似にウエハー101の活性面101a上に前面モールド層111を形成し、ウエハー101を研磨した後、貫通電極121と後面パッド123とを形成し、そしてウエハー101の非活性面101c上に複数個のチップ200をフリップチップ実装することができる。本実施形態によれば、ウエハーレベルチップ190はウエハー101の活性面101a上に提供されて前面パッド104と連結されるバンプを包含しないことがあり得る。

【0093】

図6Bを参照すれば、ウエハーレベルチップ190上に後面モールド層211を形成し、前面モールド層111をグラインディング工程、化学機械的研磨工程、或いはエッティング工程等によって除去することができる。一例によれば、前面モールド層111はグラインダ90によって練磨されて前面パッド104が露出され得る。

【0094】

図6Cを参照すれば、前面モールド層111の除去によってウエハーレベルチップ190上に複数個のチップ200が積層されたウエハーレベルパッケージ6が製造され得る。バンプ205が貫通電極121と連結されることによって、チップ200がウエハーレベルチップ190と電気的に連結され得る。

【0095】

図6Dを参照すれば、ウエハーレベルパッケージ6のダイシングによって形成されたチップ積層体195を印刷回路基板のようなパッケージ基板70上に実装して半導体パッケージ61を製造することができる。一例として、前面パッド104に連結されるボンディングパッド74を形成し、接着層71の介在下にチップ積層体195を実装してパッケー

10

20

30

40

50

ジ基板 70 の前面 70a 上に実装することができる。チップ積層体 195 はウエハー 101 のダイシングによって分離されて形成されたマスター・チップ 100 上にフリップチップ実装されたスレーブ・チップ 200 を包含することができる。

【0096】

パッケージ基板 70 の背面 70b にはソルダ・ポール 75 が付着され得る。本実施形態によれば、パッケージ基板 70 はチップ積層体 195 のセンターを開放するウインドー 70w を包含することができる。チップ積層体 195 はウインドー 70w を通過してボンディングパッド 74 に接続するボンディングワイヤ 72 を通じてパッケージ基板 70 と電気的に連結され得る。ウインドー 70w はボンディングワイヤ 72 を固定させ、保護するモールド層 73 によって満たされ得る。

10

【0097】

<応用例>

図 7A は本発明の実施形態による半導体パッケージを具備するメモリカードを示したブロック図である。図 7B は本発明の実施形態による半導体パッケージを応用した情報処理システムを示したブロック図である。

【0098】

図 7A を参照すれば、メモリカード 1200 はホストとメモリ 1210 との間の諸般データ交換を制御するメモリコントローラ 1220 を包含することができる。S R A M 1221 は中央処理装置 1222 の動作メモリとして使用され得る。ホストインターフェイス 1223 はメモリカード 1200 と接続されるホストのデータ交換プロトコルを具備することができる。誤謬修正コード 1224 はメモリ 1210 から読出されたデータに含まれる誤謬を検出及び訂正することができる。メモリインターフェイス 1225 はメモリ 1210 とインターフェイシングする。中央処理装置 1222 はメモリコントローラ 1220 のデータを交換するための諸般制御動作を遂行することができる。メモリ 1210 は本実施形態の半導体パッケージの中で少なくともいずれか 1 つを包含することができる。

20

【0099】

図 7B を参照すれば、情報処理システム 1300 は本実施形態の半導体パッケージの中で少なくともいずれか 1 つを具備するメモリシステム 1310 を包含することができる。情報処理システム 1300 はモバイル機器やコンピューター等を包含することができる。一例として、情報処理システム 1300 はシステムバス 1360 に電気的に連結されたメモリシステム 1310、モデム 1320、中央処理装置 1330、R A M 1340、ユーザーインターフェイス 1350 を包含することができる。メモリシステム 1310 はメモリ 1311 とメモリコントローラ 1312 とを包含でき、図 7A のメモリカード 1200 と実質的に同様に構成され得る。このようなメモリシステム 1310 には中央処理装置 1330 によって処理されたデータ又は外部から入力されたデータが格納され得る。情報処理システム 1300 はメモリカード、半導体ディスク装置 (S o l i d S t a t e D i s k)、カメライメージプロセッサ (C a m e r a I m a g e S e n s o r)、及びその他の応用チップセット (A p p l i c a t i o n C h i p s e t) に提供され得る。

30

【0100】

以上の発明の詳細な説明は開示された実施状態に本発明を制限しようとする意図ではなく、本発明の要旨を逸脱しない範囲内で多様な他の組み合わせ、変更及び環境で使用することができる。添付された請求の範囲は他の実施状態も含むことと理解しなければならない。

40

【符号の説明】

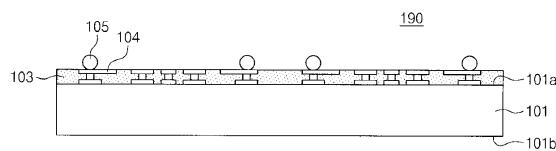
【0101】

- 1、11・・・半導体パッケージ
- 100・・・マスター・チップ
- 101・・・下部ウエハー
- 101a・・・前面、活性面

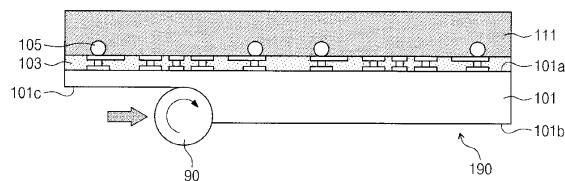
50

- 1 0 1 b . . . 第 1 後面、非活性面  
1 0 1 c . . . 第 2 後面  
1 0 3 . . . 回路層  
1 0 4 . . . 前面パッド  
1 0 5 . . . バンプ  
1 0 9 . . . 外部端子  
1 1 1 . . . 前面モールド層  
1 2 0 . . . 垂直ホール  
1 2 1 . . . 貫通電極  
1 2 3 . . . 後面パッド  
2 0 0 . . . スレーブチップ

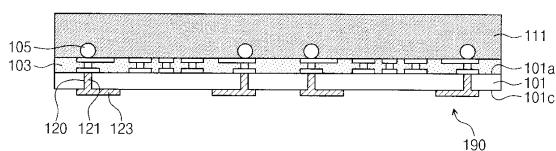
【 図 1 A 】



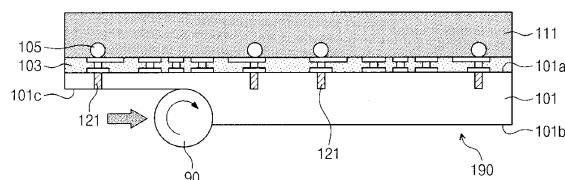
【 义 1 B 】



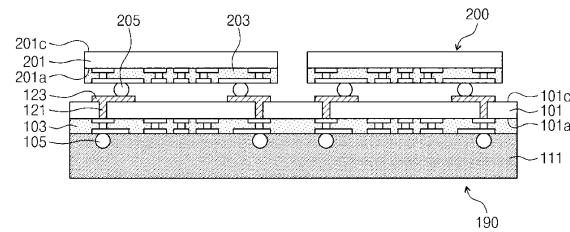
【 図 1 C 】



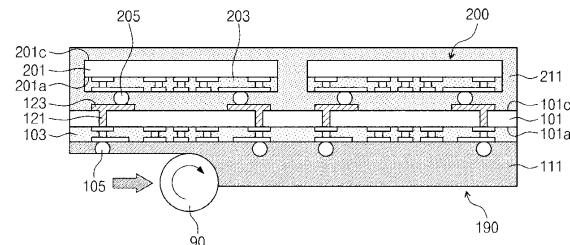
【 図 1 D 】



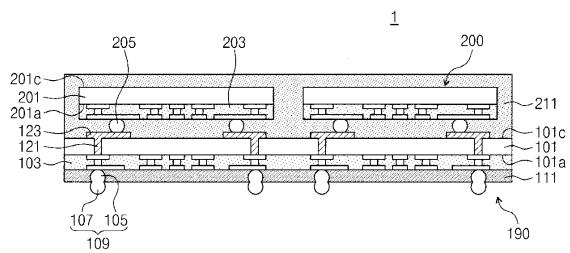
〔 図 1 E 〕



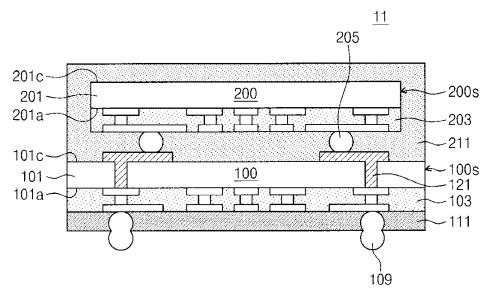
〔 囮 1 F 〕



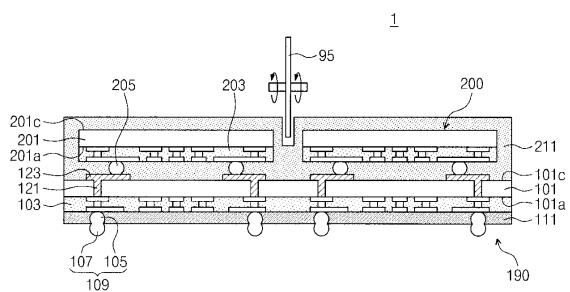
【図1G】



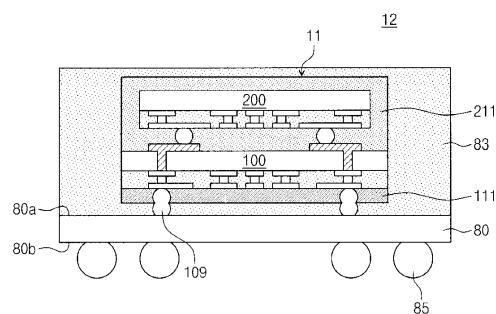
【図1I】



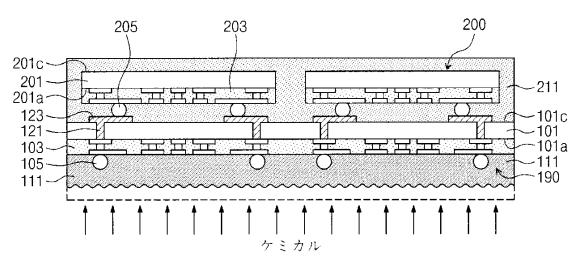
【図1H】



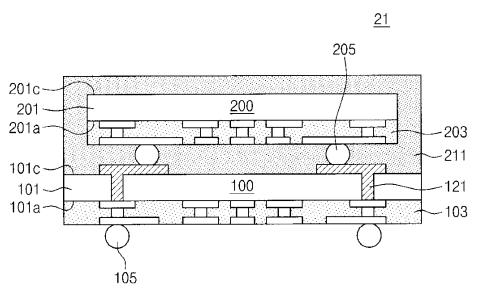
【図1J】



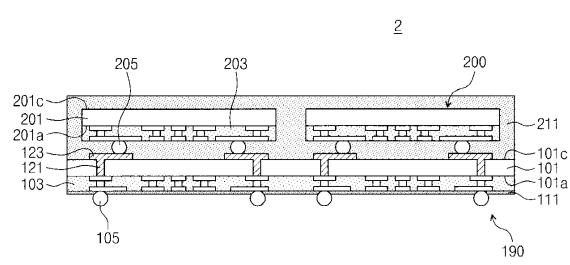
【図2A】



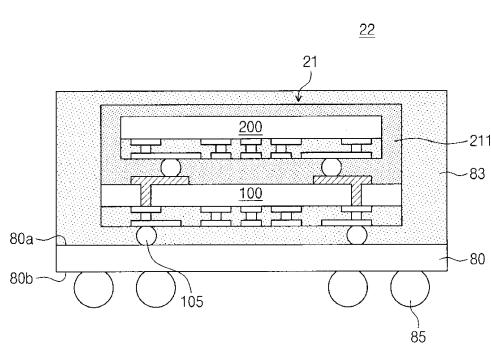
【図2C】



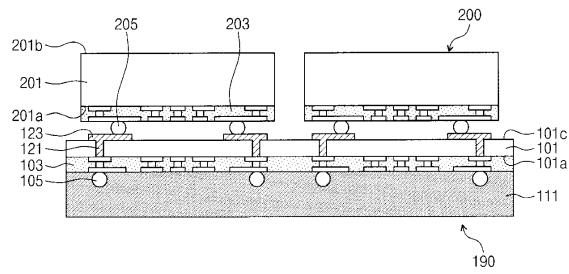
【図2B】



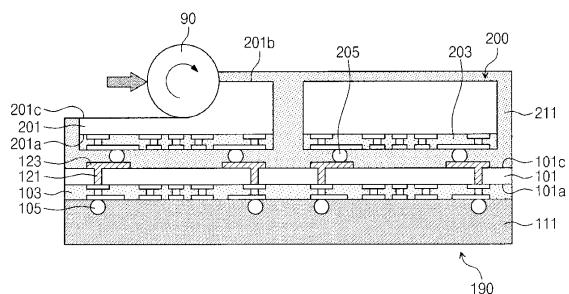
【図2D】



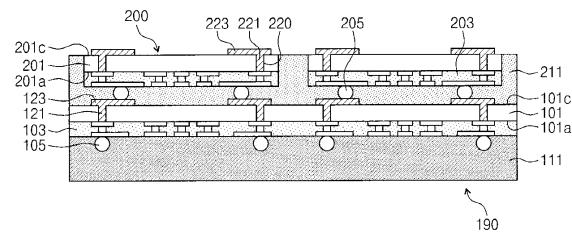
【図3A】



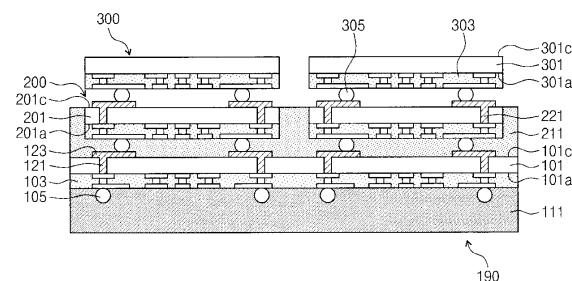
【図3B】



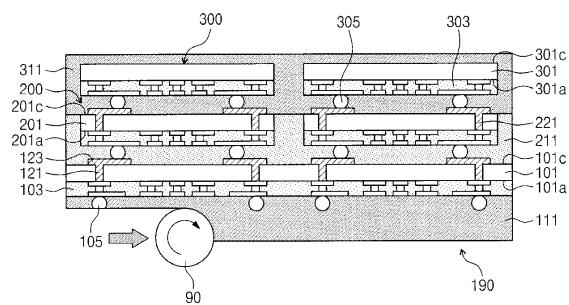
【図3C】



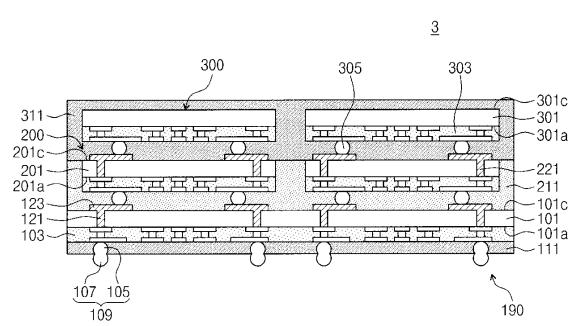
【図3D】



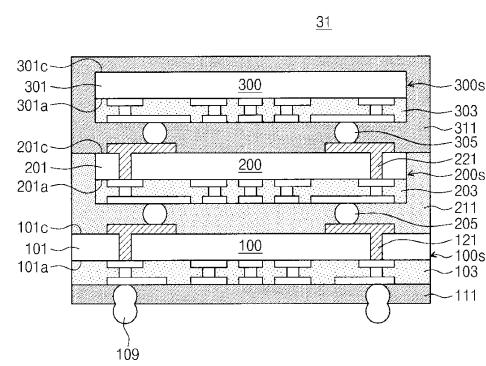
【図3E】



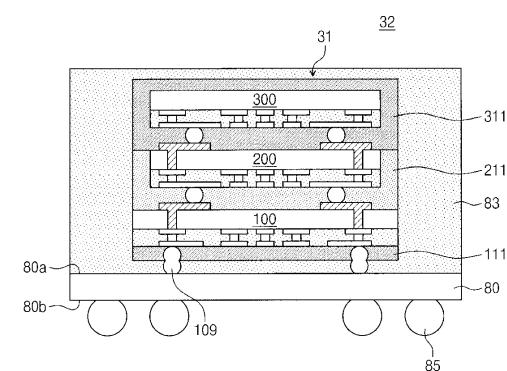
【図3F】



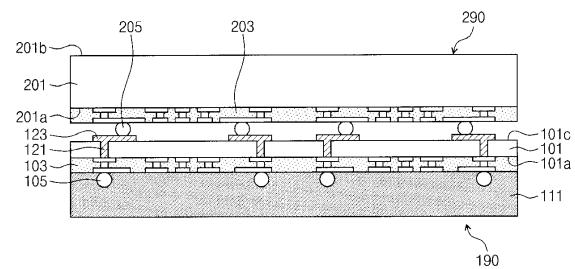
【図3G】



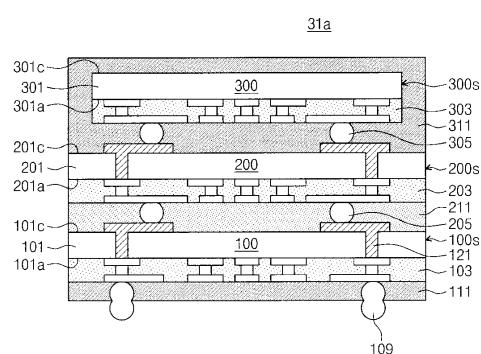
【図3H】



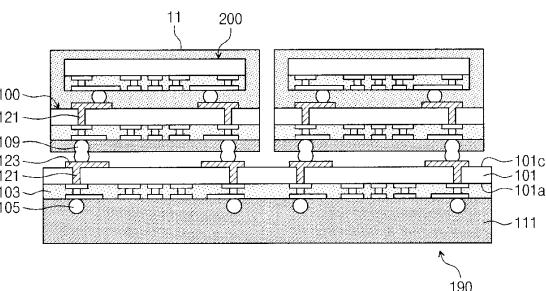
【図3 I】



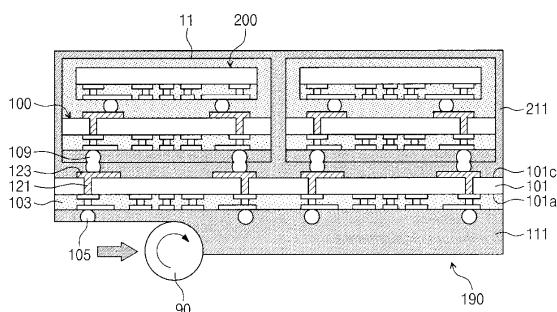
【図3 J】



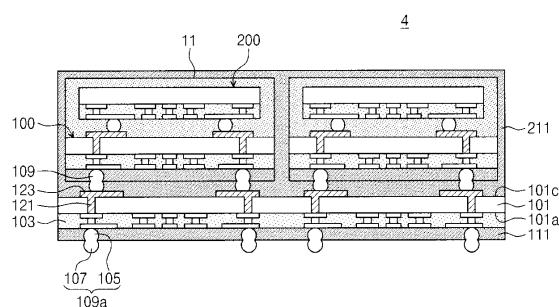
【図4 A】



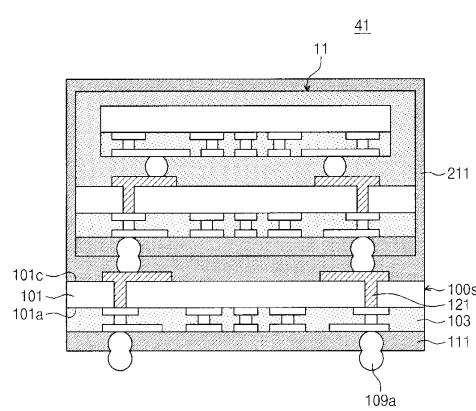
【図4 B】



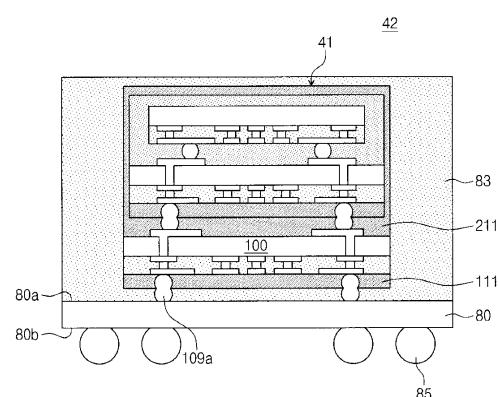
【図4 C】



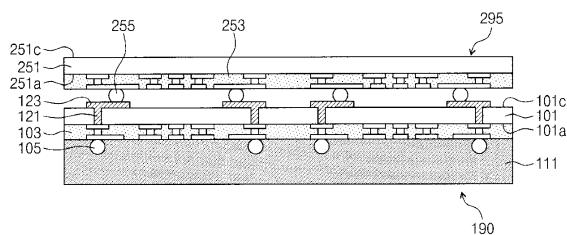
【図4 D】



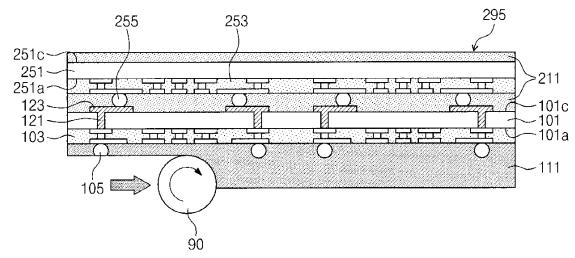
【図4 E】



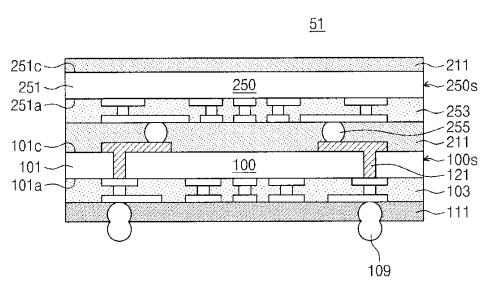
【図5 A】



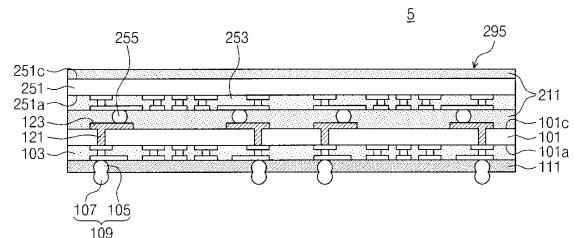
【図 5 B】



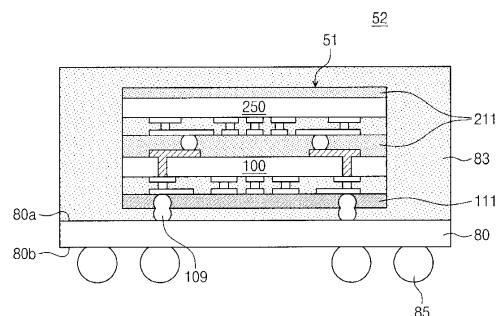
【図 5 D】



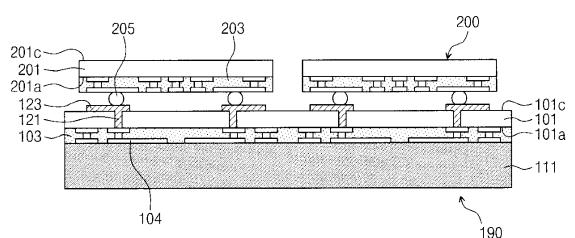
【図 5 C】



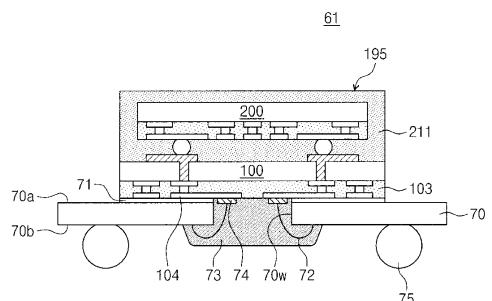
【図 5 E】



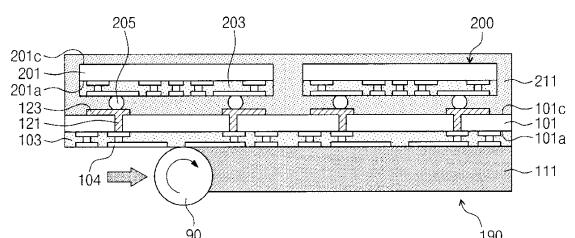
【図 6 A】



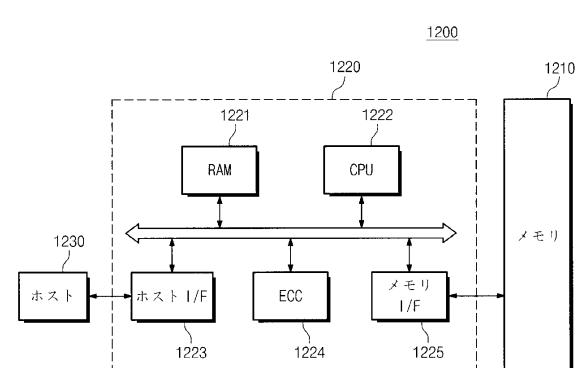
【図 6 D】



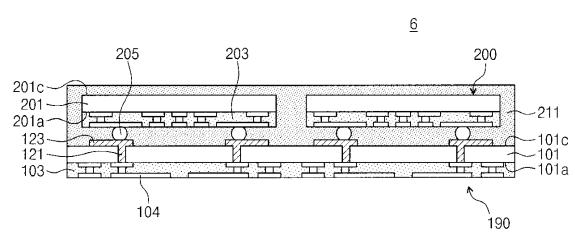
【図 6 B】



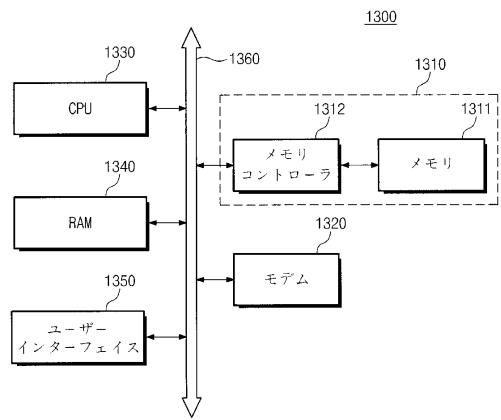
【図 7 A】



【図 6 C】



【図 7 B】



---

フロントページの続き

(51)Int.Cl. F I  
H 01 L 25/11 (2006.01)

- (72)発明者 馬 金希  
大韓民国京畿道水原市靈通区靈通洞（番地なし） ファンゴルマウル233棟1803号
- (72)発明者 李 仁榮  
大韓民国京畿道龍仁市水枝区サンヒョン - ドン（番地なし） マンヒョンマウル3団地スンウォン  
アパートメント304棟202号
- (72)発明者 趙 文祺  
大韓民国京畿道軍浦市山本洞1026 - 10 グンジョンサムスンチェレヴィルアパートメントエ  
ー棟2303号
- (72)発明者 趙 チャ 済  
大韓民国仁川広域市富平区サンゴク1 - ドン（番地なし） ヒュンダイ1次アパートメント105  
棟802号
- (72)発明者 趙 泰済  
大韓民国京畿道華城市盤松洞167番地 デウープルジオハイム227号

審査官 豊島 洋介

- (56)参考文献 米国特許出願公開第2004/0188819(US, A1)  
特開2001-237205(JP, A)  
米国特許出願公開第2013/0037917(US, A1)  
特開2012-238894(JP, A)

(58)調査した分野(Int.Cl. , DB名)

H 01 L 23 / 12 - 23 / 15  
25 / 00 - 25 / 07  
25 / 10 - 25 / 11  
25 / 16 - 25 / 18  
H 05 K 3 / 46