

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4271579号
(P4271579)

(45) 発行日 平成21年6月3日(2009.6.3)

(24) 登録日 平成21年3月6日(2009.3.6)

(51) Int.Cl.	F I		
GO6F 13/16 (2006.01)	GO6F 13/16	510A	
HO4N 5/44 (2006.01)	HO4N 5/44	Z	
GO6F 21/02 (2006.01)	GO6F 12/14	510B	

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2003-555796 (P2003-555796)	(73) 特許権者	501263810
(86) (22) 出願日	平成14年12月11日 (2002.12.11)		トムソン ライセンシング
(65) 公表番号	特表2005-514815 (P2005-514815A)		Thomson Licensing
(43) 公表日	平成17年5月19日 (2005.5.19)		フランス国, エフ-92100 ブロー
(86) 国際出願番号	PCT/US2002/039529		ニュ ビヤンクール, ケ アルフォンス
(87) 国際公開番号	W02003/055204		ル ガロ, 46番地
(87) 国際公開日	平成15年7月3日 (2003.7.3)		46 Quai A. Le Gallo
審査請求日	平成17年12月8日 (2005.12.8)		, F-92100 Boulogne-
(31) 優先権主張番号	10/025,160	(74) 代理人	100070150
(32) 優先日	平成13年12月19日 (2001.12.19)		弁理士 伊東 忠彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100091214
			弁理士 大貫 進介
		(74) 代理人	100107766
			弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 メモリを保護する装置および方法

(57) 【特許請求の範囲】

【請求項1】

信号処理装置であって、

メモリと、前記装置の動作を制御する制御回路とを含む第1の回路基板であって、前記制御回路は前記メモリに記憶されたデータに応じて前記装置の動作を制御する第1の回路基板と、

制御ラインを介して前記第1の回路基板に動作可能に結合された第2の回路基板であって、前記装置が電源に接続されているがオフ状態である第1の動作状態において前記メモリに対する第1の制御信号を生成し、前記装置が前記電源に接続されていてオン状態である第2の動作状態において前記制御回路に対する第2の制御信号を生成する、前記制御ラインに結合されたコントローラを含む第2の回路基板とを備え、

前記コントローラは、前記第2の動作状態において前記メモリをアンパワード状態におき、前記メモリは、前記アンパワード状態にあるとき、前記メモリが前記制御ラインをロー状態に保たないようにする手段に結合されており、

前記メモリと前記制御回路とは、前記制御ラインに結合されており、前記コントローラは、前記第1の動作状態において前記制御回路に影響せずに前記制御ラインを介して前記メモリに前記第1の制御信号を送信し、前記第2の動作状態において前記メモリに影響せずに前記制御ラインを介して前記制御回路に前記第2の制御信号を送信する信号処理装置

【請求項2】

前記メモリは、前記制御回路を制御するための動作データを記憶し、前記コントローラは、前記第1の動作状態において前記動作データを読み出し、前記第2の動作状態において前記動作データに応じて前記制御回路を制御する、請求項1記載の信号処理装置。

【請求項3】

テレビ信号レシーバを動作させる方法であって、

制御ラインを介して結合された第1の回路基板と第2の回路基板とを設けるステップであって、前記第1の回路基板は、前記第1の回路基板に含まれ、前記制御ラインに結合したメモリデバイスと制御回路とを有し、前記制御回路は前記メモリに記憶されたデータに応じて前記レシーバの動作を制御し、前記第2の回路基板は、前記第2の回路基板に含まれ前記制御ラインに結合したコントローラを有するステップと、

10

前記レシーバが、電源に接続されているがオフ状態である第1の動作状態にあるとき、前記制御回路に影響を与えないで、前記第2の回路基板上的前記コントローラから、前記第1の回路基板上的前記メモリデバイスに、前記制御ラインを介して、前記メモリデバイスを制御する第1の制御信号を送信するステップと、

前記レシーバが、電源に接続されていてオン状態である第2の動作状態にあるとき、前記メモリデバイスに影響を与えないで、前記コントローラから、前記第1の回路基板上的前記制御回路に、前記制御ラインを介して、前記制御回路を制御する第2の制御信号を送信するステップと、

前記第2の制御信号を送信するステップにおいて、前記メモリデバイスをアンパワード状態におくステップであって、前記メモリデバイスは、アンパワード状態におかれているとき、前記メモリデバイスが前記制御ラインをロー状態に保たないようにする手段に結合されているステップを含む方法。

20

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

本発明は、テレビ信号レシーバ等の電気機器に関し、特に、例えば、メモリに接続されている信号制御ラインが異なる機器間で共有されているとき、そのような機器に含まれるメモリに不注意に書き込みを行ってしまうことから保護する技術に関する。

【0002】

テレビ信号レシーバ等の電気機器は、多くの場合一以上の回路基板を含む。各回路基板は、様々な機器の動作を実行可能とする集積回路（IC）や他の要素等のマウントされた電気部品を含む。テレビ信号レシーバの従来のデザインは、多くの場合、単一の回路基板のみを使っていた。これらの従来のデザインでは、基板面積を最大限利用するというインセンティブが働いていた。しかし、単一の回路基板のみが使用されていたので、他の回路基板との接続に関する問題はなかった。

30

【0003】

一方、テレビ信号レシーバの現在の設計は、複数の回路基板を使用することがある。単一基板と比較して、複数の回路基板を使用すると、回路設計をモジュール化できるため特に魅力的である。特に、単一回路基板のみを使用する場合に頻発するように、異なる基板セクションを全レシーバ回路のレイアウトを再構成することなくリデザインできる。さらに、複数の回路基板を使用すると、一グループの回路に片面基板、他の回路に多層基板を使用できる。

40

【0004】

長所にもかかわらず、複数基板を使用すると、異なるボード間の接続に関する問題が発生することがある。特に、回路基板間の接続をするためのコネクタ（例えば、ピン）の数を減らすことが望ましい。コネクタの数を減らすことは、各コネクタのコストが無視できないので、特に所望されている。このことは、製品のコストが競合間のドライビングフォースであり、生産数量が大きいので製品一台あたりの小さなコストが重要であるコンシューマエレクトロニクス産業などの特定の産業において、非常に重要となる。したがって、テレビ信号レシーバなどの機器の回路基板間に必要とされる接続数を減らす技術が

50

必要となる。本発明はこれらの問題等を解決するものである。

【0005】

回路基板間の接続数を減らす技術の一つは、テレビ信号レシーバ等の機器の二つの回路基板の間を接続している信号コントロールラインを共有することである。この技術によると、機器がOFF状態におかれているとき、一の回路基板上のマイクロコントローラは、他の回路基板上のメモリを読むために信号制御ラインを使用する。そして、機器がON状態にあるとき、該機器の他の動作（例えば偏向動作）を制御するために同じ信号制御ラインを使用する。

【0006】

前記の技術を実施するに当たり、該機器がON状態におかれている間に、マイクロコントローラが機器動作を制御するために信号制御ラインを使用するとき、メモリが不注意に書き込まれてしまうという問題があることが分かった。したがって、信号制御ラインを共有可能とするが、そのラインに接続されているメモリがマイクロコントローラまたは制御ラインに接続されている他のデバイスによって不注意に書き込まれてしまわないようにする技術が必要である。本発明はこれらの問題等を解決するものである。

10

【0007】

本発明によると、一の装置は第1と第2の回路基板を含む。第1の回路基板はメモリと、該装置の少なくとも一つの機能を制御するための制御回路とを含む。第2の回路基板は、制御ラインを介して第1の回路基板と動作可能に結合されている。制御ラインは、該装置が第1の動作状態にあるとき、コントローラからメモリに第1の制御信号を送信する。該装置が第2の動作状態にあるとき、コントローラから制御回路に第2の制御信号を送信する。第2の動作状態の間にメモリが不注意に書き込まれることを防ぐため、コントローラが制御回路に第2の制御信号を送信するとき、第2の動作状態の間、メモリはアンパワード状態におかれる。また、メモリはアンパワード状態の間、メモリが制御ラインをロー状態に保たないようにする手段に結合される。

20

【0008】

一の実施形態において、該装置は、メモリデバイスと偏向を制御する回路が付加された第1の回路基板と、マイクロコントローラが付加された第2の回路基板とを有する。第1と第2の回路基板はお互いに制御ラインを介して結合されている。第1の動作状態において、マイクロコントローラは、メモリから動作データを読み出すため制御ラインを介して第1の制御信号を生成する。第2の動作状態において、マイクロコントローラは、偏向を制御するための回路を制御するための読み出された動作データを使用する。第2の動作状態において、マイクロコントローラは、メモリをアンパワード状態におく。メモリデバイスは、メモリデバイスを制御ラインにロードすることを防ぎ、制御ラインに接続されている他のデバイスが通信を続けられるようにする手段を含んでもよい。一の実施形態において、メモリはVcc入力に結合した、メモリがアンパワード状態において、制御ラインをロー状態に保つことを防ぐツェナーダイオードを含む。これにより、マイクロコントローラは、制御ラインを介して制御回路と通信を続けることができる。前記の装置により実行される方法もここに開示される。

30

【0009】

添付した図面とともに本発明の実施形態の以下の説明を参照すれば、上記の本発明の特徴と長所等、およびそれらの達成の仕方はより明らかとなり、本発明をよりよく理解できるであろう。

40

【0010】

ここに示した例示は、本発明の好ましい実施形態を示すものであり、そのような例示は本発明の範囲をいかなる態様においても限定するものと解してはならない。

【0011】

図面を参照して、特に図1を参照して、本発明を実施するのに好適な装置100の關係する部分の図面が示されている。例示と説明の目的において、図1の装置100はテレビ信号レシーバとして表現されている。しかし、本発明の原理は、複数の回路基板を使用す

50

る他のタイプの電子機器に適用してもよいことを、ここに特に述べておく。

【 0 0 1 2 】

図 1 のレシーバ 1 0 0 は、第 1 の回路基板 1 0、第 2 の回路基板 2 0、および基板コネクタ 3 0 を含む。一例としての実施形態によると、第 1 の回路基板 1 0 は、レシーバ 1 0 0 の電源と偏向機能に関する動作を可能とし、第 2 の回路基板 2 0 は、レシーバ 1 0 0 の信号処理機能に関する動作を可能とする。第 1 の基板 1 0 は第 2 の回路基板 2 0 に基板コネクタ 3 0 を経由して電氣的に接続されている。

【 0 0 1 3 】

第 1 の回路基板 1 0 は、例えばユーザ入力に応じてレシーバ 1 0 0 を ON または OFF 状態にするスイッチモードトランス (S M T) 1 1 を含む。電氣的消去可能プログラマブルリードオンリーメモリ (E E P R O M) 1 2 は、レシーバ 1 0 0 の偏向動作を制御するために使用される電圧データ等であるデータを記憶する不揮発性メモリとして動作する。E E P R O M 1 2 は、電圧入力 (V c c) 端子、クロック (C L K) 端子、およびデータ (D A T) 端子を含む。V c c 端子は、E E P R O M 1 2 を ON / O F F する信号を受信するために電氣的に結合されている。C L K 端子はシリアルクロックライン (S C L) 1 3 に電氣的に結合されており、D A T 端子はシリアルデータライン (S D L) 1 5 に電氣的に結合されている。一実施形態によると、S C L 1 3 と S D A 1 5 は、集合として集積回路間 (I I C、通常は「I スクエアード C」と発音する) バスを表し、バスラインまたは制御ラインとして参照される。

【 0 0 1 4 】

一般的に、I I C バスは、二つ以上の I C がバス経路上で同時に通信する 2 送信媒体、2 方向デジタルバスである。「マスター」動作モードで動いている I C は、バス上のデータ転送動作を開始し、データ転送を許すためのクロック信号を生成する。「スレーブ」動作モードで動いている I C は、マスター I C により動作させられている、またはマスター I C に通信している I C であり、スレーブ I C はデータを送信するか受信するかを指示されている。各 I C はそれ自身のユニークなアドレスを持ち、マスター I C が通信を開始および終了する。S C L 1 3 と S D A 1 5 により表される I I C バスに関するさらに詳細は後で説明する。

【 0 0 1 5 】

第 1 の回路基板 1 0 は 1 0 の抵抗 R 1 - R 1 0、3 つのキャパシタ C 1 - C 3、3 つのトランジスタ Q 1 - Q 3 も含む。抵抗 R 1 はトランジスタ Q 1 のコレクタ接合のためのプルアップ抵抗として動作し、電源 V 1 に電氣的に結合している。電源 V 1 は、一の実施形態においては、3 . 3 ボルトである。このように、抵抗 R 1 とトランジスタ Q 1 はシグナルインバータとして動作する。抵抗 R 1 は好ましくは 1 0 0 オームである。抵抗 R 2 は好ましくは 1 K オームである。トランジスタ Q 1 のコレクタ接合は、E E P R O M 1 2 の V c c 端子に電氣的に結合しており、E E P R O M 1 2 を ON / O F F する信号を提供する。トランジスタ Q 1 は、好ましくは、N P N タイプバイポーラ接合トランジスタ (B J T) として実施される。キャパシタ C 1 は E E P R O M 1 2 のためのバイパスキャパシタであり、好ましくは 1 0 0 ナノファラッドである。

【 0 0 1 6 】

抵抗 R 3、R 4 は、S D A 1 5 と S C L 1 3 それぞれに抵抗を生成するために設けられている。一実施形態において、抵抗 R 3 と R 4 は各々 1 K オームの抵抗を与える。図 1 に示したように、S C L 1 3 と S D A 1 5 は、2 つの分離した制御チャンネルを設けるため、第 1 の回路基板 1 0 内でタップされている。特に、S D A 1 5 は、参照番号 1 7 で表された出力信号を生成する第 1 の制御チャンネルを設けるためにタップされ、S C L 1 3 は、参照番号 1 9 で表される出力信号を生成する第 2 の制御チャンネルを設けるためにタップされている。出力信号 1 7 と 1 9 は、レシーバ 1 0 0 の偏向動作を制御する。第 1 と第 2 の制御チャンネルをなす回路は、制御回路としてここに集合的に参照される。

【 0 0 1 7 】

第 1 の制御チャンネルは、抵抗 R 5 - R 7、キャパシタ C 2、トランジスタ Q 2 を含

10

20

30

40

50

む。抵抗 R 5 は、S D A 1 5 とトランジスタ Q 2 のベースジャンクションの間に抵抗を設け、好ましくは 1 0 K オームである。トランジスタ Q 2 は好ましくは N P N タイプの B J T として実施される。トランジスタ Q 2 のコレクタジャンクションは、第 1 の制御チャンネルに出力パスを設ける。抵抗 R 6 は、プルアップ抵抗として動作し、電源 V 2 に電氣的に結合しており、一実施形態によると 5 . 1 ボルトである。抵抗 R 6 の好ましい値は 1 K オームである。抵抗 R 7 とキャパシタ C 2 は、時定数を決定し、好ましくはそれぞれ 1 K オームと 8 2 0 n F の値を有する。一実施形態によると、出力信号 1 7 はフライバックトランス (図示せず) の電圧を決めるのに使用され、レシーバ 1 0 0 の偏向動作で使用される。

【 0 0 1 8 】

第 2 の制御チャンネルは、抵抗 R 8 - R 1 0、キャパシタ C 3、トランジスタ Q 3 を含む。抵抗 R 8 は S C L 1 3 とトランジスタ Q 3 のベースジャンクションの間に抵抗を設け、好ましい値は 1 0 K オームである。トランジスタ Q 3 は N P N 型 B J T として実施されることが好ましい。トランジスタ Q 3 のコレクタジャンクションは、第 2 の制御チャンネルのために出力パスを設ける。抵抗 R 9 はプルアップ抵抗として動作し、電源 V 2 に電氣的に結合しており、前述のとおり 5 . 1 ボルトであることが好ましい。抵抗 R 9 の好ましい値は 1 K オームである。抵抗 R 1 0 とキャパシタ C 3 は時定数を決定し、それぞれ好ましい値は 1 K オームと 8 2 0 n F である。一実施形態によると、出力信号 1 9 はフライバックトランス (図示せず) の電圧を制御するのに使用される。

【 0 0 1 9 】

第 2 の回路基板 2 0 は、レシーバ 1 0 0 の様々な動作を制御するマイクロコントローラ 2 1 を含む。マイクロコントローラ 2 1 も、入出力 (I / O) 端子、C L K 端子と D A T 端子を含む。I / O 端子は信号線 2 2 に電氣的に結合しており、レシーバ 1 0 0 が O N になっているとき、その様々な構成要素に電源が供給されるようにする出力信号を出力する。C L K 端子は S C L 1 3 に電氣的に結合しており、D A T 端子は S D A 1 5 に電氣的に結合している。図 1 には明示的には示していないが、マイクロコントローラ 2 1 は電源 V 1 のような電源に電氣的に接続されている。「マイクロコントローラ」と「コントローラ」という用語は、ここでは交換可能に使用される。

【 0 0 2 0 】

マイクロコントローラ 2 1 は、第 1 と第 2 の P W M 信号をそれぞれ出力する第 1 と第 2 のパルス幅変調 (P W M) 端子 (P W M 1 と P W M 2) も含む。P W M 1 と P W M 2 端子は、S D A 1 5 と S C L 1 3 にそれぞれ電氣的に結合しており、第 1 と第 2 の P W M 信号を第 1 の回路基板 1 0 の第 1 と第 2 の制御チャンネルにそれぞれ与える。したがって、第 1 の P W M 信号は出力信号 1 7 を生成するために使用され、第 2 の P W M 信号は出力信号 1 9 を生成するために使用される。P W M 信号を好ましい実施形態において使用するが、もちろんこの他のフォーマットの信号を使用してもよい。

【 0 0 2 1 】

第 2 の回路基板 2 0 は 4 つの抵抗 R 1 1 - R 1 6、2 つのキャパシタ C 4 - C 6 を含む。抵抗 R 1 1 はマイクロコントローラ 2 1 の I / O 端子に接続された信号線 2 2 のためのプルアップ抵抗として動作し、前述したように好ましくは 3 . 3 ボルトである電源 V 1 に電氣的に結合されている。抵抗 R 1 1 は好ましくは 1 0 K オームである。抵抗 R 1 2 とキャパシタ C 4 はマイクロコントローラ 2 1 の I / O ターミナルに接続された信号ラインからラジオ周波数の干渉を除去するように動作する。抵抗 R 1 2 とキャパシタ C 4 は、それぞれ 1 K オームと 1 ナノファラッドであることが好ましい。同様に、抵抗 R 1 3 とキャパシタ C 5 は、S D A 1 5 からラジオ周波数の干渉を除去するように動作し、抵抗 R 1 4 とキャパシタ C 6 は S C L 1 3 からラジオ周波数の干渉を除去するために動作する。一実施形態によると、抵抗 R 1 3 と R 1 4 は各々 1 K オームの値を有し、キャパシタ C 5 と C 6 は各々 1 0 0 ピコファラッドの値を有する。抵抗 R 1 5 と R 1 6 はプルアップ抵抗として動作し、前に 3 . 3 ボルトと示した電源 V 1 に電氣的に結合されている。抵抗 R 1 5 と R 1 6 は各々 1 0 K オームの値を有する。

10

20

30

40

50

【 0 0 2 2 】

動作において、I I Cバス（すなわち、S C L 1 3とS D A 1 5）は、マイクロコントローラ21の2つの異なった動作の間で共有される。特に、レシーバ100が第1の動作状態（すなわち、レシーバ100が電源に接続されているが、O F F状態であるとき）であるとき、マイクロコントローラ21はマスターI Cとして動作し、スレーブI Cとして動作するE E P R O M 1 2からデータを読み出すために、第1の制御信号をE E P R O MにS C L 1 3とS D A 1 5を経由して送信する。マイクロコントローラ21とE E P R O M 1 2は、第1の動作状態の間、スタンバイ電源、すなわち電源V 1から電力を受ける。一実施形態によると、マイクロコンピュータ21によりE E P R O M 1 2から読み出されたデータは、レシーバ100の偏向動作を制御するために使用する電圧データを含む。

10

【 0 0 2 3 】

データ読出し動作の間に、S C L 1 3はマイクロコントローラ21からE E P R O M 1 2へクロック信号を伝播する。S D A 1 5は、シリアルデジタルトランザクションを用いてデータを転送するために使用される。普通、1以上のビットが、アクノレッジビットとして使用される。一例のデザインによると、S C L 1 3とS D A 1 5が両方とも論理ハイ状態にあるとき、マイクロコントローラ21とE E P R O M 1 2の間でデータを転送することはできない。S C L 1 3が論理ハイ状態にあるとき、S D A 1 5上での論理ハイ状態から論理ロー状態への遷移は、I I Cバス上のデジタルデータの交換のためにスタート条件を示す。逆に、S C L 1 3が論理ハイ状態にあるとき、S D A 1 5上での論理ロー状態から論理ハイ状態への遷移は、ストップ条件を示す。一実施形態において、マイクロコントローラ21は、S D A 1 5上で転送されるデジタルデータの各ビットの1クロックパルスを生成し、S D A 1 5上の論理状態は、S C L 1 3上のクロック信号が論理ロー状態にあるときにのみ、変化することができる。もちろん、前述の信号プロトコル以外の信号プロトコルを使用してもよい。マイクロコントローラ21がデータをE E P R O M 1 2から読み出すとき、マイクロコントローラ21のP W M 1端子とP W M 2端子は高インピーダンス状態であり、抵抗R 5とR 8は第1と第2の制御チャンネルがS D A 1 5とS C L 1 3をローディングしないようにする。マイクロコントローラ21のピンの入力および出力の状態およびインピーダンスは、データディレクションレジスタ等の知られた方法で制御してもよい。

20

【 0 0 2 4 】

レシーバ100が第2の動作状態（すなわち、レシーバ100が電源に接続されており、O N状態であるとき）にあるとき、マイクロコントローラ21のD A TとC L K端子はハイインピーダンス状態にあり、P W M 1とP W M 2端子は第1と第2のP W M信号をそれぞれ出力するように使用されてもよい。第1と第2のP W M信号は、ここで第2の制御信号と参照されてもよい。P W M 1端子は、S D A 1 5に電氣的に結合しており、出力信号17の生成を可能とするために、第1のP W M信号を第1の回路基板10の第1の制御チャンネルに与える。同様に、P W M 2端子は、S C L 1 3に電氣的に結合しており、出力信号19の生成を可能とするために、第2のP W M信号を第1の回路基板10の第2の制御チャンネルに与える。本実施形態において、第1と第2のP W M信号は、レシーバ100がO F F状態のときに、E E P R O M 1 2から読み出された電圧データにより、マイクロコンピュータ21により生成される。前述のように、S C L 1 3とS D A 1 5は、マイクロコントローラ21の2つの異なる動作の間で共有されている。キャパシタC 1が、データをE E P R O M 1から読み出したたり書き込んだりする間にピーク電流を補償するために、V c c入力端子とグランド端子の間に含まれてもよい。

30

40

【 0 0 2 5 】

第1と第2のP W M信号が第1の回路基板10の制御回路に送信されるとき、上述のとおり、E E P R O M 1 2が不注意に書き込まれ、記憶しているデータを破損するという潜在的な問題がある。特に、P W M信号がI I Cバス上を送信されるとき、もしスタート条件が生成されていれば（すなわち、S C L 1 3が論理ハイ状態にあるときS D A 1 5が論理ハイ状態から論理ロー状態に遷移するとき）、およびP W M信号のフェージングにより

50

生成されたアドレス情報がEEPROM12のアドレス情報に対応するとき、EEPROM12は、マイクロプロセッサ21により誤って書き換えられることがある。

【0026】

この潜在的な問題を避けるため、本発明により、PWM信号がIICバスを通して送信される前に、EEPROM12には電力が供給されなくなる。より具体的には、レシーバ100がON状態になり、それにより第2の動作状態に入るとき、マイクロコントローラ21はそのI/O端子からパワー制御信号を信号ライン22に出力する。パワー制御信号は基板コネクタ30を介して第1の回路基板10に転送され、レシーバ100のパワー機能を制御する。特に、パワー制御信号は、一実施形態によると論理ハイ信号であり、第2の動作状態において使用される、レシーバ100の電源(図示せず)のスイッチをONにするSMT11に与えられる。さらに、パワー制御信号はインバータとして動作するトランジスタQ1のベース接合に供給され、電源V1をEEPROM12のVcc端子から切り離す。すると、EEPROM12が一旦アンパワード状態になり、マイクロコントローラ21は、EEPROM12に不注意に書き込むことなく、PWM信号をIICバスに送信できる。

10

【0027】

本実施形態において、EEPROM12は、EEPROM12がアンパワード状態にあるときに制御ライン13と15にロードしないようにする手段を含む。一般に、ICはピンに結合された静電放電(ESD)保護ダイオードを含む。本実施形態において、EEPROM12は、例えばVccピンに結合された上記の防止手段を含む。例えば、ツェナーダイオード、バイポーラトランジスタなど、そのような機能を提供するために知られた様々なデバイスと方法を使用することができる。

20

【0028】

図2を参照して、本発明を実施する一例としてのステップが示されたフローチャート200が示されている。例示と説明の目的で、図2のステップを図1のテレビ信号レシーバ100を参照して説明する。

【0029】

ステップ201において、レシーバ100は電源が入っていない状態である。すなわち、レシーバ100は、家庭の電源プラグ等の電源に接続されていない。ステップ202において、レシーバ100は電源に接続され(例えば、プラグが差し込まれる)、しかしスイッチはONになっていない。すなわち、レシーバ100はステップ202で第1の動作状態に入る。前に示したとおり、マイクロコントローラ21とEEPROM12等のレシーバ100の構成要素は、第1の動作状態の間、スタンドバイ電源すなわち電源V1から、電力を受け取る。

30

【0030】

ステップ202で電源に接続されるのに応じて、プロセスフローはステップ203に進み、レシーバ100は初期化プロセスを実行する。特に、この初期化プロセスの一部として、マイクロコントローラ21はマスターICとして動作し、EEPROM12にSCL13とSDA15を経由して、スレーブICとして動作する、EEPROM12からデータを読むために、第1の制御信号を送信する。一実施形態によると、マイクロコントローラ21によりEEPROM12から読み出されたデータは、レシーバ100の偏向動作を制御するのに使用される電圧データを含む。マイクロコントローラ21は、内部メモリ(図示せず)に読み出したデータを保存し、レシーバ100がプラグインされている、すなわちパワーが供給されている限り、そこに保持される。

40

【0031】

次に、ステップ204で、レシーバ100が、例えば、ハンドヘルドのリモートコントロールユニットのような入力ターミナルへのユーザのインプットにより、スイッチオンされる。前に述べたとおり、レシーバ100は、電源に接続されスイッチがONになっているとき、第2の動作状態にある。したがって、ステップ204で、レシーバ100は第2の動作状態に入る。ステップ204に応じて、マイクロコントローラ21は、パワー制御

50

信号をI/O端子から信号ライン22に出力する。パワー制御信号は、特に、ステップ205において、第1の回路基板10のトランジスタQ1を、電源V1をEEPROM12のVcc端子から切り離させる。

【0032】

その後、EEPROM12が一旦アンパワー状態になると、ステップ206に進み、マイクロコントローラ21は、第2の制御信号、すなわち第1と第2のPWM信号を第1の回路基板10の制御回路に送信する。すなわち、PWM1端子はSDA15に第1のPWM信号を出力し、それにより、出力信号17の生成を可能とするために第1のPWM信号を第1の回路基板10の第1の制御チャンネルに供給する。同様に、PWM2端子は第2のPWM信号をSCL13に出力し、それにより、出力信号19の生成を可能とするために、第2のPWM信号を第1の回路基板10の第2の制御チャンネルに供給する。前に示したとおり、第1と第2のPWM信号は、ステップ203でEEPROM12から読み出した電圧データにより、マイクロコントローラ21により生成されてもよい。前述のように、SCL13とSDA15は、マイクロコントローラ21の二つの異なる動作の間で共有される。

10

【0033】

本発明はテレビ信号レシーバに関して説明したが、本発明はディスプレイ装置を有する有しないに係らず、様々なシステムに適用可能である。ここに使用した「テレビ信号レシーバ」または「レシーバ」という用語は、ディスプレイデバイスを含むテレビセットやモニターを含む、しかしこれには限定されない、様々なタイプの装置とシステム、およびセットトップボックス、ビデオテープレコーダ(VTR)、デジタルバーサタイルディスク(DVD)プレーヤ、ビデオゲームボックス、パーソナルビデオレコーダ(PVR)等のシステムや装置、ディスプレイデバイスを含まないかもしれない他の装置を含む事を意図している。

20

【0034】

この発明は好ましいデザインを有するものとして説明したが、本発明はこの開示の精神と範囲内においてさらに変更することができる。この出願は、本発明の一般的な原理を用いた本発明のバリエーション、使用、または適合をカバーすることを意図している。さらに、この出願は、本発明が関係し、添付したクレームの限定に当てはまる当該技術分野における知られまたは慣用されたプラクティスになるように、本開示からのそのようなかい離をカバーすることを意図している。

30

【図面の簡単な説明】

【0035】

【図1】本発明を実施するのに好適な装置の関連する部分の図である。

【図2】本発明を実施するステップを示すフローチャートである。

【図1】

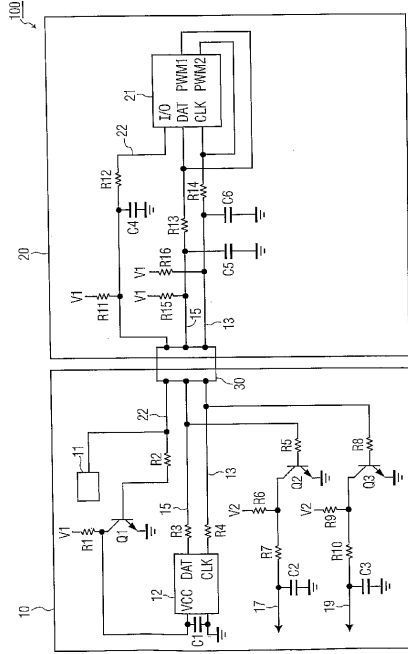
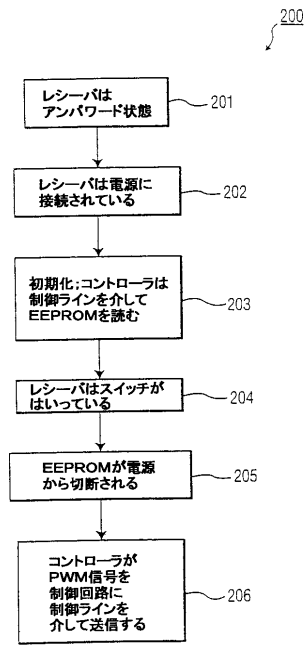


FIG. 1

【図2】



フロントページの続き

(72)発明者 シェレンバーガー, ジョン, ライアン
アメリカ合衆国, インディアナ州 46902, ココモ, オークブルック・ドライヴ 2545

審査官 多賀 実

(56)参考文献 特開平04-072970(JP, A)
特表平09-509814(JP, A)
国際公開第98/32277(WO, A1)
国際公開第01/22583(WO, A2)
国際公開第00/19709(WO, A1)
国際公開第01/95121(WO, A2)
特表2005-514814(JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F12/00-12/06

G06F12/14

G06F13/16

H04N5/44