

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97112537

※申請日期：97.4.7

※IPC 分類：H01L 23/49 (2006.01)
H01L 21/60 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩科技股份有限公司
RENESAS TECHNOLOGY CORP.

代表人：(中文/英文)

塚本 克博
TSUKAMOTO, KATSUHIRO

住居所或營業所地址：(中文/英文)

日本國東京都千代田區大手町2-6-2
6-2, OTEMACHI 2-CHOME, CHIYODA-KU, TOKYO, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 武藤 邦治
MUTO, KUNIHARU
2. 波多 俊幸
HATA, TOSHIYUKI
3. 佐藤 仁久
SATO, HIROSHI
4. 岡 浩偉
OKA, HIROI
5. 池田 靖
IKEDA, OSAMU

國 籍：(中文/英文)

1. 日本 JAPAN
2. 日本 JAPAN
3. 日本 JAPAN
4. 日本 JAPAN
5. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年04月27日；特願2007-118833

2. 日本；2007年06月20日；特願2007-162684

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置，特別可適用於具有小型面安裝封裝之半導體裝置。

【先前技術】

使用於攜帶式資訊機器之功率控制開關及充放電保護電路開關等之功率MOSFET(Metal Oxide Semiconductor Field Effect Transistor；金屬氧化物半導體場效電晶體)係被密封於SOP8等之小型面安裝封裝。關於此種功率MOSFET，例如在專利文獻1(日本特開2000-164869號公報)及專利文獻2(日本特開2000-299464號公報)中曾有記載。

專利文獻1係揭示下列技術：在形成於含構成 n^+ 型矽基板之上層之p型磊晶層之構造體內之溝(trench)間極型功率MOSFET(Metal Oxide Semiconductor Field Effect Transistor；金屬氧化物半導體場效電晶體)中，將n型汲極區域形成向 n^+ 型矽基板與溝之底部之間延伸，並將n型汲極區域與p型磊晶層之接合部形成向 n^+ 型矽基板與溝之隔牆之間延伸，藉以降低發生擊穿之危險性。

又，專利文獻2係揭示下列技術：在第1導電型之半導體基體上設有第1導電型之磊晶層與第2導電型之井層，在此等磊晶層與井層構成之上側層內設有被絕緣層分離之深的溝閘極，在溝閘極之下設有汲極區域，鄰接於溝閘極設有源極區域，在井層上部設有摻雜比井層更高濃度之雜質之本體區域，藉以縮小汲極區域之通電電阻。

[專利文獻1]

日本特開2000-164869號公報

[專利文獻2]

日本特開2000-299464號公報

【發明內容】

[發明所欲解決之問題]

本發明人曾就密封如上述之功率MOSFET之SOP8加以探討。本發明人所探討之SOP8具有以模塑樹脂密封形成有功率MOSFET之矽晶片之封裝構造。

矽晶片係在與汲極導線形成一體之晶片焊墊部之上，以使其主面朝上之狀態被裝載。矽晶片之背面構成功率MOSFET之汲極，經由Ag膏被接合於晶片焊墊部之上面。

在矽晶片之主面，形成源極墊與閘極墊。源極墊與閘極墊係由以形成在矽晶片之最上層之Al膜為主體之導電膜所構成。為了降低功率MOSFET之通電電阻，源極墊係以寬於閘極墊之面積構成。基於同樣之理由，矽晶片之背面係將其全面構成功率MOSFET之汲極。

在模塑樹脂之外部，露出構成SOP8之外部連接端子之源極導線、汲極導線及閘極導線。源極導線與源極墊、及閘極導線與閘極墊係分別被Au線電性連接。閘極墊由於其面積較小，故閘極墊與閘極導線係被1條Au線所連接。另一方面，源極墊由於面積較閘極墊為大，故源極墊與源極導線係被複數條Au線所電性連接。

但，如上述構造之SOP8卻難以充分降低源極墊與Au

線、及源極導線與Au線之接觸電阻。此係由於源極墊及源極導線與Au線之接觸面積小，即使增加Au線之條數，也難以確保充分之接觸面積之故。又，欲增大源極墊之面積以連接複數條Au線時，矽晶片之大小也會增大，故SOP8之安裝面積也會增大。

本發明之目的在於提供實現通電電阻小之面安裝封裝之技術。

本發明之另一目的在於提供實現面安裝封裝之小型化之技術。

本發明之另一目的在於提供提高並實現面安裝封裝之製造良率及可靠性之技術。

本發明之另一目的在於提供降低並實現面安裝封裝之製造成本之技術。

本發明之前述及其他目的與新穎特徵可由本專利說明書之記述及附圖獲得明確之瞭解。

[解決問題之技術手段]

本案所揭示之發明中，簡單說明代表性之發明之概要時，如以下所述。

本發明之半導體裝置係藉樹脂封裝密封裝載於導線架之晶片焊墊部上之半導體晶片，前述導線架之外導線部露出於前述樹脂封裝之外部者，前述導線架係包含閘極導線、源極導線、汲極導線、及與前述汲極導線一體形成之晶片焊墊部，在前述半導體晶片之主面形成連接於功率MOSFET之閘極電極之閘極墊與連接於前述功率MOSFET

之源極，且面積大於前述閘極墊之源極墊，構成前述功率 MOSFET 之汲極之前述半導體晶片背面係被 Ag 膏接合於前述晶片焊墊部上，前述源極導線與前述源極墊係被 Al 帶所連接。

在本發明中，所謂 Al 帶，係意味著以 Al 為主成分之導電材料所構成之帶狀之接線材料。通常，Al 帶係以捲繞於捲軸之狀態設置於接合裝置。作為將 Al 帶連接於導線及墊之方式，有超音波接合及雷射接合。Al 帶極薄，故在連接於導線及墊之際，可任意設定長度及環形狀。

又，作為類似於 Al 帶之接線材料，有所謂線夾之接線材料。此係將由 Cu 合金或 Al 等構成之薄金屬板預先形成為特定之環形狀、特定長度之接線材料，將其連接於導線或墊之際，將其一端置於導線上，將其他端置於墊上，而同時連接線夾與導線及線夾與墊。作為連接方式，有焊料接合、Ag 膏接合、超音波接合等。

在本發明中，稱為帶時，雖意味著含有上述線夾之接線材料，但與其係指預先決定長度或環形狀之線夾，不如係指可依照導線或墊之面積、或導線及墊之距離，任意設定長度或環形狀之帶更為合適。

[發明之效果]

簡單說明本案所揭示之發明中由具有代表性之發明所獲得之效果如下。

可實現通電電阻小之面安裝型半導體裝置。

【實施方式】

以下，依據圖式詳細說明本發明之實施型態。又，在說明實施形態用之全圖中，對於同一之構件，原則上附以同一符號，省略其重複之說明。又，在說明以下之實施型態之圖式中，為容易瞭解構成，即使為平面圖，有時也附上影線。

(實施型態1) 圖1~圖5係表示本實施型態之半導體裝置之圖，圖1係表示外觀之平面圖，圖2係表示外觀之側面圖，圖3係表示內部構造之平面圖，圖4係沿著圖3之A-A線之剖面圖，圖5係沿著圖3之B-B線之剖面圖。

本實施型態之半導體裝置1A係適用於小型面安裝封裝之一種之SOP8之半導體裝置。構成SOP8之外部連接端子之8條導線4之外導線部露出於環氧系樹脂構成之模塑樹脂2之外部。圖1所示之導線4中，1號導線至3號導線為源極導線，4號導線為閘極導線，5號導線至8號導線為汲極導線。

在模塑樹脂2之內部，密封著形成後述之功率MOSFET之矽晶片3。此功率MOSFET例如係使用於攜帶式資訊機器之功率控制開關及充放電保護電路開關等。矽晶片3之平面尺寸例如為長邊×短邊=3.9 mm×2.2 mm。

矽晶片3係在與構成汲極導線之4條導線4(5號導線~8號導線)形成一體之晶片焊墊部4D之上，以使其主面朝上之狀態被裝載。矽晶片3之背面構成功率MOSFET之汲極，經由Ag膏5被接合於晶片焊墊部4D之上面。晶片焊墊部4D及8條導線4(1號導線~8號導線)係由Cu或Fe-Ni合金所構

成，在該等表面形成以Pd膜為主成分，在其上下積層Ni膜與Au膜之3層構造(Ni/Pd/Au)之電鍍層(未圖示)。有關Pd膜為主成分之電鍍層之效果，留待後述。

在矽晶片3之主面，形成源極墊(源極電極)7與閘極墊8。源極墊7與閘極墊8係由以形成在矽晶片3之最上層之Al膜為主體之導電膜所構成。為了降低功率MOSFET之通電電阻，源極墊7係以寬於閘極墊8之面積構成。基於同樣之理由，矽晶片3之背面係將其全面構成功率MOSFET之汲極。

本實施型態之半導體裝置1A係在模塑樹脂2之內部連結構成源極導線之3條導線4(1號導線至3號導線)，此連結之部分與源極墊7係被Al帶10電性連接。Al帶10之厚度為0.1 mm程度，寬度為1 mm程度。為了降低功率MOSFET之通電電阻，最好使Al帶10之寬度接近於源極墊7之寬度，以增大Al帶10與源極墊7之接觸面積。另一方面，構成閘極導線之1條導線4(4號導線)與閘極墊8係被1條Au線11電性連接。

其次，說明有關形成於上述矽晶片3之功率MOSFET。圖6係表示功率MOSFET之一例之n通道型之溝閘極型功率MOSFET之矽晶片3之要部剖面圖。

在 n^+ 型單晶矽基板20之主面，藉磊晶生長法形成 n^- 型單晶矽層21。 n^+ 型單晶矽基板20及 n^- 型單晶矽層21係構成功率MOSFET之汲極。

在 n^- 型單晶矽層21之一部分，形成p型井22。又，在 n^- 型

單晶矽層21之表面之一部分，形成氧化矽膜23，在另一部分，形成複數之溝24。在 n^- 型單晶矽層21之表面中，被氧化矽膜23覆蓋之區域構成元件分離區域，形成溝24之區域構成元件形成區域(有效區域)。雖未圖示，但溝24之平面形狀為四角形、六角形、八角形等多角形或向一方向延伸之條狀。

在溝24之底部及側壁，形成構成功率MOSFET之閘極氧化膜之氧化矽膜25。又，在溝24之內部埋入構成功率MOSFET之閘極電極之多晶矽膜26A。另一方面，在氧化矽膜23之上部，形成以與構成上述閘極電極之多晶矽膜26A同一步驟所澱積之多晶矽膜構成之閘極引出電極26B。閘極電極(多晶矽膜26A)與閘極引出電極26B係在未圖示之區域被電性連接。

在元件形成區域之 n^- 型單晶矽層21，形成比溝24淺之 p^- 型半導體區域27。此 p^- 型半導體區域27係構成功率MOSFET之通道層。在 p^- 型半導體區域27之上部，形成雜質濃度高於 p^- 型半導體區域27之 p 型半導體區域28，另外，在 p 型半導體區域28之上部形成 n^+ 型半導體區域29。 p 型半導體區域28係構成功率MOSFET之擊穿阻擋層， n^+ 型半導體區域29係構成源極。

在形成上述功率MOSFET之元件形成區域之上部、及形成閘極引出電極26B之元件分離區域之上部形成有2層之氧化矽膜30、31。在元件形成區域，形成貫通氧化矽膜31、30、 p 型半導體區域28及 n^+ 型半導體區域29而達到 p^- 型半導

體區域27之連接孔32。又，在元件分離區域，形成貫通氧化矽膜31、30而達到閘極引出電極26B之連接孔33。

在含連接孔32、33之內部之氧化矽膜31之上部，形成有薄的TiW(鈦鎢)膜與厚的Al膜之積層膜構成之源極墊7及閘極布線34。形成於元件形成區域之源極墊7係通過連接孔32電性連接於功率MOSFET之源極(n^+ 型半導體區域29)。在此連接孔32之底部，形成使源極墊7與 p^- 型半導體區域27歐姆接觸之 p^+ 型半導體區域35。又，形成元件分離區域之閘極布線34係經由連接孔33之下部之閘極引出電極26B連接於功率MOSFET之閘極電極(多晶矽膜26A)。

在源極墊7，藉楔接合法電性連接Al帶10之一端。為了緩和在接合Al帶10之際功率MOSFET所受到之衝擊，源極墊7最好將在氧化矽膜32、33之上部之厚度設定於 $3\mu\text{m}$ 以上。

圖7係表示含形成於矽晶片3之源極墊7、閘極墊8及閘極布線34之最上層之導電膜與下層之閘極電極(多晶矽膜26A)之平面圖。閘極布線34電性連接於閘極墊8，源極墊7電性連接於Al布線36。又，在矽晶片3之外周部，形成有Al布線37、38。閘極墊8及Al布線36、37、38係以與源極墊7及與閘極布線34同層之導電膜(TiW膜與Al膜之積層膜)所構成。實際之矽晶片3係藉未圖示之表面保護膜覆蓋著閘極布線34及Al布線36、37、38，故在矽晶片3之表面，僅露出上述之最上層之導電膜中源極墊7及閘極墊8。又，在圖7所示之例中，形成閘極電極(多晶矽膜26A)之溝24之

平面形狀呈現四角形，故閘極電極(多晶矽膜26A)之平面形狀也呈現四角形。

圖8係表示本實施型態之半導體裝置1A之製造步驟之一例之流程圖。為了製造半導體裝置1A，首先，依照周知之製造方法，在矽晶圓形成功率MOSFET後，切割此矽晶圓而得矽晶片3。其次，準備形成有導線4及晶片焊墊部4D之導線架，使用Ag膏5在晶片焊墊部4D上裝載(晶片接合)矽晶片3。

其次，藉利用超音波之周知之楔接合法將Al帶10接合於矽晶片3之源極墊7與構成源極導線之導線4(1號導線至3號導線成一體之部分)之間。接著，藉利用熱與超音波之周知之球接合法將Au線11接合於矽晶片3之閘極墊8與構成閘極導線之導線4(4號導線)之間。又，Al帶10之接合與Au線11之接合也可由任何一方先執行。

其次，利用模塑配件以模塑樹脂2密封矽晶片3(及晶片焊墊部4D、Al帶10、Au線11、導線4之內導線部)後，在模塑樹脂2之表面標記製品名及製造序號等。接著，切斷、除去露出於模塑樹脂2之外部之導線4之不要部分後，將導線4成形成海鷗展翅狀，最後經判別製品之良莠之篩選步驟而完成半導體裝置1A。

如此，在本實施型態中，作為電性連接具有寬於閘極墊8之面積之源極墊7與源極導線(導線4)之導電材料，使用具有寬於Au線11之面積之Al帶10。因此，在源極墊7之表面楔接合Al帶10之際，如圖9所示，不僅矽晶片3之表面，連

介在矽晶片3與晶片焊墊部4D之間之Ag膏5，也會被施加接合工具12之大的振動能量。因此，作為防止Ag膏5因接合工具之大的振動能量而發生龜裂之對策，最好選擇性地使用具有最適之彈性模量(Pa)之Ag膏5。

在本實施型態中，利用以下之式(1)定義Ag膏5之彈性模量(Pa)。

$$\text{彈性模量(Pa)} = 2.6 \times \text{接著厚度}(\mu\text{m}) / \text{斷裂位移}(\mu\text{m}) \times \text{抗剪強度(Pa)} \quad (1)$$

式(1)中，接著厚度係Ag膏之厚度(μm)，抗剪強度(Pa)係剪切方向之力/剖面積(接著面積)。又，斷裂位移係由圖10所示之計算式導出之值(μm)。在此，斷裂位移 > Al帶可超音波接合位移(=Al帶之超音波接合時，接合工具之振動使Ag膏變形之量)，故本實施型態之Ag膏5被要求之彈性模量(Pa)之選擇指針式為：{彈性模量(Pa) < $2.6 \times \text{接著厚度}(\mu\text{m}) / \text{Al帶可超音波接合位移}(\mu\text{m}) \times \text{抗剪強度(Pa)}$ }。

其次，說明有關為確認上述之選擇指針式之有效性所執行之龜裂耐性實驗。表1係表示此實驗使用之市售之4種Ag膏((1)~(4))之彈性模量、抗剪強度、接著厚度。Al帶之超音波接合時之Ag膏位移量在Ag膏(1)、(3)、(4)分別為0.1218 mm，在Ag膏(2)為0.07 mm。

[表 1]

表 1

	彈性模量	抗剪強度	接著厚度
Ag 膏 (1)	5.30 GPa	15.5 MPa	15.4 μm
Ag 膏 (2)	5.34 GPa	8.6 MPa	13.2 μm
Ag 膏 (3)	2.42 GPa	14.2 MPa	24.4 μm
Ag 膏 (4)	0.611 GPa	3.8 MPa	16.6 μm

圖 11 係表示 4 種 Ag 膏 ((1)~(4)) 之選擇指針式與實驗結果之曲線圖。各曲線圖之實線表示由式 (1) 算出之各 Ag 膏 ((1)~(4)) 之彈性模量，實線下側之區域表示滿足選擇指針式之區域，即可接合區域。又，各曲線圖之黑點表示各 Ag 膏 ((1)~(4)) 之實際之彈性模量。

依據實驗結果，在實際之彈性模量滿足選擇指針式之 Ag 膏 ((3) 及 (4)) 中，未發生龜裂，但在未滿足選擇指針式之 Ag 膏 ((1) 及 (2)) 中，則發生龜裂。由此實驗結果，確認在晶片焊墊部 4D 上接合矽晶片 3 之際，選擇滿足上述選擇指針式之 Ag 膏 5 時，可有效地避免接合工具之振動能量引起之 Ag 膏 5 之龜裂。

圖 12 係表示將 Ag 膏之厚度設定為 10 μm ，測定以標準的超音波接合輸出 (4W) 接合 Al 帶之情形之 Ag 膏之彈性模量之抗剪強度依存性之結果之曲線圖。曲線圖中之白圓表示未發生龜裂之例，黑圓表示有發生龜裂之例。

由此測定結果，可判斷：Ag 膏之彈性模量以在 0.2~5.3 GPa 之範圍為宜，抗剪強度 (MPa) 以在 8.5 MPa 以上為宜。

彈性模量不足 0.2 GPa 時，Ag 之含量過少，無法獲得期望之電導率。另一方面，大於 5.3 GPa 之情形，Ag 膏之硬度過高，不能變形，故不能追隨超音波接合時之振動而會發生龜裂。又，Ag 膏之抗剪強度不足 8.5 MPa 之情形，不能承受超音波接合時發生之衝擊。

其次，說明有關在導線架(晶片焊墊部 4D 及導線 4)之表面形成以 Pd 膜為主成分之電鍍層之效果。表 2 係表示在 Cu 構成之導線架表面形成 3 種 (Ag、Ni、Pd) 電鍍單層之情形、與未形成電鍍層之情形 (裸 Cu)，源極導線與 Al 帶、閘極導線與 Au 線、晶片焊墊部與 Ag 膏之各接著性 (○ 表示良好之接著性，× 表示接著不良)。

[表 2]

表 2

源極：Al 帶、閘極：Au 線、晶片接合材料：Ag 膏

	電鍍材質			
	Ag	Ni	Pd	裸 Cu
源極柱-Al帶連接	×	○	○	○
閘極柱-Au線連接	○	×	○	×
晶片焊墊-Ag膏連接	○	×	○	×

由表 2 顯然可以知悉：在導線架之表面形成以 Pd 膜為主成分之電鍍層之情形，源極導線與 Al 帶、閘極導線與 Au 線、晶片焊墊部與 Ag 膏全部顯示良好之接著性。

[表 3]

表 3

源極：Al帶、閘極：Al線、晶片接合材料：Ag膏

	電鍍材質			
	Ag	Ni	Pd	裸 Cu
源極柱-Al帶連接	×	○	○	○
閘極柱-Al線連接	○	○	○	○
晶片焊墊-Ag膏連接	○	×	○	×

又，由表3顯然可以知悉：在導線架之表面形成以Pd膜為主成分之電鍍層之情形，以Al線連接閘極墊與閘極導線之情形，也顯示良好之接著性。如此，在導線架之表面形成以Pd膜為主成分之電鍍層時，可利用一種電鍍材料應付所有之連接，故可簡化製造步驟。

如此，依據本實施型態，以Al帶10連接構成源極導線之導線4與源極墊7時，與以Au線連接導線4與源極墊7之情形相比，接合面積較大，故可實現半導體裝置1A之低電阻化。又，因Al帶10之成本比Au線低廉，故可進一步降低半導體裝置1A之製造成本。又，若所要求之電阻值相同時，與以Au線連接導線4與源極墊7之情形相比，可縮小源極墊7，甚至於矽晶片3之尺寸，故在此情形也可降低半導體裝置1A之製造成本。

依據本實施型態，將Ag膏5之彈性模量及抗剪強度最適化時，可防止Al帶10之超音波接合引起之Ag膏5之龜裂，故可提高半導體裝置1A之製造良率及可靠性。

依據本實施型態，在導線架(晶片焊墊部4D及導線4)之表面形成以Pd膜為主成分之電鍍層時，可實現半導體裝置1A之無鉛化。

(實施型態2)圖13係表示本實施型態之半導體裝置(SOP8)之內部構造之平面圖。本實施型態之半導體裝置1B之特徵在於構成源極導線之3條導線4(1號導線~3號導線)與源極墊7係被複數條Al帶10所電性連接。連接於源極墊7之Al帶10之條數並無特別限定，但圖13係表示連接2條Al帶10之例。

半導體裝置(SOP8)因其品種或世代而使矽晶片3之尺寸發生差異，同時，源極墊7之面積也會有所差異。因此，依照源極墊7之面積，隨時準備寬度相異之數種Al帶10時，將使Al帶10之管理變得煩雜。對此，若準備1種寬度較窄之Al帶10，依照源極墊7之面積改變Al帶10之連接條數時，就不會使Al帶10之管理變得煩雜。

將複數條Al帶10連接於源極墊7之際，如圖14所示，藉1支接合工具12同時接合複數條Al帶10時，可施行良好效率之接合。

如此，以複數條Al帶10連接構成源極導線之導線4與源極墊7時，可使接合面積變得更大，故可促進半導體裝置1B之低電阻化。

(實施型態3)圖15係表示本實施型態之半導體裝置(SOP8)1C之內部構造之平面圖。本實施型態之半導體裝置1C之特徵在於擴大形成於矽晶片3之主面之閘極墊8之面

積，不僅源極墊7與導線4，連閘極墊8與導線4(閘極導線)也以Al帶10加以連接。

依據本實施型態，與以Au線11連接閘極墊8與導線4之情形相比，可簡化製造步驟。

(實施型態4) 圖16係表示本實施型態之半導體裝置(SOP8)1D之內部構造之平面圖。本實施型態之半導體裝置1D之特徵在於在露出於模塑樹脂2之外部之導線4中，以寬度較寬之1條導線構成源極導線。

依據本實施型態，加寬源極導線之寬度時，可進一步降低通電電阻。又，加寬露出於模塑樹脂2之外部之導線4之寬度時，可提高放熱性，故可實現熱電阻小之半導體裝置1D。

(實施型態5) 圖17係表示本實施型態之半導體裝置(SOP8)1E之內部構造之平面圖。本實施型態之半導體裝置1E之特徵在於以Al帶10連接晶片焊墊部4D與導線4(1號導線及2號導線)。此情形，1號導線、2號導線及5號導線至8號導線為汲極導線，3號導線為源極導線，4號導線為閘極導線。

依據本實施型態，晶片焊墊部4D之熱可經由Al帶10向導線4之一部分(1號導線及2號導線)排放，故可提高放熱性，實現熱電阻小之半導體裝置1E。

(實施型態6) 圖18~圖21係表示本實施型態之半導體裝置之圖，圖18係表示封裝之上面之平面圖，圖19係表示封裝之下面之平面圖，圖20係表示內部構造之平面圖，圖21係

沿著圖20之C-C線之剖面圖。

本實施型態之半導體裝置1F係適用於小型面安裝封裝之一種之VSON8之半導體裝置。構成VSON8之外部連接端子之8條導線41之外導線部露出於環氧系樹脂構成之模塑樹脂40之底部。圖18所示之8條導線41中，1號導線至3號導線為射極導線，4號導線為閘極導線，5號導線至8號導線為集極導線。

相對於前述實施型態1~5之SOP8之模塑樹脂2之外形尺寸為長邊×短邊=4.9 mm×3.95 mm，VSON8之模塑樹脂40之外形尺寸為長邊×短邊=4.4 mm×3.0 mm。在此模塑樹脂40之內部，密封著形成後述之絕緣閘極雙極性電晶體(Insulated Gate Bipolar Transistor：IGBT)之矽晶片42。

如圖20所示，矽晶片42係在與構成集極導線之4條導線41(5號導線~8號導線)形成一體之晶片焊墊部41D之上，以使其主面朝上之狀態被裝載。矽晶片42之背面構成IGBT之集極，經由Ag膏5被接合於晶片焊墊部41D之上面。晶片焊墊部41D及8條導線41(1號導線~8號導線)與前述SOP8之晶片焊墊部4D及導線4相同，係由Cu或Fe-Ni合金所構成，在該等表面形成以Pd膜為主成分，在其上下積層Ni膜與Au膜之3層構造(Ni/Pd/Au)之電鍍層(未圖示)。

在矽晶片42之主面，形成射極墊(射極電極)43與閘極墊44。射極墊43與閘極墊44係由以形成在矽晶片42之最上層之Al膜為主體之導電膜所構成。為了降低IGBT之通電電阻，射極墊43係以寬於閘極墊44之面積構成。基於同樣之

理由，矽晶片42之背面係將其全面構成IGBT之汲極電極。

如圖20所示，本實施型態之半導體裝置1F係在模塑樹脂40之內部連結構成射極導線之3條導線41(1號導線至3號導線)中之2條導線41(1號導線及2號導線)，此連結之部分與射極墊43係被Al帶45電性連接。另一方面，構成射極導線之另1條導線41(3號導線)係與上述2條導線41(1號導線及2號導線)分離，被1條Au線46電性連接於射極墊43。又，構成閘極導線之1條導線41(4號導線)與閘極墊44係被1條Au線46電性連接。

構成射極導線之上述3條導線41(1號導線~3號導線)中，被Au線46連接於射極墊43之3號導線係構成閘極驅動用之感測端子，被Al帶45連接於射極墊43之1號導線及2號導線係構成受力端子。

如圖22所示，將閘極電壓施加至IGBT之閘極電極與射極導線之間之際，可藉電流流至連接於射極導線之線而發生電壓下降，在矽晶片表面與射極導線之間會發生相當於此電壓下降部分之電位差。因此，實際被輸入至矽晶片之電壓會降低相當於上述電位差之部分。此影響在大電流或低電壓驅動時愈為顯著。

作為其對策，在本實施型態中，如前所述，將射極導線分割成感測端子(3號導線)與受力端子(1號導線及2號導線)，感測端子(3號導線)經由Au線46連接於射極墊43，受力端子(1號導線、2號導線)經由Al帶45連接於射極墊43。

如此一來，將閘極電壓施加至閘極電極與射極導線之間之際，電流會流向比感測端子(3號導線)更低電阻之受力端子(1號導線、2號導線)側，而電流幾乎不會流向高電阻之感測端子(3號導線)側。其結果，閘極電極與射極導線之間不會發生電位差，故施加至閘極電極與射極導線之間之閘極電壓可幾乎無損耗地被輸入至矽晶片。

另一方面，將射極導線分割成感測端子(3號導線)與受力端子(1號導線及2號導線)之情形，可縮小1號導線與2號導線之連結部之面積。因此，寬度較寬之Al帶45之長邊與矽晶片42之長邊(沿著圖20之左右方向之邊)難以平行排列地予以接合。此係由於圖20所示之導線41之1、2號導線與射極墊43之關係位置、及射極墊43之面積，特別係圖20之上下方向之寬度較小所致。

此情形，若使用寬度窄於圖20所示之Al帶45之Al帶時，Al帶之長邊與矽晶片42之長邊即可平行排列地予以接合，但若使用寬度較窄之Al帶時，與導線41之接觸面積會變小而增大兩者之接觸電阻。

因此，在本實施型態中，如圖20所示，對矽晶片42之邊或模塑樹脂40之邊傾斜地接合Al帶45時，即可將寬度較寬之Al帶45接合於面積較小之射極墊43之表面。另外，如圖20所示，使接合Al帶45之一端部之連結部之寬度(A)寬於導線41之一的基準寬度(B)時，即使在傾斜配置Al帶45之情形，也可穩定地連接Al帶45與導線41。

又，在面積較小之導線41之連結部接合寬度較寬之Al帶

45之情形，接合裝置之箝位器與導線41之接觸面積也會變小，故難以利用箝位器確實固定導線41，Al帶45與導線41之接著力有降低之虞。因此，在本實施型態中，如圖20所示，使構成受力端子之導線41(1號導線及2號導線)之一部分延伸至構成感測端子之導線41(3號導線)與晶片焊墊部41D之間，以增大構成受力端子之導線41之面積。

藉此，如圖23所示，可增大接合裝置之箝位器47與導線41(1號導線及2號導線)之接觸面積，以箝位器47確實固定導線41。因此，將Al帶45楔接合於導線41(1號導線及2號導線)之表面之際，可使接合工具之振動能量確實傳達至Al帶45，故可提高Al帶45與導線41之接著力。

其次，說明有關形成於上述矽晶片42之IGBT。圖24係表示IGBT之一例之n通道型之溝閘極型MOSFET之矽晶片42之要部剖面圖。

在p型接觸層60之上部，形成n型磊晶層。n型磊晶層係由n型緩衝層61、與其上部之n型漂移層62所構成。在n型漂移層62之上部形成有p型井63、p型基極層64，在p型基極層64之一部分，形成有貫通此p型基極層64而達到n型漂移層62之複數溝。

在上述複數溝之內壁形成氧化矽膜構成之閘極絕緣膜65，在閘極絕緣膜65之內側形成閘極電極66。又，在p型井63之上部經由氧化矽膜67形成有閘極引出電極66A。閘極電極66與閘極引出電極66A係由n型多晶矽膜所構成，在未圖示之區域互相連接。

在上述複數溝之周圍之p型基極層64之表面，形成n型射極層68與p型接觸層69。n型射極層68、p型基極層64及n型漂移層62構成。

在n通道型MOSFET之上部，經由氧化矽膜70形成射極墊43。射極墊43係經由形成於氧化矽膜70之接觸孔連接至p型接觸層69。又，在閘極引出電極66A之上部，經由氧化矽膜70形成閘極墊44。閘極墊44係經由形成於氧化矽膜70之接觸孔連接至閘極引出電極66A。射極墊43及閘極墊44例如係利用WSi(矽化鎢)膜與Al(鋁)合金膜之積層膜所構成。

矽晶片42之表面除了形成射極墊43及閘極墊44之區域以外，被鈍化膜71所覆蓋。鈍化膜71例如係以氧化矽膜與氮化矽膜之積層膜所構成。另一方面，在矽晶片42之背面，形成接觸於p型接觸層60之接觸電極72。

圖25係使用本實施型態之半導體裝置1F之電路之一例。圖中之符號73係IGBT驅動器IC，74係氙(Xenon)管，75係觸發變壓器。

(實施型態7)圖26~圖29係表示本實施型態之半導體裝置之圖，圖26係表示封裝之內部構造之平面圖，圖27係沿著圖26之D-D線之剖面圖，圖28係沿著圖26之E-E線之剖面圖，圖29係沿著圖26之F-F線之剖面圖。

本實施型態之半導體裝置1G係適用於小型面安裝封裝之一種之WPAK之半導體裝置。構成WPAK之外部連接端子之8條導線51之外導線部露出於環氧系樹脂構成之模塑樹

脂50之外部。圖26所示之導線51中，1號導線至3號導線為源極導線，4號導線為閘極導線，5號導線至8號導線為汲極導線。

WPAK之模塑樹脂50之外形尺寸為長邊×短邊=5.9 mm×4.9 mm。在此模塑樹脂50之內部，與前述實施型態1同樣地密封著形成功率MOSFET之矽晶片52。WPAK之特徵之一在於為降低封裝之熱電阻，使裝載矽晶片52之晶片焊墊部51D之背面露出於模塑樹脂50之外部，使晶片焊墊部51D執行作散熱器之功能。

矽晶片52係在與構成汲極導線之4條導線51(5號導線~8號導線)形成一體之晶片焊墊部51D之上，以使其主面朝上之狀態被裝載。矽晶片52之背面構成功率MOSFET之汲極，經由Ag膏5被接合於晶片焊墊部51D之上面。晶片焊墊部51D及8條導線51(1號導線~8號導線)係由Cu或Fe-Ni合金所構成，在該等表面形成以Pd膜為主成分，在其上下積層Ni膜與Au膜之3層構造(Ni/Pd/Au)之電鍍層(未圖示)。

在矽晶片52之主面，形成源極墊(源極電極)53與閘極墊54。源極墊53與閘極墊54係由以形成在矽晶片52之最上層之Al膜為主體之導電膜所構成。為了降低功率MOSFET之通電電阻，源極墊53係以寬於閘極墊54之面積構成。基於同樣之理由，矽晶片52之背面係將其全面構成功率MOSFET之汲極電極。

本實施型態之半導體裝置1G係與前述實施型態1之半導體裝置(SOP8)1A同樣地，在模塑樹脂50之內部連結構成源

極導線之3條導線51(1號導線~3號導線)，此連結之部分與源極墊53係被Al帶55電性連接。另一方面，構成閘極導線之1條導線51(4號導線)與閘極墊54係被1條Au線56電性連接。

如前所述，WPAK係呈現使裝載矽晶片52之晶片焊墊部51D之背面露出模塑樹脂50之外部之構造。因此，因模塑樹脂50與晶片焊墊部51D(及導線51)之熱膨脹係數差而在兩者之界面產生間隙時，就容易發生水分等異物通過此間隙侵入模塑樹脂50之內部，使Ag膏5劣化之問題。尤其，功率MOSFET之矽晶片52之背面構成汲極電極，故Ag膏5劣化時，會引起汲極電阻之增加。

作為其對策，在本實施型態中，如圖26所示，例如沿著晶片焊墊部51D之一邊(形成汲極導線之一邊)設有複數突起部57，在各突起部57形成如圖28之放大所示之階差57s。又，作為另一對策，沿著晶片焊墊部51D之三邊(除了形成突起部57之一邊以外之三邊)形成如圖28之放大所示之半蝕刻部58。上述階差57s例如可藉衝壓加工突起部57而形成。又，半蝕刻部58可利用使用蝕刻罩之習知之半蝕刻技術形成。

在晶片焊墊部51D之周緣部形成如上述之階差57s及半蝕刻部58之情形，可藉階差57s及半蝕刻部58阻止因模塑樹脂50與晶片焊墊部51D之熱膨脹係數差引起之兩者之界面剝離(界面移位)之進行，故可獲得難以發生界面剝離之效果。

圖30~圖32係表示防止因模塑樹脂50與晶片焊墊部51D之界面剝離之對策之其他例。圖30係表示封裝之內部構造之平面圖，圖31係沿著圖30之G-G線之剖面圖，圖32係沿著圖30之H-H線之剖面圖。又，圖30省略矽晶片52、Al帶55及Au線56之圖示。

在本例中，沿著晶片焊墊部51D之三邊(除了形成突起部57之一邊以外之三邊)形成複數突起部59，在各突起部59，形成如圖32之放大所示之彎曲部59b。彎曲部59b例如可藉彎曲加工突起部59而形成。

在晶片焊墊部51D之周緣部形成如上述彎曲部59b之情形，與形成階差57s及半蝕刻部58之情形同樣地，可藉彎曲部59b阻止因模塑樹脂50與晶片焊墊部51D之熱膨脹係數差引起之兩者之界面剝離(界面移位)之進行，故可獲得難以發生界面剝離之效果。

上述之階差57s、半蝕刻部58及彎曲部59b既可單獨形成其中一種，也可組合二種以上形成。

以上，已就本發明人所創見之發明，依據實施型態予以具體說明，但本發明並不僅限定於前述實施形態，在不脫離其要旨之範圍內，當然可作種種之變更。

例如如圖33所示，在前述實施型態1之SOP8中，最好使構成源極導線之3條導線4(1號導線~3號導線)之連結部之寬度(A)寬於露出模塑樹脂2外部之部分(外導線)之寬度(B)。藉此，可增大Al帶10與導線4之接觸面積，故可縮小兩者之接觸電阻。此在實施型態6之VSON8、及實施型態7

之 WPAK 中亦同。

又，在前述實施型態4中，在露出於模塑樹脂2之外部之導線4中，以寬度較寬之1條導線構成源極導線，藉以謀求通電電阻之降低與放熱性之提高(參照圖16)，但例如如圖34所示，分別以寬度較寬之1條導線構成源極導線與汲極導線時，可進一步提高上述之效果。

又，如前述圖7所示，在矽晶片3之表面形成多數功率 MOSFET。因此，例如如圖35所示，在源極墊7之表面大致均等地配置Al帶10時，可使Al帶10與功率 MOSFET之距離之誤差最小化，降低連接Al帶10與功率 MOSFET之源極墊7之電阻。

又，在前述實施型態中，使用Ag膏將矽晶片裝載於晶片焊墊部上，但也可使用Ag膏以外之晶粒黏附材料，例如無鉛焊料等將矽晶片裝載於晶片焊墊部上。

又，在前述實施型態中，在導線架(晶片焊墊部4D及導線4)之表面形成以Pd膜為主成分之電鍍層，但不限定於此，例如如前述表2所示，也可在連接Al帶之源極導線之表面，使用Ni或Pd中之一方之電鍍(或裸Cu)，在連接Au線之閘極導線之表面，使用Ag或Pd中之一方之電鍍(或裸Cu)，在塗佈Ag膏之晶片焊墊部之表面使用Ag或Pd中之一方之電鍍等在源極導線、閘極導線及晶片焊墊部之各表面施以最適之電鍍。

又，在前述實施型態中，雖說明有關適用於SOP8、VSON8或WPAK之半導體裝置，但也可適用於要求低電阻

之各種小型面安裝封裝。又，形成於矽晶片之元件並不限定於功率MOSFET及IGBT。

又，在前述實施型態中，雖使用Al帶作為連接面積較寬之墊(源極墊或射極墊)與導線之接線材料，但也可使用如Au或Cu合金電阻較小之其他金屬材料所構成之帶。

(產業上之可利用性)

本發明可利用於使用在攜帶式資訊機器之功率控制開關及充放電保護電路開關等之半導體裝置。

【圖式簡單說明】

圖1係表示本發明之實施型態1之半導體裝置之外觀之平面圖。

圖2係表示本發明之實施型態1之半導體裝置之外觀之側面圖。

圖3係表示本發明之實施型態1之半導體裝置之內部構造之平面圖。

圖4係沿著圖3之A-A線之剖面圖。

圖5係沿著圖3之B-B線之剖面圖。

圖6係表示形成於矽晶片之功率MOSFET之要部剖面圖。

圖7係表示含形成於矽晶片之源極墊、閘極墊及閘極布線之最上層之導電膜與下層之閘極電極之平面圖。

圖8係表示本發明之實施型態1之半導體裝置之製造步驟之一例之流程圖。

圖9係將Al帶楔接合於矽晶片之源極墊之際振動能量施

加於Ag膏之情況之說明圖。

圖10係導出Ag膏之最適之彈性模量用之選擇指針式之說明圖。

圖11係表示4種Ag膏之選擇指針式與龜裂耐性實驗之結果之曲線圖。

圖12係表示測定Ag膏之彈性模量之抗剪強度依存性之結果之曲線圖。

圖13係表示本發明之實施型態2之半導體裝置之內部構造之平面圖。

圖14係表示以一支接合工具同時接合複數條Al帶之步驟之要部立體圖。

圖15係表示本發明之實施型態3之半導體裝置之內部構造之平面圖。

圖16係表示本發明之實施型態4之半導體裝置之內部構造之平面圖。

圖17係表示本發明之實施型態5之半導體裝置之內部構造之平面圖。

圖18係表示本發明之實施型態6之半導體裝置之外觀之平面圖。

圖19係表示本發明之實施型態6之半導體裝置之外觀之平面圖。

圖20係表示本發明之實施型態6之半導體裝置之內部構造之平面圖。

圖21係沿著圖20之C-C線之剖面圖。

圖22係概略地說明本發明之實施型態6之半導體裝置之動作之圖。

圖23係表示在本發明之實施型態6之半導體裝置之製造步驟中，線夾與導線之接觸區域之要部平面圖。

圖24係表示形成於矽晶片之IGBT之要部剖面圖。

圖25係表示使用本發明之實施型態6之半導體裝置之電路之一例之圖。

圖26係表示本發明之實施型態7之半導體裝置之內部構造之平面圖。

圖27係沿著圖26之D-D線之剖面圖。

圖28係沿著圖26之E-E線之剖面圖。

圖29係沿著圖26之F-F線之剖面圖。

圖30係表示本發明之實施型態7之半導體裝置之內部構造之平面圖。

圖31係沿著圖30之G-G線之剖面圖。

圖32係沿著圖30之H-H線之剖面圖。

圖33係表示本發明之另一實施型態之半導體裝置之內部構造之平面圖。

圖34係表示本發明之另一實施型態之半導體裝置之內部構造之平面圖。

圖35係表示本發明之另一實施型態之半導體裝置之內部構造之平面圖。

【主要元件符號說明】

1A~1G	半導體裝置
2	模塑樹脂
3	矽晶片
4	導線
4D	晶片焊墊部
5	Ag膏
7	源極墊(源極電極)
8	閘極墊
10	Al帶
11	Au線
12	接合工具
20	n^+ 型單晶矽基板
21	n^- 型單晶矽層
22	p型井
23	氧化矽膜
24	溝
25	氧化矽膜(閘極氧化膜)
26A	多晶矽膜(閘極電極)
26B	閘極引出電極
27	p^- 型半導體區域
28	p型半導體區域
29	n^+ 型半導體區域(源極)
30、31	氧化矽膜
32、33	連接孔

34	閘極布線
35	p ⁺ 型半導體區域
36、37、38	Al布線
40	模塑樹脂
41	導線
41D	晶片焊墊部
42	矽晶片
43	射極墊(射極電極)
44	閘極墊
45	Al帶
46	Au線
47	箝位器
50	模塑樹脂
51	導線
51D	晶片焊墊部
52	矽晶片
53	源極墊
54	閘極墊
55	Al帶
56	Au線
57	突起部
57s	階差
58	半蝕刻部
59	突起部

59b	彎曲部
60	p型接觸層
61	n型緩衝層
62	n型漂移層
63	p型井
64	p型基極層
65	閘極絕緣膜
66	閘極電極
66A	閘極引出電極
67	氧化矽膜
68	n型射極層
69	p型接觸層
70	氧化矽膜
71	鈍化膜
72	接觸電極
73	IGBT驅動器IC
74	氬管
75	觸發變壓器

五、中文發明摘要：

本發明係實現密封功率MOSFET等之小型面安裝封裝之低通電電阻化。矽晶片3係裝載於與構成汲極導線之導線4一體形成之晶片焊墊部4D上，在其主面上形成有源極墊7與閘極墊8。矽晶片3之背面構成功率MOSFET之汲極，經由Ag膏被接合於晶片焊墊部4D之上面。構成源極導線之導線4與源極墊7係被Al帶10電性連接，構成閘極導線之導線4與閘極墊8係被Au線11電性連接。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置，其特徵在於：其係藉樹脂封裝密封裝載於導線架之晶片焊墊部上之半導體晶片，前述導線架之外導線部露出於前述樹脂封裝之外部者，前述導線架係包含閘極導線、源極導線、汲極導線、及與前述汲極導線一體形成之晶片焊墊部，在前述半導體晶片之主面形成連接於功率 MOSFET 之閘極電極之閘極墊與連接於前述功率 MOSFET 之源極，且面積大於前述閘極墊之源極墊，構成前述功率 MOSFET 之汲極之前述半導體晶片背面係被 Ag 膏接合於前述晶片焊墊部上，前述源極導線與前述源極墊係被 Al 帶所連接。
2. 如請求項 1 之半導體裝置，其中前述 Ag 膏之彈性模量 (Pa) 滿足 $Pa < 2.6 \times Ag \text{ 膏之接著厚度} / Al \text{ 帶可超音波接合之位移} \times Ag \text{ 膏之抗剪強度}$ 之關係。
3. 如請求項 1 之半導體裝置，其中前述 Ag 膏之彈性模量係 0.2~5.3 GPa 之範圍，抗剪強度係 8.5 MPa 以上。
4. 如請求項 1 之半導體裝置，其中前述源極導線與前述源極墊係被複數條 Al 帶所連接。
5. 如請求項 1 之半導體裝置，其中前述閘極導線與前述閘極墊係被 Au 線所連接。
6. 如請求項 1 之半導體裝置，其中前述閘極導線與前述閘極墊係被 Al 帶所連接。
7. 如請求項 1 之半導體裝置，其中構成前述源極墊之導電膜膜厚係 3 μm 以上。

8. 如請求項1之半導體裝置，其中複數條之前述源極導線之外導線部被一體連接。
9. 如請求項1之半導體裝置，其中複數條之前述汲極導線之一部分與前述晶片焊墊部係被Al帶所連接。
10. 如請求項1之半導體裝置，其中在前述導線架之表面形成有以Pd為主成分之電鍍層。
11. 一種半導體裝置，其特徵在於：其係藉樹脂封裝密封裝載於導線架之晶片焊墊部上之半導體晶片，前述導線架之外導線部露出於前述樹脂封裝之外部者，前述導線架係包含閘極導線、射極導線、集極導線、及與前述集極導線一體形成之晶片焊墊部，在前述半導體晶片之主面形成連接於IGBT之閘極電極之閘極墊與連接於前述IGBT之射極，且面積大於前述閘極墊之射極墊，構成前述IGBT之汲極之前述半導體晶片背面係被Ag膏接合於前述晶片焊墊部上，前述射極導線與前述射極墊係被Al帶所連接。
12. 如請求項11之半導體裝置，其中連接前述射極導線與前述射極墊之前述Al帶係對前述樹脂封裝之邊向斜方向延伸。
13. 如請求項11之半導體裝置，其中前述閘極導線與前述閘極墊係被Au線所連接。
14. 如請求項13之半導體裝置，其中連接前述射極導線與前述射極墊之前述Al帶係對前述樹脂封裝之邊向斜方向延伸，連接前述閘極導線與前述閘極墊之前述Au線係對前

述樹脂封裝之邊向斜方向延伸。

15. 如請求項 11 之半導體裝置，其中前述射極導線係由受力端子與閘極驅動用之感測端子所構成，構成前述受力端子之射極導線與構成前述感測端子之射極導線係被相互分離形成。
16. 如請求項 15 之半導體裝置，其中構成前述受力端子之射極導線之一部分係延伸至構成前述感測端子之射極導線與前述晶片焊墊部之間。
17. 一種半導體裝置，其特徵在於：其係藉樹脂封裝密封裝載於導線架之晶片焊墊部上之半導體晶片，前述導線架之外導線部與前述晶片焊墊部之背面露出於前述樹脂封裝之外部者，前述導線架係包含閘極導線、源極導線、汲極導線、及與前述汲極導線一體形成之晶片焊墊部，在前述半導體晶片之主面形成連接於功率 MOSFET 之閘極電極之閘極墊與連接於前述功率 MOSFET 之源極，且面積大於前述閘極墊之源極墊，構成前述功率 MOSFET 之汲極之前述半導體晶片背面係被 Ag 膏接合於前述晶片焊墊部上，前述源極導線與前述源極墊係被 Al 帶所連接，前述閘極導線與前述閘極墊係被 Au 線所連接，在前述晶片焊墊部之周緣部設有與前述晶片焊墊部一體構成之突起部，在前述突起部設有階差或彎曲部。
18. 如請求項 17 之半導體裝置，其中在前述晶片焊墊部之周緣部，或者與前述階差或彎曲部同時設有半蝕刻部，以取代前述階差或彎曲部。

19. 如請求項1或17之半導體裝置，其中密封於前述樹脂封裝內部之前述源極導線之寬度係寬於露出前述樹脂封裝外部之部分之寬度。

十一、圖式：

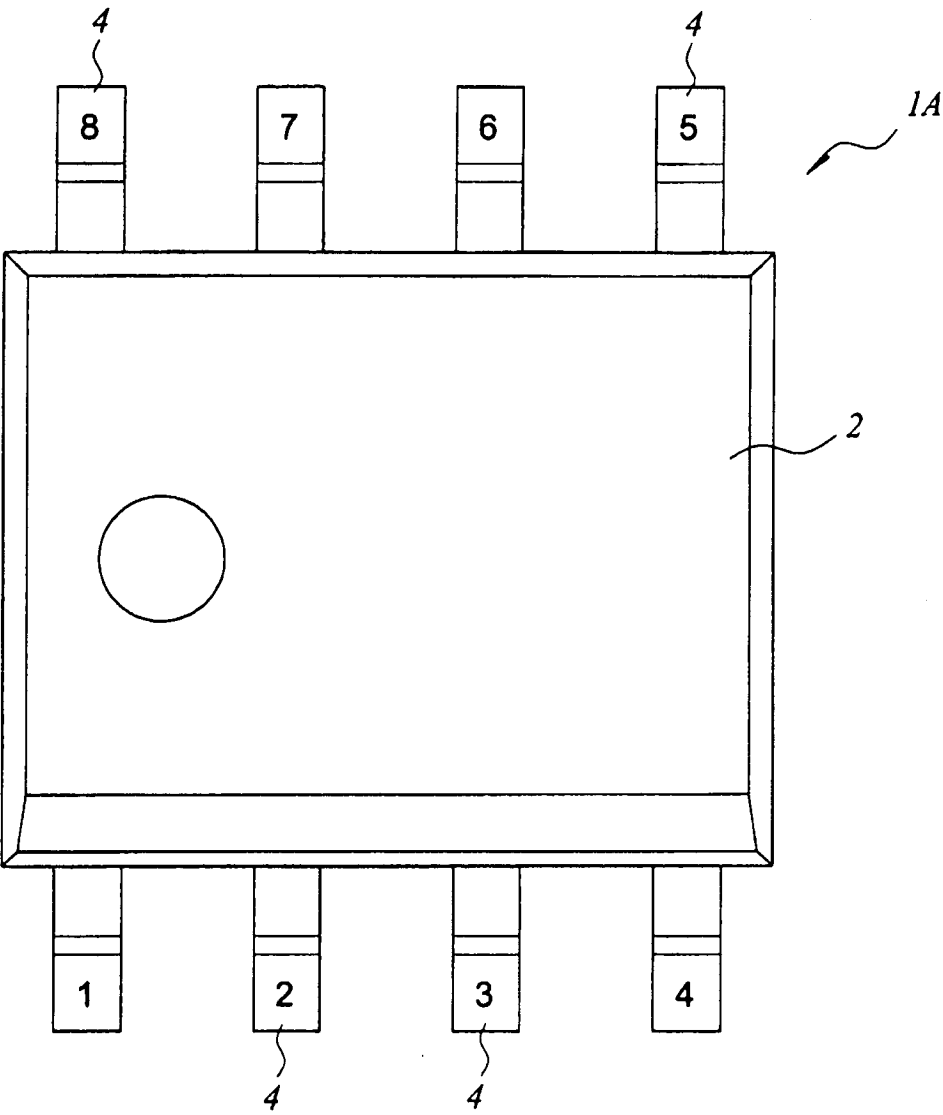


圖 1

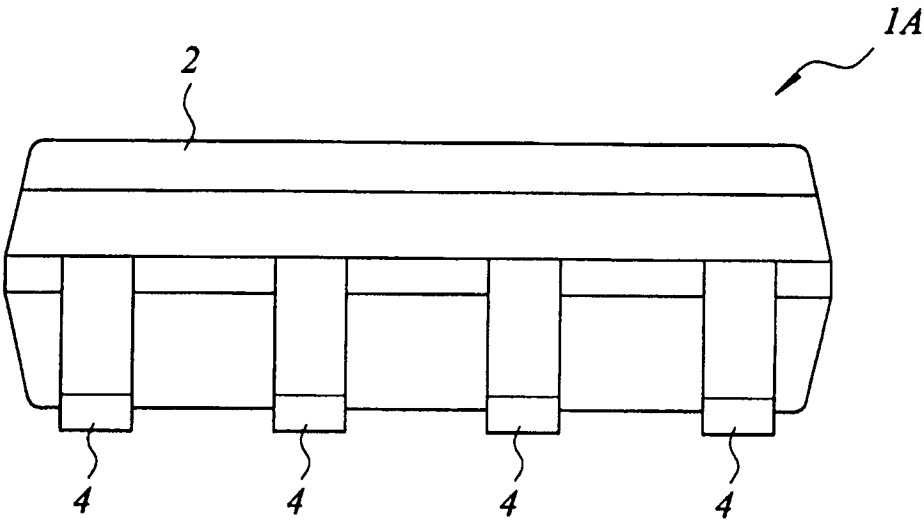


圖 2

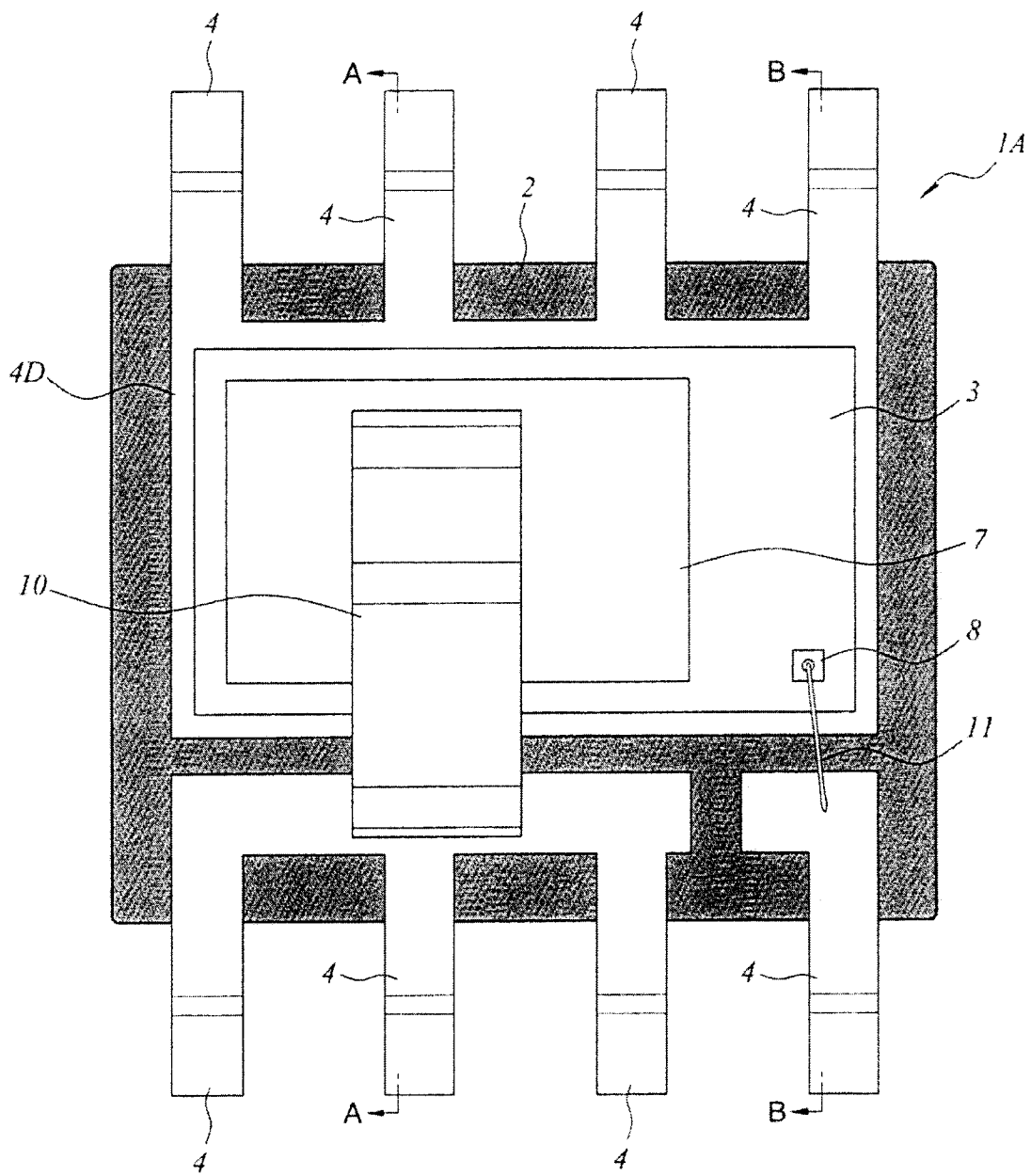


圖 3

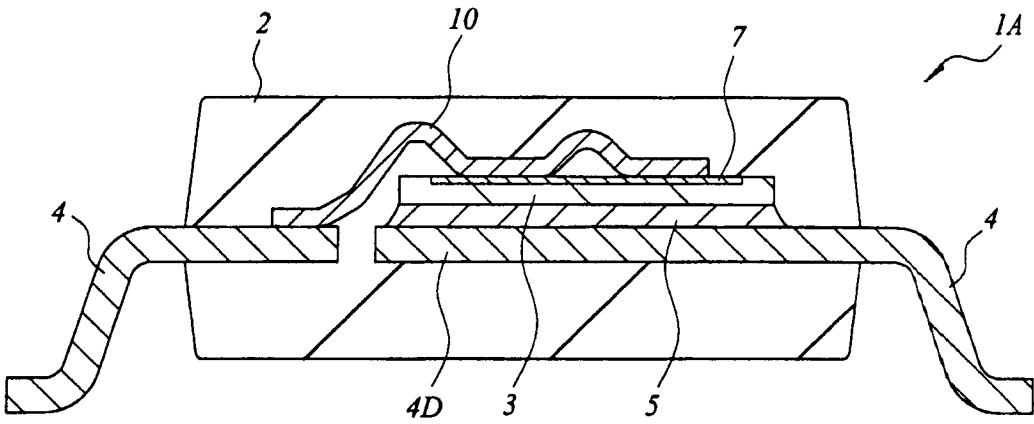


圖 4

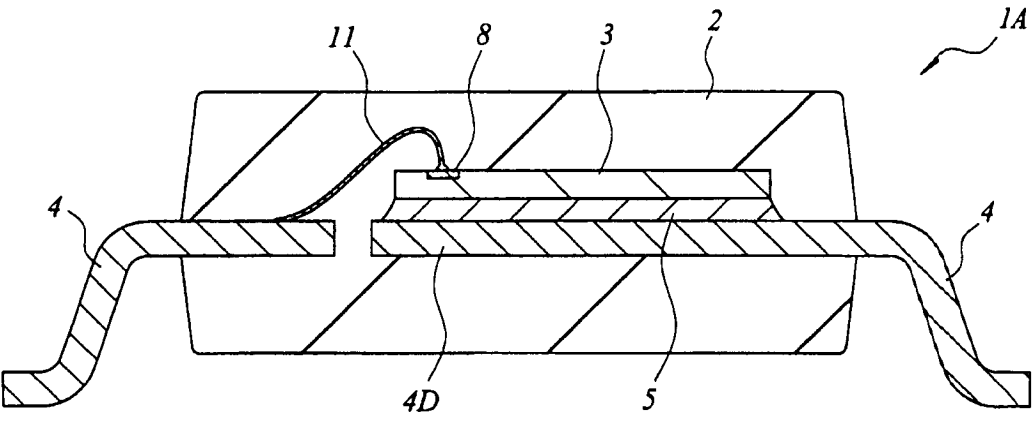


圖 5

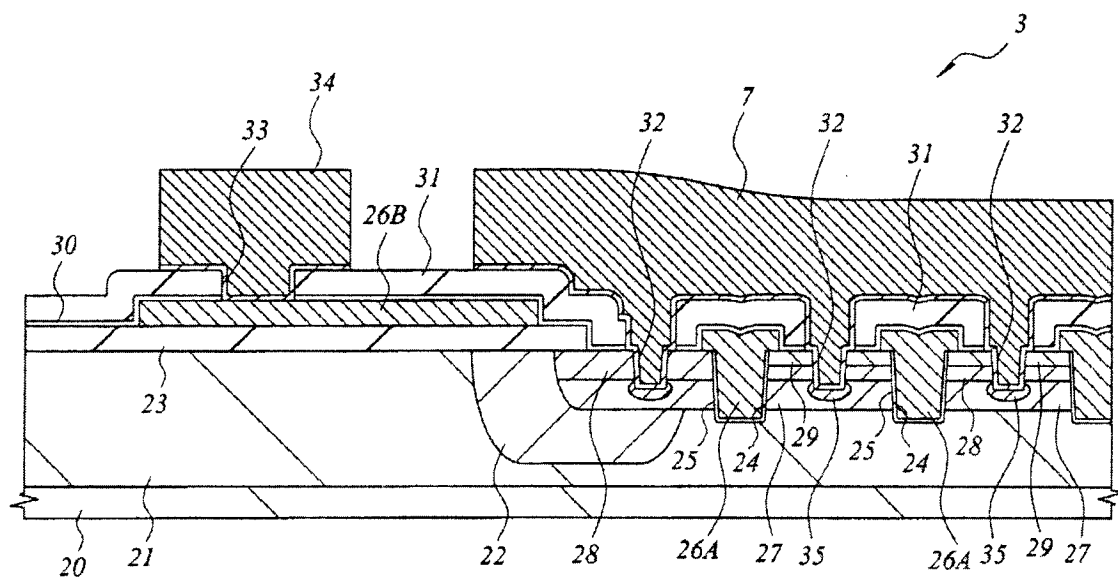


圖 6

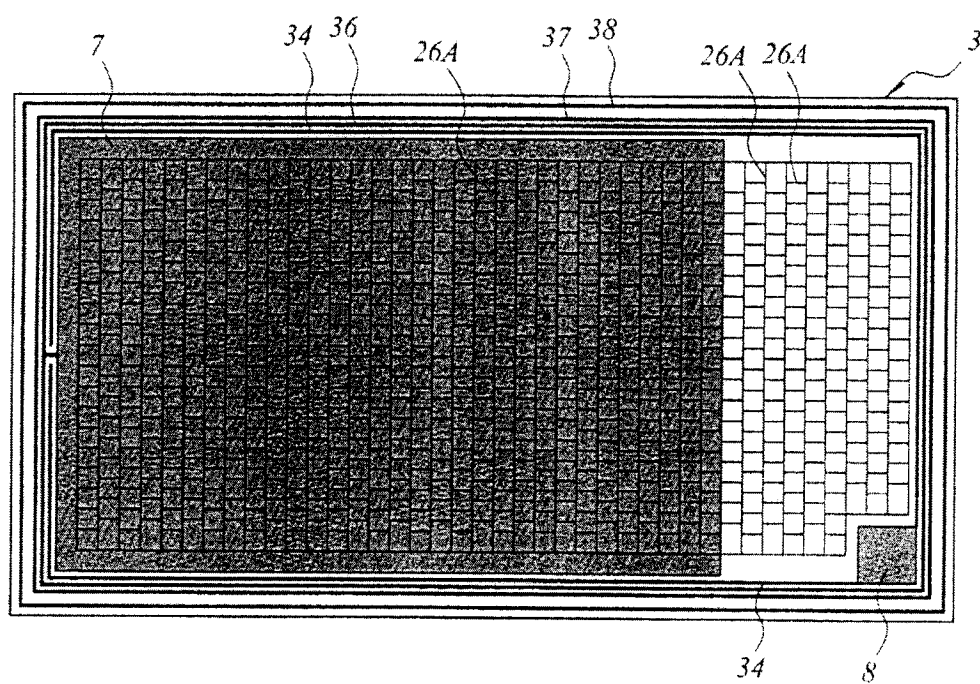


圖 7

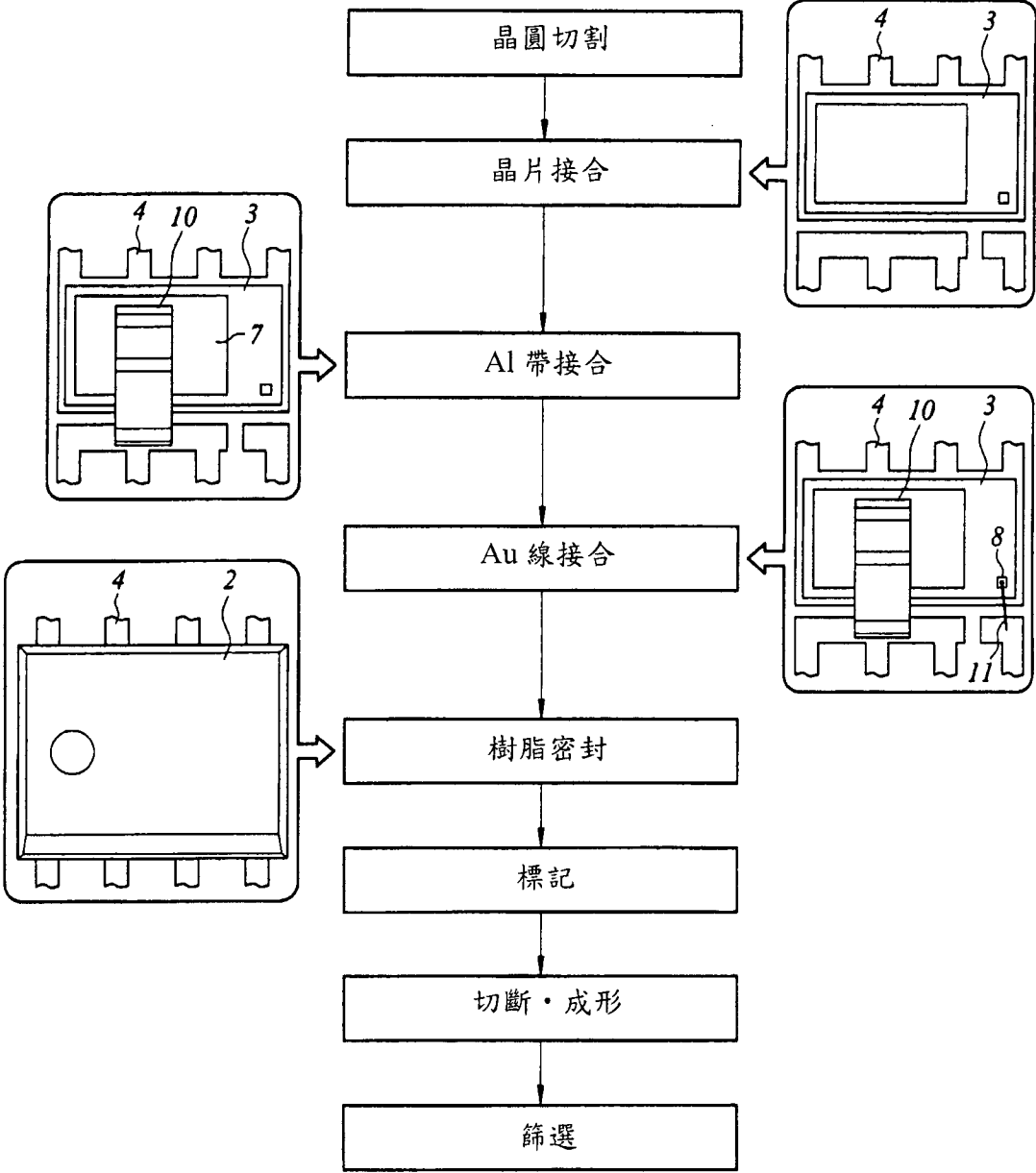


圖 8

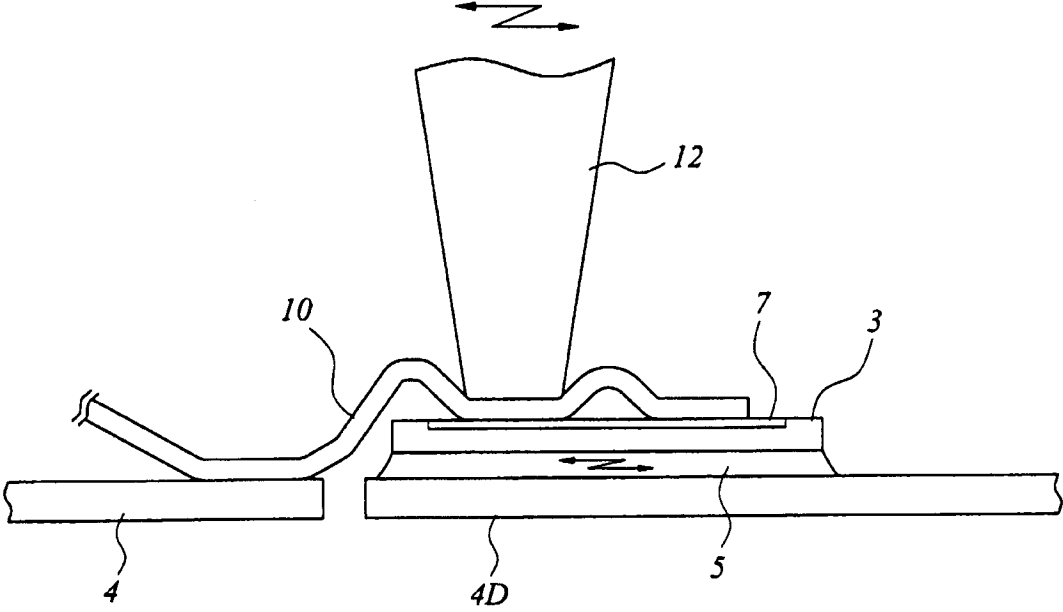


圖 9

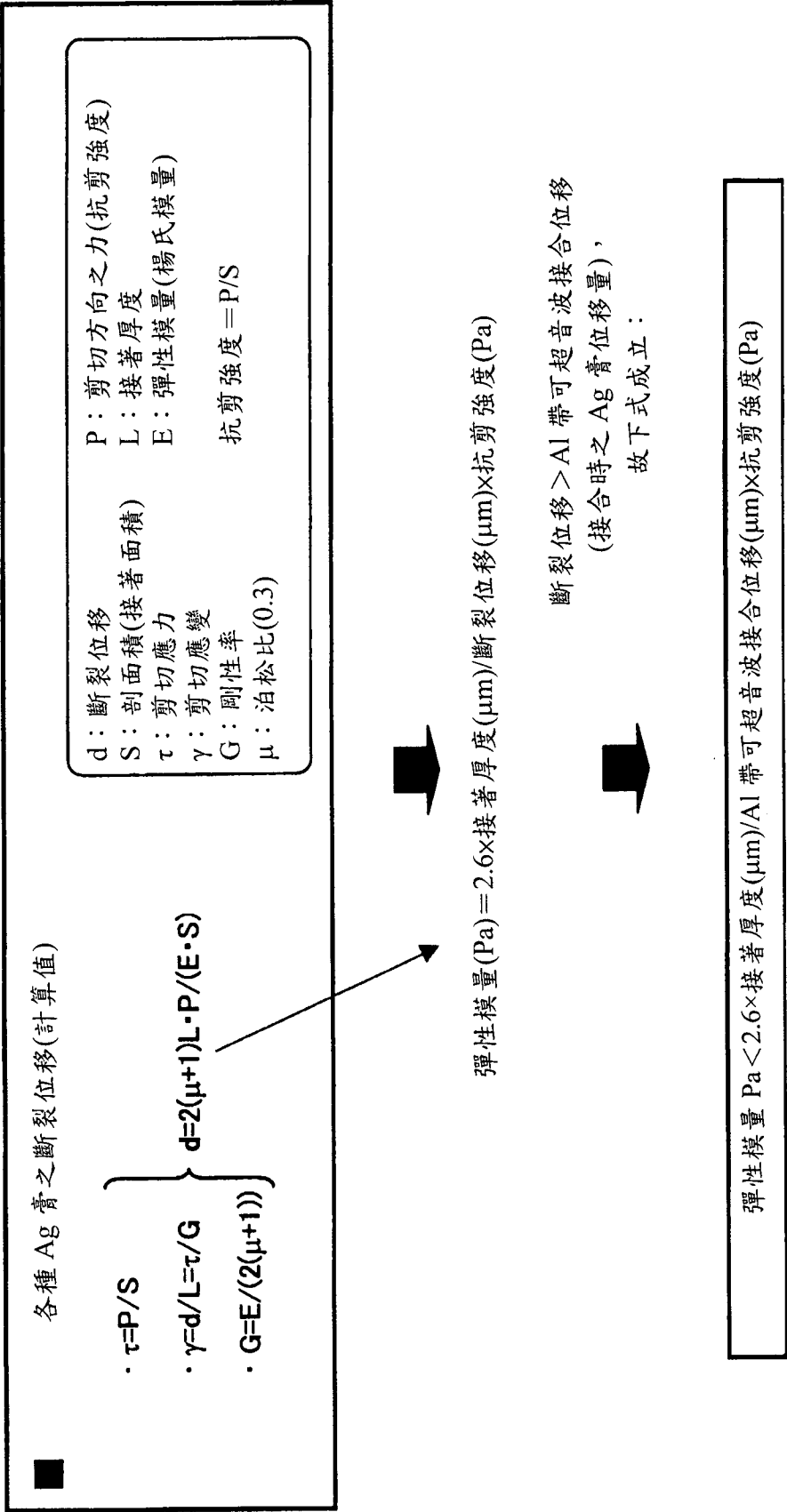


圖 10

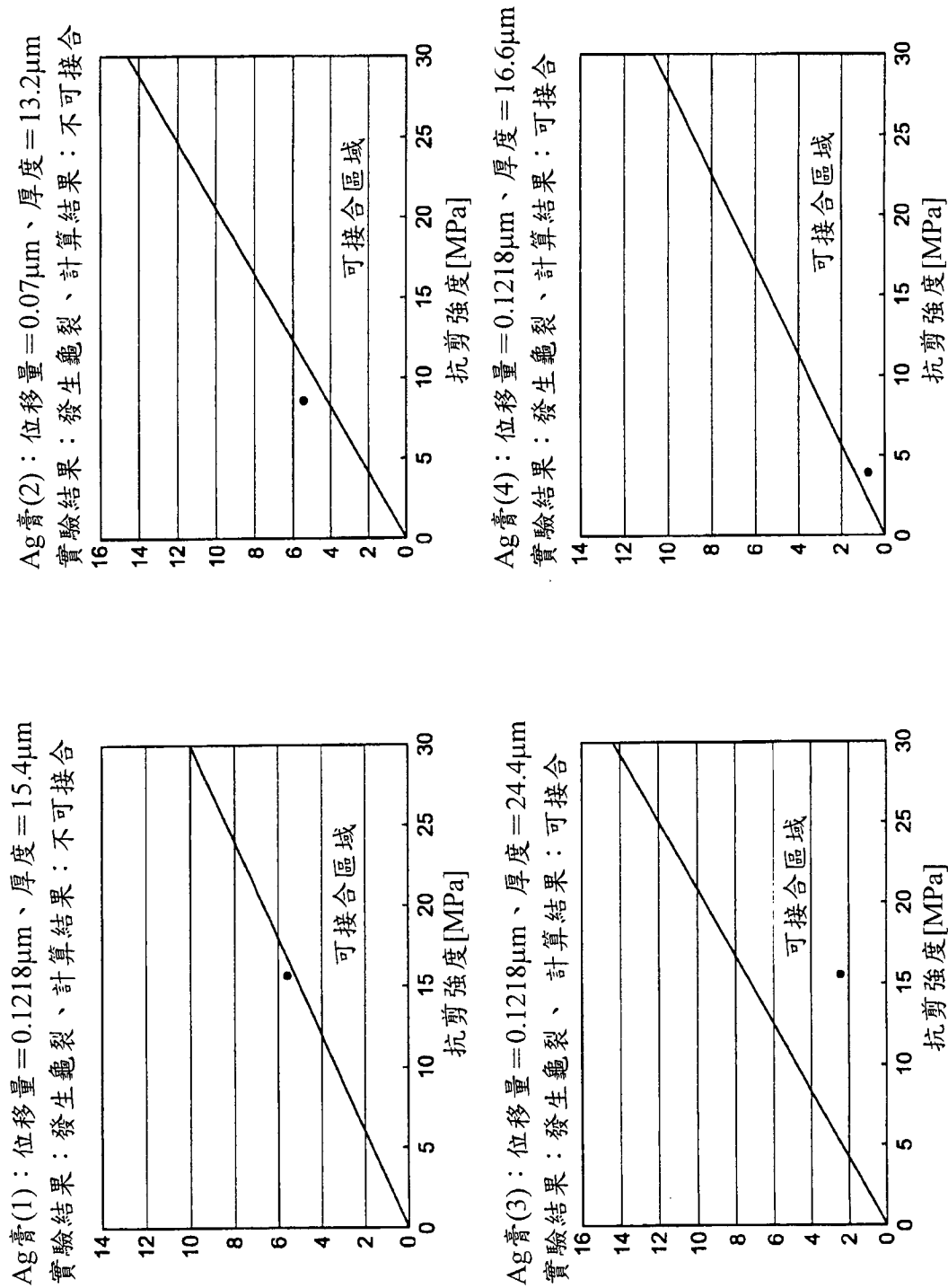


圖 11

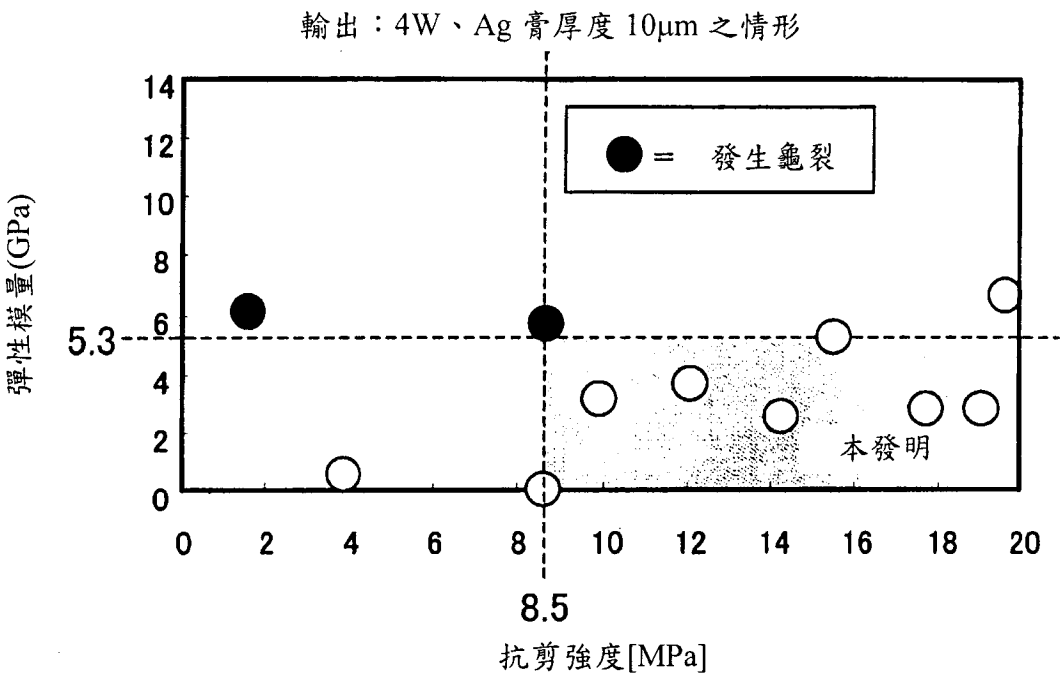


圖 12

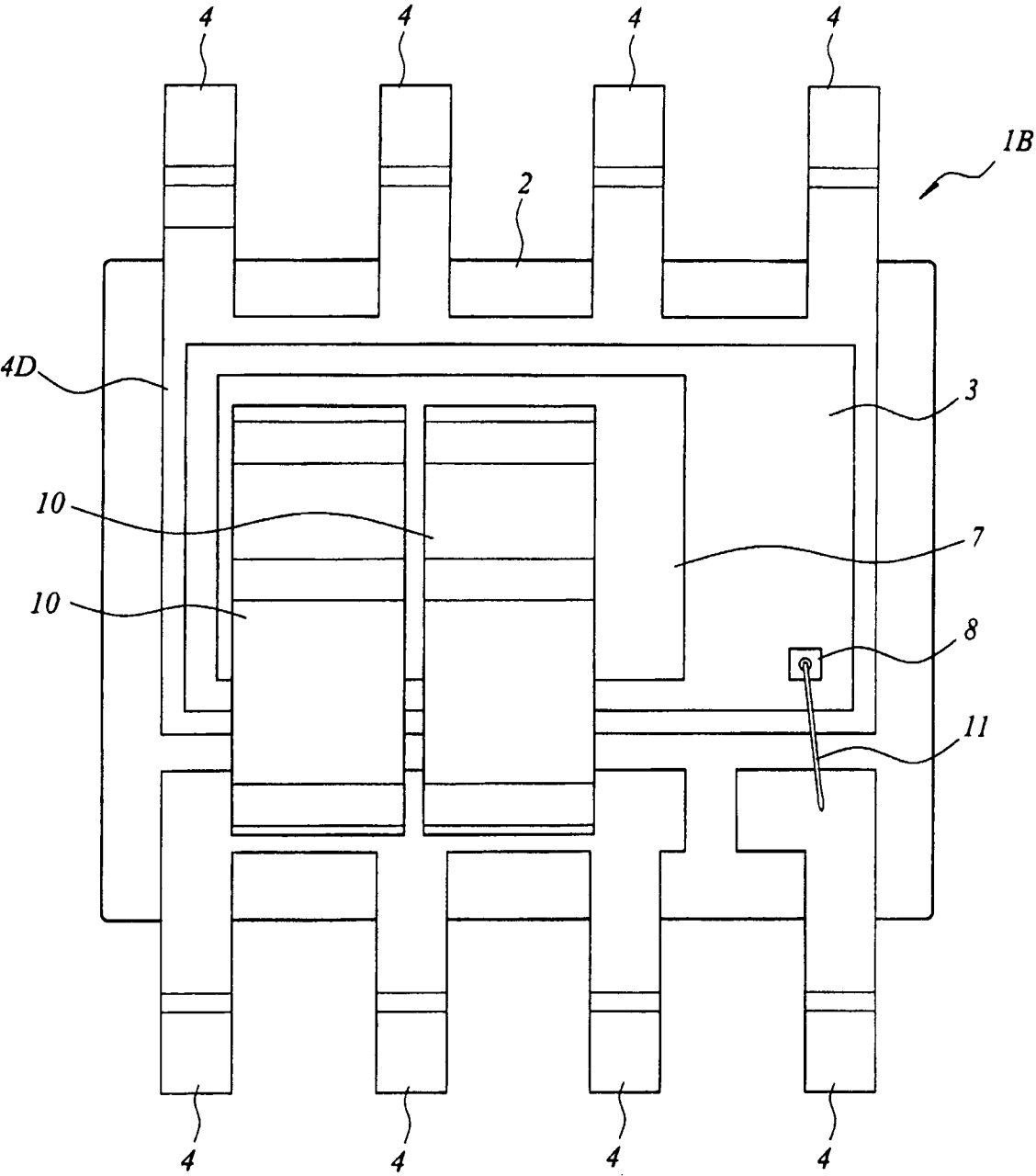


圖 13

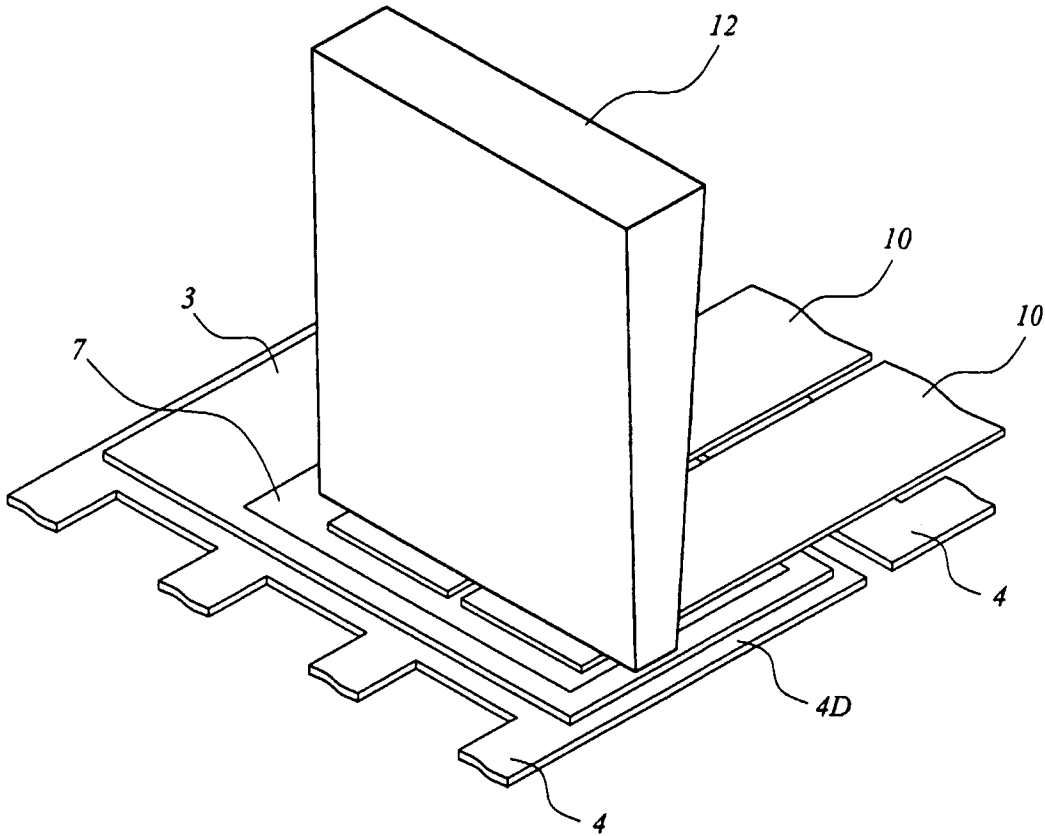


圖 14

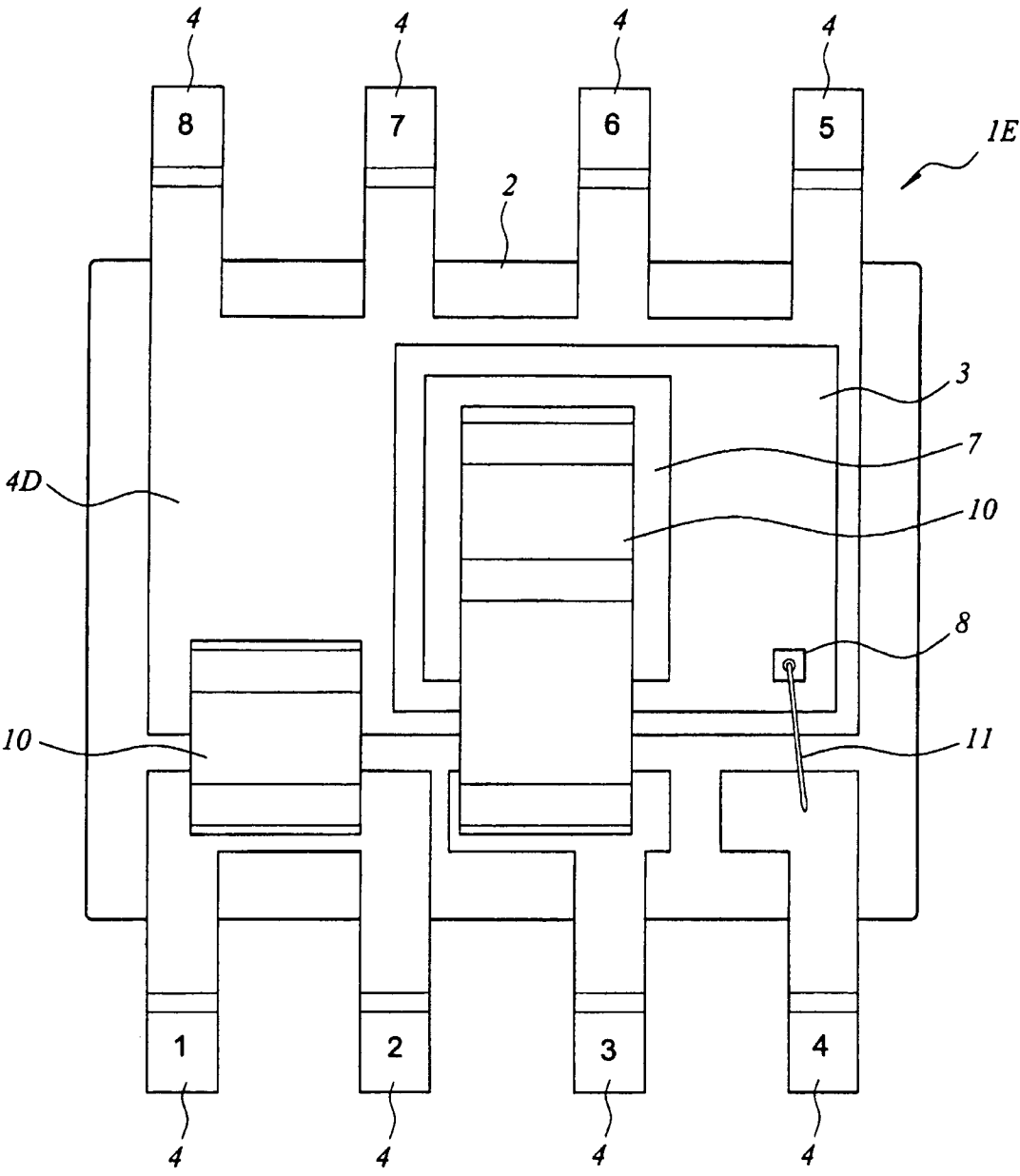


圖 17

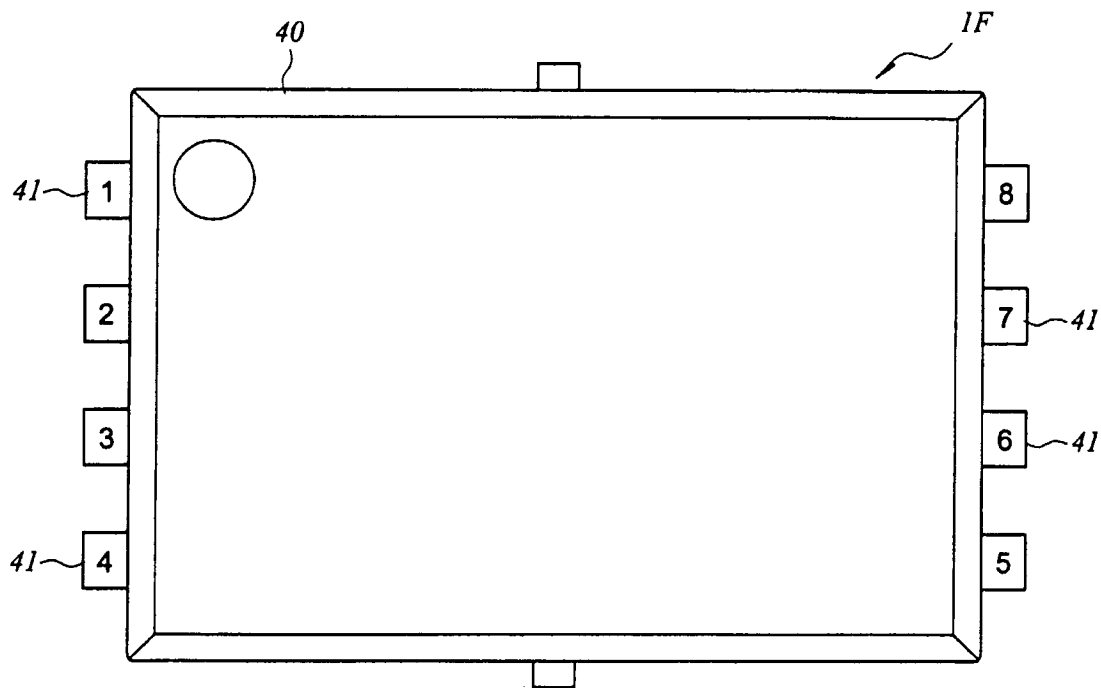


圖 18

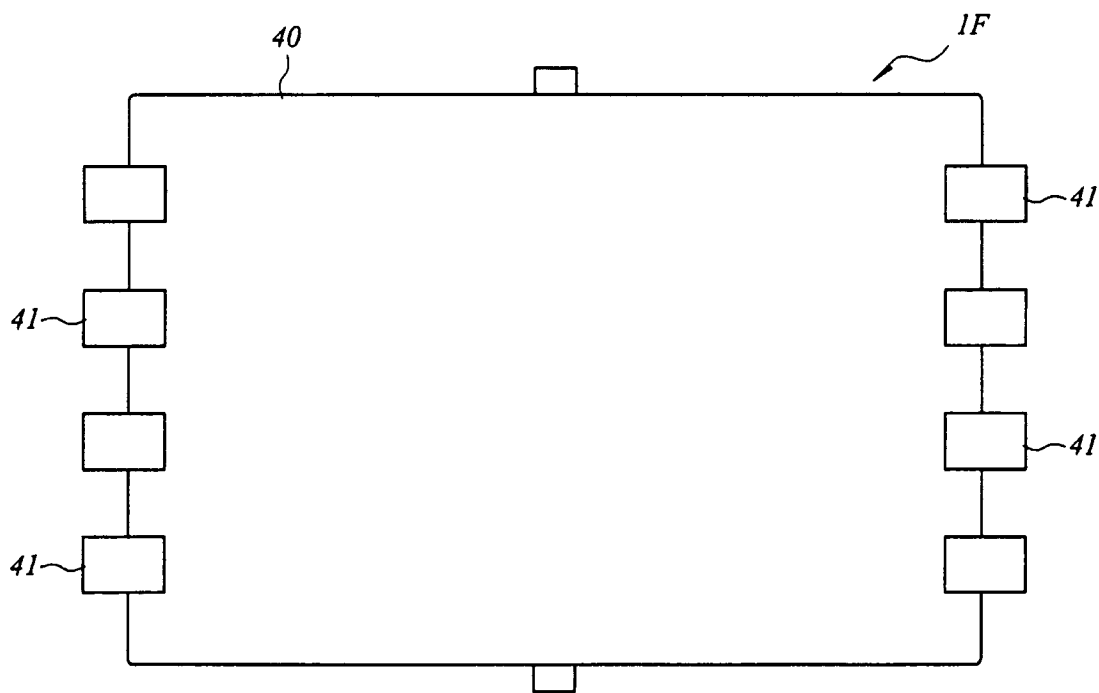


圖 19

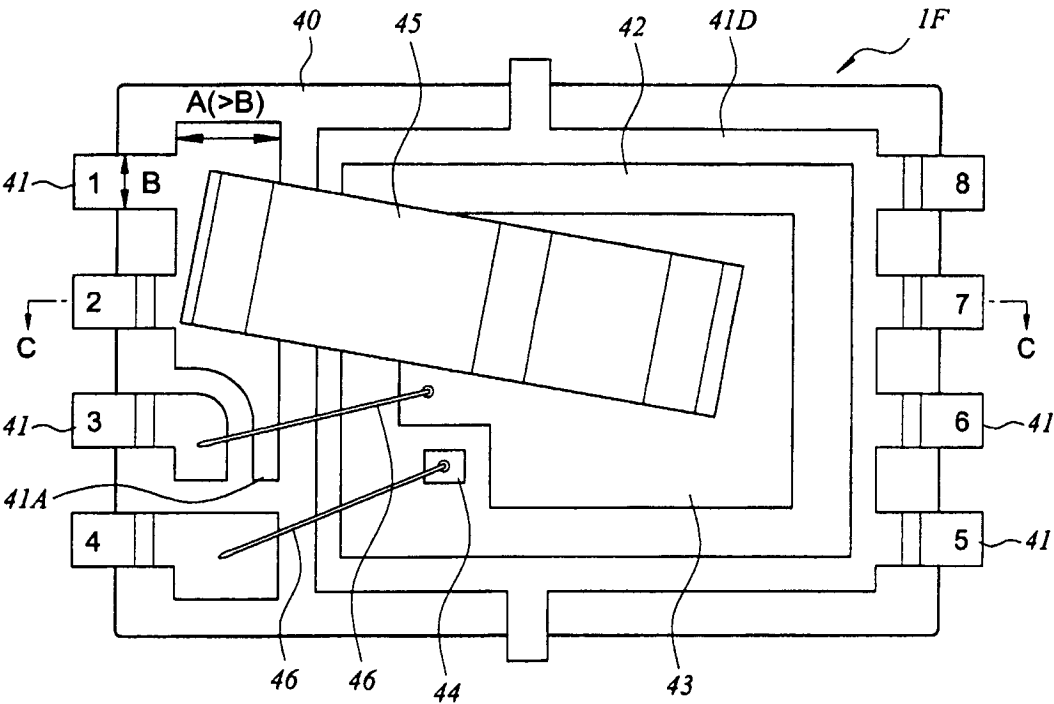


圖 20

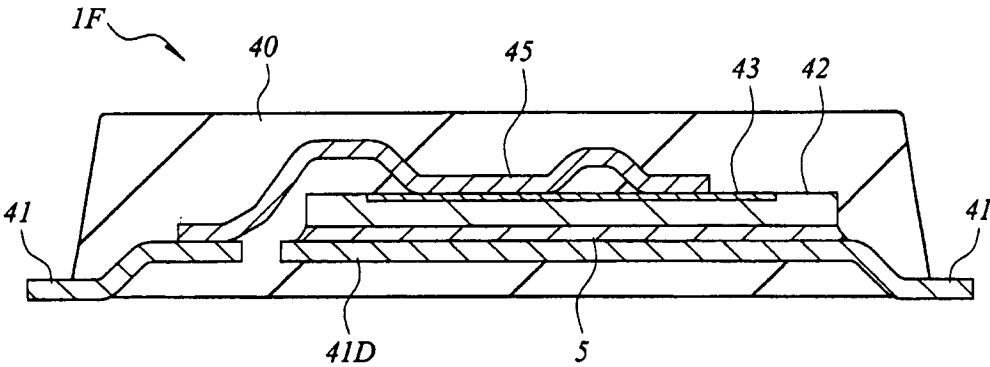


圖 21

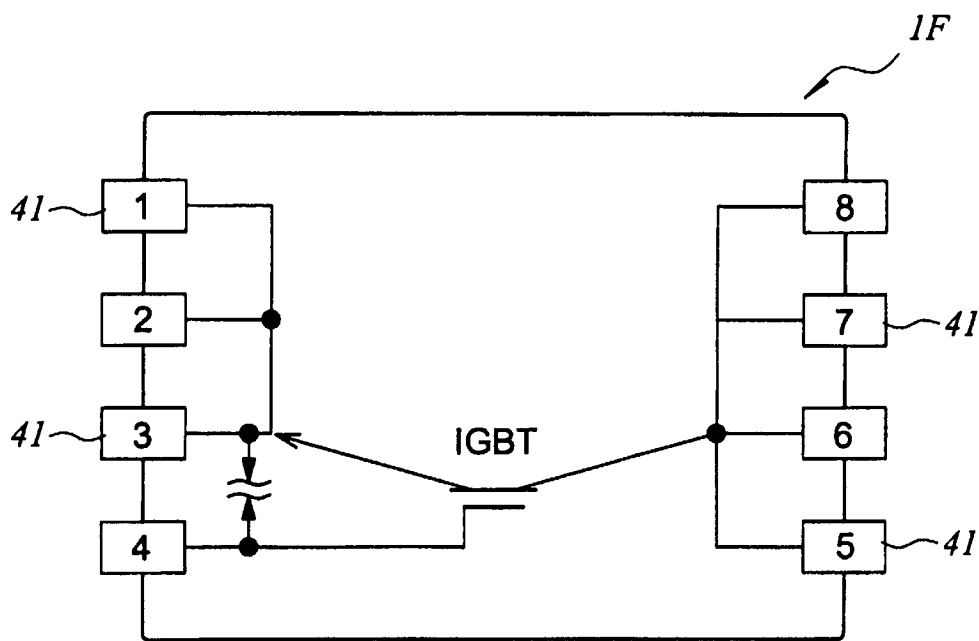


圖 22

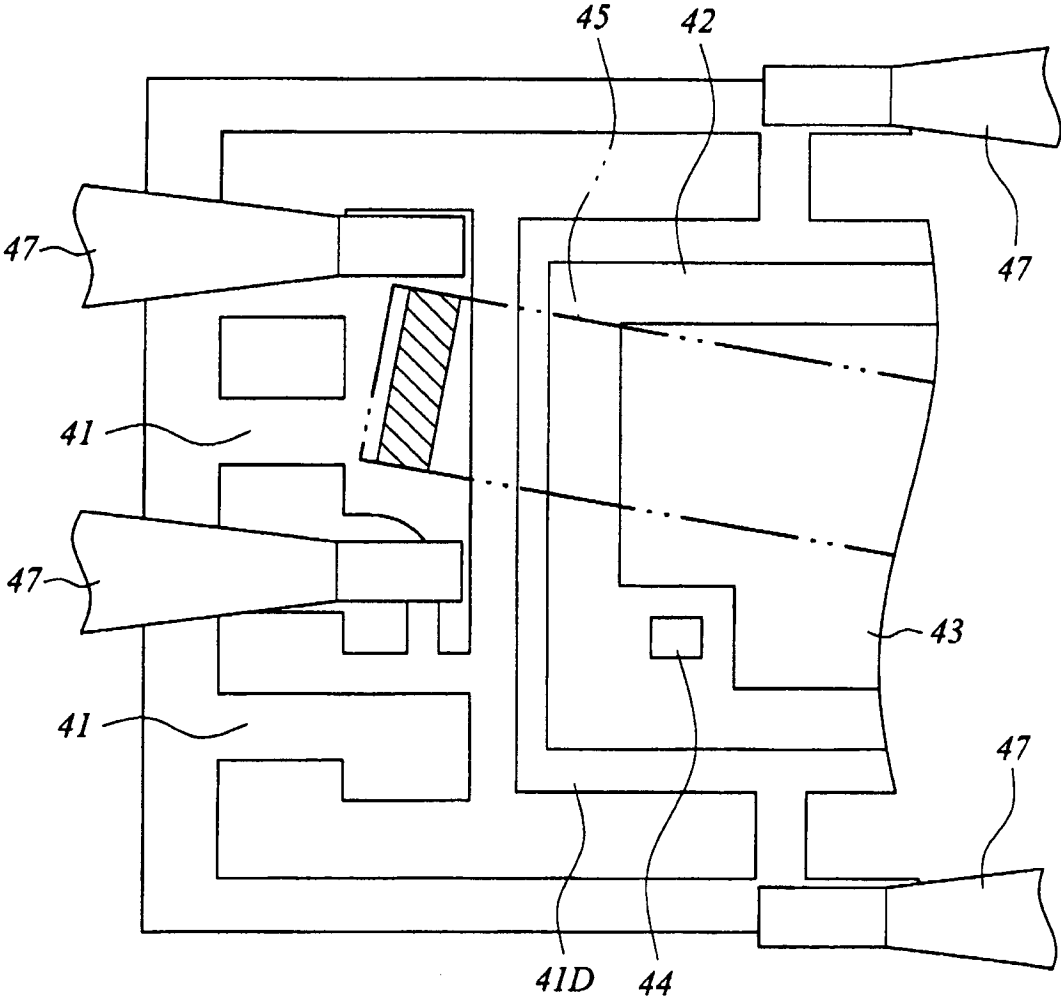
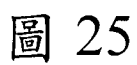


圖 23



圖 25



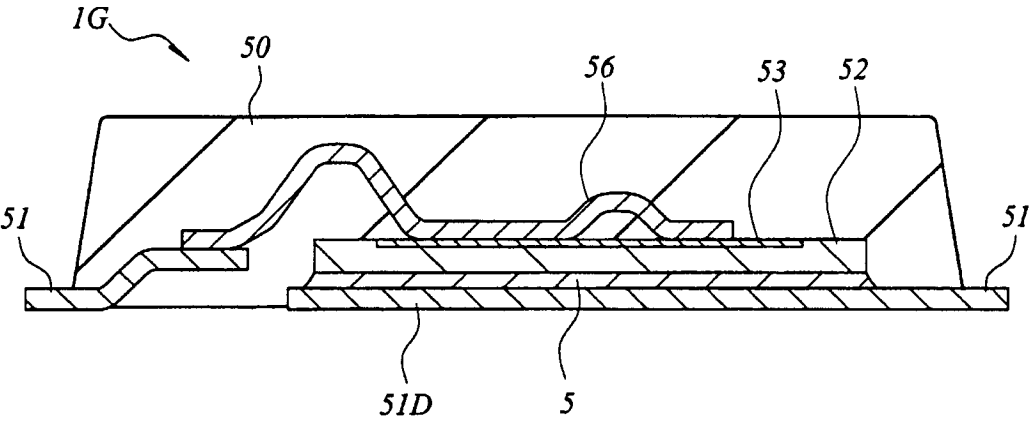


圖 27

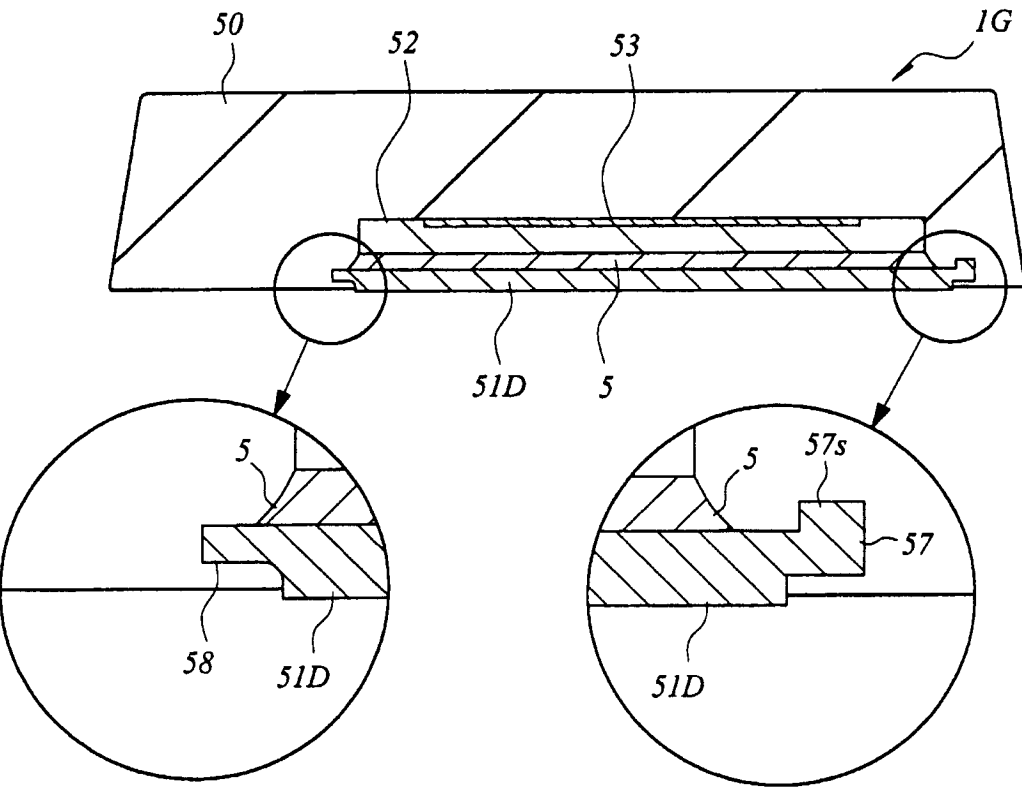


圖 28

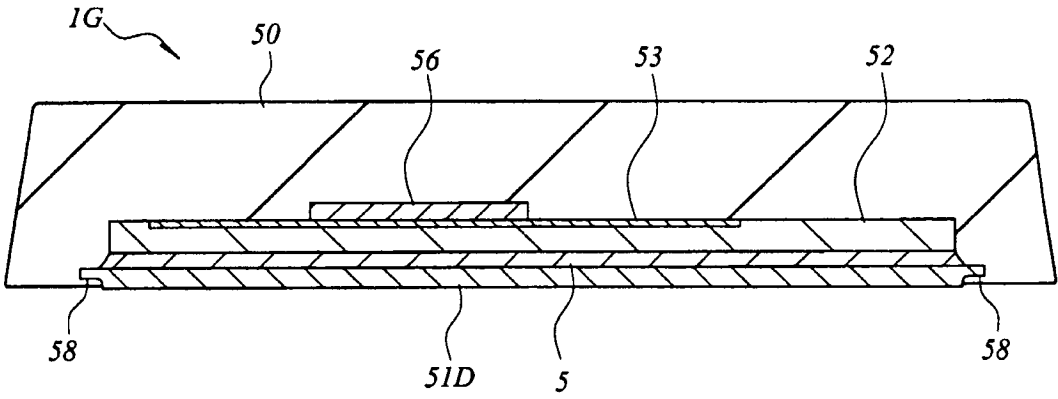


圖 29

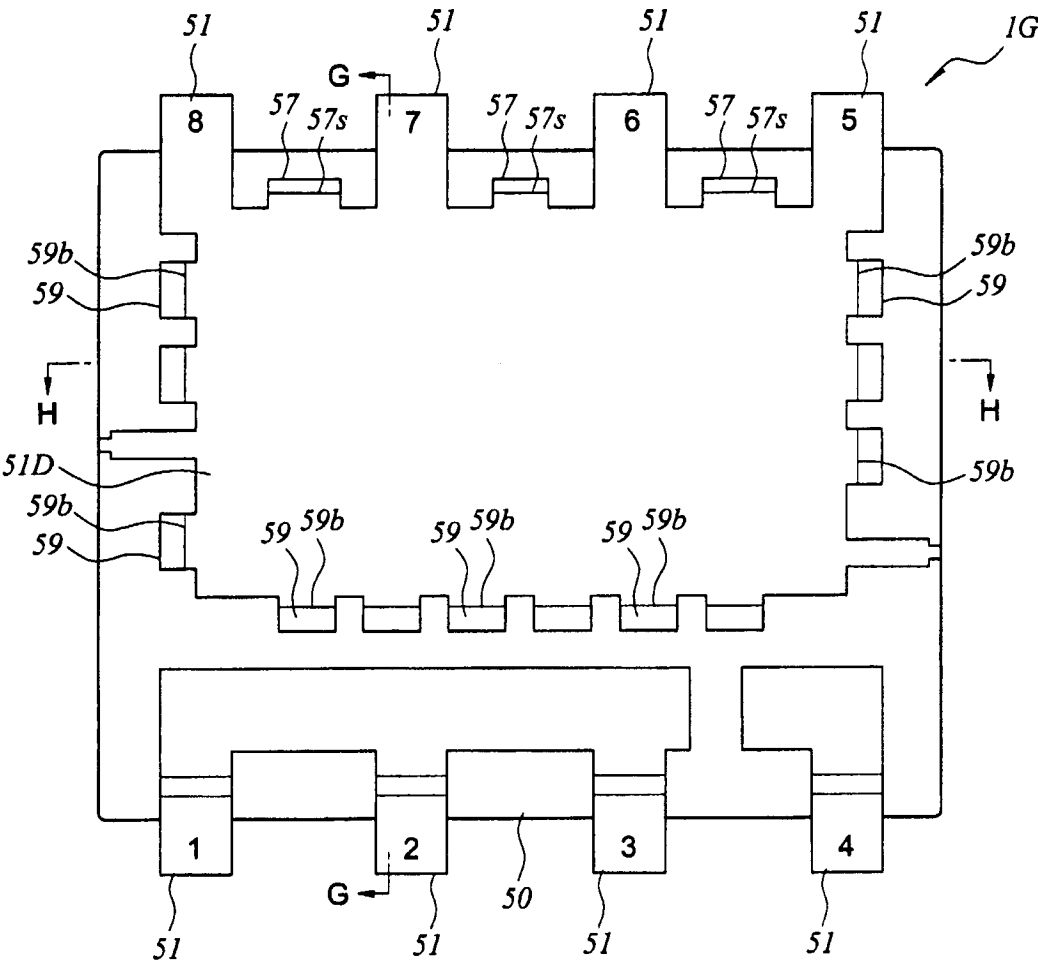


圖 30

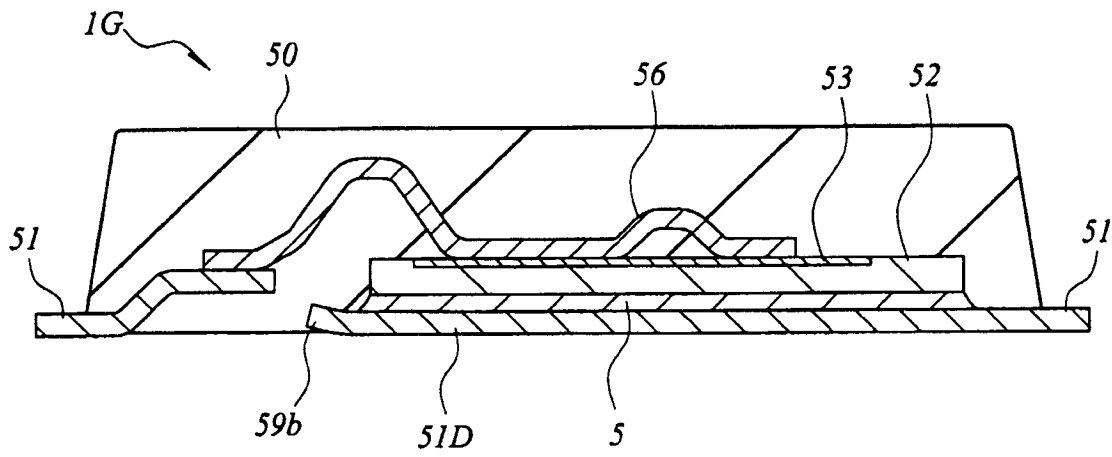


圖 31

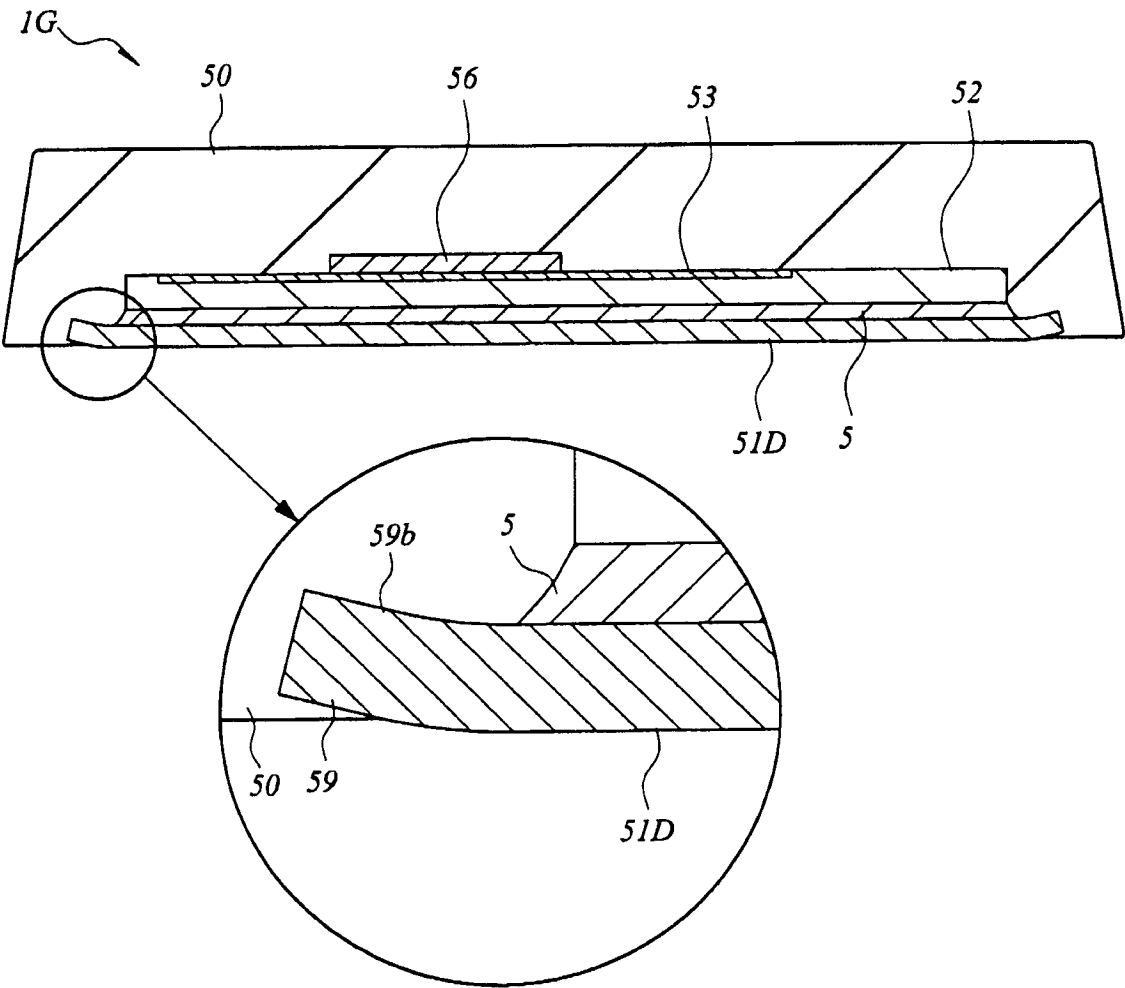


圖 32

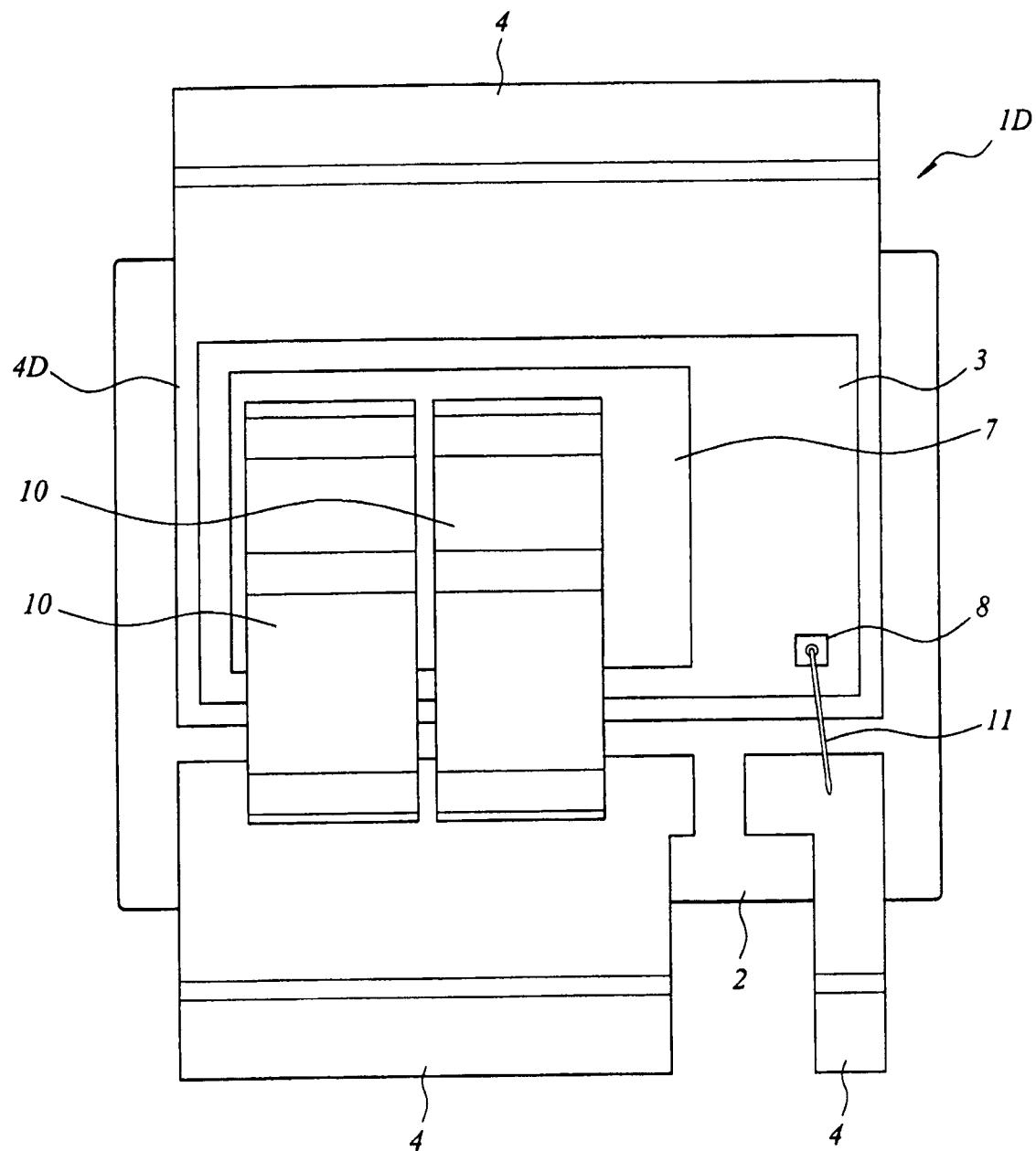


圖 34

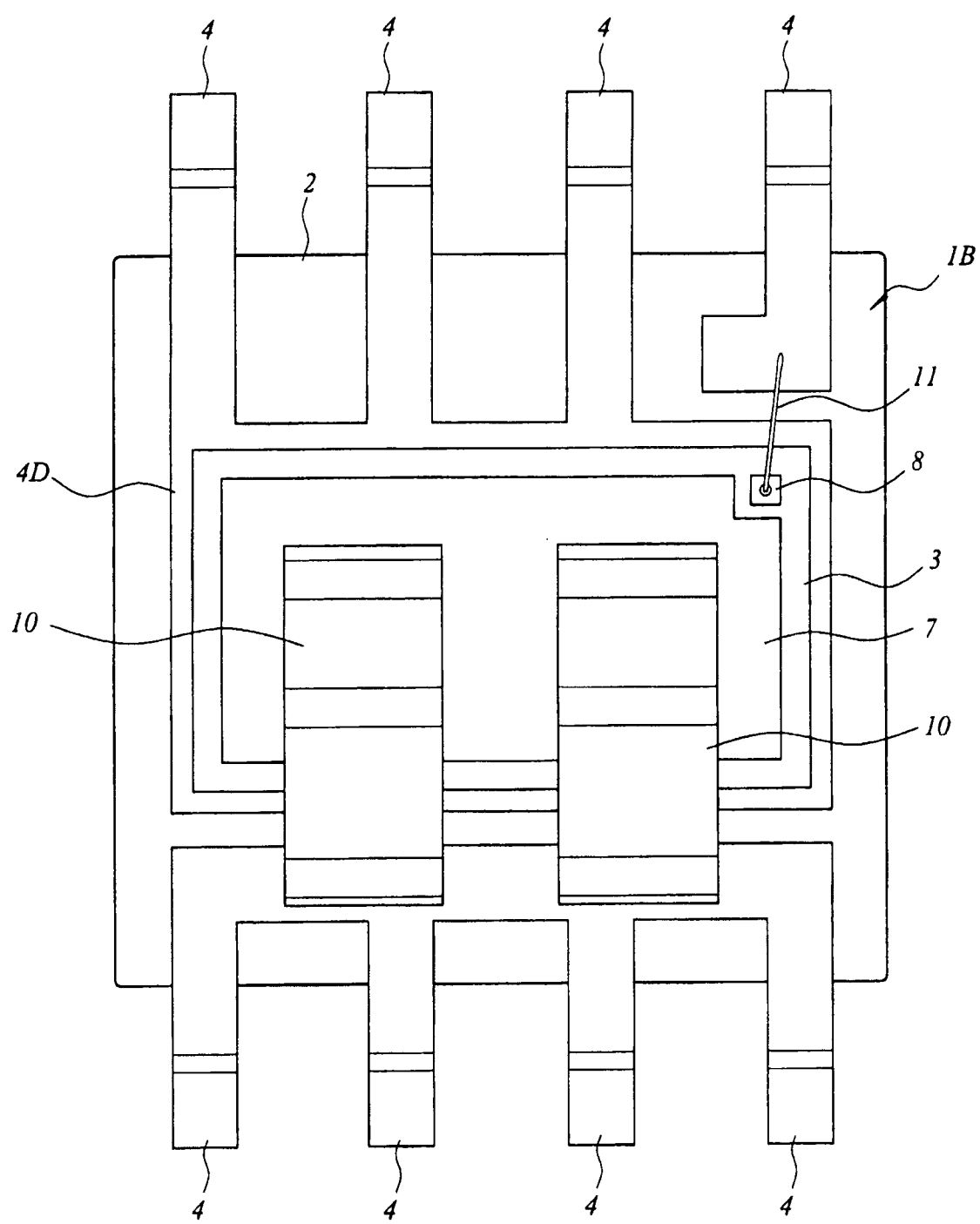


圖 35

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

1A	半 導 體 裝 置
2	模 塑 樹 脂
3	源 極 導 線
4	導 線
4D	晶 片 焊 墊 部
7	源 極 墊
8	閘 極 墊
10	Al 帶
11	Au 線
A、B	切 剖 線 符 號

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)