

公告本

發明專利說明書 I224536

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：P1137886 ※IPC分類：B24B37/04, B24B22/20, H01L21/30
※ 申請日期：P1.12.30

壹、發明名稱

(中文) 可於化學機械拋光期間防止凹陷及腐蝕之半導體元件製造方法

(英文) SEMICONDUCTOR DEVICE MANUFACTURE METHOD PREVENTING DISHING AND EROSION DURING CHEMICAL MECHANICAL POLISHING

貳、發明人(共4人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 宮嶋基守

(英文) Motoshu MIYAJIMA

住居所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

參、申請人(共1人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商・富士通股份有限公司

(英文) FUJITSU LIMITED

住居所或營業所地址：(中文) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 秋草直之

(英文) Naoyuki Akikusa

☒ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 柄澤章孝

(英文) Toshiyuki KARASAWA

住居所地址：(中文) 日本國神奈川県崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 3

姓名：(中文) 細田勉

(英文) Tsutomu HOSODA

住居所地址：(中文) 日本國神奈川県崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 4

姓名：(中文) 大塚敏志

(英文) Satoshi OTSUKA

住居所地址：(中文) 日本國神奈川県崎市中原區上小田中4丁目1番1號

(英文) 1-1, Kamikodanaka 4-chome, Nakahara-ku,

Kawasaki-shi, Kanagawa 211-8588 Japan

國籍：(中文) 日本

(英文) JAPAN

發明人 5

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

捌、聲明事項

☐ 本案係符合專利法第二十條第一項□第一款但書或□第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本； 2002.6.7； 特願 2002-166621
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

【發明所屬之技術領域】

相關申請案之交互參照

本案係基於日本專利申請案第2002-166621號，申請
5 日2002年6月7日，該案全部內容以引用方式併入此處。

發明領域

本發明係有關一種佈線圖案成形方法，特別係有關一
種佈線圖案成形方法，包含形成溝渠貫穿絕緣層，沉積傳
導性材料於絕緣層上俾以傳導性材料嵌入溝渠內，以及拋
10 光傳導性材料而留下於溝渠的傳導性材料部分。

【先前技術】

發明背景

具有高速且可靠兩種優點之金屬鑲嵌方法用於高密度半
導體積體電路元件之佈線圖案成形方法。雙道金屬鑲嵌方法
15 為製造複雜的半導體積體電路元件所必需，該方法形成佈線
圖案用之溝渠及通孔貫穿層間絕緣膜，使用銅嵌入溝渠及通
孔內，以及藉化學機械拋光去除不必要的銅部分。

參照第5A至5D圖，將說明一種使用習知雙道金屬鑲
嵌方法之佈線層成形方法。

20 如第5A圖所示，銅佈線層101設置於底層層間絕緣膜
100之表層的部分區域。於層間絕緣膜100以及佈線層101
上，循序沉積蓋層102、第一層間絕緣膜103、蝕刻擋止層
104以及第二層間絕緣膜105。佈線溝渠106係藉尋常微影
術方法形成而貫穿第二層間絕緣膜105。蝕刻擋止層104暴

玖、發明說明

露於佈線溝渠106底部。

如第5B圖所示，經由使用尋常微影術形成一個開口貫穿暴露於佈線溝渠106底部之該蝕刻擋止層104。第一層間絕緣膜103係透過該開口蝕刻而形成通孔107。暴露於通孔
5 107底部的蓋層102被去除而暴露出銅佈線層101。

擴散阻擋金屬層形成於佈線溝渠106及通孔107內面，銅種子層係形成於擴散阻擋金屬層上。銅係使用種子層作為電極經電鍍而形成銅層108。銅層108填補於佈線溝渠106及通孔107。

10 如第5C圖所示，銅層108接受化學機械拋光(CMP)而去除銅層108之不必要的部分。銅佈線層108留在佈線溝渠106及通孔107。

如第5D圖所示，於第二層間絕緣膜105及銅佈線層108上，形成蓋層109及第三層間絕緣膜110。於此佈線層108
15 上，經由類似用以形成佈線層108之方法而形成上層佈線層。

於第5C圖所示處理，當進行銅佈線層108之CMP時，所謂的凹陷及腐蝕等不規則形成於基板表面。

第6A圖顯示CMP後基板表面之不規則之測量結果。橫
20 軸表示順著基板表面之掃描距離，每一級係對應於80微米。縱軸表示表面高度，每一級係對應於50奈米。凹陷D形成於對應銅佈線圖案位置。腐蝕E形成於銅佈線緻密區。

因用於CMP之拋光墊變形，而拋光墊的移動係遵照佈線圖案移動，故形成凹陷。因CMP的工作壓力集中於隔開銅線

玖、發明說明

的絕緣膜，絕緣膜及銅線被過度拋光，因而形成腐蝕。

第6B圖顯示凹陷深度與佈線寬度間之關係。橫軸表示佈線寬度，以「微米」為單位，而縱軸表示凹陷深度，以「奈米」為單位。可知隨著佈線寬度的變寬，凹陷變深。

- 5 若形成凹陷及腐蝕，則第5D圖所示第三層間絕緣膜110表面具有吻合下層表面不規則的不規則情形。形成於層間絕緣膜表面之不規則可能於嵌入形成貫穿層間絕緣膜的佈線溝渠之銅層被拋光時，產生銅拋光殘餘物。銅拋光殘餘物可能造成佈線的短路。為了防止產生銅拋光殘餘物
- 10 ，須於銅層形成後藉CMP等拋光層間絕緣膜表面。

【發明內容】

發明概要

本發明之一目的係提供一種可遏止凹陷及腐蝕等不規則的形成之佈線圖案成形方法。

- 15 根據本發明之一方面提供一種形成佈線圖案之方法，包含下列步驟：(a)形成一第一絕緣膜於一底基板上，該第一絕緣膜包含一種第一絕緣材料；(b)形成一第二絕緣膜於該第一絕緣膜上，該第二絕緣膜係包含一種與該第一絕緣膜不同的第二絕緣材料；(c)形成一溝渠貫穿該第二及第一
- 20 絕緣膜，該溝渠至少達到第一絕緣膜的中間深度；(d)沉積包含一種傳導性材料之佈線層於該第二絕緣膜上，該佈線層嵌入溝渠內；(e)拋光佈線層而留下於溝渠的佈線層；以及(f)拋光佈線層及第二絕緣膜至第一絕緣膜暴露為止。

經由妥當選擇步驟(f)之拋光條件，可遏止凹陷與腐蝕

玖、發明說明

的形成。

如前述，可減少化學機械拋光後基板表面的不規則。

圖式簡單說明

第1圖為根據本發明之第一具體實施例，經由佈線圖案成形方法製造之半導體積體電路元件之剖面圖。

第2A至2G圖為佈線圖案之剖面圖，顯示第一具體實施例之佈線圖案成形方法。

第3A及3B圖為線圖顯示於化學機械拋光後，凹陷深度與佈線寬度間之關係。

第4A至4G圖為佈線圖案剖面圖，顯示根據本發明之第二具體實施例之佈線圖案成形方法。

第5A至5D圖為佈線圖案之剖面圖，顯示採用習知雙道金屬鑲嵌方法之佈線層成形方法。

第6A圖為線圖顯示於化學機械拋光後，基板表面之不規則以及第6B圖為線圖顯示凹陷深度與佈線寬度間之關係。

【實施方式】

較佳實施例之詳細說明

第1圖為根據本發明之第一具體實施例，經由佈線圖案成形方法製造之半導體積體電路元件之剖面圖。P型矽製成之半導體基板1具有元件隔開絕緣膜2形成於基板表層。元件隔開絕緣膜2界定主動區。MOS電晶體3形成於該主動區。MOS電晶體3有閘絕緣膜3a、閘極3b及雜質擴散區3c及3d。雜質擴散區3c及3d之一為源區，而另一為汲區。

形成於閘極3b兩側表層之雜質擴散區3c及3d具有輕度

玖、發明說明

摺雜汲(LDD)結構。閘極3b具有絕緣側壁隔件3e形成於閘極3b側壁。側壁隔件3e於離子植入雜質擴散區3c及3d之高雜質濃度區時係用作為遮罩。

氧化矽(SiO_2)製成之第一層間絕緣膜4形成於半導體基板1上，覆蓋MOS電晶體3。第一層間絕緣膜4有接觸孔4a及4b形成貫穿於對應雜質擴散區3c及3d位置。傳導性插塞5a及5b嵌置於接觸孔4a及4b。插塞5a及5b各自係由[氮化鈦(TiN)製造且覆蓋插塞側壁及底壁之]擴散阻擋金屬層，以及成形於擴散阻擋金屬層上之鎢元件組成。

鋁製成的第一佈線層7係形成於第一層間絕緣膜4上。佈線層7係透過插塞5b而連結至MOS電晶體3之雜質擴散區3d。

第二層間絕緣膜8成形於第一層間絕緣膜4上且覆蓋第一佈線層7。第二層間絕緣膜8係由氧化矽、硼磷矽酸鹽玻璃(BPSG)或磷矽酸鹽玻璃(PSG)製成。第二層間絕緣膜8具有接觸孔8a形成貫穿其中且位於對應插塞5a之位置。導電插塞9係嵌入接觸孔8a。

成形於第二層間絕緣膜8為氮化矽製成之蓋層10以及氧化矽製成之第三層間絕緣膜11。第三層間絕緣膜11及蓋層10具有佈線溝渠11a及11b形成貫穿於其中。第二層佈線層12a及12b係嵌入佈線溝渠11a及11b。

各佈線層12a及12b有三層結構，包括一擴散阻擋金屬層覆蓋對應佈線溝渠11a及11b之一的側壁及底壁；一種子層覆蓋該擴散阻擋金屬層以及一主佈線元件填補於該佈線

玖、發明說明

溝渠且覆蓋該種子層。擴散阻擋金屬層係由鉭(Ta)、氮化鉭(TaN)、氮化鈦(TiN)等製成。擴散阻擋金屬層可具有鉭層與氮化鉭層之積層結構。種子層及主佈線元件係由銅或主要含銅合金製成。

- 5 蓋層15、第四層間絕緣膜16、蝕刻擋止層17及第五層間絕緣膜18係以此種順序形成於佈線層12a及12b以及第三層間絕緣膜11上。蝕刻擋止層15及17係由碳化矽(SiC)製成。第四及第五層間絕緣膜16及18係由SiOC製成。

- 第五層間絕緣膜18具有佈線溝渠19達到蝕刻擋止層17
10 。通孔20形成由佈線溝渠19底部之蝕刻擋止層17延伸至佈線層12a上表面。

- 第三層佈線層21係嵌入佈線溝渠19及通孔20。第三層佈線層21係由下列組成：覆蓋佈線溝渠19及通孔側壁及底部之擴散阻擋金屬層；覆蓋擴散阻擋金屬層之種子層；以及填補於佈線溝渠19及通孔20且覆蓋種子層之主佈線元件
15 。擴散阻擋金屬層、種子層及主佈線元件材料係類似第二層佈線層12a材料。

- 其次參照第2A至2G圖，將以第1圖所示第三層佈線層21之成形方法為例，說明第一具體實施例之佈線圖案成形
20 方法。第2A至2G圖只顯示第1圖所示之蓋層15以及較高高度各層。

 如第2A圖所示，於第三層間絕緣膜11上，循序形成厚50奈米之SiC製成之蓋層15、厚600奈米之SiOC製成之第四層間絕緣膜16、厚50奈米之SiC製成之蝕刻擋止層17、厚

玖、發明說明

400奈米之SiOC製成之第五層間絕緣膜18以及厚100奈米之SiO₂製成之犧牲膜30。各層及各薄膜係經由電漿增強之化學氣相沉積(PE-CVD)製成。SiC膜及SiOC膜可由諾福勒司(Novellus)系統公司以商品名SiC或可羅(CORAL)出售或應用材料公司以商品名布拉克(BLOCK)或黑鑽石出售之材料製成。

若有所需，SiON、SiN等製成之抗反射膜可形成於犧牲膜30上。

如第2B圖所示，犧牲膜30表面覆蓋光阻膜31，對應佈線圖案之開口係形成貫穿光阻膜31。經由使用光阻膜31作為光罩，犧牲膜30及第五層間絕緣膜18經乾蝕刻而形成佈線溝渠19。例如蝕刻氣體可為CF₄與CH₂F₂之混合氣體、C₄F₆氣體等。當蝕刻擋止層17暴露時停止蝕刻。於佈線溝渠19形成後，去除光阻膜31。

如第2C圖所示，犧牲膜30上表面及佈線溝渠19內面被光阻膜32覆蓋。對應於欲形成的通孔之開口形成貫穿光阻膜32。經由使用光阻膜32作為光罩，蝕刻擋止層17及第四層間絕緣膜16經蝕刻。例如蝕刻擋止層17係經由使用CF₄與CH₂F₂之混合氣體乾蝕刻，以及第四層間絕緣膜16係使用C₄F₆氣體乾蝕刻。因而形成通孔20，蓋層15暴露於通孔20底面。於第四層間絕緣膜16被蝕刻後移開光阻膜32。

暴露於通孔20底面之蓋層15被移開而暴露出下方銅佈線層。例如蓋層15使用CHF₃氣體乾蝕刻。此時，暴露於佈線溝渠19底面上的蝕刻擋止層17被去除。

玖、發明說明

如第2D圖所示，佈線溝渠19及通孔20內面以及犧牲膜30上表面覆蓋厚10奈米之鈮擴散阻擋金屬層21a。擴散阻擋金屬層21a之材料可為氮化鈮(TaN)、氮化鈦(TiN)等。於擴散阻擋金屬層21a表面上，形成厚150奈米之銅種子層21b。擴散阻擋金屬層21a及種子層21b係藉濺鍍製成。其次銅經電鍍而形成銅層21c。銅層21c之厚度足夠填補佈線溝渠19及通孔20。

如第2E圖所示，銅層21c係使用拋光液接受化學機械拋光，使用該拋光液讓銅之拋光速度變成比鈮或氧化矽之拋光速度更快。欲使用之拋光液例如含有氧化矽磨粒等、有機物質與銅形成的錯合物、銅抗蝕劑、氧化劑等。因鈮及氧化矽之拋光速度相對緩慢，故當鈮製成之擴散阻擋金屬層21a或氧化矽製成之犧牲膜30暴露時，拋光停止，且再現性高。

因銅拋光速度相對較快，故於留在佈線溝渠19之銅佈線層21c表面形成凹陷。較佳將犧牲膜30製作成較厚，俾讓凹陷的最深位置變成高於犧牲膜30底部。

如第2F圖所示，犧牲膜30、銅層21c、種子層21b及擴散阻擋金屬層21a使用拋光液接受化學機械拋光，使用該拋光液，鈮或氧化矽之拋光速度變成比銅的拋光速度更快。欲使用的拋光液例如可含有氧化矽等磨粒、有機酸、銅抗蝕劑。

隨著鈮擴散阻擋金屬層21b及氧化矽犧牲膜30之拋光的進行，第2E圖所示銅層21c表面上的凹陷變平坦化。隨

玖、發明說明

著拋光的進一步進行，銅層21c的暴露面凸起。因拋光壓力係集中於此凸起區上，故銅層21c表面最終變平坦化。

如第2G圖所示，當疏水SiOC製成之第五層間絕緣膜18暴露時，因第五層間絕緣膜18係作為拋光擋止層，故拋光可以高度再現性而被停止。於銅之拋光速度相對較低之情況下，銅層21c表面上幾乎不會形成凹陷。也可防止腐蝕的形成。

第3A及3B圖為線圖顯示形成於基板表面之凹口深度與佈線寬度間之關係。第3A圖顯示當使用第一具體實施例之佈線圖案成形方法時之凹口深度，第3B圖顯示當採用習知佈線圖案成形方法時之凹口深度。橫軸表示佈線寬度，以「微米」為單位，縱軸表示距離實質平坦面之凹口深度，以「奈米」為單位。佈線圖案面積係占總基板面積之80%。

由第3A圖與第3B圖比較可知，使用第一具體實施例之佈線圖案成形方法時凹口較淺。經由採用第一具體實施例之佈線圖案成形方法，於CMP後可充分平坦化基板表面。

第一具體實施例中，第四及第五層間絕緣膜16及18係藉介電常數低於氧化矽之SiOC製成。因而可降低佈線間的寄生電容。

SiC薄蓋層可設置於第2A圖所示第五層間絕緣膜18與犧牲膜30間。例如蓋層厚約30至50奈米。於第2G圖所示CMP後，SiC薄蓋層留在第五層間絕緣膜18表面上，CMP期間幾乎不會形成刮痕。

玖、發明說明

第五層間絕緣膜18可由含矽、氧、碳及氫之絕緣材料製成。

其次參照第4A至4G圖，說明根據第二具體實施例之佈線圖案成形方法。製備一種基板，該基板形成有直至第5 1圖所示第三層間絕緣膜11之各層。將說明比第三層間絕緣膜11更高之各佈線層之成形方法。

如第4A圖所示，於第三層間絕緣膜11表面上，循序形成厚50奈米之SiC製成之蓋層40、厚400奈米之低介電常數有機絕緣材料(例如陶氏化學公司之席爾克(SiLK))製成之第10 六層間絕緣膜41、厚50奈米之SiC製成之蓋層42以及厚100奈米之SiO₂製成之犧牲膜43。蓋層40及42以及犧牲膜43係藉PE-CVD製成。第六層間絕緣膜41係經由塗覆成形。

如第4B圖所示，光阻膜45塗覆於犧牲膜43表面上，對應於佈線圖案之開口係藉尋常微影術成形而貫穿光阻膜45 15。經由使用光阻膜45作為光罩，犧牲膜43、蓋層42及第六層間絕緣膜41被蝕刻至第六層間絕緣膜41之中間深度而形成佈線溝渠46。例如犧牲膜43、蓋層42及第六層間絕緣膜41係使用含C₄F₆氣體或含CHF₃氣體乾蝕刻。於佈線溝渠46形成後，光阻膜45被去除。

20 如第4C圖所示，犧牲膜43上表面及佈線溝渠46內面被光阻膜47覆蓋，對應欲形成的通孔之開口係形成而貫穿光阻膜47。經由使用光阻膜47作為光罩，第六層間絕緣膜41被蝕刻。例如第六層間絕緣膜41係使用氮氣與氫氣之混合氣體而乾蝕刻。因而形成通孔48，且蓋層40暴露於通孔底

玖、發明說明

部。於第六層間絕緣膜41經蝕刻後，光阻膜47被移除。

暴露於通孔48底部之蓋層40被移開而暴露出下方之銅佈線層。例如蓋層40係使用含 CH_2F_2 氣體接受乾蝕刻。

如第4D圖所示，佈線溝渠46及通孔48內面及犧牲膜43表面以厚10奈米之鈹製成的擴散阻擋金屬層50a覆蓋。於擴散阻擋金屬層50a表面上，形成厚150奈米之銅製成之種子層50b。其次電鍍銅而形成銅層50c。

如第4E圖所示，銅層50c使用拋光液接受化學機械拋光，使用該拋光液，銅之拋光速度變成比鈹或氧化矽之拋光速度更快。因鈹及氧化矽之拋光速度相對緩慢，故當鈹製成之擴散阻擋金屬層50a或氧化矽製成之犧牲膜43暴露時，蝕刻被停止且再現性高。

因銅的拋光速度相對較快，故於留在佈線溝渠46之銅佈線層50c表面上形成凹陷。較佳將犧牲膜43製作成較厚，俾讓凹陷的最深位置變成比犧牲膜43底部更高。

如第4F圖所示，犧牲膜43、銅層50c、種子層50b及擴散阻擋金屬層50a經由使用拋光液，接受化學機械拋光，使用該拋光液，鈹或氧化矽之拋光速度變成比銅之拋光速度更快。

隨著鈹製成之擴散阻擋金屬層50b及氧化矽製成之犧牲膜43之拋光的進行，第4E圖所示銅層50c表面之凹陷變平坦化。隨著拋光的進一步進行，銅層50c之暴露面凸起。因拋光壓力係集中於此凸起區，故銅層50c表面最終變成平面化。

玖、發明說明

如第4G圖所示，當疏水SiOC製成之鈣層42暴露時，因蓋層42係作為拋光擋止層，故拋光可以高度再現性而被停止。於佈線溝渠46及通孔48，留下銅佈線層50，該銅佈線層50係由擴散阻擋金屬層50a、種子層50b及銅層50c組成。於銅之相對低拋光速度情況下，難以於銅50c表面形成凹陷。也可防止腐蝕的形成。

於第二具體實施例中，雖然蓋層42係由SiC製成，但也可使用SiOC，SiOC類似SiC為疏水性。蓋層42可具有SiOC層以及SiC層的雙層結構。由介電常數觀點視之，蓋層42可由SiOC製成。但於CMP期間於SiOC層暴露時可能會形成刮痕。因SiC層形成於SiOC層上，故可防止刮痕的形成。

如同第二具體實施例席爾克(陶氏化學公司商品名)用作為第六層間絕緣膜41之低介電常數有機材料。也可使用其它材料，例如聚四氟乙烯(PTFE)、富萊爾(FLARE)(漢尼威爾(Honeywell)公司商品名)、苯并環丁烯(BCB)、甲基矽倍半氧烷(MSQ)(例如JSR公司之LKD)等。第六層間絕緣膜41之材料可為低介電常數多孔絕緣材料而非有機絕緣材料。

已經就較佳具體實施例說明本發明。本發明非僅限於前述具體實施例。熟諳技藝人士顯然易知可做成多種修改、改良、組合等。

【圖式簡單說明】

第1圖為根據本發明之第一具體實施例，經由佈線圖案成形方法製造之半導體積體電路元件之剖面圖。

玖、發明說明

第2A至2G圖為佈線圖案之剖面圖，顯示第一具體實施例之佈線圖案成形方法。

第3A及3B圖為線圖顯示於化學機械拋光後，凹陷深度與佈線寬度間之關係。

5 第4A至4G圖為佈線圖案剖面圖，顯示根據本發明之第二具體實施例之佈線圖案成形方法。

第5A至5D圖為佈線圖案之剖面圖，顯示採用習知雙道金屬鑲嵌方法之佈線層成形方法。

10 第6A圖為線圖顯示於化學機械拋光後，基板表面之不規則以及第6B圖為線圖顯示凹陷深度與佈線寬度間之關係。

【圖式之主要元件代表符號表】

1…半導體基板	15、40、42、102、109…
2…絕緣膜	蓋層
3…MOS電晶體	17…蝕刻擋止層
3a…閘絕緣膜	19、46、106…佈線溝渠
3b…閘極	20、48、107…通孔
3c-d…雜質擴散區	21a、50a…擴散阻擋金屬層
3e…隔件	21b、50b…種子層
4、8、11、16、18、41、	21c、50c、108…銅層
100、103、105、110…層	30、43…犧牲膜
間絕緣膜	31-32、45、47…光阻膜
4a-b、8a…接觸孔	101…銅佈線層
5a-b、9…傳導性插塞	D…凹陷
7、12a-b、21、50…佈線層	E…腐蝕
11、11a-b…佈線溝渠	LDD…輕度摻雜汲結構

肆、中文發明摘要

一種第一絕緣膜係形成於底基板上，該第一絕緣膜係由第一絕緣材料製成，第二絕緣膜形成於第一絕緣膜上，該第二絕緣膜係由與該第一絕緣膜不同的第二絕緣材料製成。一溝渠成形而貫穿第二及第一絕緣膜，溝渠至少到達第一絕緣膜之中間深度。一傳導性材料製成之佈線層沉積於該第二絕緣膜上，該佈線層嵌置該溝渠。佈線層經拋光而留下於溝渠的佈線層。佈線層及第二絕緣膜經拋光至第一絕緣膜暴露為止。可遏止凹陷及腐蝕等不規則的形成。

伍、英文發明摘要

A first insulating film is formed on an underlying substrate, the first insulating film being made of a first insulating material. A second insulating film is formed on the first insulating film, the second insulating film being made of a second insulating material different from the first insulating material. A trench is formed through the second and first insulating film, the trench reaching at least an intermediate depth of the first insulating film. A wiring layer made of a conductive material is deposited on the second insulating film, the wiring layer burying the trench. The wiring layer is polished to leave the wiring layer in the trench. The wiring layer and second insulating film are polished until the first insulating film is exposed. Irregularity such as dishing and erosion can be suppressed from being formed.

陸、(一)、本案指定代表圖爲：第 2G 圖

(二)、本代表圖之元件代表符號簡單說明：

11、19…佈線溝渠

15…蓋層

16、18…層間絕緣膜

17…蝕刻擋止層

20…通孔

21…佈線層

21a…擴散阻擋金屬層

21b…種子層

21c…銅層

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種製造半導體元件之方法，該方法包含下列步驟：
 - (a)形成一第一絕緣膜於一底基板上，該第一絕緣膜包含一種第一絕緣材料；
 - (b)形成一第二絕緣膜於該第一絕緣膜上，該第二絕緣膜係包含一種與該第一絕緣膜不同的第二絕緣材料；
 - (c)形成一溝渠貫穿該第二及第一絕緣膜，該溝渠至少達到第一絕緣膜的中間深度；
 - (d)沉積包含一種傳導性材料之佈線層於該第二絕緣膜上，該佈線層嵌入溝渠內；
 - (e)拋光佈線層而留下於溝渠的佈線層；以及
 - (f)拋光佈線層及第二絕緣膜至第一絕緣膜暴露為止。
2. 如申請專利範圍第1項之方法，其中該步驟(e)係於下述條件下拋光佈線層，亦即佈線層之拋光速度比第二絕緣膜之拋光速度更快。
3. 如申請專利範圍第1項之方法，其中於第二絕緣膜之拋光速度比佈線層之拋光速度更快之條件下，該步驟(f)拋光佈線層及第二絕緣膜直至第一絕緣膜暴露為止。
4. 如申請專利範圍第1項之方法，其中該步驟(e)係於下述狀態下停止拋光，亦即成形於佈線層表面之凹陷最深位置比第二絕緣膜底部更高。
5. 如申請專利範圍第1項之方法，其中該第一絕緣膜表面為疏水性。

拾、申請專利範圍

6. 如申請專利範圍第1項之方法，其中該步驟(d)包括一沉積步驟，該步驟係於佈線層沉積之前沉積供防止佈線層之傳導性材料擴散用之擴散阻擋金屬層，以及該佈線層係沉積於該擴散阻擋金屬層上。
- 5 7. 如申請專利範圍第6項之方法，其中該步驟(e)係拋光佈線層直至擴散阻擋金屬層或第二絕緣膜暴露為止。
8. 如申請專利範圍第1項之方法，其中：
 - 該步驟(a)包括一成形步驟，該步驟係於第一絕緣膜形成前形成第三絕緣膜於底基板上，該第三絕緣膜包含一種有機絕緣材料或多孔絕緣材料，該材料之介電常數係比第一絕緣膜之介電常數更低；以及
 - 該步驟(c)形成溝渠至少到達第三絕緣膜之中間深度。
9. 如申請專利範圍第1項之方法，其中該第一絕緣膜包含一種選自 SiC、SiOC 及 SiOCH 組成的組群之材料。
10. 如申請專利範圍第1項之方法，其中該第二絕緣膜包含氧化矽。
11. 如申請專利範圍第1項之方法，其中該佈線層包含銅或主要含銅之合金。
- 20 12. 一種形成佈線層之方法，包含下列步驟：
 - (a)形成一第一絕緣膜於一底基板上，該第一絕緣膜包含一種第一絕緣材料；
 - (b)形成一第二絕緣膜於該第一絕緣膜上，該第二絕緣膜係包含一種與該第一絕緣膜不同的第二絕緣材

拾、申請專利範圍

料；

(c)形成一溝渠貫穿該第二及第一絕緣膜，該溝渠至少達到第一絕緣膜的中間深度；

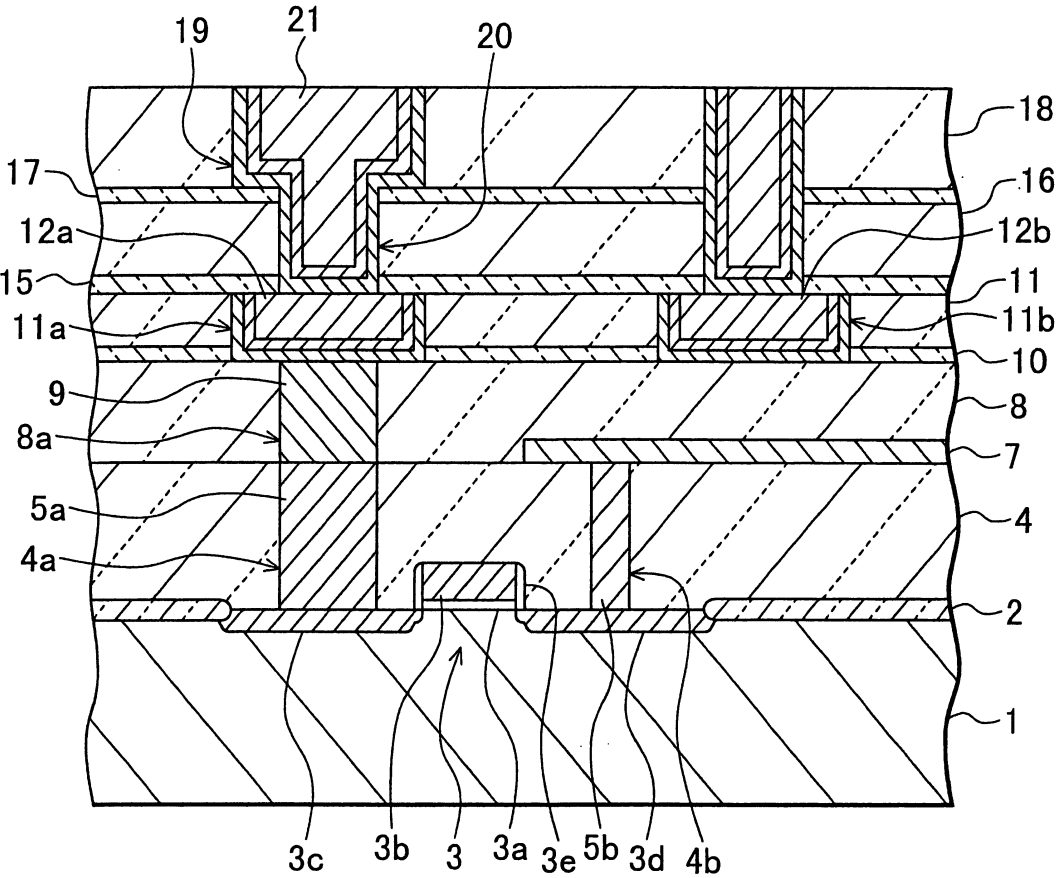
5 (d)沉積包含一種傳導性材料之佈線層於該第二絕緣膜上，該佈線層嵌入溝渠內；

(e)拋光佈線層而留下於溝渠的佈線層；以及

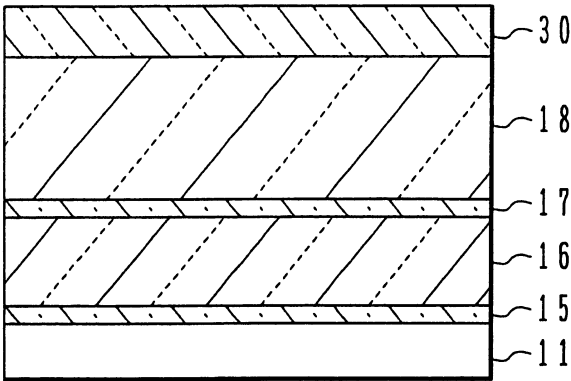
(f)拋光佈線層及第二絕緣膜至第一絕緣膜暴露為止。

P1137886

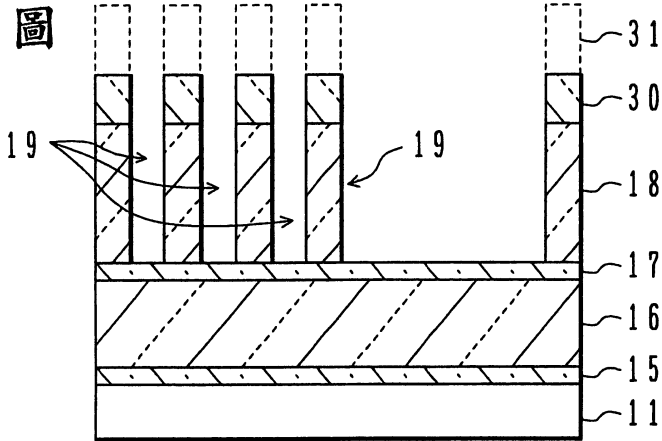
第 1 圖



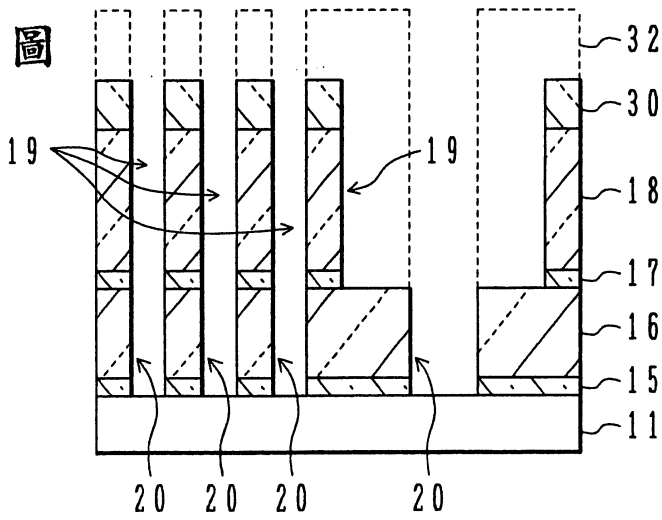
第 2A 圖



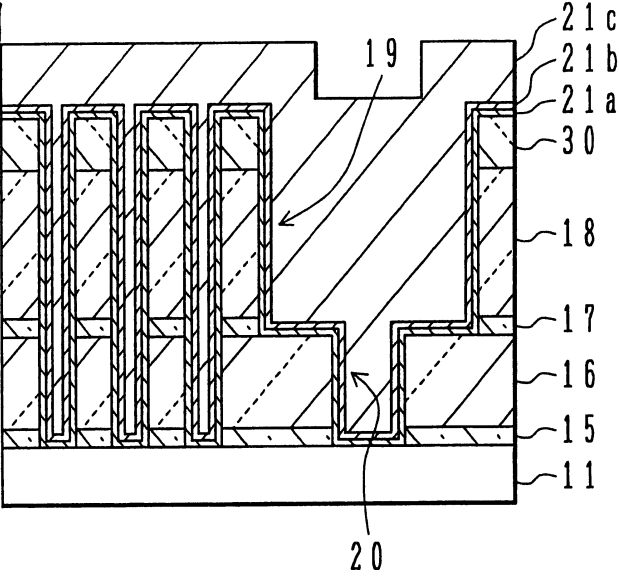
第 2B 圖



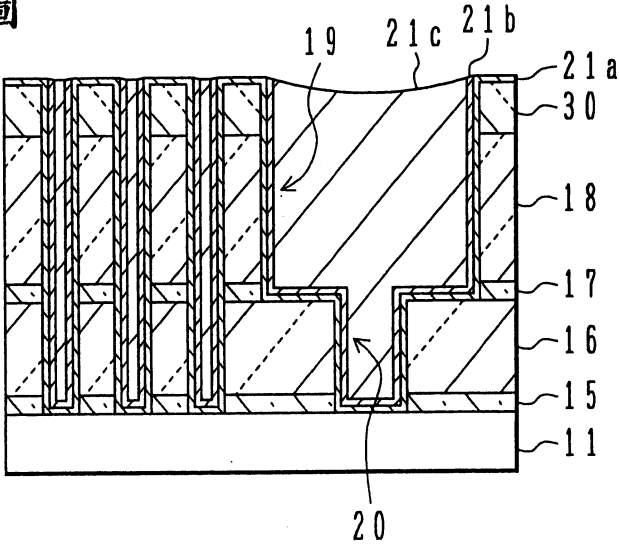
第 2C 圖



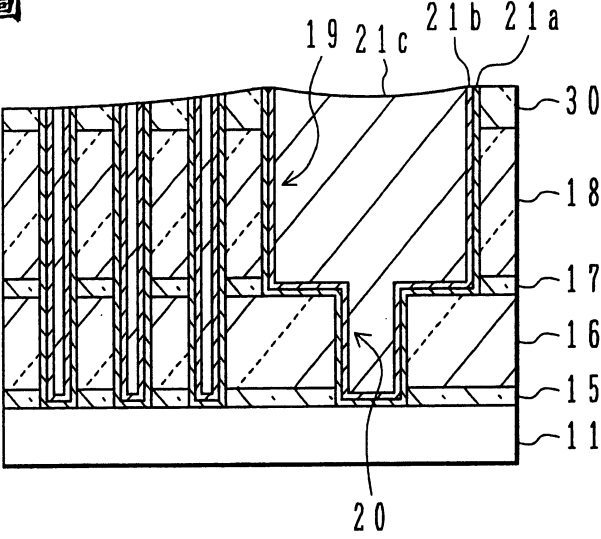
第 2D 圖



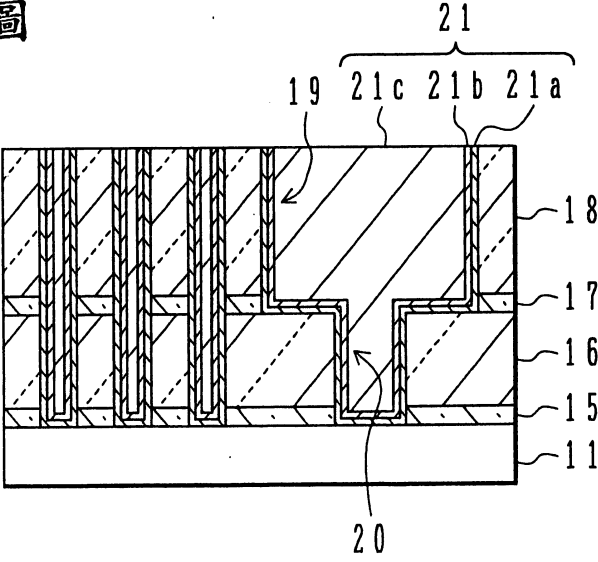
第 2E 圖



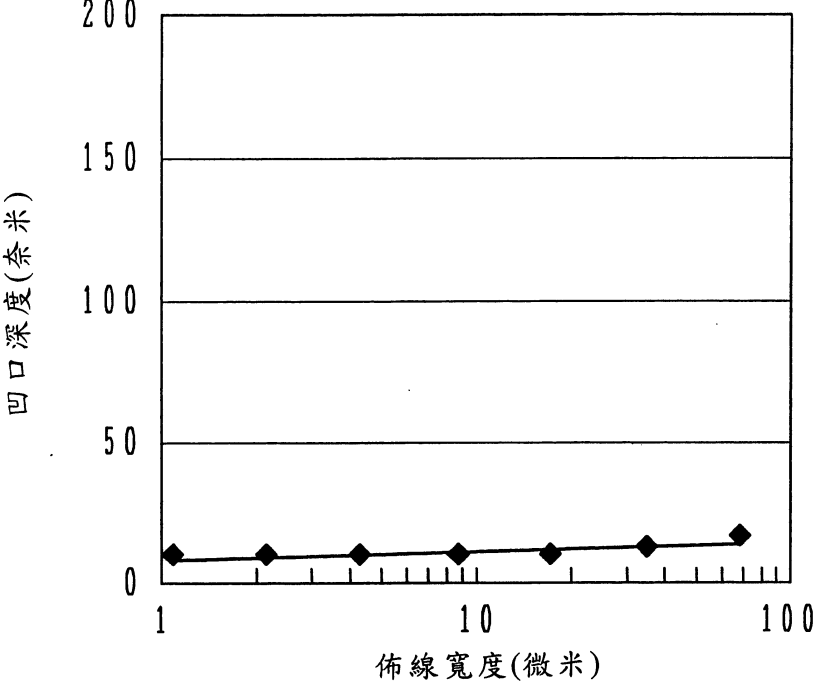
第 2F 圖



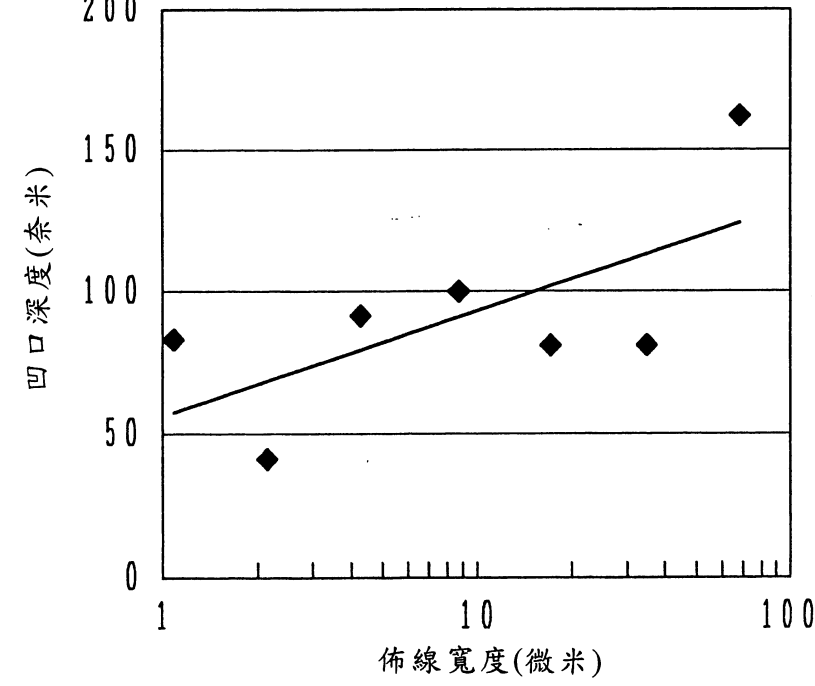
第 2G 圖



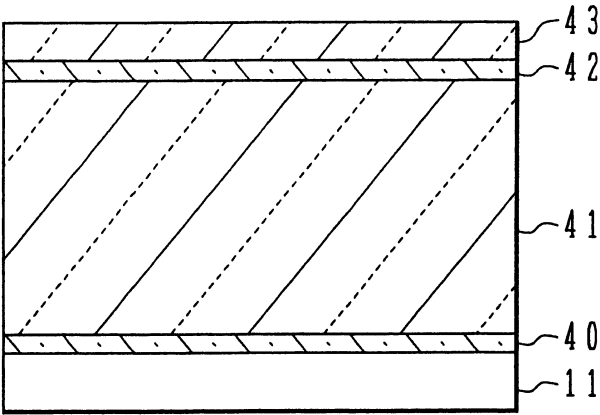
第 3A 圖



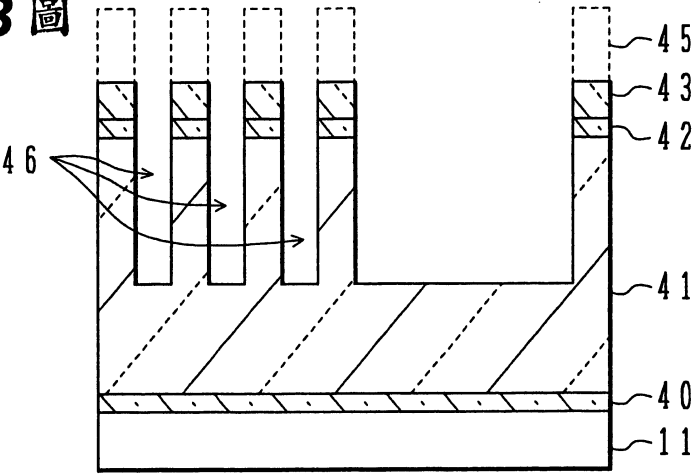
第 3B 圖



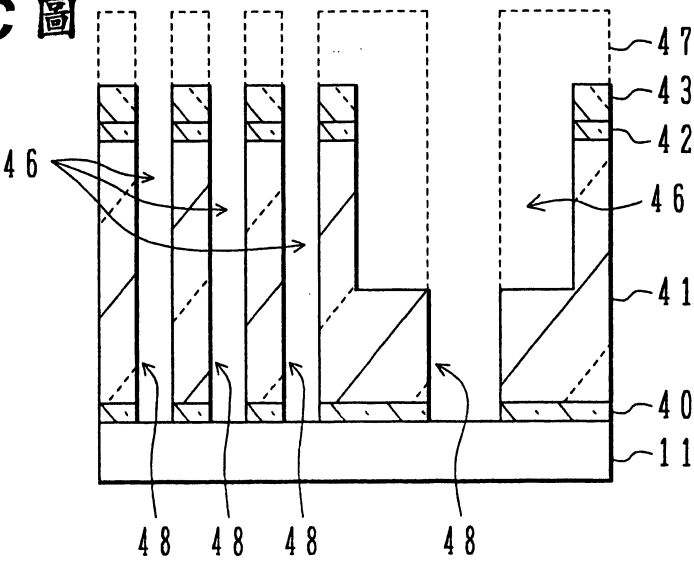
第 4A 圖



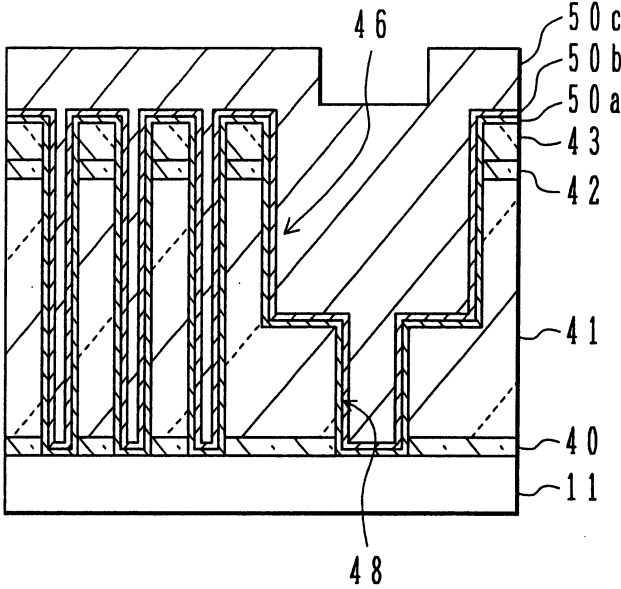
第 4B 圖



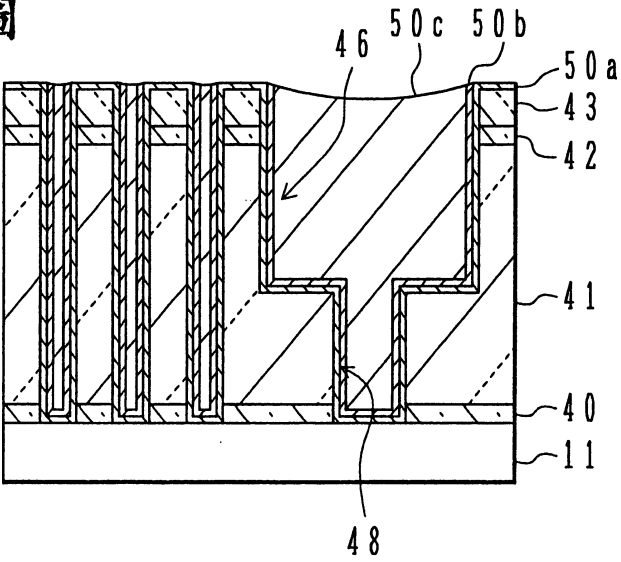
第 4C 圖



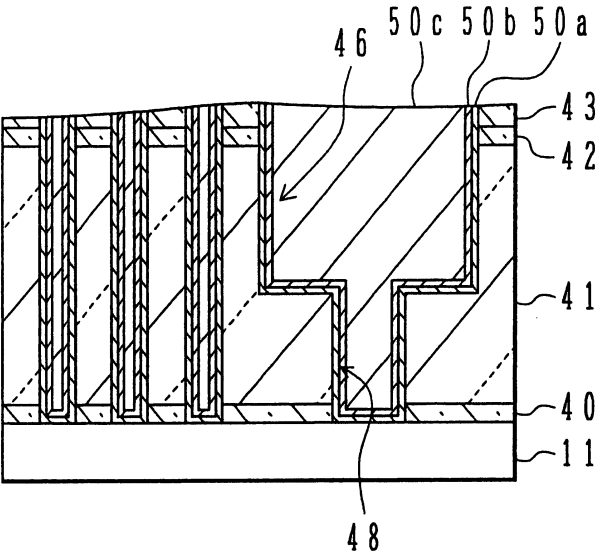
第 4D 圖



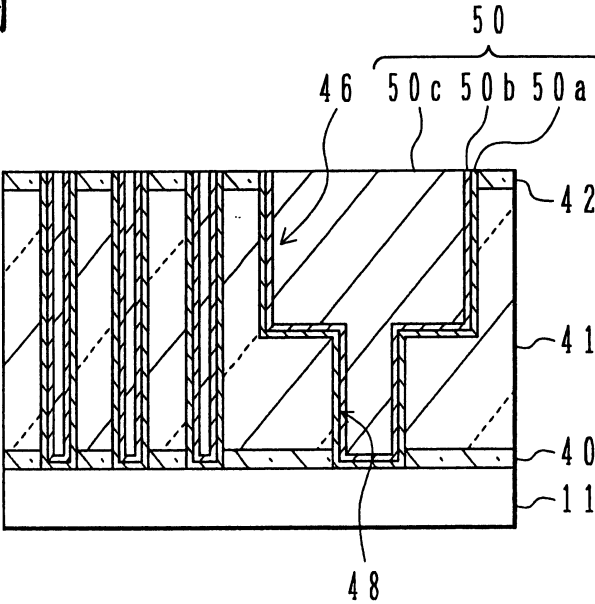
第 4E 圖



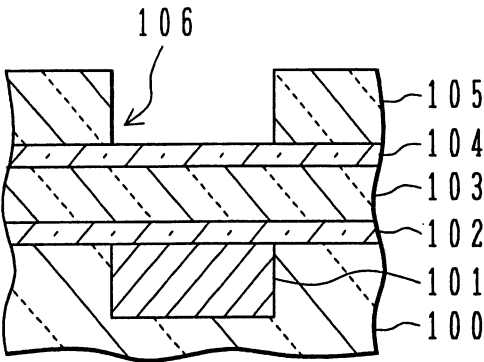
第 4F 圖



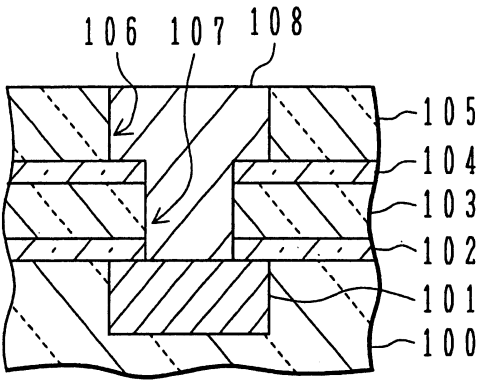
第 4G 圖



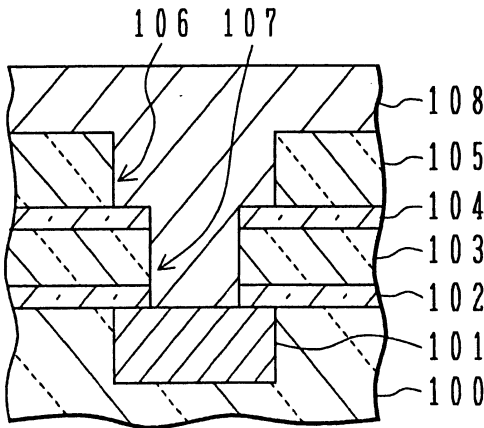
第 5A 圖



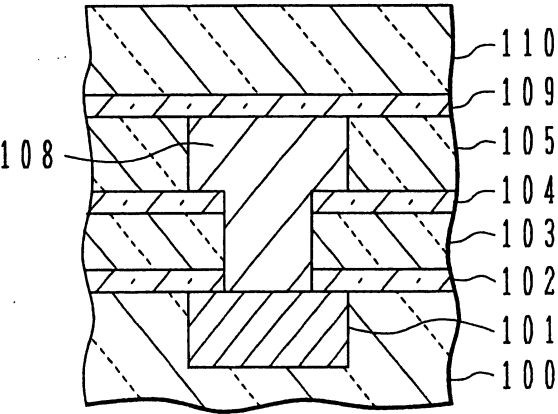
第 5C 圖



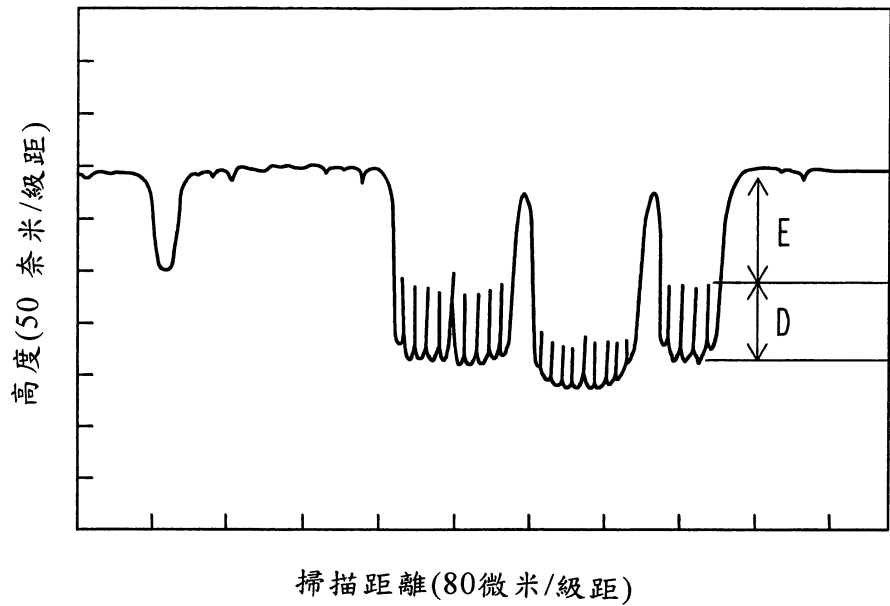
第 5B 圖



第 5D 圖



第 6A 圖



第 6B 圖

