

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第6996431号  
(P6996431)

(45)発行日 令和4年1月17日(2022.1.17)

(24)登録日 令和3年12月20日(2021.12.20)

(51)国際特許分類 F I  
G 0 6 F 30/32 (2020.01) G 0 6 F 30/32

請求項の数 8 (全14頁)

(21)出願番号	特願2018-112515(P2018-112515)	(73)特許権者	000004226 日本電信電話株式会社 東京都千代田区大手町一丁目5番1号
(22)出願日	平成30年6月13日(2018.6.13)	(74)代理人	100098394 弁理士 山川 茂樹
(65)公開番号	特開2019-215697(P2019-215697 A)	(74)代理人	100153006 弁理士 小池 勇三
(43)公開日	令和1年12月19日(2019.12.19)	(74)代理人	100064621 弁理士 山川 政樹
審査請求日	令和2年10月6日(2020.10.6)	(72)発明者	吉田 周平 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
		(72)発明者	右近 祐太 東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内

最終頁に続く

(54)【発明の名称】 パラメータ最適化装置、方法、およびプログラム

## (57)【特許請求の範囲】

## 【請求項1】

複数の処理回路に対して対象処理をループ展開して実行する処理システムを、高位合成処理により回路設計する際、前記高位合成処理で用いる設計パラメータであるループ展開数と回路並列数の最適な組み合わせを決定するパラメータ最適化装置であって、前記設計パラメータの候補となる、前記ループ展開数と前記回路並列数の組み合わせを複数設定し、これら組み合わせごとに、前記高位合成処理により得られる合成回路を示す回路合成情報を生成する回路合成情報生成部と、前記回路合成情報ごとに、当該回路合成情報が示す合成回路に関する推定処理性能を算出し、最大の推定処理性能が得られた回路合成情報に基づいて、前記ループ展開数と前記回路並列数の最適な組み合わせを決定する最適パラメータ決定部とを備えることを特徴とするパラメータ最適化装置。

## 【請求項2】

請求項1に記載のパラメータ最適化装置において、前記回路合成情報生成部は、前記組み合わせを設定する際、前記ループ展開で展開すべきループの総数を示すループ総数に基づいて、前記ループ展開数を設定することを特徴とするパラメータ最適化装置。

## 【請求項3】

請求項1または請求項2に記載のパラメータ最適化装置において、前記回路合成情報生成部は、前記組み合わせを設定する際、前記処理システムで使用可能

なりソースを示すリソース制約に基づいて、前記回路並列数を設定することを特徴とするパラメータ最適化装置。

【請求項 4】

請求項 1 ~ 請求項 3 のいずれかに記載のパラメータ最適化装置において、前記最適パラメータ決定部は、前記推定処理性能を算出する際、前記回路合成情報と、前記対象処理で許容される処理遅延を示す遅延制約と、前記対象処理に対して並列的に入力されるデータの同時入力数とに基づいて、前記推定処理性能を算出することを特徴とするパラメータ最適化装置。

【請求項 5】

請求項 1 ~ 請求項 4 のいずれかに記載のパラメータ最適化装置において、前記処理システムは、振り分けられたパケットに対して予めループ展開された前記対象処理の一部を実行する前記複数の処理回路と、同時に入力される複数フローのパケットを、前記複数の処理回路に対して振り分ける振分部と、前記複数の処理回路で得られた処理結果を集約して出力する集約部とを備えることを特徴とするパラメータ最適化装置。

10

【請求項 6】

請求項 5 に記載のパラメータ最適化装置において、前記複数の処理回路は、前記振分部から振り分けられたパケットのフローに応じて、当該パケットを処理するための状態を切り替えることを特徴とするパラメータ最適化装置。

20

【請求項 7】

複数の処理回路に対して対象処理をループ展開して実行する処理システムを、高位合成処理により回路設計する際、前記高位合成処理で用いる設計パラメータであるループ展開数と回路並列数の最適な組み合わせを決定するパラメータ最適化装置で用いられるパラメータ最適化方法であって、回路合成情報生成部が、前記設計パラメータの候補となる、前記ループ展開数と前記回路並列数の組み合わせを複数設定し、これら組み合わせごとに、前記高位合成処理により得られる合成回路を示す回路合成情報を生成する回路合成情報生成ステップと、最適パラメータ決定部が、前記回路合成情報ごとに、当該回路合成情報が示す合成回路に関する推定処理性能を算出し、最大の推定処理性能が得られた回路合成情報に基づいて、前記ループ展開数と前記回路並列数の最適な組み合わせを決定する最適パラメータ決定ステップとを備えることを特徴とするパラメータ最適化方法。

30

【請求項 8】

コンピュータを、請求項 1 ~ 請求項 6 のいずれかに記載のパラメータ最適化装置を構成する各部として機能させるためのプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力されたパケットを処理する処理回路が並列展開された処理システムを対象として、高位合成で用いる設計パラメータを最適化するためのパラメータ最適化技術に関する。

40

【背景技術】

【0002】

近年、FPGA (Field-Programmable Gate Array) などの PLD (Programmable Logic Device) の大規模化に伴う回路設計の自動化を目的として、C/C++ のような高性能プログラミング言語で記述されたソースコードから Verilog HDL (Hardware Description Language) などのハードウェア記述言語で記述された RTL (Register Transfer Level) コードを生成する「高位合成」と呼ばれる技術の実用化が進展してい

50

る。

【0003】

図6は、パラメータ最適化の対象となる処理システムの一例を示すブロック図である。図6に示す処理システム50は、全体としてFPGAからなり、並列展開されている複数の処理回路51に対して対象処理をループ展開して実行する処理システムである。

【0004】

処理システム50は、例えば図6に示すように、主な回路部として、振り分けられたパケットPKに対して予めループ展開された対象処理の一部を実行するN個（Nは2以上の整数）の処理回路（51）#1, #2, ..., #Nと、同時に入力される複数フローのパケットPKを、並列展開されている処理回路#1, #2, ..., #Nに振り分ける振分部52と、処理回路#1, #2, ..., #Nで得られた処理結果を集約して出力する集約部53とを備えている。

10

【0005】

高位合成処理では、処理システム50の性能をチューニングするために、設計者が設定可能な設計パラメータが用意されている。性能チューニングに用いる設計パラメータの1つとして、ループ展開数がある。図7は、ループ展開数を指定したソースコードの一例である。

【0006】

ループ展開とは、ループ処理における各イテレーションの処理を、並列展開した処理回路を用いて処理することで処理の高速化を図る手法である。図7の例では、ループ総数Q（Qは2以上の整数）回のループ処理に対してループ展開数M（Mは2以上の整数）を設定している。これは、例えば全部でQ回のループ処理が必要な対象処理において、1ループにMループ分の処理を展開してまとめて実行することにより、必要となるループ数をQ/M回に削減することを意味している。

20

【0007】

このようにして、ループ展開数を任意の値に設定することで、処理回路の並列展開数を指定して処理システムを設計することができる。この場合、ループ展開数は増やせば増やすほど、処理システムの処理性能は向上するが、これに伴って処理システムにおけるリソース使用量も増加する。

従来、高位合成を用いた回路設計において、設計者が指定する設計パラメータ（例えば、ループ展開数など）の値を最適化する手法が提案されている（例えば、特許文献1など参照）。図8は、ソースコード記述から生成される解析木の一例である。この手法では、図8に示すような処理回路の動作を表す解析木を元に「回路あたりの処理レイテンシ」の最小化を目的として最適化を図っている。

30

【先行技術文献】

【特許文献】

【0008】

【文献】特許第5516596号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0009】

一般に、高位合成において処理システムの性能をチューニングする際、処理システムの処理回路に関する「回路あたりの性能」を向上させると「回路あたりのリソース使用量」が増加する。このため、処理システムの「全体で使用可能なリソース量」が制限されており一定であるとすると、「回路あたりの性能」と「回路並列数」はトレードオフの関係にある。

しかしながら、前述したような従来技術では、処理回路に関する「回路あたりの性能」の最大化を目的としているため、「回路あたりの性能」と「回路並列数」のトレードオフを最適化することは困難であるという問題点があった。

【0010】

50

通常、図6に示したように、並列展開した複数の処理回路を用いる場合、処理時間のオーバーヘッドが発生する。例えば、入力パケットのフローに応じて処理回路内の状態を切り替えながら処理を行う場合が考えられる。このような場合には、状態切り替えの所要時間に相当するオーバーヘッドが発生するため、単位時間あたりに到着するフロー数が一定数以上の場合、「回路あたりの性能」を劣化させてでも「回路並列数」を増加させた方が、システム全体としては処理性能が高くなる場合があるからである。

【0011】

本発明はこのような課題を解決するためのものであり、高位合成処理におけるループ展開数と回路並列数の最適な組み合わせを決定できるパラメータ最適化技術を提供することを目的としている。

【課題を解決するための手段】

【0012】

このような目的を達成するために、本発明にかかるパラメータ最適化装置は、複数の処理回路に対して対象処理をループ展開して実行する処理システムを、高位合成処理により回路設計する際、前記高位合成処理で用いる設計パラメータであるループ展開数と回路並列数の最適な組み合わせを決定するパラメータ最適化装置であって、前記設計パラメータの候補となる、前記ループ展開数と前記回路並列数の組み合わせを複数設定し、これら組み合わせごとに、前記高位合成処理により得られる合成回路を示す回路合成情報を生成する回路合成情報生成部と、前記回路合成情報ごとに、当該回路合成情報が示す合成回路に関する推定処理性能を算出し、最大の推定処理性能が得られた回路合成情報に基づいて、前記ループ展開数と前記回路並列数の最適な組み合わせを決定する最適パラメータ決定部とを備えている。

【0013】

また、本発明にかかる上記パラメータ最適化装置の一構成例は、前記回路合成情報生成部が、前記組み合わせを設定する際、前記ループ展開で展開すべきループの総数を示すループ総数に基づいて、前記ループ展開数を設定するようにしたものである。

【0014】

また、本発明にかかる上記パラメータ最適化装置の一構成例は、前記回路合成情報生成部が、前記組み合わせを設定する際、前記処理システムで使用可能なリソースを示すリソース制約に基づいて、前記回路並列数を設定するようにしたものである。

【0015】

また、本発明にかかる上記パラメータ最適化装置の一構成例は、前記最適パラメータ決定部が、前記推定処理性能を算出する際、前記回路合成情報と、前記対象処理で許容される処理遅延を示す遅延制約と、前記対象処理に対して並列的に入力されるデータの同時入力数とに基づいて、前記推定処理性能を算出するようにしたものである。

【0016】

また、本発明にかかる上記パラメータ最適化装置の一構成例は、前記処理システムが、振り分けられたパケットに対して予めループ展開された前記対象処理の一部を実行する前記複数の処理回路と、同時に入力される複数フローのパケットを、前記複数の処理回路に対して振り分ける振分部と、前記複数の処理回路で得られた処理結果を集約して出力する集約部とを備えるものである。

【0017】

また、本発明にかかる上記パラメータ最適化装置の一構成例は、前記複数の処理回路が、前記振分部から振り分けられたパケットのフローに応じて、当該パケットを処理するための状態を切り替えるようにしたものである。

【0018】

また、本発明にかかるパラメータ最適化方法は、複数の処理回路に対して対象処理をループ展開して実行する処理システムを、高位合成処理により回路設計する際、前記高位合成処理で用いる設計パラメータであるループ展開数と回路並列数の最適な組み合わせを決定するパラメータ最適化装置で用いられるパラメータ最適化方法であって、回路合成情報生

10

20

30

40

50

成部が、前記設計パラメータの候補となる、前記ループ展開数と前記回路並列数の組み合わせを複数設定し、これら組み合わせごとに、前記高位合成処理により得られる合成回路を示す回路合成情報を生成する回路合成情報生成ステップと、最適パラメータ決定部が、前記回路合成情報ごとに、当該回路合成情報が示す合成回路に関する推定処理性能を算出し、最大の推定処理性能が得られた回路合成情報に基づいて、前記ループ展開数と前記回路並列数の最適な組み合わせを決定する最適パラメータ決定ステップとを備えている。

【0019】

また、本発明にかかるプログラムは、コンピュータを、前述したいずれかのパラメータ最適化装置を構成する各部として機能させるためのプログラムである。

【発明の効果】

【0020】

本発明によれば、候補として複数設定されたループ展開数と回路並列数の組み合わせのうちから、推定処理性能が最も高い合成回路のループ展開数と回路並列数が最適な組み合わせとして選択されることになる。したがって、高位合成処理において処理システムの性能をチューニングする際に問題となる、処理回路に関する「回路あたりの性能」と「回路並列数」のトレードオフを最適化することが可能となる。また、高位合成処理において処理システムの性能をチューニングするのに要する工程期間を大幅に短縮することができ、チューニングに要する作業負担や作業コストを大幅に削減する可能となる。

【図面の簡単な説明】

【0021】

【図1】パラメータ最適化装置の構成を示すブロック図である。

【図2】回路合成情報の構成例である。

【図3】回路合成情報生成処理を示すフローチャートである。

【図4】最適パラメータ決定処理を示すフローチャートである。

【図5】一般的な待ち行列システムを示す概念図である。

【図6】パラメータ最適化の対象となる処理システムの一例を示すブロック図である。

【図7】ループ展開数を指定したソースコードの一例である。

【図8】ソースコード記述から生成される解析木の一例である。

【発明を実施するための形態】

【0022】

次に、本発明の一実施の形態について図面を参照して説明する。

[パラメータ最適化装置]

まず、図1を参照して、本実施の形態にかかるパラメータ最適化装置10について説明する。図1は、パラメータ最適化装置の構成を示すブロック図である。

このパラメータ最適化装置10は、全体としてサーバ装置などの情報処理装置(コンピュータ)からなり、複数の処理回路に対して対象処理をループ展開して実行する処理システムを、高位合成処理により回路設計する際、高位合成処理で用いるパラメータであるループ展開数と回路並列数の最適な組み合わせを決定する機能を有している。

【0023】

本実施の形態では、前述の図6に示したような、振り分けられたパケットを処理する複数の処理回路51が並列展開された処理システム50を対象として、高位合成処理で用いるループ展開数と回路並列数の最適な組み合わせを決定する場合について説明する。なお、パラメータ最適化の対象となる処理システムは、パケットを処理する処理システム50に限定されるものではなく、複数の処理回路に対して対象処理をループ展開して実行する処理システムであれば、同様にして本実施の形態を適用でき、同様の作用効果が得られる。

【0024】

処理システム50は、前述した図6の構成と同様に、主な回路部として、振り分けられたパケットPKに対して予めループ展開された対象処理の一部を実行するN個(Nは2以上の整数)の処理回路(51) #1, #2, ..., #Nと、同時に入力される複数フローのパケットPKを、並列展開されている処理回路 #1, #2, ..., #N に振り分ける振分部5

10

20

30

40

50

2と、処理回路#1, #2, ..., #Nで得られた処理結果を集約して出力する集約部53とを備えているものとする。

【0025】

図1に示すように、パラメータ最適化装置10は、主な機能部として、回路合成情報生成部11、回路合成情報記憶部12、および最適パラメータ決定部13を備えている。これら機能部のうち、回路合成情報生成部11と最適パラメータ決定部13は、CPUとプログラムとが協働することにより実現されている。このプログラムは、外部装置や記録媒体（ともに図示せず）からパラメータ最適化装置10の記憶部（図示せず）に予め格納される。なお、プログラムは、記録媒体に記録して提供することもでき、通信ネットワークを介して提供することもできる。

10

【0026】

回路合成情報生成部11は、入力されたソースコード21に記述されている、ループ展開で展開すべきループの総数を示すループ総数Qと、リソース制約情報22で指定された、処理システム50で使用可能なリソースを示すリソース制約とに基づいて、設計パラメータの候補となる、ループ展開数M（Mは2以上の整数）と回路並列数Nとの組み合わせを複数設定する機能と、これら組み合わせごとに、当該組み合わせを適用した際に高位合成処理により得られる合成回路を示す回路合成情報23を生成して、回路合成情報記憶部12に登録する機能を有している。

【0027】

回路合成情報記憶部12は、ハードディスクや半導体メモリなど記憶装置からなり、回路合成情報生成部11で生成された回路合成情報23を記憶する機能を有している。

20

図2は、回路合成情報の構成例である。図2に示すように、回路合成情報23は、ループ展開数Mと回路並列数Nの組み合わせを示すパラメータと、合成回路の構成を示す処理サイクル数、動作周波数[MHz]、ステート切替サイクル数からなる合成結果情報とを含んでいる。これら回路合成情報23は、組み合わせを識別するためのIDが付与されて、回路合成情報記憶部12に登録されている。

【0028】

最適パラメータ決定部13は、遅延制約情報24で指定された処理システム50の対象処理で許容される処理遅延を示す遅延制約と、処理システム50の対象処理に対して並列的に同時に入力されるパケット（データ）のフロー数を示す同時アクセスフロー数（同時入力数）25とに基づいて、回路合成情報記憶部12に登録されている回路合成情報23ごとに、当該回路合成情報23が示す合成回路から得られる推定処理性能Pを算出する機能と、これら推定処理性能のうち最大推定処理性能 $P_{max}$ が得られた回路合成情報23に基づいて、ループ展開数Mと回路並列数Nの最適な組み合わせを決定し、最適パラメータ26として出力する機能を有している。

30

【0029】

[回路合成情報生成部]

次に、図1を参照して、回路合成情報生成部11の詳細について説明する。

図1に示すように、回路合成情報生成部11は、主な処理部として、パラメータ設定部11A、高位合成部11B、回路並列数算出部11C、および情報登録部11Dを備えている。

40

【0030】

パラメータ設定部11Aは、ソースコード21で指定されたループ総数Qに基づいて、候補となるループ展開数Mを複数設定する機能を有している。

高位合成部11Bは、パラメータ設定部11Aが設定したループ展開数Mごとに、当該ループ展開数Mを適用した際に得られる合成回路を、高位合成処理により合成する機能を有している。

【0031】

回路並列数算出部11Cは、リソース制約情報22で指定された処理システム50で使用可能なリソースを示すリソース制約と、高位合成部11Bで合成された合成回路のリソー

50

ス使用量とに基づいて、合成回路ごとに候補となる回路並列数  $N$  を算出して設定する機能を有している。

情報登録部 11D は、候補として設定されたループ展開数  $M$  と回路並列数  $N$  との組み合わせに、組み合わせを識別するための ID と、対応する合成回路の構成を示す合成結果情報とを付与し、得られた回路合成情報 23 を回路合成情報記憶部 12 に登録する機能を有している。

#### 【0032】

##### [最適パラメータ決定部]

次に、図 1 を参照して、最適パラメータ決定部 13 の詳細について説明する。

図 1 に示すように、最適パラメータ決定部 13 は、主な処理部として、性能推定部 13A、性能比較部 13B、最適パラメータ記憶部 13C、およびパラメータ出力部 13D を備えている。

10

#### 【0033】

性能推定部 13A は、回路合成情報記憶部 12 に登録されている回路合成情報 23 ごとに、回路合成情報 23 に含まれるループ展開数  $M$  と回路並列数  $N$  との組み合わせを適用した場合に得られる処理システム 50 の性能値である推定処理性能  $P$  を算出する機能を有している。

#### 【0034】

性能比較部 13B は、性能推定部 13A で算出された推定処理性能  $P$  を最適パラメータ記憶部 13C で記憶している最大推定処理性能  $P_{max}$  と比較する機能と、 $P$  が  $P_{max}$  より大きい場合には、 $P_{max}$  を  $P$  で更新するとともに、 $P$  と対応するループ展開数  $M$  と回路並列数  $N$  との組み合わせを最適パラメータとして最適パラメータ記憶部 13C に保存する機能を有している。

20

#### 【0035】

パラメータ出力部 13D は、回路合成情報記憶部 12 に登録されているすべての回路合成情報 23 に関する  $P$  と  $P_{max}$  との比較が完了した後、最適パラメータ記憶部 13C に保存されている最適パラメータを取得して出力する機能を有している。

#### 【0036】

##### [本実施の形態の動作]

次に、本実施の形態にかかるパラメータ最適化装置 10 の動作について説明する。

30

#### 【0037】

##### [回路合成情報生成動作]

まず、図 3 を参照して、回路合成情報生成部 11 の回路合成情報生成動作について説明する。図 3 は、回路合成情報生成処理を示すフローチャートである。

#### 【0038】

まず、パラメータ設定部 11A は、例えば図 7 に示したようなソースコード 21 に含まれる for 文の記述からループ総数  $Q$  を取得する (ステップ 100)。

続いて、パラメータ設定部 11A は、ループ展開数  $M_i$  を 1 ~  $Q$  の範囲で 1 ずつ変化させて設定するため、まず、変数  $i$  を 1 で初期化し (ステップ 101)、 $i$  の値をループ展開数  $M_i$  に設定する (ステップ 102)。

40

#### 【0039】

次に、高位合成部 11B は、パラメータ設定部 11A が設定したループ展開数  $M_i$  を適用した際に得られる合成回路を、高位合成コンパラを用いてソースコード 21 から合成する (ステップ 103)。

#### 【0040】

続いて、回路並列数算出部 11C は、高位合成部 11B で合成された合成回路に関する合成結果情報から、処理回路 51 あたりのリソース使用量  $S_i$  を取得し (ステップ 104)、このリソース使用量  $S_i$  と、リソース制約情報 22 で指定された処理システム 50 で使用可能なリソースを示すリソース制約  $S_{max}$  とに基づいて、ループ展開数  $M_i$  の合成回路に関する回路並列数  $N_i$  を算出する (ステップ 105)。

50

## 【 0 0 4 1 】

この際、 $N_j$ については、 $S_j \times N_j$ が  $S_{max}$ 以下となる最大の数を  $N_j$ として選択する方法が考えられるが、これに限定されるものではない。例えば、ソースコード 2 1 から合成される合成回路以外に、並列化に必要な周辺回路などのリソースに関する使用リソース量を加味して  $N_j$ を算出してもよい。

## 【 0 0 4 2 】

この後、情報登録部 1 1 D は、得られたループ展開数  $M_j$ と回路並列数  $N_j$ との組み合わせに、組み合わせを識別するための ID と、対応する合成回路の構成を示す合成結果情報とを付与し、得られた回路合成情報 2 3 を回路合成情報記憶部 1 2 に登録する（ステップ 1 0 6）。

10

## 【 0 0 4 3 】

次に、パラメータ設定部 1 1 A は、変数  $i$  がループ総数  $Q$  に到達したか確認し（ステップ 1 0 7）、 $i$  が  $Q$  に到達していない場合（ステップ 1 0 7：NO）、 $i$  をインクリメント（ $i = i + 1$ ）した後（ステップ 1 0 8）、ステップ 1 0 2 へ戻る。

一方、 $i$  が  $Q$  に到達した場合（ステップ 1 0 7：YES）、一連の回路合成情報生成処理を終了する。

## 【 0 0 4 4 】

## [ 最適パラメータ決定動作 ]

次に、図 4 を参照して、最適パラメータ決定部 1 3 の最適パラメータ決定動作について説明する。図 4 は、最適パラメータ決定処理を示すフローチャートである。

20

## 【 0 0 4 5 】

まず、性能推定部 1 3 A は、最適パラメータ記憶部 1 3 C で記憶する最大推定処理性能  $P_{max}$  をゼロで初期化した後（ステップ 1 1 0）、回路合成情報記憶部 1 2 から未選択の回路合成情報 2 3 を 1 つ選択し（ステップ 1 1 1）、選択した回路合成情報 2 3 に含まれるループ展開数  $M$  と回路並列数  $N$  との組み合わせを適用した場合に得られる処理システム 5 0 の性能値である推定処理性能  $P$  を算出する（ステップ 1 1 2）。推定処理性能  $P$  の算出方法については後述する。

## 【 0 0 4 6 】

性能比較部 1 3 B は、性能推定部 1 3 A で算出された推定処理性能  $P$  を、最適パラメータ記憶部 1 3 C で記憶している最大推定処理性能  $P_{max}$  と比較し（ステップ 1 1 3）、 $P$  が  $P_{max}$  以下の場合には（ステップ 1 1 3：NO）、ステップ 1 1 1 へ戻る。

30

一方、 $P$  が  $P_{max}$  より大きい場合（ステップ 1 1 3：YES）、性能比較部 1 3 B は、 $P_{max}$  を  $P$  で更新するとともに（ステップ 1 1 4）、 $P$  と対応するループ展開数  $M$  と回路並列数  $N$  との組み合わせを最適パラメータ 2 6 として最適パラメータ記憶部 1 3 C に保存する（ステップ 1 1 5）。

## 【 0 0 4 7 】

この後、パラメータ出力部 1 3 D は、回路合成情報記憶部 1 2 に登録されているすべての回路合成情報 2 3 の選択が完了したか確認し（ステップ 1 1 6）、未完了の場合には（ステップ 1 1 6：NO）、ステップ 1 1 1 へ戻る。

一方、すべての回路合成情報 2 3 の選択が完了した場合（ステップ 1 1 6：YES）、パラメータ出力部 1 3 D は、最適パラメータ記憶部 1 3 C に保存されている最適パラメータ 2 6 を取得して出力し（ステップ 1 1 7）、一連の最適パラメータ決定処理を終了する。

40

## 【 0 0 4 8 】

なお、性能比較部 1 3 B が、最適パラメータ記憶部 1 3 C に最適パラメータを保存する際、選択した回路合成情報 2 3 に含まれるループ展開数  $M$  と回路並列数  $N$  との組み合わせを示す ID を保存してもよい。また、パラメータ出力部 1 3 D が最適パラメータを出力する際、ループ展開数  $M$  と回路並列数  $N$  との組み合わせを示す ID を出力してもよい。

## 【 0 0 4 9 】

## [ 推定処理性能算出方法 ]

次に、図 5 を参照して、性能推定部 1 3 A における推定処理性能算出方法について説明す

50

る。図5は、一般的な待ち行列システムを示す概念図である。

【0050】

本推定手法では、入力パケットがランダムに到着する処理システム50における処理遅延を確率論的に評価するために、最適化の対象となる処理システム50を、図5に示すような待ち行列システム30として捉え、待ち行列理論に基づく理論式を用いて性能を推定する。ここでは、推定処理性能を「遅延制約を満たす最大の入力レート」と定義する。また、遅延制約は、遅延制約情報24により「遅延がa秒以内である確率がb%以上」であるというように与えられるものとする。

【0051】

図5に示すように、待ち行列システム30は、複数のサービス窓口31と待ち行列から構成されている。この待ち行列システムを図6の処理システム50と対比させると、外部から入力されるパケットPKがランダムに到着する要求REQに対応し、並列展開された処理回路51がサービス窓口31に対応し、振分部52においてパケットを格納するためのキュー（図示せず）が待ち行列32に対応する。なお、キューはレジスタあるいはメモリを用いて実装される。

【0052】

次に、性能推定に用いる推定式について説明する。

待ち行列理論に基づいて対象とする待ち行列システムにおける各要求の待ち時間を確率論的に評価するための理論式は、次の式(1)で表される。

【数1】

$$C = \frac{n \times B}{n - E \times (1 - B)} \times \exp\left(\frac{(E - n) \times t}{AHT}\right) \quad \dots(1)$$

【0053】

式(1)において、Cは待ち行列システム30における、各要求REQの待ち時間が許容値tを超える確率を表す。また、nはサービス窓口数を表し、Eは呼量すなわち要求REQの量に関する尺度を表している。また、AHTは要求REQの1件あたりのサービス時間を表し、Bは対象とするシステムが呼損系であると仮定した場合の呼損率を表している。ここで、呼損系とは、サービス窓口31が全て使用中の状態で新たな要求REQが到着した場合、その要求REQを待ち行列に並ばせるのではなく破棄する機能を有するシステムを指す。

【0054】

式(1)のうち、呼損率Bについては、次の式(2)を用いて算出される。

【数2】

$$B = \frac{E^n}{n!} \left( 1 + \sum_{k=1}^n \frac{E^k}{k!} \right)^{-1} \quad \dots(2)$$

【0055】

式(2)のうち、呼量Eについては、次の式(3)を用いて算出される。ここで、λは単位時間あたりの要求到着数を表す。その他の変数の定義は式(1)と同様である。

【数3】

$$E = \lambda \times AHT \quad \dots(3)$$

10

20

30

40

50

## 【 0 0 5 6 】

また、遅延入力レート  $R$  と要求到着数  $\lambda$  の関係は式 ( 4 ) のように表される。ここで、 $L$  はパケット長を表す。

## 【 数 4 】

$$R = \lambda \times L \quad \dots(4)$$

## 【 0 0 5 7 】

これらをまとめると、遅延制約が「遅延が  $a$  秒以内である確率が  $b$  % 以上」である場合、許容値  $t$  の値を  $a$  秒に設定して、遅延入力レート  $R$  すなわち呼量  $E$  を増加させていくことにより、確率  $C$  の値が  $b$  % を維持する最大入力レート  $R_{max}$  を求める。求めた  $R_{max}$  が待ち行列システム 30 に関する推定処理性能  $P$  となる。

10

## 【 0 0 5 8 】

## [ A H T 算出方法 ]

続いて、A H T の算出方法を説明する。

パラメータ最適化の対象とする処理システム 50 は、各処理回路 51 において、入力パケットのフローに応じて処理回路 51 内のステートを切り替えながら処理することを特徴とする。このため、現在処理中のパケットのフローと次に入力されるパケットのフローが異なる場合、処理回路 51 内のステートの切り替え処理が発生し、処理時間のオーバーヘッドが発生する。

20

## 【 0 0 5 9 】

また、同一処理回路 51 に同時に入力されるフロー数が増えれば増えるほど、現在処理中のパケットのフローと次に入力されるパケットのフローが異なる確率は高くなる。したがって、同一処理回路 51 に同時に入力されるフロー数が増えれば増えるほど、処理回路 51 内のステート切り替えによる処理時間のオーバーヘッドが発生する確率が高くなる。以上を考慮して、本発明では、ステート切り替えによる処理時間のオーバーヘッド発生確率を加味した期待値として A H T を算出する。

## 【 0 0 6 0 】

次の式 ( 5 ) は、A H T の算出式である。

## 【 数 5 】

$$AHT = P_{same} \times AHT_{\alpha} + (1 - P_{same}) \times AHT_{\beta} \quad \dots(5)$$

30

## 【 0 0 6 1 】

式 ( 5 ) において、 $P_{same}$  は、入力パケットのフローが 1 つ前の入力パケットのフローと同じ確率を表す。また、 $AHT_{\alpha}$  は、ステート切り替えが発生しない場合のパケットあたりの処理時間を表し、 $AHT_{\beta}$  は、ステート切り替えが発生する場合のパケットあたりの処理時間を表している。 $AHT$  と  $AHT_{\beta}$  は、回路合成情報記憶部 12 に保持された情報から算出する。

## 【 0 0 6 2 】

式 ( 5 ) のうち、 $P_{same}$  は、次の式 ( 6 ) を用いて算出される。

40

## 【 数 6 】

$$P_{same} = \frac{n}{N_{flow}} \quad \dots(6)$$

## 【 0 0 6 3 】

式 ( 6 ) において、サービス窓口数  $n$  は、回路並列数とする。また、 $N_{flow}$  は、システムに対する同時アクセスフロー数を表す。ここでは、処理システム 50 に入力されるパケットのフローはランダムであり、各フローの到着確率が  $1 / N_{flow}$  であるという仮定の下で

50

$P_{\text{same}}$ を算出しているが、フローごとに異なる到着確率を仮定して $P_{\text{same}}$ を算出してもよい。

【 0 0 6 4 】

[ 本実施の形態の効果 ]

このように、本実施の形態は、回路合成情報生成部 1 1 が、パラメータの候補としてループ展開数 M と回路並列数 N の組み合わせを複数設定して、これら組み合わせごとに、高位合成処理により得られる合成回路を示す回路合成情報 2 3 を生成し、最適パラメータ決定部 1 3 が、生成された回路合成情報 2 3 ごとに、当該回路合成情報 2 3 が示す合成回路に関する推定処理性能 P を算出し、最大の推定処理性能  $P_{\text{max}}$  が得られた回路合成情報 2 3 に基づいて、ループ展開数 M と回路並列数 N の最適な組み合わせを決定するようにしたものである。

10

【 0 0 6 5 】

これにより、候補として複数設定されたループ展開数 M と回路並列数 N の組み合わせのうちから、推定処理性能 P が最も高い推定処理性能  $P_{\text{max}}$  である合成回路のループ展開数 M と回路並列数 N が最適な組み合わせとして選択されることになる。したがって、高位合成処理において処理システム 5 0 の性能をチューニングする際に問題となる、処理回路 5 1 に関する「回路あたりの性能」と「回路並列数」のトレードオフを最適化することが可能となる。また、高位合成処理において処理システム 5 0 の性能をチューニングするのに要する工程期間を大幅に短縮することができ、チューニングに要する作業負担や作業コストを大幅に削減する可能となる。

20

【 0 0 6 6 】

また、本実施の形態において、回路合成情報生成部 1 1 が、組み合わせを設定する際、ループ展開で展開すべきループの総数を示すループ総数に基づいて、ループ展開数を設定するようにしてもよい。

また、本実施の形態において、回路合成情報生成部 1 1 が、処理システムで使用可能なリソースを示すリソース制約に基づいて、回路並列数を設定するようにしてもよい。

これにより、規定のループ総数およびリソース制約を持つ処理システム 5 0 に対して、過不足のない最適なループ展開数および回路並列数を特定することができる。

【 0 0 6 7 】

また、本実施の形態において、最適パラメータ決定部 1 3 が、推定処理性能 P を算出する際、回路合成情報 2 3 と、対象処理で許容される処理遅延を示す遅延制約と、対象処理に対して並列的に入力されるデータの同時入力数とに基づいて、推定処理性能 P を算出するようにしてもよい。

30

これにより、入力されたパケットのフローに応じて処理時間が異なる場合であっても、外部から与えられる各フローの到着確率を加味した最適化を図ることができ、実動作環境を反映した回路性能の最適化が可能となる。

【 0 0 6 8 】

[ 実施の形態の拡張 ]

以上、実施形態を参照して本発明を説明したが、本発明は上記実施形態に限定されるものではない。本発明の構成や詳細には、本発明のスコープ内で当業者が理解しうる様々な変更をすることができる。

40

【 符号の説明 】

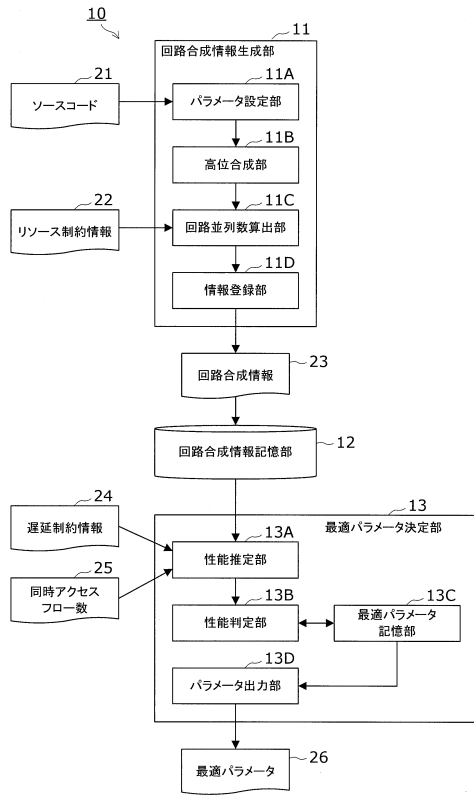
【 0 0 6 9 】

1 0 ... パラメータ最適化装置、 1 1 ... 回路合成情報生成部、 1 1 A ... パラメータ設定部、 1 1 B ... 高位合成部、 1 1 C ... 回路並列数算出部、 1 1 D ... 情報登録部、 1 2 ... 回路合成情報記憶部、 1 3 ... 最適パラメータ決定部、 1 3 A ... 性能推定部、 1 3 B ... 性能比較部、 1 3 C ... 最適パラメータ記憶部、 1 3 D ... パラメータ出力部、 2 1 ... ソースコード、 2 2 ... リソース制約情報、 2 3 ... 回路合成情報、 2 4 ... 遅延制約情報、 2 5 ... 同時アクセスフロー数、 2 6 ... 最適パラメータ。

50

【図面】

【図 1】



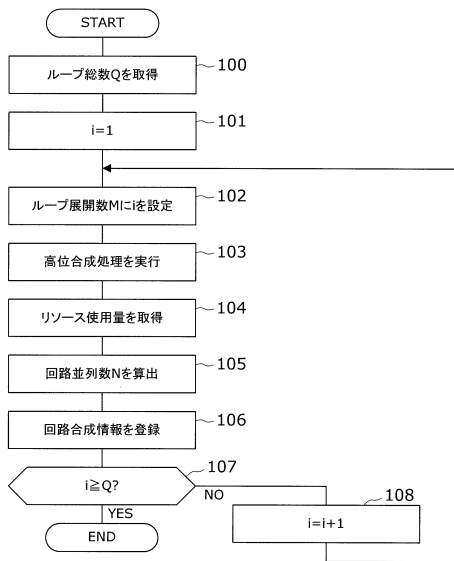
【図 2】

ID	パラメータ			合成結果情報		
	ループ展開数M	回路並列数P	処理サイクル数	動作周波数[MHz]	スタート切替サイクル数	
0	1	41	9	300	1	
1	3	15	3	300	1	
2	9	5	1	300	1	
			.....			

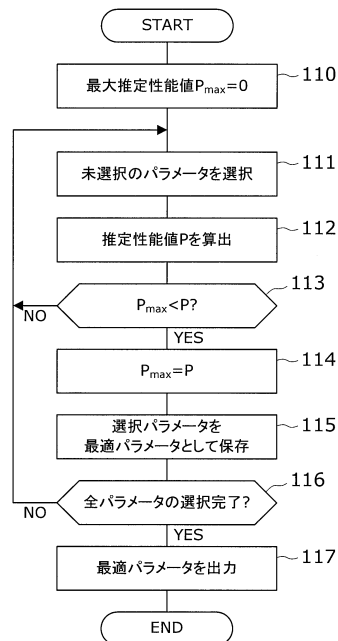
10

20

【図 3】



【図 4】

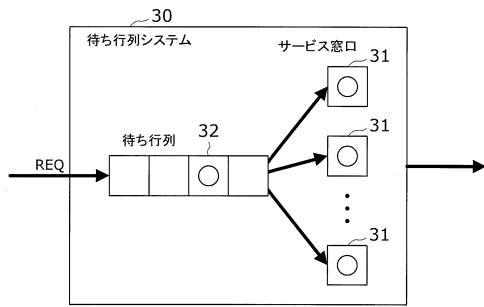


30

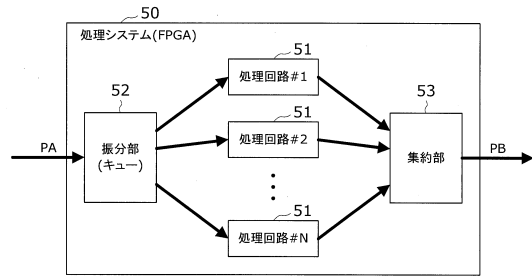
40

50

【図 5】



【図 6】

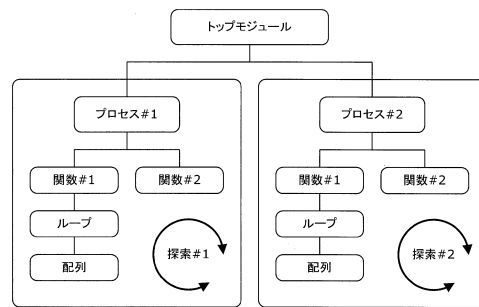


10

【図 7】

```
#pragma unroll = M
for (int i=0; i<Q; i++) {
    /* 処理の記述 */
}
```

【図 8】



20

30

40

50

---

フロントページの続き

- (72)発明者 山崎 晃嗣  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- (72)発明者 新田 高庸  
東京都千代田区大手町一丁目5番1号 日本電信電話株式会社内
- 審査官 堀井 啓明
- (56)参考文献 国際公開第2018/066074(WO, A1)  
特開2018-41301(JP, A)  
特開2002-269162(JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
G06F 30/00 - 30/398