

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5056149号
(P5056149)

(45) 発行日 平成24年10月24日(2012.10.24)

(24) 登録日 平成24年8月10日(2012.8.10)

(51) Int. Cl. F 1
H02M 3/28 (2006.01) H02M 3/28 Q

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2007-127843 (P2007-127843)	(73) 特許権者	000106276
(22) 出願日	平成19年5月14日(2007.5.14)		サンケン電気株式会社
(65) 公開番号	特開2008-283834 (P2008-283834A)		埼玉県新座市北野3丁目6番3号
(43) 公開日	平成20年11月20日(2008.11.20)	(74) 代理人	100083806
審査請求日	平成22年5月6日(2010.5.6)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100098327
			弁理士 高松 俊雄

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

直流電源の両端に接続され、第1スイッチ素子と第2スイッチ素子とが直列に接続された第1直列回路と、

前記第1スイッチ素子又は前記第2スイッチ素子に並列に接続され、トランスの1次巻線とコンデンサとが直列に接続された第2直列回路と、

前記トランスの2次巻線に発生する電圧を整流平滑する整流平滑回路と、

前記第1スイッチ素子と前記第2スイッチ素子とを交互にオン/オフさせるとともに前記整流平滑回路の出力電圧に応じて前記第1スイッチ素子のオン時間を設定する制御回路とを有し、

前記制御回路は、

前記第1スイッチ素子の電圧と第1閾値を比較する第1タイミング検出回路と、

前記第2スイッチ素子の電圧と第2閾値を比較する第2タイミング検出回路と、

前記第2スイッチ素子の電圧が第2閾値以上であることを前記第2タイミング検出回路が検出したら計時を開始し、前記第2スイッチ素子の電圧が第2閾値以上である時間を記憶するオン時間記憶部とを有し、

前記制御回路は、前記第1タイミング検出回路が前記第1閾値以下になったことを検出すると前記第1スイッチ素子を設定されたオン時間だけオンさせ、前記第2タイミング検出回路が、前記第2閾値以下になったことを検出すると前記オン時間記憶部に記憶された前記時間だけ前記第2スイッチ素子をオンさせることを特徴とするDC-DCコンバータ

。

【請求項 2】

前記第 1 閾値及び前記第 2 閾値の各々は、略ゼロボルトであることを特徴とする請求項 1 記載の DC - DC コンバータ。

【請求項 3】

前記トランスは、第 2 の 1 次巻線と第 3 の 1 次巻線とを有し、

前記第 1 タイミング検出回路は、前記トランスの第 2 の 1 次巻線の電圧が第 1 閾値に達したとき、前記第 2 スイッチ素子がオフしたことを検出し、

前記第 2 タイミング検出回路は、前記トランスの第 3 の 1 次巻線の電圧が第 2 閾値に達したとき、前記第 1 スイッチ素子がオフしたことを検出することを特徴とする請求項 1 記載の DC - DC コンバータ。

10

【請求項 4】

前記第 1 閾値及び前記第 2 閾値の各々は、略ゼロボルトであることを特徴とする請求項 3 記載の DC - DC コンバータ。

【請求項 5】

前記トランスは、第 2 の 1 次巻線と第 3 の 1 次巻線とを有し、

前記第 1 タイミング検出回路は、前記トランスの第 2 の 1 次巻線電圧の変化及び極性を検出し、第 2 の 1 次巻線電圧の変化が第 1 閾値以上又は以下の場合に前記第 2 スイッチ素子がオフしたことを検出し、

前記第 2 タイミング検出回路は、前記トランスの第 3 の 1 次巻線電圧の変化及び極性を検出し、第 3 の 1 次巻線電圧の変化が第 2 閾値以上又は以下の場合に前記第 1 スイッチ素子がオフしたことを検出することを特徴とする請求項 1 記載の DC - DC コンバータ。

20

【請求項 6】

前記オン時間記憶部は、記憶されたオン時間から前記第 1 スイッチ素子と前記第 2 スイッチ素子を共にオフする期間を減算して得られた差分値に基づいた時間だけ前記第 2 スイッチ素子をオンさせることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項記載の DC - DC コンバータ。

【請求項 7】

前記制御回路は、前記第 1 スイッチ素子のオンするタイミング及び前記第 2 スイッチ素子のオンするタイミングを所定の時間だけ遅延させることを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項記載の DC - DC コンバータ。

30

【請求項 8】

直流電源の両端に接続され、第 1 スイッチ素子と第 2 スイッチ素子とが直列に接続された第 1 直列回路と、

前記第 1 スイッチ素子又は前記第 2 スイッチ素子に並列に接続され、トランスの 1 次巻線とコンデンサとが直列に接続された第 2 直列回路と、

前記トランスの 2 次巻線に発生する電圧を整流平滑する整流平滑回路と、

前記第 1 スイッチ素子をオン・オフさせるとともに前記整流平滑回路の出力電圧に応じて前記第 1 スイッチ素子のオン時間を設定する第 1 制御回路と、

前記第 2 スイッチ素子をオン・オフさせる第 2 制御回路と、

40

前記第 1 スイッチ素子の電圧と閾値とを比較するタイミング検出回路と、

前記第 1 スイッチ素子の電圧が閾値以下であることを前記タイミング検出回路が検出する時間を記憶するオン時間記憶部とを有し、

前記タイミング検出回路は、前記第 1 スイッチ素子の電圧が前記閾値以下ではなくなる時点を検出し、

前記第 2 制御回路は、前記タイミング検出回路により検出された前記時点に略一定値となるデッドタイムを加えた時点で前記オン時間記憶部に記憶された前記時間だけ前記第 2 スイッチ素子をオンさせることを特徴とする DC - DC コンバータ。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、高効率で小型で安価なDC-DCコンバータに関する。

【背景技術】

【0002】

従来のこの種のDC-DCコンバータを図6に示す。図6において、直流電源Eの両端にMOSFET等からなるスイッチ素子Q1とスイッチ素子Q2との直列回路が接続されている。スイッチ素子Q1のドレイン-ソース間には並列に、トランスT1の1次巻線P1と電流共振用コンデンサC2との直列回路が接続されている。トランスT1の1次巻線P1は、励磁インダクタンス L_p とリーケージインダクタンス L_r を有している。スイッチ素子Q1には並列に電圧共振用コンデンサC1が接続されている。

10

【0003】

トランスT1の2次巻線S1と2次巻線S2とは直列に接続されている。2次巻線S1と2次巻線S2にはそれぞれダイオードD51及びダイオードD52のアノードが逆極性に接続されている。ダイオードD51のカソードとダイオードD52のカソードが接続され、平滑コンデンサC51の正極を介して出力端子+OUTに接続されている。2次巻線S1と2次巻線S2の接続点は平滑コンデンサC51の負極を介して出力端子-OUTに接続されている。

【0004】

出力端子+OUT及び-OUT間には、電圧検出回路51が接続されている。電圧検出回路51の出力端子は、フォトカプラの発光ダイオードPC-aを介して出力端子+OUTに接続されている。フォトカプラのフォトトランジスタPC-bは、電圧検出回路51で検出された電圧に応じて発振周波数を可変させる可変周波数発振器41の入力端子に接続されている。

20

【0005】

可変周波数発振器41の出力端子は、フリップフロップ回路43のクロック端子に接続され、フリップフロップ回路43は、排他的な2つの出力を有し、それぞれの出力がデッドタイム回路45a及び45bに接続されている。

【0006】

デッドタイム回路45aの出力は、バッファ回路であるドライブ回路49aを介して、スイッチ素子Q1のゲート端子に接続されている。デッドタイム回路45bの出力は、レベルシフト回路47に接続され、レベルシフト回路47は、バッファ回路であるドライブ回路49bを介して、スイッチ素子Q2のゲート端子に接続されている。

30

【0007】

次にこのように構成された従来のDC-DCコンバータの動作を図6及び図7を参照しながら説明する。

【0008】

まず、可変周波数発振器41からのクロック信号は、フリップフロップ回路43に入力され、デューティが50%の排他的な2つの信号が出力される。一方の信号は、デッドタイム回路45aによりデッドタイムが付加されて、ドライブ回路49aを介して、スイッチ素子Q1の駆動信号となる。

40

【0009】

他方の信号は、デッドタイム回路45bによりデッドタイムが付加されて、レベルシフト回路47により電圧レベルが高い電圧レベルに変換され、ドライブ回路49bを介して、スイッチ素子Q2の駆動信号となる。即ち、スイッチ素子Q1とスイッチ素子Q2は、デッドタイムを有して、交互にオン/オフする。

【0010】

スイッチ素子Q2がオンすると、E-Q2-P1-C2-Eの経路で電流が流れる。このとき、トランスT1の1次巻線P1に印加された電圧により、巻数に応じた電圧が2次巻線S1にも発生する。即ち、2次巻線S1を起電力として、S1-D51-C51-S1の経路で電流が流れる。これと同時に平滑コンデンサC51を介して出力端子+OUT

50

/ - O U T から図示しない負荷に負荷電流が流れる。これらの負荷電流は、等価的にリーケージインダクタンス L_r と平滑コンデンサ C_{51} と電流共振用コンデンサ C_2 との直列共振回路に流れて共振電流となる。 $C_{51} \gg C_2$ であるので、リーケージインダクタンス L_r と電流共振用コンデンサ C_2 でほぼ決定される共振電流が現れる。

【 0 0 1 1 】

また、1次巻線 P_1 の励磁インダクタンス L_p には三角波状の励磁電流が流れトランス T_1 にエネルギーが蓄えられる。このため、1次巻線 P_1 には、共振電流と励磁電流が重畳された電流が流れる。

【 0 0 1 2 】

次に、スイッチ素子 Q_2 がオフすると、励磁インダクタンス L_p によりトランス T_1 に蓄えられたエネルギーが放出される。この放出経路は、 $L_p - C_2 - C_1 - L_r - L_p$ の経路である。 $L_p \gg L_r$ 、 $C_2 \gg C_1$ の関係から、このときの共振電流は、励磁インダクタンス L_p と電圧共振用コンデンサ C_1 が支配的であり、これにより決定される電圧擬似共振波形が電圧共振用コンデンサ C_1 に現れる。この擬似共振周波数に合わせたデッドタイムをデッドタイム回路 45a で設定する。これにより、電圧共振用コンデンサ C_1 の電圧は、スイッチ素子 Q_1 及び Q_2 のスイッチング電圧となり、スイッチ素子 Q_1 はゼロ電圧スイッチングを実現できる。この予め設定したデッドタイムが経過した後にスイッチ素子 Q_1 をオンさせる。

【 0 0 1 3 】

スイッチ素子 Q_1 がオンすると、電流共振用コンデンサ C_2 を起電力として、 $C_2 - P_1 - Q_1 - C_2$ の経路で電流 I_{Q1} が流れる。このとき、1次巻線 P_1 に印加された電圧により、巻数に応じた電圧が2次巻線 S_2 にも発生する。即ち、2次巻線 S_2 を起電力として、 $S_2 - D_{52} - C_{51} - S_2$ の経路で電流 I_{S2} が流れる。これと同時に平滑コンデンサ C_{51} を介して出力端子 + O U T / - O U T から図示しない負荷に負荷電流が流れる。これらの負荷電流は、等価的にリーケージインダクタンス L_r と平滑コンデンサ C_{51} と電流共振用コンデンサ C_2 の直列共振回路に流れ共振電流となる。 $C_{51} \gg C_2$ であるので、リーケージインダクタンス L_r と電流共振用コンデンサ C_2 でほぼ決定される共振電流が現れる。

【 0 0 1 4 】

また、1次巻線 P_1 の励磁インダクタンス L_p には三角波状の励磁電流が流れトランス T_1 にエネルギーが蓄えられる。このため、1次巻線 P_1 には、共振電流と励磁電流が重畳された電流が流れる。

【 0 0 1 5 】

次に、スイッチ素子 Q_1 がオフすると、励磁インダクタンス L_p によりトランス T_1 に蓄えられたエネルギーが放出される。この放出経路は、 $L_p - L_r - C_1 - C_2 - L_p$ の経路である。 $L_p \gg L_r$ 、 $C_2 \gg C_1$ の関係から、このときの共振電流は、励磁インダクタンス L_p と電圧共振用コンデンサ C_1 が支配的であり、これにより決定される電圧擬似共振波形が電圧共振用コンデンサ C_1 に現れる。この擬似共振周波数に合わせたデッドタイムをデッドタイム回路 45b で設定する。これにより、電圧共振用コンデンサ C_1 の電圧は、スイッチ素子 Q_1 及び Q_2 のスイッチング電圧となり、スイッチ素子 Q_2 はゼロ電圧スイッチングを実現できる。この予め設定したデッドタイムが経過した後にスイッチ素子 Q_2 を再びオンさせる。以後、この動作が繰り返される。

【 0 0 1 6 】

電圧検出回路 51 は、出力端子 + O U T / - O U T に発生する出力電圧を検出し、基準電圧と出力電圧との誤差電圧信号をフォトカプラのダイオード $PC - a$ に出力する。フォトカプラのダイオード $PC - a$ は、絶縁して誤差電圧信号を2次側から1次側に伝達する。フォトカプラのトランジスタ $PC - b$ は、誤差電圧信号により可変周波数発振器 41 の発振周波数を可変制御する。可変周波数発振器 41 の発振周波数が可変制御されることにより出力電圧が制御できる。ここでは、出力電圧を小さくする場合には周波数を高く、出力電圧を大きくする場合には周波数を低く制御する。

10

20

30

40

50

【特許文献1】特開2006-121840号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、図6に示す従来のDC-DCコンバータは、電位が大きく異なるスイッチ素子Q1とスイッチ素子Q2とを同期させて制御するために、何らかの絶縁手段又は図6に示すレベルシフト回路47を設けていた。スイッチ素子Q1とスイッチ素子Q2の電位差は、200V系の商用電源を考えると600Vを超えるようなレベルシフト回路47が必要となる。

【0018】

また、レベルシフト回路47は、大きな電位差に対して、パルス電流により制御信号を伝達している。しかし、スイッチング周波数が高くなると、パルス電流のスイッチング回数が増加し、損失が大きくなる。このため、高周波化及び小型化が困難であり、また、これらのハイサイドドライバは高価である。

【0019】

また、絶縁手段としては、パルストランスがあるが、このトランスは大きいため、IC化が難しく同様に小型化が困難であった。

【0020】

本発明の課題は、高価なハイサイドドライバを用いることなく、高周波化でき小型で安価なDC-DCコンバータを提供することにある。

【課題を解決するための手段】

【0021】

上記課題を解決するために、請求項1の発明は、直流電源の両端に接続され、第1スイッチ素子と第2スイッチ素子とが直列に接続された第1直列回路と、前記第1スイッチ素子又は前記第2スイッチ素子に並列に接続され、トランスの1次巻線とコンデンサとが直列に接続された第2直列回路と、前記トランスの2次巻線に発生する電圧を整流平滑する整流平滑回路と、前記第1スイッチ素子と前記第2スイッチ素子とを交互にオン/オフさせるとともに前記整流平滑回路の出力電圧に応じて前記第1スイッチ素子のオン時間を設定する制御回路とを有し、前記制御回路は、前記第1スイッチ素子の電圧と第1閾値を比較する第1タイミング検出回路と、前記第2スイッチ素子の電圧と第2閾値を比較する第2タイミング検出回路と、前記第2スイッチ素子の電圧が第2閾値以上であることを前記第2タイミング検出回路が検出したら計時を開始し、前記第2スイッチ素子の電圧が第2閾値以上である時間を記憶するオン時間記憶部とを有し、前記制御回路は、前記第1タイミング検出回路が前記第1閾値以下になったことを検出すると前記第1スイッチ素子を設定されたオン時間だけオンさせ、前記第2タイミング検出回路が、前記第2閾値以下になったことを検出すると前記オン時間記憶部に記憶された前記時間だけ前記第2スイッチ素子をオンさせることを特徴とする。

【0024】

請求項2の発明は、請求項1記載のDC-DCコンバータにおいて、前記第1閾値及び前記第2閾値の各々は、略ゼロボルトであることを特徴とする。

【0025】

請求項3の発明は、請求項1記載のDC-DCコンバータにおいて、前記トランスは、第2の1次巻線と第3の1次巻線とを有し、前記第1タイミング検出回路は、前記トランスの第2の1次巻線の電圧が第1閾値に達したとき、前記第2スイッチ素子がオフしたことを検出し、前記第2タイミング検出回路は、前記トランスの第3の1次巻線の電圧が第2閾値に達したとき、前記第1スイッチ素子がオフしたことを検出することを特徴とする。

【0026】

請求項4の発明は、請求項3記載のDC-DCコンバータにおいて、前記第1閾値及び前記第2閾値の各々は、略ゼロボルトであることを特徴とする。

10

20

30

40

50

【 0 0 2 7 】

請求項5の発明は、請求項1記載のDC-DCコンバータにおいて、前記トランスは、第2の1次巻線と第3の1次巻線とを有し、前記第1タイミング検出回路は、前記トランスの第2の1次巻線電圧の変化及び極性を検出し、第2の1次巻線電圧の変化が第1閾値以上又は以下の場合に前記第2スイッチ素子がオフしたことを検出し、前記第2タイミング検出回路は、前記トランスの第3の1次巻線電圧の変化及び極性を検出し、第3の1次巻線電圧の変化が第2閾値以上又は以下の場合に前記第1スイッチ素子がオフしたことを検出することを特徴とする。

【 0 0 2 8 】

請求項6の発明は、請求項1記載のDC-DCコンバータにおいて、前記オン時間記憶部は、記憶されたオン時間から前記第1スイッチ素子と前記第2スイッチ素子を共にオフする期間を減算して得られた差分値に基づいた時間だけ前記第2スイッチ素子をオンさせることを特徴とする。

10

【 0 0 2 9 】

請求項7の発明は、請求項1乃至請求項6のいずれか1項記載のDC-DCコンバータにおいて、前記制御回路は、前記第1スイッチ素子のオンするタイミング及び前記第2スイッチ素子のオンするタイミングを所定の時間だけ遅延させることを特徴とする。

【 発明の効果 】

【 0 0 3 0 】

請求項1の発明によれば、オン時間記憶部が第1スイッチ素子のオン時間を記憶し、制御回路は、第2タイミング検出回路の検出信号に基づいて記憶された時間だけ、電位が変動する第2スイッチ素子をオンさせるので、第2スイッチ素子の駆動信号をレベルシフト回路又はパルストランスで生成する必要がない。このため、レベルシフト回路による損失がなく、パルストランスで大型になることも無い。このため、高価なハイサイドドライバを用いることなく、高周波化でき小型で安価なDC-DCコンバータを提供できる。

20

【 0 0 3 3 】

請求項2の発明によれば、請求項1の記載の第1及び第2スイッチ素子の両端電圧を略ゼロボルトで検出すると、第1及び第2タイミング検出回路が簡単になると共に、検出信号に合わせて第1又は第2スイッチ素子をオンすると、容易にゼロボルトスイッチングが行える。

30

【 0 0 3 4 】

請求項3の発明によれば、第1タイミング検出回路は、トランスの第2の1次巻線の電圧が第1閾値に達したとき、第2スイッチ素子がオフしたことを検出し、第2タイミング検出回路は、トランスの第3の1次巻線の電圧が第2閾値に達したとき、第1スイッチ素子がオフしたことを検出できる。フローティングの電圧を任意に設定できるので、容易に検出できる。

【 0 0 3 5 】

請求項4の発明によれば、第1及び第2タイミング検出回路は、トランスの第2の1次巻線及び第3の1次巻線の電圧が略ゼロボルトで検出することにより最も簡単に検出できる。

40

【 0 0 3 6 】

請求項5の発明によれば、トランスの巻線電圧の変化分とその極性によっても、スイッチ素子がオンからオフ又はオフからオンに遷移する期間を検出できるので、検出された遷移期間を第1及び第2タイミング検出回路の検出信号としても良い。

【 0 0 3 7 】

請求項6の発明によれば、オン時間記憶部は、記憶されたオン時間から第1スイッチ素子と第2スイッチ素子を共にオフする期間を減算して得られた差分値に基づいた時間だけ第2スイッチ素子をオンさせると、第2スイッチ素子のオン時間をより第1スイッチ素子のオン時間に近づけることができる。

【 0 0 3 8 】

50

請求項7の発明によれば、第1及び第2スイッチ素子のオンするタイミングを所定の時間遅らせると、トランスの巻線電圧をゼロボルトで検出するときのように、他方のスイッチ素子の両端電圧が十分に低下する前にタイミング検出回路が信号を出力する場合でも、他方のスイッチ素子の両端電圧が十分に低下してから一方のスイッチ素子をオンさせることができる。

【発明を実施するための最良の形態】

【0039】

以下、本発明のDC-DCコンバータのいくつかの実施の形態を図面を参照しながら詳細に説明する。

【実施例1】

10

【0040】

図1は本発明の実施例1のDC-DCコンバータを示す図である。図1において、図6に示す従来のDC-DCコンバータと同一部分には同一符号を付し、同一部分の説明は省略し、異なる部分についてのみ説明する。

【0041】

スイッチ素子Q2(第2スイッチ素子に対応)のドレインにはタイミング検出回路11bの入力端子が接続され、スタート回路12b、タイマ14b、フリップフロップ回路15b及びドライブ回路17bの各々の一端は、スイッチ素子Q2のソースに共通接続されている。

20

【0042】

スタート回路12bは、予め設定した時間をタイマ14bにセットする。タイマ14bは、スタート回路12bによりセットされた予め設定された時間にフリップフロップ回路15bをセットする。フリップフロップ回路15bは、タイマ14bでセットされた時間にHレベルをドライブ回路17bに出力する。ドライブ回路17bは、フリップフロップ回路15bからのHレベルにより予め設定した時間だけスイッチ素子Q2をオンさせ、予め設定した時間経過後オフさせる。

【0043】

タイミング検出回路11b(第2タイミング検出回路に対応)は、スイッチ素子Q2の両端電圧が第2閾値 V_{th2} (例えば、略ゼロボルト)を超えたときにスイッチ素子Q1がオンしたことを検出し、検出信号をタイマ14bに出力する。タイマ14b(オン時間記憶部に対応)は、タイミング検出回路11bの検出信号によりオンし、タイマーカウントを開始し、スイッチ素子Q1(第1スイッチ素子に対応)のオン時間を記憶する。ドライブ回路17b(制御回路)は、タイミング検出回路11bの検出信号によりタイマ14bに記憶されたオン時間だけスイッチ素子Q2をオンさせる。

30

【0044】

スイッチ素子Q1のドレインにはタイミング検出回路11aの入力端子が接続され、パルス幅制御回路13a、フリップフロップ回路15a及びドライブ回路17aの各々の一端は、スイッチ素子Q1のソースに共通接続されている。

【0045】

タイミング検出回路11a(第1タイミング検出回路に対応)は、スイッチ素子Q1の両端電圧が第1閾値 V_{th1} (例えば、略ゼロボルト)に達したときにスイッチ素子Q2がオフしたことを検出し、検出信号をパルス幅制御回路13aに出力する。パルス幅制御回路13a(制御回路)は、検出信号によりフリップフロップ回路15aをセットする。フリップフロップ回路15aは、パルス幅制御回路13aの出力信号をドライブ回路17aに出力する。ドライブ回路17a(制御回路)は、フリップフロップ回路15aの出力によりスイッチ素子Q1を駆動する。

40

【0046】

次にこのように構成された実施例1のDC-DCコンバータの動作を図2に示すタイミング検出回路の検出タイミングの波形を参照しながら説明する。

【0047】

50

まず、スタート回路 12 b は、予め設定した時間をタイマ 14 b にセットし、タイマ 14 b は、予め設定された時間にフリップフロップ回路 15 b をセットする。これにより、フリップフロップ回路 15 b の出力が H レベルとなり、ドライブ回路 17 b の出力も H レベルとなる。これにより、スイッチ素子 Q 2 が駆動されてオンする。スイッチ素子 Q 2 は、予め設定した時間が経過した後にオフとなる。

【0048】

時刻 t_1 において、スイッチ素子 Q 2 がオフすると、即ち、スイッチ素子 Q 2 の電圧 V_{Q2} が略ゼロボルトである閾値 V_{th2} に達すると、それまで電源電圧 E が印加されていたスイッチ素子 Q 1 の電圧 V_{Q1} が電圧擬似共振動作により徐々に低下する。

【0049】

時刻 t_2 において、タイミング検出回路 11 a がスイッチ素子 Q 1 の電圧が略ゼロボルトである閾値 V_{th1} になったことを検出すると、検出信号によりパルス幅制御回路 13 a をオンさせる。

【0050】

パルス幅制御回路 13 a は、オンすると同時にフリップフロップ回路 15 a をセットする。これにより、フリップフロップ回路 15 a の出力が H レベルとなり、ドライブ回路 17 a の出力も H レベルとなる。これにより、時刻 t_2 において、スイッチ素子 Q 1 が駆動されてオンする。

【0051】

パルス幅制御回路 13 a は、フォトカプラのトランジスタ PC - b から与えられたフィードバック信号量により内部の時定数を可変して、フリップフロップ回路 15 a のセットからリセットまでの時間を決定する。即ち、フィードバック信号量に応じて、フリップフロップ回路 15 a にリセット信号を送出する。フリップフロップ回路 15 a は、リセットされると、L レベルを出力してドライブ回路 17 a の出力も L レベルとなる。これによって、スイッチ素子 Q 1 が駆動されてオフする。

【0052】

時刻 t_3 において、スイッチ素子 Q 1 の電圧が閾値 V_{th1} になると、即ち、スイッチ素子 Q 1 がオフすると、それまで電源電圧 E が印加されていたスイッチ素子 Q 2 の電圧が電圧擬似共振動作により徐々に低下する。

【0053】

そして、時刻 t_4 において、タイミング検出回路 11 b は、スイッチ素子 Q 2 の電圧が略ゼロボルトである閾値 V_{th2} になったことを検出すると、検出信号によりタイマ 14 b をオンさせる。タイマ 14 b は、オンすると同時にフリップフロップ回路 15 b をセットする。これにより、フリップフロップ回路 15 b の出力が H レベルとなり、ドライブ回路 17 b の出力も H レベルとなる。これにより、時刻 t_4 において、スイッチ素子 Q 2 が駆動されてオンする。

【0054】

ところで、スイッチ素子 Q 1 がオンしている時間（時刻 $t_2 \sim t_3$ ）には、スイッチ素子 Q 2 の両端に電源電圧 E が印加される。即ち、スイッチ素子 Q 2 の両端に電圧が印加されている期間が、スイッチ素子 Q 1 のオン時間と略デッドタイム（オン時のデッドタイム D_T とオフ時のデッドタイム D_T との合計タイム）との合計タイムとなる。

【0055】

従って、タイミング検出回路 11 b は、スイッチ素子 Q 2 の両端電圧を検出し、即ち、スイッチ素子 Q 2 の両端電圧が閾値 V_{th2} に達するタイミング（時刻 t_1 、 t_4 ）を検出することにより、スイッチ素子 Q 1 のオン時間を検出することができる。また、デッドタイム D_T は、1 次巻線 P 1 の励磁インダクタンス L_p と電圧共振用コンデンサ C 1 により決定されるため、略一定値となる。

【0056】

即ち、タイマ 14 b は、タイミング検出回路 11 b の出力を記憶し、この出力値から一定値であるデッドタイム D_T を減算して、得られた差分値、即ち、スイッチ素子 Q 1 のオ

10

20

30

40

50

ン時間をコピーすることができる。

【0057】

これにより、タイマ14bは、コピーしたスイッチ素子Q1のオン時間が経過後にフリップフロップ回路15bをリセットし、ドライブ回路17bを介してスイッチ素子Q1のオン時間と同じ時間だけスイッチ素子Q2をオンさせる。即ち、タイマ14bは、スイッチ素子Q1のオン時間とスイッチ素子Q2のオン時間とが略同一時間に設定する。

【0058】

以後、以上の動作が繰り返し行われる。即ち、スイッチ素子Q1とスイッチ素子Q2とは、略一定のデッドタイムを有してパルス幅制御回路13aにより交互にオン/オフし、スイッチ素子Q1とスイッチ素子Q2のオン時間は、常に同一となる。スイッチ素子Q1とスイッチ素子Q2のオン時間は、出力電圧の誤差信号により調整される。従って、実施例1のDC-DCコンバータは、従来のDC-DCコンバータと同等の動作が可能となる。

10

【0059】

このように実施例1のDC-DCコンバータによれば、高価なハイサイドドライバを用いることなく、電位が大きく異なるスイッチ素子を低損失で駆動できる。また、特に高周波化した場合にその効果は大であり、容易にIC化できる。また、高周波化が可能であるため、トランスを小型化でき、小型で安価なDC-DCコンバータを提供できる。

【実施例2】

【0060】

図3は本発明の実施例2のDC-DCコンバータを示す図である。図3に示す実施例2のDC-DCコンバータは、図1に示す実施例1のDC-DCコンバータのトランスT1の構成にさらに、第2の1次巻線P2と第3の1次巻線P3を設けたトランスT2を備える。

20

【0061】

タイミング検出回路11bは、トランスT2の第3の1次巻線P3の電圧が第4閾値V_{th4}(略ゼロボルト)を超えたとき、スイッチ素子Q1がオフしたことを検出し、検出信号をタイマ14bに出力する。

【0062】

タイミング検出回路11aは、トランスT2の第2の1次巻線P2の電圧が第3閾値V_{th3}(略ゼロボルト)に達したとき、スイッチ素子Q2がオフしたことを検出し、検出信号をパルス幅制御回路13aに出力する。

30

【0063】

図3に示すその他の構成は、図1に示す構成と同一であるので、同一符号を付して、その説明は省略する。

【0064】

図4は本発明の実施例2のDC-DCコンバータに設けられたタイミング検出回路の検出タイミングを示す図である。図4において、V_{P3}はトランスT2の第3の1次巻線P3の電圧を示し、V_{P2}はトランスT2の第2の1次巻線P2の電圧を示している。

【0065】

図4に示すように、タイミング検出回路11aは、デッドタイム期間DTのちょうど中央で、即ち、トランスT2の第2の1次巻線P2の電圧V_{P2}がゼロボルトに達したとき(時刻t₁₁)、スイッチ素子Q2がオフしたことを検出できる。タイミング検出回路11bは、デッドタイム期間DTのちょうど中央で、即ち、トランスT2の第3の1次巻線P3の電圧V_{P3}がゼロボルトを超えたとき(時刻t₁₂)、スイッチ素子Q1がオフしたことを検出できる。

40

【0066】

パルス幅制御回路13aは、この検出タイミングに、予めわかっている電圧擬似共振期間に合わせた所定の遅延時間を設定する。即ち、パルス幅制御回路13aは、スイッチ素子Q1のオン時間を所定の時間だけ遅延させ、スイッチ素子Q1を制御させる。また、タイ

50

マ回路 14b はスイッチ素子 Q2 のオン時間を所定の時間だけ遅延させ、スイッチ素子 Q1 を制御させる。これにより、最適な共振スイッチングを実現できる。

【0067】

最適な共振スイッチングとは、スイッチ素子 Q1 及びスイッチ素子 Q2 の両端電圧が略ゼロボルトとなってからスイッチ素子 Q1 及びスイッチ素子 Q2 をオンさせるゼロボルトスイッチ ZVS を実現することである。

【0068】

実施例 2 の DC - DC コンバータでは、スイッチ素子 Q2 の両端に電圧が印加されている期間が、スイッチ素子 Q1 のオン時間と、オン時のデッドタイム DT とオフ時のデッドタイム DT との合計を 2 で除算した値との合計時間となる。

10

【0069】

従って、タイミング検出回路 11b は、第 3 の 1 次巻線 P3 の電圧を検出して、スイッチ素子 Q1 のオン時間を検出できる。また、デッドタイムは、1 次巻線 P1 の励磁インダクタンス L_p と電圧共振用コンデンサ C1 により決定されるため、略一定値となる。

【0070】

即ち、タイマ 14b は、タイミング検出回路 11b の出力を記憶し、この出力値から一定値であるデッドタイム DT の 1/2 の値を減算して、得られた差分値、即ち、スイッチ素子 Q1 のオン時間をコピーすることができる。

【0071】

このように実施例 2 の DC - DC コンバータにおいても実施例 1 の DC - DC コンバータと同様の効果が得られる。

20

【実施例 3】

【0072】

図 5 は本発明の実施例 3 の DC - DC コンバータを示す図である。図 5 に示す実施例 3 の DC - DC コンバータは、ローサイド側の制御回路を自励発振型としたことを特徴とする。

【0073】

トランス T3 の巻線 P2a の一端には、ダイオード D1 とコンデンサ C3 との並列回路の一端と抵抗 R2 の一端が接続され、この並列回路の他端は抵抗 R1 を介してフォトカブラのトランジスタ PC - b のコレクタに接続されている。抵抗 R2 の他端はフォトカブラのトランジスタ PC - b のエミッタとトランジスタ Q3 のベースとコンデンサ C4 の一端に接続されている。

30

【0074】

トランジスタ Q3 のコレクタはトランジスタ Q0 のベースに接続されている。トランジスタ Q0 はスイッチ素子 Q1 と置き換えられている。直流電源 E の負極には、トランジスタ Q0 のエミッタとトランジスタ Q3 のエミッタとコンデンサ C4 の他端とトランス T3 の巻線 P2a の他端とが接続されている。

【0075】

図 5 に示すその他の構成は、図 3 に示す実施例 2 の DC - DC コンバータの構成と同一であるので、同一部分には同一符号を付し、その部分の詳細な説明は省略する。

40

【0076】

次にこのように構成された実施例 3 の DC - DC コンバータの動作を説明する。

【0077】

まず、スタート回路 12b によりハイサイド側のスイッチ素子 Q2 がオンし、動作が開始される。スイッチ素子 Q2 がオンすることにより直流電源 E の電圧がトランス T3 の 1 次巻線 P1 と電流共振コンデンサ C2 に印加される。1 次巻線 P1 に印加された電圧により、トランス T3 の巻線 P2a に巻数比に応じた電圧が発生する。

【0078】

巻線 P2a に発生した電圧は、トランジスタ Q0 をオフさせる方向の電圧であり、P2a - C3 // D1 - R1 - Q0 - P2a の経路で電流が流れて、トランジスタ Q0 のベー

50

ス - エミッタ間が逆バイアスされる。これにより、トランジスタ Q 0 のオフが維持される。

【 0 0 7 9 】

スイッチ素子 Q 2 がオフすると、トランス T 3 の各巻線の電圧は反転して、今度は、トランジスタ Q 0 をオンさせる方向に巻線 P 2 a に電圧が発生する。これにより、トランジスタ Q 0 はオンする。

【 0 0 8 0 】

トランジスタ Q 0 がオンすると、コンデンサ C 2 に充電された電圧が 1 次巻線 P 1 に印加される。これにより、巻線 P 2 a に巻数比に応じた電圧が発生し、トランジスタ Q 0 のオンが維持される。トランジスタ Q 0 のオン時間は、コンデンサ C 4 と抵抗 R 2 との時定数により最長時間が決定され、コンデンサ C 4 の電圧がトランジスタ Q 3 のベース - エミッタ間電圧 V_{be} に到達すると、トランジスタ Q 0 がオフする。

【 0 0 8 1 】

また、出力電圧のフィードバック値により、フォトカプラ PC - a , PC - b を介して、コンデンサ C 4 の充電電流が制御され、トランジスタ Q 0 のオン時間を短くすることができる。

【 0 0 8 2 】

トランジスタ Q 0 がオフすると、トランス T 3 の各巻線の電圧が反転し、巻線 P 2 a に発生した電圧により、トランジスタ Q 0 のオフが維持される。巻線 P 3 に発生した電圧によりタイミング検出回路 1 1 b が動作して、スイッチ素子 Q 2 がオンされる。なお、図 5 に示す DC - DC コンバータのその他の動作については、図 1 に示す DC - DC コンバータの動作と同様である。

【 0 0 8 3 】

なお、本発明は、実施例 1 乃至実施例 3 の DC - DC コンバータに限定されるものではない。例えば、図 3 に示す実施例 2 の構成に対して、さらに、巻線 P 3 とタイミング検出回路 1 1 b との間に抵抗 R a とコンデンサ C a とからなる第 1 微分回路を設け、巻線 P 2 とタイミング検出回路 1 1 a との間に抵抗 R b とコンデンサ C b とからなる第 2 微分回路を設けても良い。

【 0 0 8 4 】

この場合、タイミング検出回路 1 1 b は、第 1 微分回路を介してトランス T 2 の巻線 P 3 の電圧の変化及び極性を検出し、巻線電圧の変化が第 4 閾値以上の場合にスイッチ素子 Q 2 がオフしたことを検出しても良い。タイミング検出回路 1 1 a は、トランス T 2 の巻線 P 2 の電圧の変化及び極性を検出し、巻線電圧の変化が第 3 閾値以上の場合にスイッチ素子 Q 1 がオフしたことを検出する。

【 0 0 8 5 】

これにより、トランスの巻線電圧の変化分とその極性によっても、スイッチ素子がオンからオフ又はオフからオンに遷移する期間を検出できるので、検出された遷移期間を第 1 及び第 2 タイミング検出回路の検出信号としても良い。

【 図面の簡単な説明 】

【 0 0 8 6 】

【 図 1 】 本発明の実施例 1 の DC - DC コンバータを示す図である。

【 図 2 】 本発明の実施例 1 の DC - DC コンバータに設けられたタイミング検出回路の検出タイミングを示す図である。

【 図 3 】 本発明の実施例 2 の DC - DC コンバータを示す図である。

【 図 4 】 本発明の実施例 2 の DC - DC コンバータに設けられたタイミング検出回路の検出タイミングを示す図である。

【 図 5 】 本発明の実施例 3 の DC - DC コンバータを示す図である。

【 図 6 】 従来 DC - DC コンバータを示す図である。

【 図 7 】 従来 DC - DC コンバータの各部の波形を示す図である。

【 符号の説明 】

10

20

30

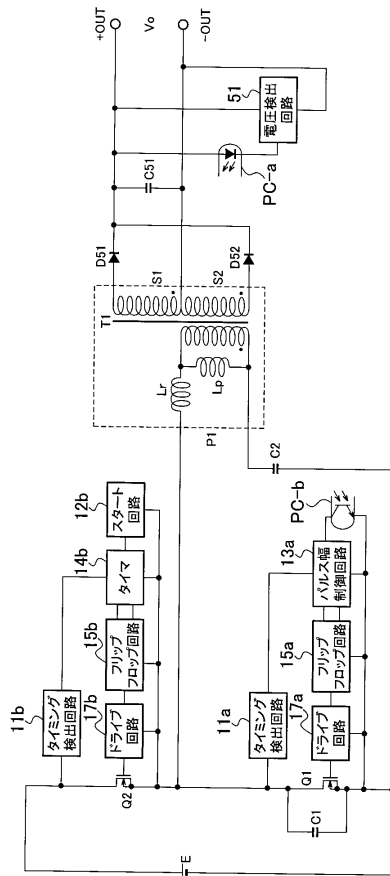
40

50

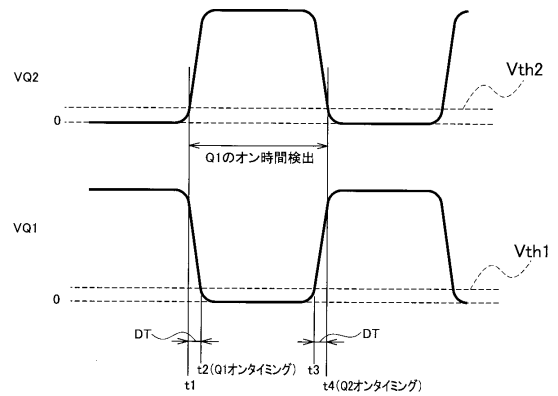
【 0 0 8 7 】

- E 直流電源
- 1 1 a , 1 1 b タイミング検出回路
- 1 2 b スタート回路
- 1 3 a パルス幅制御回路
- 1 4 b タイマ
- 1 5 a , 1 5 b フリップフロップ回路
- 1 7 a , 1 7 b ドライブ回路
- 5 1 電圧検出回路
- L r リークージンダクタンス
- L p 励磁インダクタンス
- P 1 1次巻線
- S 1 , S 2 2次巻線
- Q 1 , Q 2 スイッチ素子
- D 5 1 , D 5 2 ダイオード
- C 1 電圧共振用コンデンサ
- C 2 電流共振用コンデンサ
- C 5 1 平滑コンデンサ
- T 1 , T 2 , T 3 トランス

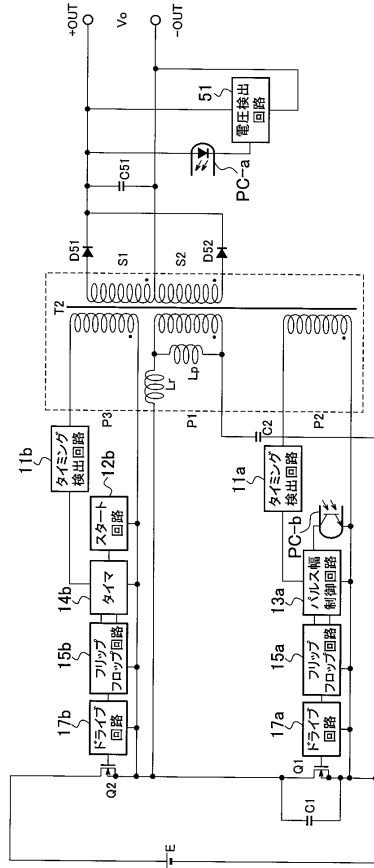
【 図 1 】



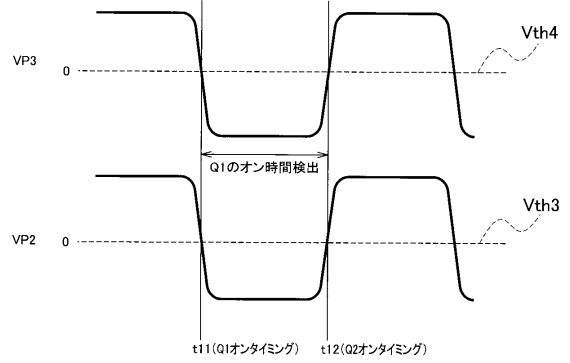
【 図 2 】



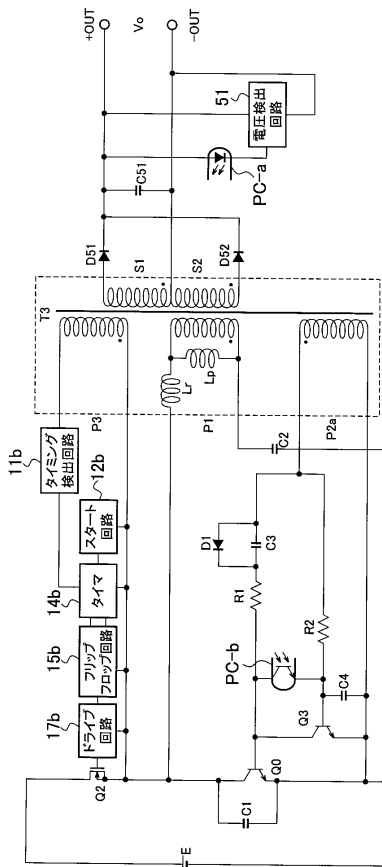
【図3】



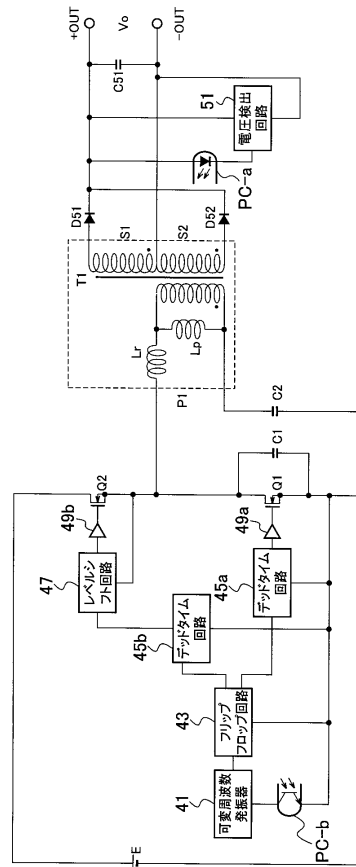
【図4】



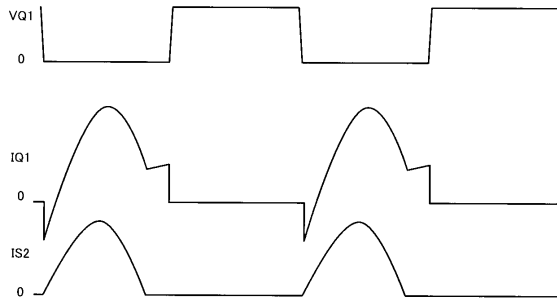
【図5】



【図6】



【 図 7 】



フロントページの続き

(72)発明者 白井 浩

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

審査官 槻木澤 昌司

(56)参考文献 特開2005-110224(JP,A)

特開2001-333576(JP,A)

特開2003-009528(JP,A)

特開2007-097379(JP,A)

特開2006-121840(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28