(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/044818 A1

(51) 国際特許分類:
H01S 5/062 (2006.01)
G01S 7/481 (2006.01)
G01S 17/89 (2006.01)
G03B 15/02 (2006.01)
G03B 15/03 (2006.01)
G03B 15/05 (2006.01)
H01S 5/42 (2006.01)

(21) 国際出願番号： PCT/JP2019/027702

(22) 国際出願日： 2019年7月12日(12.07.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-163942 2018年8月31日(31.08.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

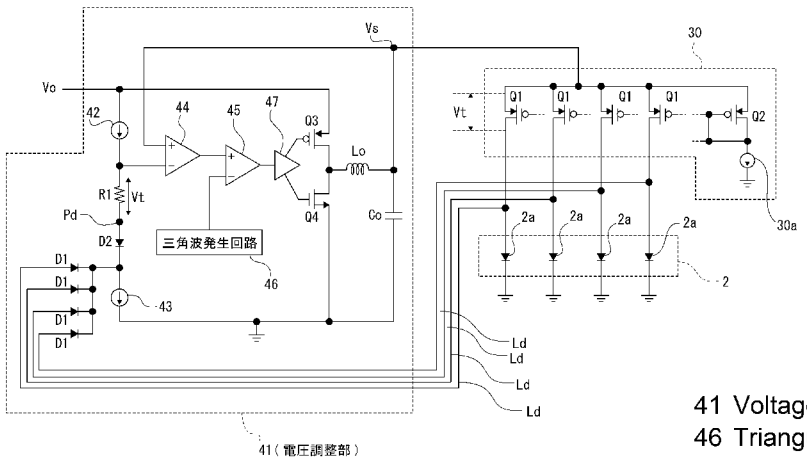
(72) 発明者: 土山 智令(**TSUCHIYAMA, Tomonori**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 岩田 雅信, 外(**IWATA, Masanobu** et al.); 〒1010032 東京都千代田区岩本町1丁目3番9号 ハクセイビル8階 テクノピア国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) **Title:** LIGHT SOURCE APPARATUS, ADJUSTMENT METHOD, AND SENSING MODULE

(54) 発明の名称： 光源装置、調整方法、センシングモジュール



41 Voltage adjustment part
46 Triangular wave generation circuit

(57) **Abstract:** In a configuration for driving, on the basis of a common source voltage, a plurality of light-emitting elements realized by vertical resonator surface emission laser, reduction in power consumption is achieved while enabling proper emission of light by all of the light-emitting elements. The light source apparatus according to the present invention is provided with: a light emission part which has arranged therein a plurality of light-emitting elements realized by a vertical resonator surface emission laser; and a voltage adjustment part that adjusts, according to the forward voltage of the light-emitting elements, a source voltage that is commonly used to drive the plurality of light-emitting elements in the light emission part. With this configuration, it is possible to properly adjust the source voltage according to the forward voltage of the light-emitting elements, so as to raise the source voltage when the forward voltage of the light-emitting elements is high and to lower the source voltage when the forward voltage of the light-emitting elements is low.

WO 2020/044818 A1

［続葉有］

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約:垂直共振器面発光レーザによる複数の発光素子を共通の電源電圧に基づき駆動する構成において、それら発光素子の全てを適正に発光可能としながら消費電力の削減を図る。本技術に係る光源装置は、垂直共振器面発光レーザによる発光素子が複数配列された発光部と、発光部における複数の発光素子の駆動に共通に用いられる電源電圧を、発光素子の順方向電圧に応じて調整する電圧調整部とを備える。これにより、発光素子の順方向電圧が高ければ電源電圧を高くし、また発光素子の順方向電圧が低ければ電源電圧を低くする等、電源電圧を発光素子の順方向電圧に応じて適切に調整することが可能とされる。

明　細　書

発明の名称 ： 光源装置、調整方法、センシングモジュール

技術分野

[0001] 本技術は、垂直共振器面発光レーザによる発光素子が複数配列された発光部を備えた光源装置と、それら発光素子の駆動に用いられる電源電圧を調整する調整方法と、前記発光部より発せられ被写体によって反射された光を受光して撮像するイメージセンサを備えたセンシングモジュールとに関する。

背景技術

[0002] レーザ光を発する発光素子として、ＶＣＳＥＬ（Vertical Cavity Surface Emitting LASER：垂直共振器面発光レーザ）としての発光素子が知られている（例えば下記特許文献１、２を参照）。

ＶＣＳＥＬとしての発光素子は、共振器が半導体の基板面に対して垂直方向に形成されて、レーザ光を垂直方向に出射するように構成され、近年においては、例えばＳＴＬ（Structured Light：構造化光）方式やＴｏＦ（Time of Flight：光飛行時間）方式による被写体の測距を行う際の光源として広く用いられる。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１２－１９５４３６号公報

特許文献2：特開２０１５－１０３７２７号公報

発明の概要

発明が解決しようとする課題

[0004] ここで、被写体の測距としてＳＴＬ方式やＴｏＦ方式による測距を行う場合は、ＶＣＳＥＬとしての発光素子を二次元に複数配列した光源装置が用いられる。具体的には、それら複数の発光素子を発光させて得られる光を被写体に照射し、被写体からの反射光を受光して得られる画像に基づいて被写体の測距が行われる。

[0005] このとき、発光対象とする複数の発光素子は、共通の電源電圧に基づき駆動することが考えられる。共通の電源電圧を用いることで、電源回路を共用化することができ、回路部品点数の削減や回路実装面積の縮小化等を図ることができる。

[0006] しかしながら、ＶＣＳＥＬとしての発光素子は順方向電圧（ＶＦ）が個体によりばらつく。このため、複数の発光素子を共通の電源電圧に基づき駆動する構成とした場合には、電源電圧の高さを適切に設定しなければ一部の発光素子が発光しなくなる虞がある。例えば、順方向電圧のばらつきを比較的狭く見積もって電源電圧を低めに設定してしまうと、順方向電圧が想定外に高い発光素子が一部に含まれていた場合に、該一部の発光素子を適切に発光させることができない虞がある。一方で、順方向電圧のばらつきを比較的広く見積もって電源電圧を高めに設定することは、全ての発光素子を適切に発光可能とする上では有効であるが、消費電力の増大化を招き望ましくない。

[0007] 本技術は上記事情に鑑み為されたものであり、垂直共振器面発光レーザによる複数の発光素子を共通の電源電圧に基づき駆動する構成において、それら発光素子の全てを適正に発光可能としながら消費電力の削減を図ることを目的とする。

課題を解決するための手段

[0008] 本技術に係る光源装置は、垂直共振器面発光レーザによる発光素子が複数配列された発光部と、前記発光部における複数の前記発光素子の駆動に共通に用いられる電源電圧を、前記発光素子の順方向電圧に応じて調整する電圧調整部と、を備えるものである。

[0009] これにより、発光素子の順方向電圧が高ければ電源電圧を高くし、また発光素子の順方向電圧が低ければ電源電圧を低くする等、電源電圧を発光素子の順方向電圧に応じて適切に調整することが可能とされる。

[0010] 上記した本技術に係る光源装置においては、前記電圧調整部は、複数の前記発光素子の順方向電圧のうちの最高電圧に応じて前記電源電圧を調整することが望ましい。

[0011] これにより、共通の電源電圧が順方向電圧の最も高い発光素子の順方向電圧に応じて調整される。

[0012] 上記した本技術に係る光源装置においては、前記電源電圧に基づき複数の前記発光素子を個別駆動可能に構成された駆動部を備えたことが望ましい。

[0013] これにより、電源電圧を共用する複数の発光素子のうち一部の発光素子をＯＮ、他の発光素子をＯＦＦとすることが可能となり、順方向電圧が最高の発光素子がＯＦＦされ得る。順方向電圧が最高の発光素子がＯＦＦされることで、順方向電圧がより低い発光素子の順方向電圧に応じて電源電圧が調整される。

[0014] 上記した本技術に係る光源装置においては、前記電源電圧に基づき複数の前記発光素子に定電流を流すカレントミラー回路を備えたことが望ましい。

[0015] これにより、発光素子に定電流を流すにあたって定電流制御機能付の電源回路を用いる必要がなくなる。

[0016] 上記した本技術に係る光源装置においては、前記カレントミラー回路が前記発光素子のアノード側に接続され、前記電圧調整部は、前記発光素子のアノードにおける電圧に応じて前記電源電圧を調整することが望ましい。

[0017] これにより、カレントミラー回路が発光素子のアノード側に接続される場合において、電源電圧を発光素子の順方向電圧に応じて適切に調整することが可能とされる。

[0018] 上記した本技術に係る光源装置においては、前記カレントミラー回路が前記発光素子のカソード側に接続され、前記電圧調整部は、前記発光素子のカソードにおける電圧に応じて前記電源電圧を調整することが望ましい。

[0019] これにより、カレントミラー回路が発光素子のカソード側に接続される場合において、電源電圧を発光素子の順方向電圧に応じて適切に調整することが可能とされる。

[0020] 上記した本技術に係る光源装置においては、前記電圧調整部は、前記電源電圧を前記発光素子の順方向電圧と前記カレントミラー回路における駆動素子の動作電圧とに応じて調整することが望ましい。

[0021] これにより、カレントミラー回路を設けた場合に対応して、電源電圧が発光素子の順方向電圧と駆動素子の動作電圧とに応じて適切に調整される。

[0022] 上記した本技術に係る光源装置においては、前記電源電圧に基づき複数の前記発光素子を駆動する駆動部を備え、前記駆動部と前記電圧調整部が同一チップに形成されたことが望ましい。

[0023] これにより、電圧調整部が各発光素子の順方向電圧を検出入力するための検出ラインは、チップ内配線により形成することが可能とされる。

[0024] 上記した本技術に係る光源装置においては、前記発光部は、複数の前記発光素子を含む発光素子群を複数有し、前記電圧調整部は、前記発光素子群ごとに共用される電源電圧について、前記発光素子群ごとに前記順方向電圧に応じた調整を行うことが望ましい。

[0025] このように発光素子群ごとに共用される電源電圧を発光素子群ごとに個別に調整する構成とすれば、発光部における全ての発光素子を適切に発光可能とするために、各電源電圧はそれぞれ供給先の発光素子群における順方向電圧の最高電圧に合わせて調整すればよく、発光部内の全発光素子の順方向電圧のうちの最高電圧に合わせて調整する必要はなくなる。

[0026] また、本技術に係る調整方法は、垂直共振器面発光レーザによる発光素子が複数配列された発光部における複数の前記発光素子の駆動に共通に用いられる電源電圧を、前記発光素子の順方向電圧に応じて調整する調整方法である。

さらに、本技術に係るセンシングモジュールは、上記した本技術に係る光源装置と、該光源装置が備える発光部より発せられ被写体によって反射された光を受光して撮像するイメージセンサとを備えるものである。

[0027] このような検出方法やセンシングモジュールによっても、上記した本技術に係る光源装置と同様の作用が得られる。

発明の効果

[0028] 本技術によれば、垂直共振器面発光レーザによる複数の発光素子を共通の電源電圧に基づき駆動する構成において、それら発光素子の全てを適正に発

光可能としながら消費電力の削減を図ることができる。

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0029] [図1]本技術に係る光源装置の一実施形態としての測距装置の構成例を示した図である。

[図2]ＳＴＬ（Structured Light）方式による測距手法の説明図である。

[図3]実施形態としての光源装置の回路構成例を示した図である。

[図4]実施形態としての光源装置が備える駆動回路の変形例を示した図である。

[図5]実施形態としての光源装置の基板構成例を示した図である。

[図6]実施形態としての光源装置の他の基板構成例を示した図である。

[図7]実施形態としての光源装置のさらに他の基板構成例を示した図である。

[図8]実施形態としての光源装置が備える温度センサの配置例を示した図である。

[図9]実施形態としての光源装置が備える発光部の構造例を示した図である。

[図10]実施形態としての光源装置が備える発光部の他の構造例を示した図である。

[図11]従来における電源電圧の設定例を説明するための図である。

[図12]実施形態としての電源電圧の調整例についての説明図である。

[図13]発光部を発光パターンの異なる複数の発光モードで発光させる場合における電源電圧の調整についての説明図である。

[図14]実施形態としての電源電圧調整を実現するための電圧調整部の内部構成例を説明するための図である。

[図15]電圧調整部の内部構成の他の例を説明するための図である。

[図16]図１５に示す電圧調整部が備える差動アンプの内部構成例を示した図である。

[図17]変形例としての光源装置の構成例を示した図である。

発明を実施するための形態

[0030] 以下、添付図面を参照し、本技術に係る実施形態を次の順序で説明する。

＜１．測距装置の構成＞

＜２．測距手法について＞

＜３．発光駆動に係る回路構成について＞

＜４．基板構成のバリエーション＞

＜５．ＶＣＳＥＬの構造例＞

＜６．電源電圧の調整＞

＜７．実施形態のまとめ及び変形例＞

＜８．本技術＞

[0031] ＜１．測距装置の構成＞

図１は、本技術に係る光源装置の一実施形態としての測距装置１の構成例を示している。

図示のように測距装置１は、発光部２、駆動部３、電源回路４、発光側光学系５、撮像側光学系６、イメージセンサ７、画像処理部８、制御部９、及び温度検出部１０を備えている。

発光部２は、複数の光源により光を発する。後述するように、本例の発光部２は、各光源としてＶＣＳＥＬ（Vertical Cavity Surface Emitting LASER：垂直共振器面発光レーザ）による発光素子２ａを有しており、それら発光素子２ａが例えばマトリクス状等の所定態様により配列されて構成されている。

[0032] 駆動部３は、発光部２を駆動するための電気回路を有して構成される。

電源回路４は、例えば測距装置１に設けられた不図示のバッテリ等からの入力電圧（後述する入力電圧Ｖｉｎ）に基づき、駆動部３の電源電圧（後述する電源電圧Ｖｓ）を生成する。駆動部３は、該電源電圧に基づいて発光部２を駆動する。

[0033] 発光部２より発せられた光は、発光側光学系５を介して測距対象としての被写体Ｓに照射される。そして、このように照射された光の被写体Ｓからの

反射光は、撮像側光学系６を介してイメージセンサ７の撮像面に入射する。

[0034] イメージセンサ７は、例えばＣＣＤ（Charge Coupled Device）センサやＣＭＯＳ（Complementary Metal Oxide Semiconductor）センサ等の撮像素子とされ、上記のように撮像側光学系６を介して入射する被写体Ｓからの反射光を受光し、電気信号に変換して出力する。

イメージセンサ７は、受光した光を光電変換して得た電気信号について、例えばＣＤＳ(Correlated Double Sampling)処理、ＡＧＣ(Automatic Gain Control)処理などを実行し、さらにＡ／Ｄ(Analog/Digital)変換処理を行う。そしてデジタルデータとしての画像信号を、後段の画像処理部８に出力する。

また、本例のイメージセンサ７は、フレーム同期信号Ｆｓを駆動部３に出力する。これにより駆動部３は、発光部２における発光素子２ａをイメージセンサ７のフレーム周期に応じたタイミングで発光させることが可能とされる。

[0035] 画像処理部８は、例えばＤＳＰ（Digital Signal Processor）等により画像処理プロセッサとして構成される。画像処理部８は、イメージセンサ７から入力されるデジタル信号（画像信号）に対して、各種の画像信号処理を施す。

[0036] 制御部９は、例えばＣＰＵ（Central Processing Unit）、ＲＯＭ（Read Only Memory）、ＲＡＭ（Random Access Memory）等を有するマイクロコンピュータ、或いはＤＳＰ等の情報処理装置を備えて構成され、発光部２による発光動作を制御するための駆動部３の制御や、イメージセンサ７による撮像動作に係る制御を行う。

[0037] 制御部９は、測距部９ａとしての機能を有する。測距部９ａは、画像処理部８を介して入力される画像信号（つまり被写体Ｓからの反射光を受光して得られる画像信号）に基づき、被写体Ｓまでの距離を測定する。本例の測距部９ａは、被写体Ｓの三次元形状の特定を可能とするために、被写体Ｓの各部について距離の測定を行う

ここで、測距装置１における具体的な測距の手法については後に改めて説明する。

[0038] 温度検出部１０は、発光部２の温度を検出する。温度検出部１０としては、例えばダイオードを用いて温度検出を行う構成を採ることができる。

本例では、温度検出部１０により検出された温度の情報は駆動部３に供給され、これにより駆動部３は該温度の情報に基づいて発光部２の駆動を行うことが可能とされる。

[0039] ＜２．測距手法について＞

測距装置１における測距手法としては、例えばＳＴＬ（Structured Light：構造化光）方式やＴｏＦ（Time of Flight：光飛行時間）方式による測距手法を採用することができる。

ＳＴＬ方式は、例えばドットパターンや格子パターン等の所定の明暗パターンを有する光を照射された被写体Ｓを撮像して得られる画像に基づいて距離を測定する方式である。

図２は、ＳＴＬ方式の説明図である。

ＳＴＬ方式では、例えば図２Ａに示すようなドットパターンによるパターン光Ｌｐを被写体Ｓに照射する。パターン光Ｌｐは、複数のブロックＢＬに分割されており、各ブロックＢＬにはそれぞれ異なるドットパターンが割当てられている（ブロックＢＬ間でドットパターンが重複しないようにされている）。

図２Ｂは、ＳＴＬ方式の測距原理についての説明図である。

ここでは、壁Ｗとその前に配置された箱ＢＸとが被写体Ｓとされ、該被写体Ｓに対してパターン光Ｌｐが照射された例としている。図中の「Ｇ」はイメージセンサ７による画角を模式的に表している。

また、図中の「ＢＬｎ」はパターン光Ｌｐにおける或るブロックＢＬの光を意味し、「ｄｎ」はイメージセンサ７による撮像画像に映し出されるブロックＢＬｎのドットパターンを意味している。

ここで、壁Ｗの前の箱ＢＸが存在しない場合、撮像画像においてブロック

ＢＬｎのドットパターンは図中の「ｄｎ’」の位置に映し出される。すなわち、箱ＢＸが存在する場合と箱ＢＸが存在しない場合とで、撮像画像においてブロックＢＬｎのパターンが映し出される位置が異なるものであり、具体的には、パターンの歪みが生じる。

[0040] ＳＴＬ方式は、このように照射したパターンが被写体Ｓの物体形状によって歪むことを利用して被写体Ｓの形状や奥行きを求める方式となる。具体的には、パターンの歪み方から被写体Ｓの形状や奥行きを求める方式である。

[0041] ＳＴＬ方式を採用する場合、イメージセンサ７としては、例えばグローバルシャッタ方式によるＩＲ（Infrared：赤外線）イメージセンサが用いられる。そして、ＳＴＬ方式の場合、測距部９ａは、発光部２がパターン光を発光するように駆動部３を制御すると共に、画像処理部８を介して得られる画像信号についてパターンの歪みを検出し、パターンの歪み方に基づいて距離を計算する。

[0042] 続いて、ＴｏＦ方式は、発光部２より発された光が対象物で反射されてイメージセンサ７に到達するまでの光の飛行時間（時間差）を検出することで、対象物までの距離を測定する方式である。

ＴｏＦ方式として、いわゆるダイレクトＴｏＦ方式を採用する場合、イメージセンサ７としてはＳＰＡＤ（Single Photon Avalanche Diode）を用い、また発光部２はパルス駆動する。この場合、測距部９ａは、画像処理部８を介して入力される画像信号に基づき、発光部２より発せられイメージセンサ７により受光される光について発光から受光までの時間差を計算し、該時間差と光の速度とに基づいて被写体Ｓの各部の距離を計算する。

なお、ＴｏＦ方式として、いわゆるインダイレクトＴｏＦ方式（位相差法）を採用する場合、イメージセンサ７としては例えばＩＲイメージセンサが用いられる。

[0043] ＜３．発光駆動に係る回路構成について＞

図３は、図１に示した発光部２と駆動部３と電源回路４とを有して構成された光源装置１００の回路構成例を示している。なお、図３では光源装置１

００の回路構成例と共に、図１に示したイメージセンサ７と制御部９を併せて示している。

本例では、発光部２と駆動部３と電源回路４は共通の基板（後述する基板Ｂ）上に形成されている。ここでは、少なくとも発光部２を含み、発光部２と共通の基板上に形成される構成単位を光源装置１００と呼んでいる。

[0044] 図示のように光源装置１００は、発光部２と駆動部３と電源回路４と共に温度検出部１０を備えている。

発光部２は、前述したようにＶＣＳＥＬとしての発光素子２ａを複数備えている。図３では図示の都合から発光素子２ａの数を「４」としているが、発光部２における発光素子２ａの数はこれに限らず、少なくとも２以上とされればよい。

[0045] 電源回路４は、ＤＣ／ＤＣコンバータ４０と電圧調整部４１とを備えている。ＤＣ／ＤＣコンバータ４０は、直流電圧による入力電圧Ｖｉｎに基づき、直流電圧による出力電圧Ｖｏを生成する。電圧調整部４１は、出力電圧Ｖｏに基づき、駆動部３が発光部２を駆動するために用いる電源電圧Ｖｓを生成する。ここで、電圧調整部４１は電源電圧Ｖｓの調整機能を有するが、これについては後に改めて説明する。

[0046] 駆動部３は、駆動回路３０と駆動制御部３１とを備えている。

駆動回路３０は、発光素子２ａごとに駆動素子Ｑ１及びスイッチＳＷを有すると共に、電流制御素子Ｑ２と定電流源３０ａとを有している。

駆動素子Ｑ１及び電流制御素子Ｑ２にはＦＥＴ（field-effect transistor）が用いられ、本例ではＰチャンネル型のＭＯＳＦＥＴ（MOS：metal-oxide-semiconductor）が用いられている。

[0047] 各駆動素子Ｑ１は、電源回路４の出力ライン、すなわち電源電圧Ｖｓの供給ラインに対して並列の関係に接続され、電流制御素子Ｑ２は、駆動素子Ｑ１に対して並列接続されている。

具体的に、各駆動素子Ｑ１及び電流制御素子Ｑ２は、ソースが電源回路４の出力ラインに接続されている。各駆動素子Ｑ１のドレインは、発光部２に

おける発光素子２ａのうちそれぞれ対応する一つの発光素子２ａのアノードと接続されている。

図示のように各発光素子２ａのカソードはグランド（ＧＮＤ）に接続されている。

[0048] 電流制御素子Ｑ２は、ドレインが定電流源３０ａを介してグランドに接続され、ゲートがドレインと定電流源３０ａとの接続点に接続されている。

各駆動素子Ｑ１のゲートは、それぞれ対応する一つのスイッチＳＷを介して電流制御素子Ｑ２のゲートに接続されている。

[0049] 上記構成による駆動回路３０においては、スイッチＳＷがＯＮとされた駆動素子Ｑ１が導通し、導通した駆動素子Ｑ１に接続された発光素子２ａに出力電圧Ｖｏに基づく駆動電圧Ｖｄが印加され、該発光素子２ａが発光する。

[0050] このとき、発光素子２ａには駆動電流Ｉｄが流れるが、上記構成による駆動回路３０においては駆動素子Ｑ１と電流制御素子Ｑ２がカレントミラー回路を構成しており、駆動電流Ｉｄの電流値は定電流源３０ａの電流値に応じた値に制御される。

[0051] 駆動制御部３１は、駆動回路３０におけるスイッチＳＷのＯＮ／ＯＦＦ制御を行うことで、発光素子２ａのＯＮ／ＯＦＦを制御する。図中では、駆動制御部３１が各スイッチＳＷを個別にＯＮ／ＯＦＦ制御するための制御信号ラインをそれぞれ制御信号ラインＬｓと表記している。

駆動制御部３１にはイメージセンサ７よりフレーム同期信号Ｆｓが供給されており、これにより駆動制御部３１は発光素子２ａのＯＮタイミングやＯＦＦタイミングをイメージセンサ７のフレーム周期に同期させることが可能とされている。

また、駆動制御部３１は、発光素子２ａのＯＮ／ＯＦＦ制御を制御部９からの指示に基づき行うことが可能に構成されている。

[0052] また、駆動制御部３１は、温度検出部１０により検出された発光部２の温度に基づき発光素子２ａのＯＮ／ＯＦＦ制御やＤＣ／ＤＣコンバータ４０の動作制御を行うことが可能に構成されている。

[0053] 図示のように駆動部３には、発光素子２ａごとに、発光素子２ａに生じる電圧（ＶＦ：順方向電圧）を検出するための検出ラインＬｄが形成されている。具体的に、図３に示す構成においては、各検出ラインＬｄはそれぞれが対応する発光素子２ａのアノードに接続されている。

本例において、電源回路４における電圧調整部４１は、各検出ラインＬｄに得られる電圧を入力する。後述するように、電圧調整部４１は、このように各検出ラインＬｄを介して入力される各発光素子２ａの順方向電圧に基づいて電源電圧Ｖｓの調整を行う。

[0054] ここで、図３では、駆動素子Ｑ１と電流制御素子Ｑ２によるカレントミラー回路を発光素子２ａのアノード側に設けた構成を例示したが、図４に示す駆動回路３０Ａのように、カレントミラー回路を発光素子２ａのカソード側に設けた構成とすることもできる。

この場合、発光部２における各発光素子２ａは、アノードが電源回路４の出力ラインに接続されている。

この場合、カレントミラー回路を構成する駆動素子Ｑ１及び電流制御素子Ｑ２には、Ｎチャンネル型のＭＯＳＦＥＴが用いられる。電流制御素子Ｑ２は、ドレイン及びゲートが定電流源３０ａを介して電源回路４の出力ラインに接続され、ソースはグランドに接続される。

各駆動素子Ｑ１は、ドレインが対応する発光素子２ａのカソードに接続され、ソースがグランドに接続される。各駆動素子Ｑ１のゲートは、それぞれ対応するスイッチＳＷを介して電流制御素子Ｑ２のゲートとドレインに接続される。

[0055] この場合も駆動制御部３１がスイッチＳＷのＯＮ／ＯＦＦ制御を行うことで、発光素子２ａをＯＮ／ＯＦＦさせることができる。

[0056] また、この場合は、カレントミラー回路が発光素子２ａのカソード側に接続されたことに対応して、各検出ラインＬｄは、それぞれ対応する発光素子２ａのカソードに対して接続されている。すなわち、この場合の駆動制御部３１は、発光素子２ａのカソードにおける電圧を検出する。

[0057] ＜４．基板構成のバリエーション＞

ここで、光源装置１００としては、図５乃至図７に示す構成とすることができる。

光源装置１００としては、図５Ａに示すように、発光部２としての回路が形成されたチップＣｐ２と、駆動部３としての回路が形成されたチップＣｐ３と、電源回路４が形成されたチップＣｐ４とを同一の基板Ｂ上に形成した構成とすることができる。

また、駆動部３と電源回路４は、同一のチップＣｐ３４に形成することもでき、その場合、光源装置１００は、図５Ｂに示すようにチップＣｐ２とチップＣｐ３４とを同一の基板Ｂ上に形成した構成とすることもできる。

[0058] また、チップＣｐに対して他のチップＣｐを搭載した構成とすることもできる。

その場合、光源装置１００としては、例えば図６Ａのように、チップＣｐ２を搭載したチップＣｐ３とチップＣｐ４とを基板Ｂ上に形成した構成や、図６Ｂのようにチップ Ｃｐ２とチップＣｐ４とを搭載したチップＣｐ３を基板Ｂ上に形成した構成、或いは、図６Ｃのようにチップ Ｃｐ２を搭載したチップＣｐ３４を基板Ｂ上に形成した構成とすることができる。

[0059] また、光源装置１００は、イメージセンサ７を含む構成とすることもできる。

例えば、図７Ａでは、チップＣｐ２、チップＣｐ３、チップＣｐ４と共に、イメージセンサ７としての回路が形成されたチップＣｐ７を同一の基板Ｂ上に形成した光源装置１００の構成を例示している。

また、図７Ｂでは、チップＣｐ２を搭載したチップＣｐ３４とチップＣｐ７とを同一の基板Ｂ上に形成した光源装置１００の構成を例示している。

[0060] ここで、温度検出部１０について、ダイオード等の温度検出素子は、例えば図５Ａ、図５Ｂ、図７Ａのようにチップ Ｃｐ２が基板Ｂ上に形成されている場合には、基板Ｂにおけるチップ Ｃｐ２の近傍位置（例えば基板Ｂ上におけるチップ Ｃｐ２の側方位置等）に形成すればよい。

また、図６Ａ乃至図６Ｃや図７Ｂのようにチップ Ｃｐ２が他のチップＣｐに搭載された構成においては、温度検出素子は該他のチップＣｐにおけるチップＣｐ２の近傍位置（例えばチップＣｐ２の真下となる位置等）に形成すればよい。

[0061] 温度検出部１０は、ダイオード等の温度検出素子を有する温度センサ１０ａを複数有する構成とすることもできる。

図８は、温度検出部１０が複数の温度センサ１０ａを有する場合における各温度センサ１０ａの配置例を示している。

この図８の例では、複数の温度センサ１０ａを一箇所に集中して位置させず、発光素子２ａが配列される面に平行な面内において離散的に配置している。具体的に、複数の温度センサ１０ａは、例えば縦２×横２＝４個等の所定個数の発光素子２ａで成る発光ブロックごとに一つずつ配置することができる。このとき、各温度センサ１０ａは、発光素子２ａが配列される面に平行な面内において等間隔に配置することもできる。

なお、図８では、９個の発光素子２ａに対し４個の温度センサ１０ａを配置した例を示しているが、発光素子２ａ、温度センサ１０ａの配置数はこれに限定されるものではない。

[0062] 図８の例のように複数の温度センサ１０ａを離散的に配置することで、発光部２の面内温度分布を検出することが可能となる。また、発光面におけるエリアごとの温度を検出し分けることができ、さらには、温度センサ１０ａの配置数を増やすことで発光素子２ａごとの温度を検出し分けることも可能である。

[0063] ＜５．ＶＣＳＥＬの構造例＞

続いて、発光部２が形成されたチップＣｐ２の構造例について図９及び図１０を参照して説明しておく。

図９は、図５Ａ、図５Ｂ、図５Ａのように基板Ｂ上に形成される場合のチップＣｐ２の構造例を示し、図１０は、図６Ａ乃至図６Ｃや図７Ｂのように他のチップＣｐ上に搭載される場合のチップＣｐ２の構造例を示している。

なお、図９、図１０では一例として、駆動回路３０（カレントミラー回路）が発光素子２ａのアノード側に挿入された場合（図３参照）に対応した構造例を示す。

[0064] 図９に示すように、チップＣｐ２は、各発光素子２ａに対応する部分がメサＭとして形成されている。

チップＣｐ２は、その基板として半導体基板２０が用いられ、半導体基板２０の下層側にはカソード電極Ｔｃが形成されている。半導体基板２０には、例えばＧａＡｓ（ヒ化ガリウム）基板が用いられる。

[0065] 半導体基板２０上において、各メサＭには、下層側から上層側にかけて順に第一多層膜反射鏡層２１、活性層２２、第二多層膜反射鏡層２５、コンタクト層２６、及びアノード電極Ｔａが形成されている。

第二多層膜反射鏡層２５の一部（具体的には下端部）には、電流狭窄層２４が形成されている。また、活性層２２を含み、第一多層膜反射鏡層２１と第二多層膜反射鏡層２５とに挟まれた部分が共振器２３とされる。

[0066] 第一多層膜反射鏡層２１は、Ｎ型導電性を示す化合物半導体で形成され、第二多層膜反射鏡層２５はＰ型導電性を示す化合物半導体で形成されている。

[0067] 活性層２２は、レーザ光を発生させるための層とされ、電流狭窄層２４は、活性層２２に効率よく電流を注入し、レンズ効果をもたらす層とされる。

[0068] 電流狭窄層２４は、メサＭを形成後に、酸化されていない状態で選択酸化が行われ、中心部の酸化領域（又は選択酸化領域という）２４ａと、酸化領域２４ａの周囲の酸化されていない未酸化領域２４ｂとを有する。電流狭窄層２４においては、これら酸化領域２４ａと未酸化領域２４ｂとにより電流狭窄構造が形成され、未酸化領域２４ｂとしての電流狭窄領域に電流が導電する。

[0069] コンタクト層２６は、アノード電極Ｔａとのオーミック接触を確実にするために設けられている。

アノード電極Ｔａは、コンタクト層２６上において、基板Ｂを平面視した

際に例えば環状（リング状）等の中央部が開口された形状により形成されている。コンタクト層２６において、上部にアノード電極Ｔａが形成されてない部分は開口部２６ａとされている。

活性層２２で発生した光は、共振器２３内を往復した後、開口部２６ａを介して外部に出射される。

[0070] ここで、チップＣｐ２におけるカソード電極Ｔｃは、基板Ｂにおける配線層に形成されたグランド配線Ｌｇを介してグランドに接続される。

また、図中において、パッドＰａは、基板Ｂ上に形成されたアノード電極用のパッドを表している。このパッドＰａは、基板Ｂの配線層に形成された配線Ｌｄを介して、駆動回路３０が有する何れか一つの駆動素子Ｑ１のドレインと接続されている。

[0071] 図中では、一つの発光素子２ａのみについて、アノード電極Ｔａが、チップＣｐ２上に形成されたアノード配線Ｌａ及びボンディングワイヤＢＷを介して一つのパッドＰａに接続されることを示しているが、基板Ｂには発光素子２ａごとのパッドＰａ及び配線Ｌｄが形成され、またチップＣｐ２上には発光素子２ａごとのアノード配線Ｌａがそれぞれ形成されており、個々の発光素子２ａのアノード電極Ｔａは、それぞれ対応するアノード配線Ｌａ及びボンディングワイヤＢＷを介して対応するパッドＰａに接続される。

[0072] 続いて、図１０の場合、チップＣｐ２としては裏面照射型のチップＣｐ２を用いる。すなわち、図９の例のように半導体基板２０の上層側方向（表面方向）に光を出射するのではなく、半導体基板２０の裏面方向に光を出射するタイプのチップＣｐ２を用いる。

この場合、アノード電極Ｔａには、光出射用の開口は形成されず、コンタクト層２６に開口部２６ａは形成されない。

[0073] 駆動部３（駆動回路３０）が形成されたチップＣｐ３（又はチップＣｐ３４：以下、図１０の説明において同様）においては、発光素子２ａごとに、アノード電極Ｔａとの電気的接続を行うためのパッドＰａが形成されている。チップＣｐ３の配線層には、パッドＰａごとに配線Ｌｄが形成されている

。図示は省略したが、これら配線Ｌｄにより、各パッドＰａは、チップＣｐ３内に形成された駆動回路３０における対応する一つの駆動素子Ｑ１のドレインと接続される。

[0074] また、チップＣｐ２において、カソード電極Ｔｃは、それぞれ配線Ｌｃ１、配線Ｌｃ２を介して電極Ｔｃ１、電極Ｔｃ２と接続されている。電極Ｔｃ１、電極Ｔｃ２は、それぞれチップＣｐ３に形成されたパッドＰｃ１、パッドＰｃ２と接続するための電極とされる。

チップＣｐ３の配線層には、パッドＰｃ１と接続されたグランド配線Ｌｇ１、パッドＰｃ２と接続されたグランド配線Ｌｇ２が形成されている。図示は省略したが、これらグランド配線Ｌｇ１、Ｌｇ２はグランドに接続されている。

[0075] チップＣｐ２における各アノード電極Ｔａとチップ Ｃｐ３における各パッドＰａとの接続、及びチップＣｐ２における電極Ｔｃ１、電極Ｔｃ２とチップＣｐ３におけるパッドＰｃ１、パッドＰｃ２との接続はそれぞれ半田バンプＨｂを介して行われている。

つまり、この場合におけるチップＣｐ２のチップＣｐ３に対する実装は、いわゆるフリップチップ実装により行われている。

[0076] ＜６．電源電圧の調整＞

先の図３等を参照して分かるように、本実施形態では、複数の発光素子２ａを共通の電源電圧Ｖｓに基づき駆動する構成を採っている。

この際、ＶＣＳＥＬとしての発光素子２ａは順方向電圧が個体によりばらつくため、発光部２における全ての発光素子２ａを適切に発光可能とするには、電源電圧Ｖｓの高さを全ての発光素子２ａの順方向電圧以上の高さに設定することを要する。

[0077] 図１１は、従来における電源電圧Ｖｓの設定例を説明するための図である。

図３や図４に示した構成では、発光素子２ａに一定の駆動電流Ｉｄを流すために駆動回路３０（カレントミラー回路）を設けているため、電源電圧Ｖ

ｓは各発光素子２ａの順方向電圧のみでなく駆動回路３０における各駆動素子Ｑ１の動作電圧も考慮して設定されるべきである。

図１１Ａでは、各発光素子２ａの順方向電圧（ＶＦ１、ＶＦ２、ＶＦ３、ＶＦ４）と各駆動素子Ｑ１の動作電圧（Ｖｔ１、Ｖｔ２、Ｖｔ３、Ｖｔ４）とを考慮した電源電圧Ｖｓの設定例を模式的に表している。なお、各駆動素子Ｑ１の動作電圧は発光素子２ａの順方向電圧に対して相当に小さいものである。

図中の例では、３番目の発光素子２ａの順方向電圧ＶＦ３が最も高いため、この場合の電源電圧Ｖｓは、順方向電圧ＶＦ３と動作電圧Ｖｔ３（３番目の発光素子２ａに接続された駆動素子Ｑ１の動作電圧）とを加算した電圧（図中「Ｖｍａｘ」）以上の高さに設定すればよい。但し、発光素子２ａの順方向電圧がどの程度ばらついているかを把握することは困難であるため、実際には、マージンも考慮して電源電圧Ｖｓは電圧Ｖｍａｘよりも高く設定されることになる。

[0078] 図１１Ｂは、図１１Ａで説明した手法により電源電圧Ｖｓの高さを設定した場合の消費電力を斜線部により模式的に表している。この図１１Ｂを参照して分かるように、従来の設定手法では消費電力が高まる傾向となる。

[0079] 本実施形態では、複数の発光素子２ａを共通の電源電圧Ｖｓに基づき駆動する構成において、それら発光素子２ａの全てを適正に発光可能としながら消費電力の削減を図ることを目的とする。

このため、本実施形態では、電源電圧Ｖｓを発光素子２ａの順方向電圧に応じて調整するという手法を採る。具体的には、複数の発光素子２ａの順方向電圧のうちの最高電圧に応じて電源電圧Ｖｓを調整する。

[0080] 図１２は、実施形態としての電源電圧Ｖｓの調整例についての説明図である。

図示のように本実施形態では、電源電圧Ｖｓの高さを電圧Ｖｍａｘの高さに合わせるように調整する。具体的には、複数の発光素子２ａの順方向電圧のうちの最高電圧と、駆動素子Ｑ１の動作電圧とを加算した電圧の高さに調

整する。この調整は、図３に示した電圧調整部４１によって行う。

[0081] ここで、駆動素子Ｑ１の動作電圧は発光素子２ａの順方向電圧（例えば２Ｖ～２．５Ｖ程度）に対して相当に小さいものであり、そのばらつき幅も非常に小さい。このため本例では、駆動素子Ｑ１ごとに個別に動作電圧を扱うものとはせず、各駆動素子Ｑ１に共通の動作電圧（以下「動作電圧Ｖｔ」と表記する）を扱うこととする。

この際、動作電圧Ｖｔを低めに見積もってしまうと、順方向電圧の最も高い発光素子２ａが発光しなくなる虞があるため、動作電圧Ｖｔについてはマージンを考慮して比較的高めに設定する。

[0082] 図１２Ｂは、図１２Ａのように電源電圧Ｖｓを調整した場合の消費電力を斜線部により模式的に表している。

先の図１１Ｂの場合と比較して、電源電圧Ｖｓの高さが最小限に抑えられ、消費電力の削減が図られることが分かる。具体的には、図１１Ｂの場合に対して図中の梨地部分の電力が削減されることになる。

[0083] また、本例では、駆動回路３０に発光素子２ａごと（駆動素子Ｑ１ごと）のスイッチＳＷが設けられたことで、各発光素子２ａを個別にＯＮ／ＯＦＦ制御することが可能とされている。すなわち、各発光素子２ａを個別駆動可能とされている。

このように各発光素子２ａを個別駆動可能とされていることで、一部の発光素子２ａをＯＮ、他の発光素子２ａをＯＦＦとすることが可能となり、順方向電圧が最高の発光素子２ａがＯＦＦされ得る。

一例としては、発光部２を発光パターン（二次元の明暗パターン）の異なる複数の発光モードで発光させる場合を挙げることができる。例えば、第一発光モードでは、図１３Ａに示すように１番目と３番目の発光素子２ａを発光状態、２番目と４番目の発光素子２ａを非発光状態とする発光パターンにより発光部２を発光させ、第二発光モードでは、図１３Ｂに示すように２番目と４番目の発光素子２ａを発光状態、１番目と３番目の発光素子２ａを非発光状態とする発光パターンにより発光部２を発光させるという例が挙げら

れる。

この場合、図中の例のように３番目の発光素子２ａの順方向電圧が最も高かったとすると、図１３Ｂに示す第二発光モード時では３番目の発光素子２ａがＯＦＦとされるため、第一発光モード時よりも電源電圧Ｖｓが下げられることになる。具体的に、この場合の第二発光モード時には、順方向電圧がより低い４番目の発光素子２ａの順方向電圧に応じて電源電圧Ｖｓが調整される。

[0084] このように複数の発光素子２ａを個別駆動可能に構成されていることで、順方向電圧が最高の発光素子２ａがＯＦＦされ得るものとなり、電源電圧Ｖｓが下げられる機会が与えられるため、消費電力の削減を図ることができる。

[0085] 図１４は、上記により説明した実施形態としての電源電圧調整を実現するための電圧調整部４１の内部構成例を説明するための図である。なお、図１４では電圧調整部４１の内部構成例と共に、駆動回路３０と発光部２とを併せて示している。

図示のように電圧調整部４１は、定電流源４２、抵抗Ｒ１、ダイオードＤ２、定電流源４３、検出ラインＬｄごとに設けられたダイオードＤ１、トランジスタＱ３、トランジスタＱ４、インダクタＬｏ、平滑コンデンサＣｏ、差動アンプ４４、コンパレータ４５、三角波発生回路４６、及びプリドライブ回路４７を備えている。

[0086] 電圧調整部４１において、ＤＣ／ＤＣコンバータ４０からの出力電圧Ｖｏの供給ラインとグランドとの間には、定電流源４２、抵抗Ｒ１、ダイオードＤ２、及び定電流源４３が直列に挿入されている。図示のように定電流源４２は出力電圧Ｖｏの供給ラインと抵抗Ｒ１の一端との間に挿入され、ダイオードＤ２は、アノードが抵抗Ｒ１の他端と接続され、カソードが定電流源４２と接続されている。定電流源４２は、ダイオードＤ２のカソードとグランドとの間に挿入されている。

[0087] 図示のようにダイオードＤ１は検出ラインＬｄごとに挿入され、各ダイオ

ードＤ１は、それぞれアノードが対応する発光素子２ａの電極（この場合はアノード、図４に示した駆動回路３０Ａを採用する場合はカソードとなる）と接続され、カソードがダイオードＤ２のカソードと定電流源４２との接続点に接続されている。

これらダイオードＤ１は、出力電圧Ｖｏの供給ラインから発光素子２ａ側に電流が逆流することを防止する逆流防止素子として機能する。

[0088] また、電圧調整部４１において、出力電圧Ｖｏの供給ラインとグランドとの間には、上記した定電流源４２、抵抗Ｒ１、ダイオードＤ２、及び定電流源４３の直列接続回路と並列にトランジスタＱ３とトランジスタＱ４による直列接続回路が挿入されている。

本例では、これらトランジスタＱ３、Ｑ４にはＦＥＴが用いられ、トランジスタＱ３はＰチャンネル型のＭＯＳＦＥＴ、トランジスタＱ４はＮチャンネル型のＭＯＳＦＥＴとされる。

トランジスタＱ３は、ソースが出力電圧Ｖｏの供給ラインと定電流源４２との接続点に接続され、ドレインがトランジスタＱ４のドレインと接続されている。トランジスタＱ４のソースはグランドに接続されている。

[0089] トランジスタＱ３とトランジスタＱ４のドレイン同士の接続点は、インダクタＬｏの一端と接続され、インダクタＬｏの他端は平滑コンデンサＣｏの正極端子と接続されている。平滑コンデンサＣｏの負極端子はグランドに接続されている。この平滑コンデンサＣｏの両端電圧が電源電圧Ｖｓとして電圧調整部４１より出力される。

[0090] 差動アンプ４４は　正極入力端子に電源電圧Ｖｓが入力され、負極入力端子に定電流源４２と抵抗Ｒ１との接続点に得られる電圧が入力される。

コンパレータ４５は、非反転端子に差動アンプ４４の出力電圧が、反転端子に三角波発生回路４６が出力する三角波信号が入力され、これら差動アンプ４４の出力電圧と三角波信号との比較結果に応じたＰＷＭ（Pulse Width Modulation）信号を出力する。

プリドライブ回路４７は、コンパレータ４５より入力されるＰＷＭ信号を

増幅してトランジスタＱ３とトランジスタＱ４の各ゲートに出力する。

[0091] 上記構成による電圧調整部４１においては、図中に「Ｐｄ」と示す、抵抗Ｒ１とダイオードＤ２との接続点において、各発光素子２ａの順方向電圧のうちの最高電圧が得られる。

このとき、検出ラインＬｄを介して入力される順方向電圧は、検出ラインＬｄに挿入された逆流防止用のダイオードＤ１により一段下げられるが、ダイオードＤ１と抵抗Ｒ１との間に挿入されたダイオードＤ２によって下げられた分の電圧が回復されるため、接続点Ｐｄには上記最高電圧と同等の高さの電圧が得られる。

[0092] そして、電圧調整部４１において、抵抗Ｒ１は、両端電圧として駆動素子Ｑ１の動作電圧Ｖｔと同等の電圧が得られるように抵抗値が設定されている。このため、差動アンプ４４の反転端子には、各発光素子２ａの順方向電圧のうちの最高電圧と動作電圧Ｖｔとを加算した電圧、すなわち図１２や図１３に示した電圧Ｖｍａｘが入力される。

これにより、コンパレータ４５が出力するＰＷＭ信号は、ＯＮ又はＯＦＦデューティが電圧Ｖｍａｘと電源電圧Ｖｓとの差分に応じて調整される。

[0093] 電圧調整部４１においては、このようにＯＮ又はＯＦＦデューティが調整されたＰＷＭ信号に基づきトランジスタＱ３とトランジスタＱ４が交互にＯＮ／ＯＦＦされる。トランジスタＱ３がＯＮとされトランジスタＱ４がＯＦＦとされる期間には、出力電圧Ｖｏの供給ラインよりインダクタＬｏを介して平滑コンデンサＣｏに充電電流が流れ、一方、トランジスタＱ３がＯＦＦとされトランジスタＱ４がＯＮとされる期間には平滑コンデンサＣｏは充電されず、放電する。

このような動作が繰り返されることで、電源電圧Ｖｓの高さがＰＷＭ信号のＯＮ又はＯＦＦデューティに応じて調整される。すなわち、電源電圧Ｖｓの高さが電圧Ｖｍａｘと一致するように電源電圧Ｖｓが調整される。

[0094] ここで、図１４に示した電圧調整部４１では、複数の検出ラインＬｄを１本のラインに纏めて該１本のラインにおいて最も高い電圧が得られるように

しているが、このような構成を採ることで、各順方向電圧を比較して最高電圧を判定する回路を設ける必要がなくなり、回路構成の簡略化を図ることができる。

[0095] なお、電源電圧Ｖｓを各発光素子２ａの順方向電圧のうちの最高電圧に応じて調整するための構成は図１４に示したものに限定されず、例えば図１５の電圧調整部４１Ａとして例示するように、各発光素子２ａの順方向電圧を差動アンプ４４Ａに入力する構成を採ることもできる。

[0096] 図１６は、電圧調整部４１Ａが有する差動アンプ４４Ａの内部構成例を示している。

差動アンプ４４Ａとしては、基本的には、複数のトランジスタを組み合わせた一般的な構成を採っている。トランジスタＱ５、Ｑ６は差動対を構成するトランジスタとされ、トランジスタＱ７、Ｑ８はカレントミラー回路を構成するトランジスタとされる。

本例では、トランジスタＱ５、Ｑ６、Ｑ７、Ｑ８にはＦＥＴが用いられ、トランジスタＱ５、Ｑ６はＮチャンネル型ＭＯＳＦＥＴ、トランジスタＱ７、Ｑ８にはＰチャンネル型ＭＯＳＦＥＴとされる。図示のようにトランジスタＱ７、Ｑ８は、それぞれソースが電源電圧Ｖｓに接続されると共に、各ゲートがトランジスタＱ７のドレインと接続されてカレントミラー回路を構成している。

トランジスタＱ７のドレインはトランジスタＱ５のドレインと接続されている。トランジスタＱ５のソースは定電流源４８を介してグランドに接続されている。

トランジスタＱ５のゲートは、差動アンプ４４Ａの正極入力端子として機能する。

[0097] ここで、電圧調整部４１Ａにおいては、電源電圧Ｖｓを差動アンプ４４Ａにフィードバック入力するためのライン上に抵抗Ｒ１が挿入されている。この場合の抵抗Ｒ１は、一端がインダクタＬｏと平滑コンデンサＣｏとの接続点に接続され（図１５参照）、他端が定電流源４２を介してグランドに接続

されている。

トランジスタＱ５のゲートは、抵抗Ｒ１と定電流源４２との接続点に接続され、これにより抵抗Ｒ１を介して電源電圧Ｖｓがフィードバック入力される。

電圧調整部４１Ａにおいては、このように抵抗Ｒ１を介して差動アンプ４４Ａに電源電圧Ｖｓをフィードバックする構成としていることで、電源電圧Ｖｓの調整が発光素子２ａの順方向電圧と駆動素子Ｑ１の動作電圧Ｖｔとに応じて行われるようにしている。

[0098] トランジスタＱ６は、ゲートが差動アンプ４４Ａの負極入力端子として機能する。本例の差動アンプ４４Ａにおいては、このトランジスタＱ６を検出ラインＬｄごとに設けることで、最高電圧と電源電圧Ｖｓ（この場合は動作電圧Ｖｔ分が差し引かれている）との差分に応じた出力電圧が得られるようにしている。

具体的に、各トランジスタＱ６のゲートには、それぞれ対応する検出ラインＬｄを介して対応する発光素子２ａの順方向電圧が入力される。各トランジスタＱ６は、ドレインがトランジスタＱ８のドレインと接続され、ソースが定電流源４８を介してグランドに接続されている。各トランジスタＱ６のドレインとトランジスタＱ８のドレインとの接続点が、差動アンプ４４Ａの出力端子として機能する。

[0099] 上記構成による差動アンプ４４Ａにおいては、トランジスタＱ５に電源電圧Ｖｓに基づくゲート電圧が印加されることでトランジスタＱ５がＯＮ状態とされ、これに伴い、トランジスタＱ７及びＱ８もＯＮ状態とされる。この際、トランジスタＱ５のドレイン－ソース間を流れる電流Ｉ５とトランジスタＱ７のソース－ドレイン間を流れる電流Ｉ７は一致し、また、トランジスタＱ７及びＱ８はカレントミラー回路を構成しているためトランジスタＱ８のソース－ドレイン間を流れる電流Ｉ８の電流Ｉ５及びＩ７と電流値が一致する。

このとき、差動アンプ４４Ａの出力端子（各トランジスタＱ６とトランジ

スタＱ８のドレイン同士の接続点）と定電流源４８との間を流れる電流Ｉ６は、各トランジスタＱ６のうち順方向電圧の最高電圧が入力されるトランジスタＱ６のドレイン－ソース間の電流と一致する。このため、差動アンプ４４Ａの出力ライン（コンパレータ４５との接続ライン）には、電流Ｉ６と電流Ｉ８（＝Ｉ５）との差分に応じた電流が流れ、これにより差動アンプ４４Ａの出力端子には順方向電圧の最高電圧と「電源電圧Ｖｓ－動作電圧Ｄｔ」による電圧との差分に応じた電圧が生じる。

[0100] 図１６に例示した構成によっても、図１４に示した構成と同様、各検出ラインＬｄに得られる順方向電圧を比較し最高電圧を判定するための回路を設ける必要がなく、回路構成の簡略化を図ることができる。

[0101] なお、図１６では発光素子２ａのアノード側に接続される駆動回路３０を用いる構成を例示したが、図４に示したように発光素子２ａのカソード側に接続される駆動回路３０Ａを用いた構成とすることも可能である。

また、電圧調整部４１に代えて電圧調整部４１Ａを用いた構成とすることもできる。

[0102] ここで、図１４や図１６等を参照して分かるように、本実施形態では、電源電圧Ｖｓの調整にあたり、発光素子２ａと同数の検出ラインＬｄを駆動部３と電源回路４（電圧調整部）との間に配設することを要する。図の例では発光素子２ａの数を「４」としているが、実際には数百や数千等のより多数の発光素子２ａを設けることが想定されている。

この点を考慮すると、例えば図５Ａや図７Ａのように駆動部３と電源回路４とを別チップとした場合には、多数の検出ラインＬｄをチップ間に配設することを要し、チップを搭載する基板Ｂのサイズ拡大化や設計自由度の低下を招来する虞がある。

一方で、図５Ｂや図７Ｂのように駆動部３と電源回路４を同一チップ（チップＣｐ３４）に形成すれば、各検出ラインＬｄはチップ内配線により形成することが可能とされるため、検出ラインＬｄの配線をチップ間に多数配設せずに済み、基板Ｂのサイズ縮小化や設計自由度向上を図ることができる。

[0103] 図１７は、変形例としての光源装置１００Ａの構成例を示している。

光源装置１００Ａは、発光部２が複数の発光素子群Ｇを有し、発光素子群Ｇごとに電源電圧Ｖｓの調整を行うものである。

図示のように光源装置１００Ａは、電源回路４に代えて電源回路４Ａが設けられ、また駆動部３に代えて駆動部３Ａが設けられた点が光源装置１００と異なる。この場合、発光部２においては、複数の発光素子２ａを含む発光素子群Ｇを複数有している（図の例では発光素子群Ｇ２１、発光素子群Ｇ２２の二つ）。なお、各発光素子群Ｇが含む発光素子２ａの数は同数であっても異数であってもよい。

[0104] 電源回路４Ａは、発光素子群ＧごとにＤＣ／ＤＣコンバータ４０と電圧調整部４１を有している。各ＤＣ／ＤＣコンバータ４０には個別の入力電圧Ｖｉｎが供給され、図示のように一方のＤＣ／ＤＣコンバータ４０には入力電圧Ｖｉｎ１が、他方のＤＣ／ＤＣコンバータ４０には入力電圧Ｖｉｎ２が供給される。

各電圧調整部４１には、それぞれ対応するＤＣ／ＤＣコンバータ４０からの出力電圧Ｖｏが入力される。図中では、一方のＤＣ／ＤＣコンバータ４０の出力電圧Ｖｏを「Ｖｏ１」、他方のＤＣ／ＤＣコンバータ４０の出力電圧Ｖｏを「Ｖｏ２」と表記している。また、各電圧調整部４１が出力する電源電圧Ｖｓを区別して「Ｖｓ１」「Ｖｓ２」と表記している。

各電圧調整部４１には、それぞれ対応する発光素子群Ｇにおける各発光素子２ａの順方向電圧が対応する検出ラインＬｄを介して入力される。

[0105] 駆動部３Ａは、それぞれが異なる電圧調整部４１からの電源電圧Ｖｓを入力し対応する発光素子群Ｇの発光素子２ａを駆動する複数の駆動回路３０を備えている（図１７では図示の都合から駆動回路３０の内部構成は省略している）。

この場合の駆動制御部３１は、各駆動回路３０におけるスイッチＳＷのＯＮ／ＯＦＦ制御を行う。

[0106] 図１７に示す光源装置１００Ａにおいては、発光素子群Ｇごとに共用され

る電源電圧Ｖｓが、各電圧調整部４１により発光素子群Ｇごとに個別に調整される。このような構成により、発光部２における全ての発光素子２ａを適切に発光可能とするためには、各電源電圧Ｖｓはそれぞれ供給先の発光素子群Ｇにおける順方向電圧の最高電圧に合わせて調整すればよく、発光部２内の全ての発光素子２ａの順方向電圧のうちの最高電圧に合わせて調整する必要はなくなる。

従って、各発光素子群Ｇにおいて順方向電圧の最高電圧が同一でなければ、一部の発光素子群Ｇの電源電圧Ｖｓは、発光部２内の全ての発光素子２ａの順方向電圧のうちの最高電圧よりも下げることができ、各発光素子群Ｇに共通の電源電圧Ｖｓを供給する構成を採る場合と比較して、消費電力の削減効果を高めることができる。

[0107] ここで、図１７に示す構成において、発光部２における発光素子群Ｇの区別は、発光素子２ａの特性や用途等による区別とすることができる。例えば、発光素子群Ｇごとに発光素子２ａの特性が異なる場合には、発光素子群Ｇごとに発光素子２ａの順方向電圧が比較的大きく異なることもある。その場合には、発光素子群Ｇ間の電源電圧Ｖｓの差が大きくなり、発光部２内の全ての発光素子２ａで電源電圧Ｖｓを共用する場合からの消費電力削減効果を高めることができる。

[0108] なお、これまでの説明では、順方向電圧の最高電圧を基準に電源電圧Ｖｓを調整したが、電源電圧Ｖｓの調整は、例えば２番目に高い順方向電圧を基準とする、或いは所定閾値以上の順方向電圧を基準として行う等、最高電圧を基準に行うことに限られない。

例えば、２番目に高い順方向電圧や所定閾値以上の順方向電圧を基準とした場合であっても、それら基準とする順方向電圧に対し動作電圧Ｖｔのようなマージン電圧を加算してフィードバックする構成を採るものとすれば、該マージン電圧の設定により、電源電圧Ｖｓの高さを最高電圧以上とすることが可能である。すなわち、電源電圧Ｖｓを共用する全ての発光素子２ａを適切に発光させることが可能となる。

[0109] ＜７．実施形態のまとめ及び変形例＞

上記のように実施形態としての光源装置（測距装置１、光源装置１００、１００Ａ）は、垂直共振器面発光レーザによる発光素子（同２ａ）が複数配列された発光部（同２）と、発光部における複数の発光素子の駆動に共通に用いられる電源電圧を、発光素子の順方向電圧に応じて調整する電圧調整部（同４１又は４１Ａ）と、を備えるものである。

[0110] これにより、発光素子の順方向電圧が高ければ電源電圧を高くし、また発光素子の順方向電圧が低ければ電源電圧を低くする等、電源電圧を発光素子の順方向電圧に応じて適切に調整することが可能とされる。

従って、垂直共振器面発光レーザによる複数の発光素子を共通の電源電圧に基づき駆動する構成において、それら発光素子の全てを適正に発光可能としながら消費電力の削減を図ることができる。

[0111] また、実施形態としての光源装置においては、電圧調整部は、複数の発光素子の順方向電圧のうちの最高電圧に応じて電源電圧を調整している。

[0112] これにより、共通の電源電圧が順方向電圧の最も高い発光素子の順方向電圧に応じて調整される。

従って、電源電圧を共用する全ての発光素子を適切に発光可能としながら、消費電力を最小限に抑えることができる。

[0113] さらに、実施形態としての光源装置においては、電源電圧に基づき複数の発光素子を個別駆動可能に構成された駆動部（同３又は３Ａ）を備えている。

[0114] これにより、電源電圧を共用する複数の発光素子のうち一部の発光素子をＯＮ、他の発光素子をＯＦＦとすることが可能となり、順方向電圧が最高の発光素子がＯＦＦされ得る。順方向電圧が最高の発光素子がＯＦＦされることで、順方向電圧がより低い発光素子の順方向電圧に応じて電源電圧が調整される。

従って、複数の発光素子が個別駆動不能とされる場合と比較して、電源電圧が下げられる機会が与えられるため、消費電力の削減を図ることができる

。

[0115] さらにまた、実施形態としての光源装置においては、電源電圧に基づき複数の発光素子に定電流を流すカレントミラー回路（駆動素子Ｑ１、電流制御素子Ｑ２、及び定電流源３０ａ）を備えている。

[0116] これにより、発光素子に定電流を流すにあたって定電流制御機能付の電源回路を用いる必要がなくなる。

従って、回路構成の簡略化を図ることができる。

[0117] また、実施形態としての光源装置においては、カレントミラー回路が発光素子のアノード側に接続され、電圧調整部は、発光素子のアノードにおける電圧に応じて電源電圧を調整している。

[0118] これにより、カレントミラー回路が発光素子のアノード側に接続される場合において、電源電圧を発光素子の順方向電圧に応じて適切に調整することができる。

[0119] さらに、実施形態としての光源装置においては、カレントミラー回路が発光素子のカソード側に接続され、電圧調整部は、発光素子のカソードにおける電圧に応じて電源電圧を調整している。

[0120] これにより、カレントミラー回路が発光素子のカソード側に接続される場合において、電源電圧を発光素子の順方向電圧に応じて適切に調整することができる。

[0121] さらにまた、実施形態としての光源装置においては、電圧調整部は、電源電圧を発光素子の順方向電圧とカレントミラー回路における駆動素子（同Ｑ１）の動作電圧とに応じて調整している。

[0122] これにより、カレントミラー回路を設けた場合に対応して、電源電圧が発光素子の順方向電圧と駆動素子の動作電圧とに応じて適切に調整される。

従って、電源電圧を共用する複数の発光素子のうち一部の発光素子（順方向電圧が高い発光素子）が発光しなくなることの防止効果をより高めることができる。

[0123] また、実施形態としての光源装置においては、電源電圧に基づき複数の発

光素子を駆動する駆動部（同３又は３Ａ）を備え、駆動部と電圧調整部が同一チップに形成されている。

[0124] これにより、電圧調整部が各発光素子の順方向電圧を検出入力するための検出ラインは、チップ内配線により形成することが可能とされる。

従って、検出ラインの配線をチップ間に多数配設せずに済むため、チップを搭載する基板のサイズ縮小化や設計自由度向上を図ることができる。

[0125] さらに、実施形態としての光源装置（同１００Ａ）においては、発光部は、複数の発光素子を含む発光素子群（同Ｇ）を複数有し、電圧調整部は、発光素子群ごとに共用される電源電圧について、発光素子群ごとに順方向電圧に応じた調整を行っている。

[0126] このように発光素子群ごとに共用される電源電圧を発光素子群ごとに個別に調整する構成とすれば、発光部における全ての発光素子を適切に発光可能とするために、各電源電圧はそれぞれ供給先の発光素子群における順方向電圧の最高電圧に合わせて調整すればよく、発光部内の全発光素子の順方向電圧のうちの最高電圧に合わせて調整する必要はなくなる。

従って、各発光素子群において順方向電圧の最高電圧が同一でなければ、一部の発光素子群の電源電圧は、発光部内の全発光素子の順方向電圧のうちの最高電圧よりも下げることができ、各発光素子群に共通の電源電圧を供給する構成を採る場合と比較して、消費電力の削減効果を高めることができる。

[0127] また、実施形態としての調整方法は、垂直共振器面発光レーザによる発光素子が複数配列された発光部における複数の前記発光素子の駆動に共通に用いられる電源電圧を、前記発光素子の順方向電圧に応じて調整する調整方法である。

さらに、実施形態としてのセンシングモジュールは、上記した実施形態としての光源装置と、該光源装置が備える発光部（同２）より発せられ被写体によって反射された光を受光して撮像するイメージセンサ（同７）とを備えるものである（例えば、図７に示す構成を参照）。

[0128] このような実施形態としての調整方法やセンシングモジュールによっても、上記した実施形態としての光源装置と同様の作用及び効果を得ることができる。

[0129] なお、上記では、発光素子２ａごとにスイッチＳＷを設けて、発光素子２ａごとの個別駆動を可能とする構成を例示したが、本技術において、発光素子２ａごとの個別駆動を可能に構成することは必須ではない。

[0130] また、上記では本技術が測距装置に適用される例を挙げたが、本技術は測距用の光源への適用に限定されるものではない。

[0131] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0132] ＜８．本技術＞

なお本技術は以下のような構成も採ることができる。

（１）

垂直共振器面発光レーザによる発光素子が複数配列された発光部と、

前記発光部における複数の前記発光素子の駆動に共通に用いられる電源電圧を、前記発光素子の順方向電圧に応じて調整する電圧調整部と、を備える

光源装置。

（２）

前記電圧調整部は、

複数の前記発光素子の順方向電圧のうちの最高電圧に応じて前記電源電圧を調整する

前記（１）に記載の光源装置。

（３）

前記電源電圧に基づき複数の前記発光素子を個別駆動可能に構成された駆動部を備えた

前記（１）又は（２）に記載の光源装置。

（４）

前記電源電圧に基づき複数の前記発光素子に定電流を流すカレントミラー

回路を備えた

前記（１）乃至（３）の何れかに記載の光源装置。

（５）

前記カレントミラー回路が前記発光素子のアノード側に接続され、

前記電圧調整部は、

前記発光素子のアノードにおける電圧に応じて前記電源電圧を調整する

前記（４）に記載の光源装置。

（６）

前記カレントミラー回路が前記発光素子のカソード側に接続され、

前記電圧調整部は、

前記発光素子のカソードにおける電圧に応じて前記電源電圧を調整する

前記（４）に記載の光源装置。

（７）

前記電圧調整部は、

前記電源電圧を前記発光素子の順方向電圧と前記カレントミラー回路における駆動素子の動作電圧とに応じて調整する

前記（４）乃至（６）の何れかに記載の光源装置。

（８）

前記電源電圧に基づき複数の前記発光素子を駆動する駆動部を備え、

前記駆動部と前記電圧調整部が同一チップに形成された

前記（１）乃至（７）の何れかに記載の光源装置。

（９）

前記発光部は、複数の前記発光素子を含む発光素子群を複数有し、

前記電圧調整部は、

前記発光素子群ごとに共用される電源電圧について、前記発光素子群ごとに前記順方向電圧に応じた調整を行う

前記（１）乃至（８）の何れかに記載の光源装置。

符号の説明

[0133] １　測距装置、２　発光部、２ａ　発光素子、３，３Ａ　駆動部、４，４Ａ　電源回路、５　発光側光学系、６　撮像側光学系、７　イメージセンサ、８　画像処理部、９　制御部、９ａ　測距部、Ｃｐ２、Ｃｐ３、Ｃｐ４、Ｃｐ３４、Ｃｐ７　チップ、３０、３０Ａ　駆動回路、３１　駆動制御部、Ｑ１　駆動素子、Ｑ２　電流制御素子、ＳＷ　スイッチ、４０　ＤＣ／ＤＣコンバータ、４１，４１Ａ　電圧調整部、Ｖｓ　電源電圧、Ｖｄ　駆動電圧、Ｌｄ　検出ライン、Ｇ２１，Ｇ２２　発光素子群、４２，４３，４８　定電流源、４４，４４Ａ　差動アンプ、４５　コンパレータ、４６　三角波発生回路、４７　プリドライブ回路、Ｑ３，Ｑ４　スイッチング素子、Ｒ１　抵抗、Ｄ１，Ｄ２　ダイオード、Ｑ５～Ｑ８　トランジスタ、１００，１００Ａ　光源装置

請求の範囲

[請求項1] 垂直共振器面発光レーザによる発光素子が複数配列された発光部と、

前記発光部における複数の前記発光素子の駆動に共通に用いられる電源電圧を、前記発光素子の順方向電圧に応じて調整する電圧調整部と、を備える

光源装置。

[請求項2] 前記電圧調整部は、

複数の前記発光素子の順方向電圧のうちの最高電圧に応じて前記電源電圧を調整する

請求項１に記載の光源装置。

[請求項3] 前記電源電圧に基づき複数の前記発光素子を個別駆動可能に構成された駆動部を備えた

請求項１に記載の光源装置。

[請求項4] 前記電源電圧に基づき複数の前記発光素子に定電流を流すカレントミラー回路を備えた

請求項１に記載の光源装置。

[請求項5] 前記カレントミラー回路が前記発光素子のアノード側に接続され、

前記電圧調整部は、

前記発光素子のアノードにおける電圧に応じて前記電源電圧を調整する

請求項４に記載の光源装置。

[請求項6] 前記カレントミラー回路が前記発光素子のカソード側に接続され、

前記電圧調整部は、

前記発光素子のカソードにおける電圧に応じて前記電源電圧を調整する

請求項４に記載の光源装置。

[請求項7] 前記電圧調整部は、

前記電源電圧を前記発光素子の順方向電圧と前記カレントミラー回路における駆動素子の動作電圧とに応じて調整する

請求項４に記載の光源装置。

[請求項8] 前記電源電圧に基づき複数の前記発光素子を駆動する駆動部を備え、

前記駆動部と前記電圧調整部が同一チップに形成された

請求項１に記載の光源装置。

[請求項9] 前記発光部は、複数の前記発光素子を含む発光素子群を複数有し、

前記電圧調整部は、

前記発光素子群ごとに共用される電源電圧について、前記発光素子群ごとに前記順方向電圧に応じた調整を行う

請求項１に記載の光源装置。

[請求項10] 垂直共振器面発光レーザによる発光素子が複数配列された発光部における複数の前記発光素子の駆動に共通に用いられる電源電圧を、前記発光素子の順方向電圧に応じて調整する

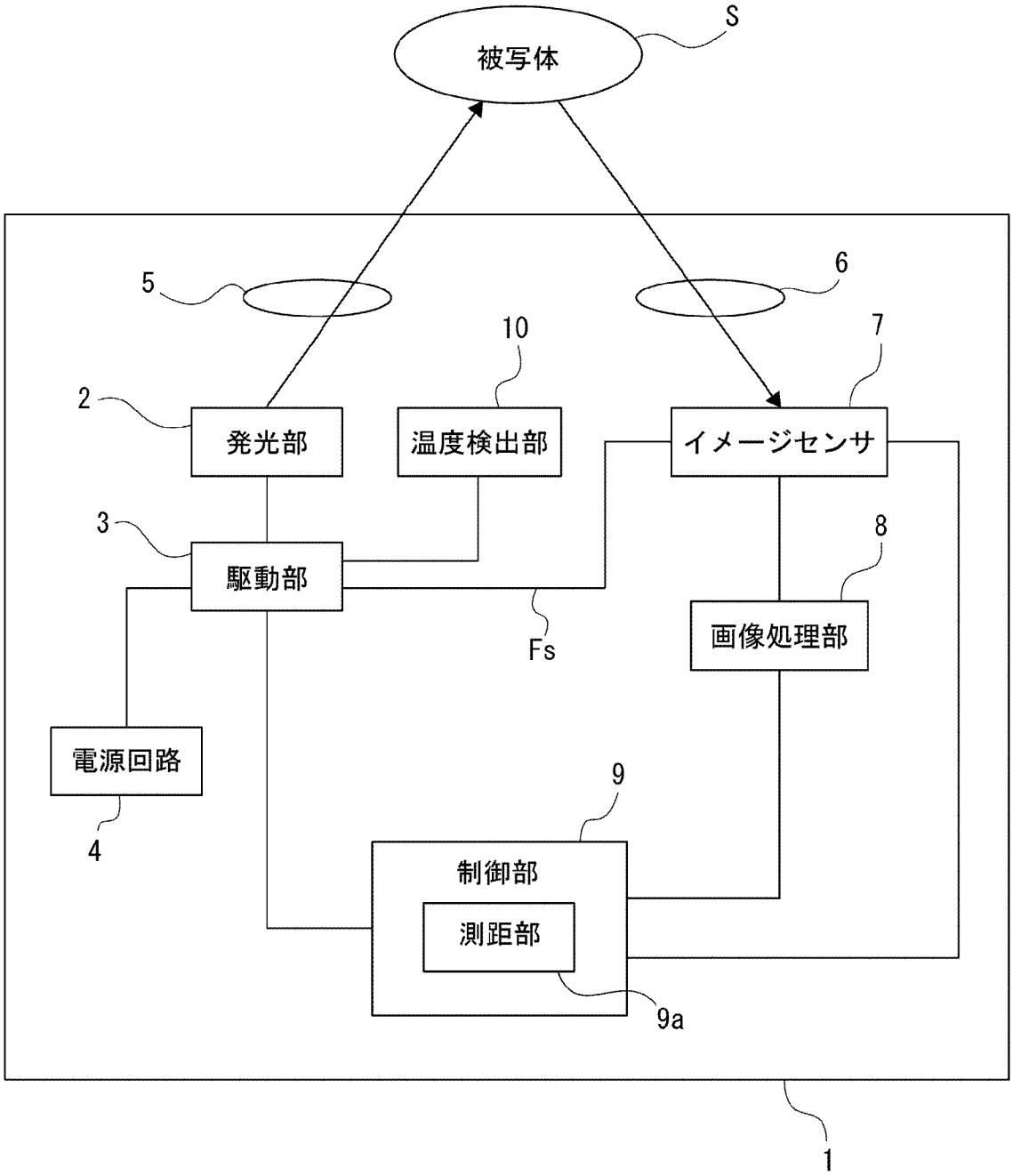
調整方法。

[請求項11] 垂直共振器面発光レーザによる発光素子が複数配列された発光部と、前記発光部における複数の前記発光素子の駆動に共通に用いられる電源電圧を、前記発光素子の順方向電圧に応じて調整する電圧調整部と、を有する光源装置と、

前記発光部より発せられ被写体によって反射された光を受光して撮像するイメージセンサと、を備える

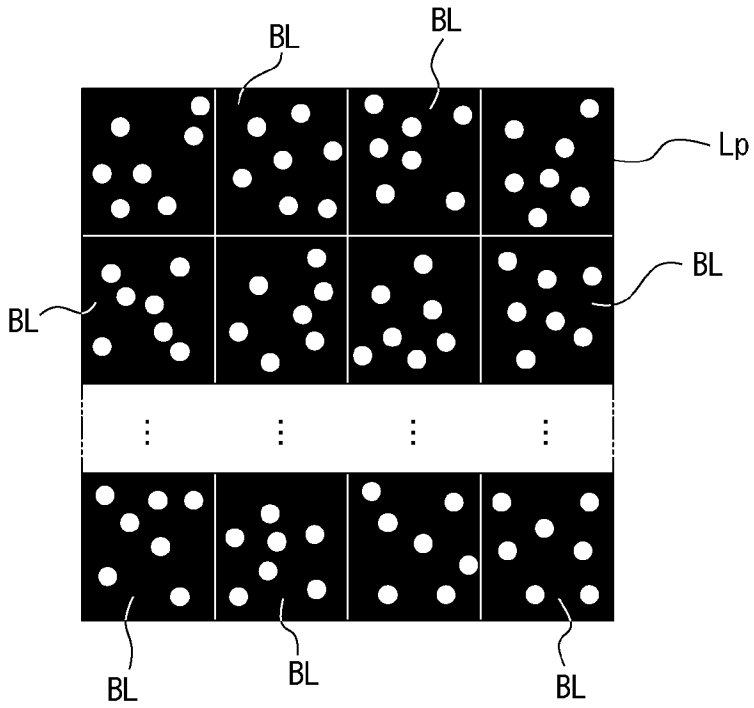
センシングモジュール。

[図1]

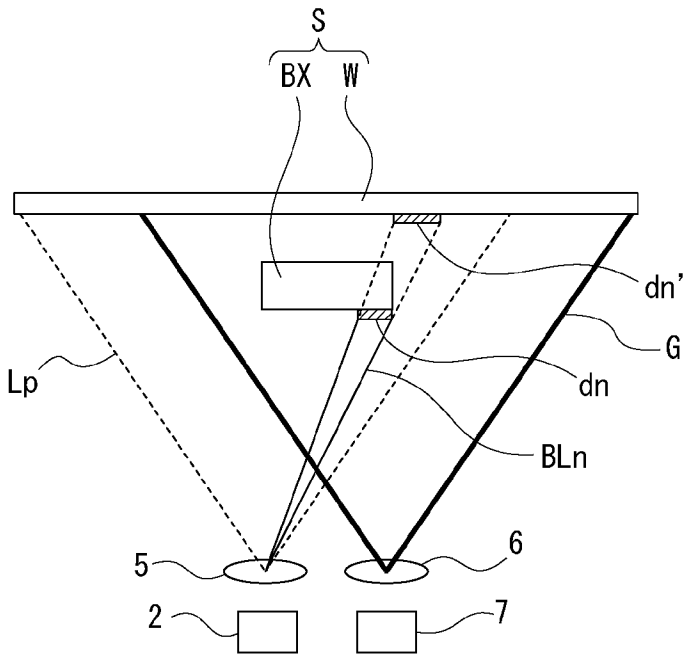

S
被写体
5
6
10
7
2
発光部
温度検出部
イメージセンサ
3
8
駆動部
Fs
画像処理部
電源回路
9
4
制御部
測距部
9a
1

[図2]

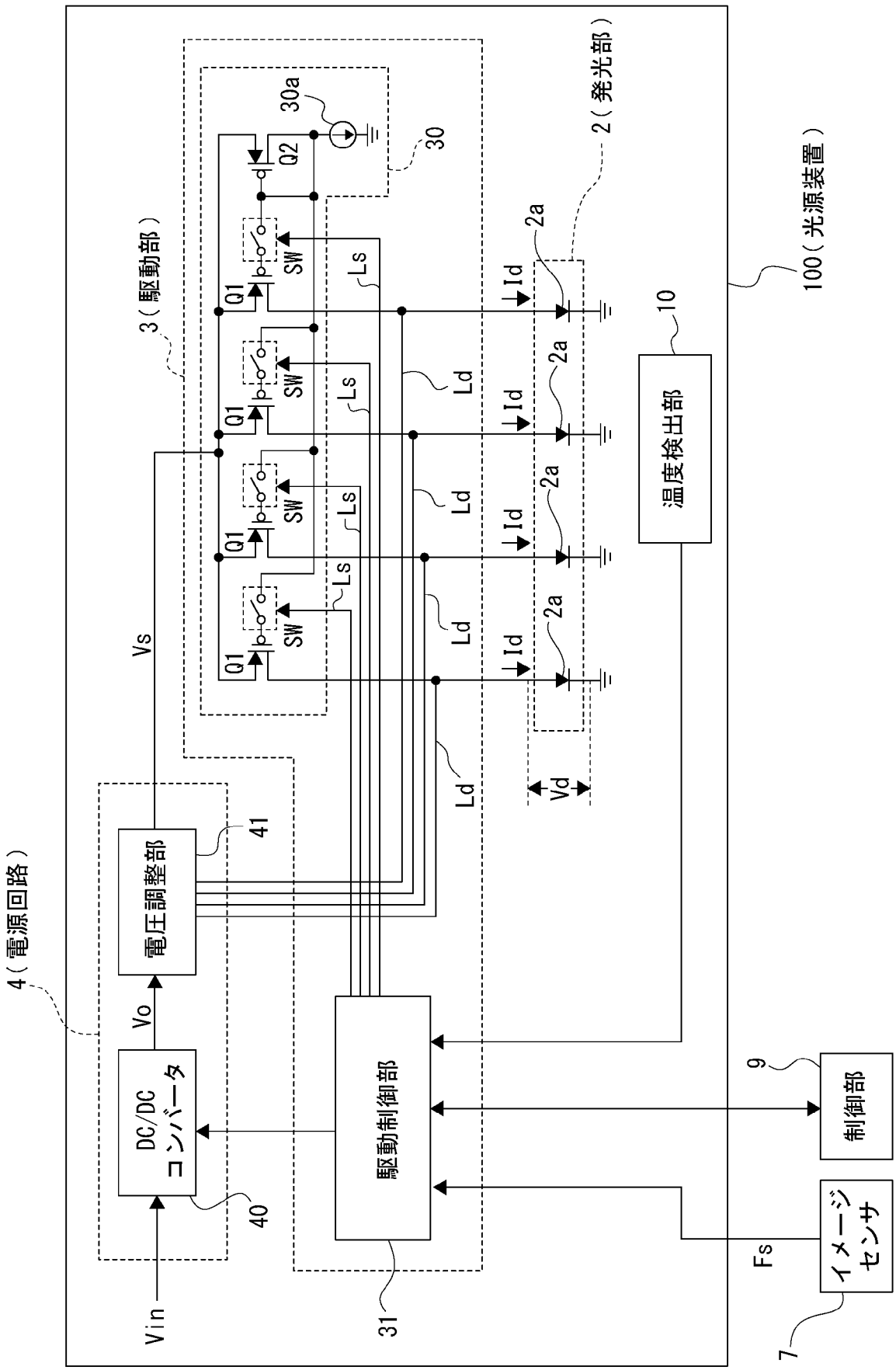
A



B

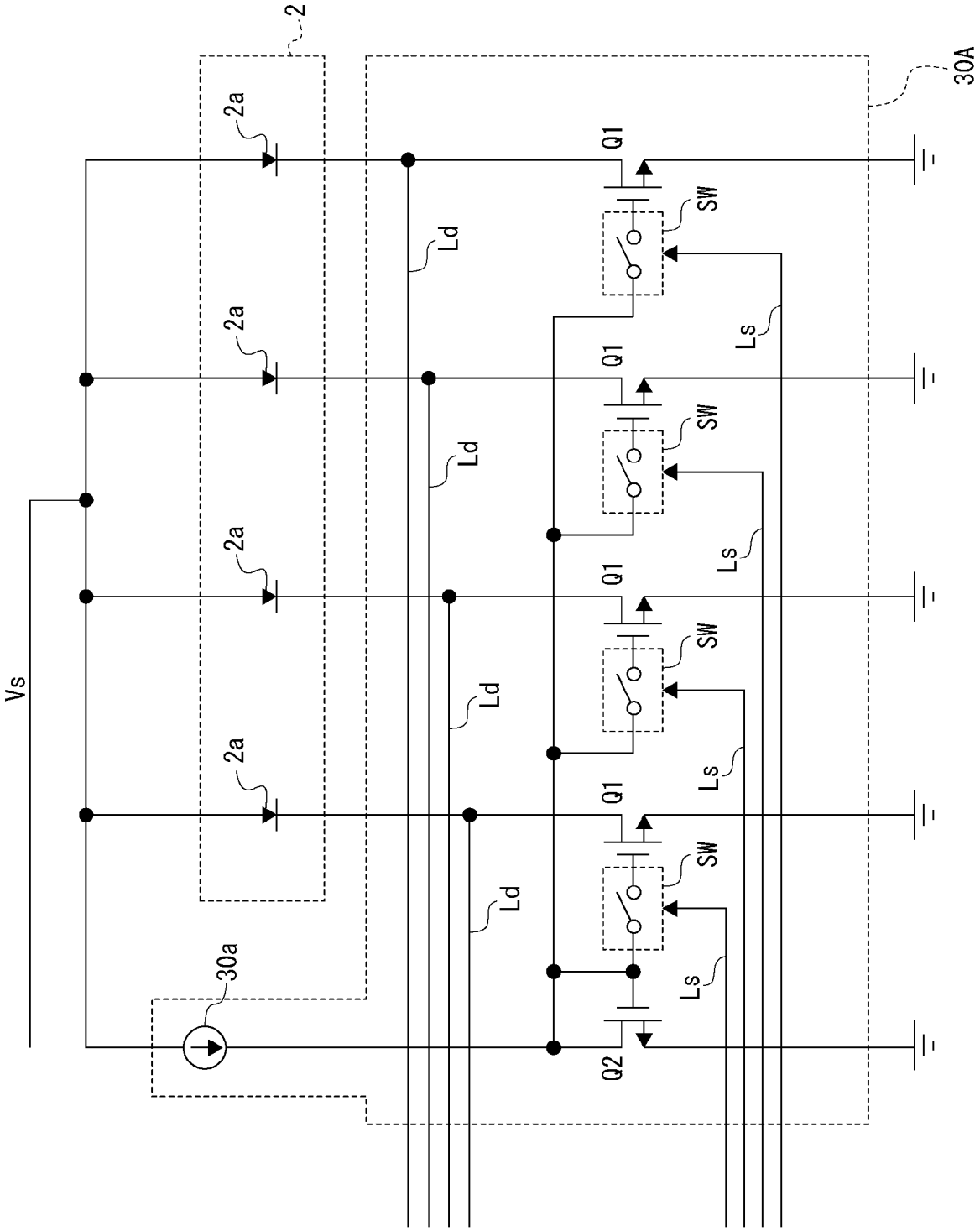


[図3]



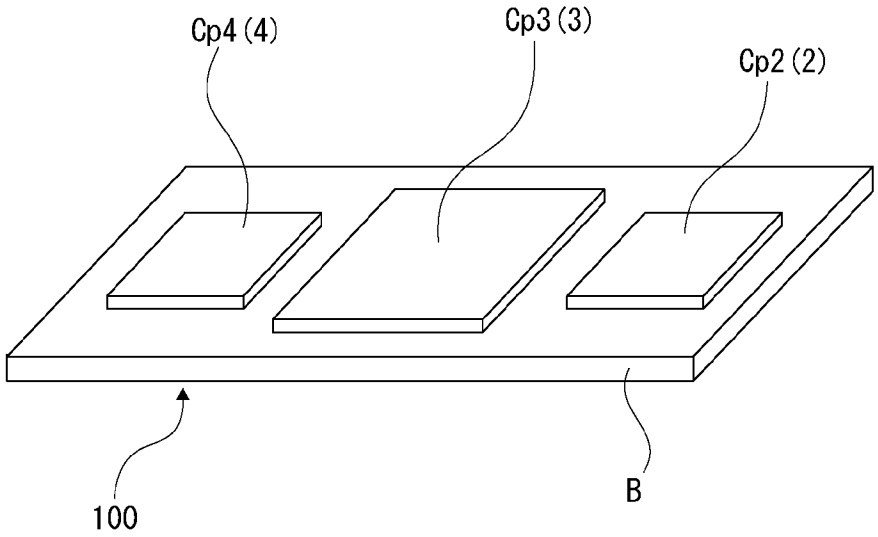
100（光源装置）
2（発光部）
3（駆動部）
4（電源回路）
Vin
DC/DC
コンバータ
40
Vo
電圧調整部
41
Vs
駆動制御部
31
Q1
SW
Q2
30a
30
Ls
Ld
Id
2a
Vd
温度検出部
10
制御部
9
イメージ
センサ
7
Fs

[図4]

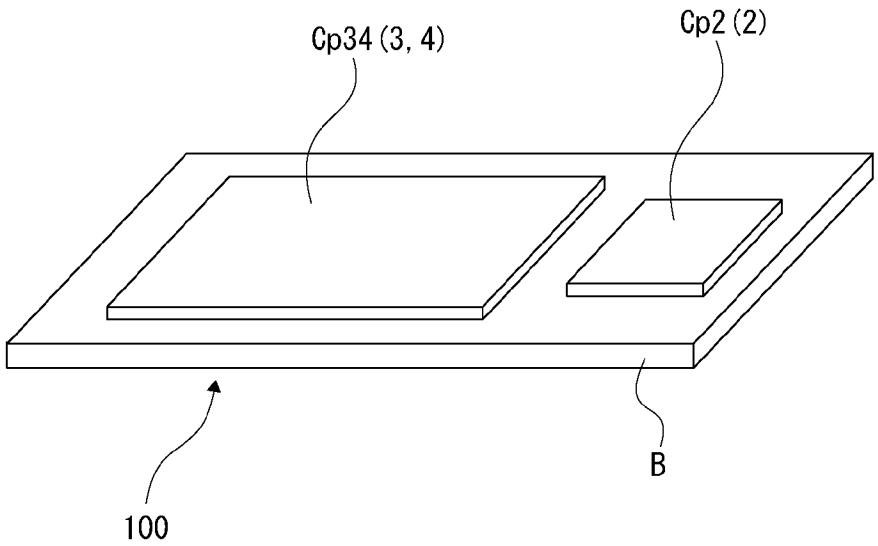


[図5]

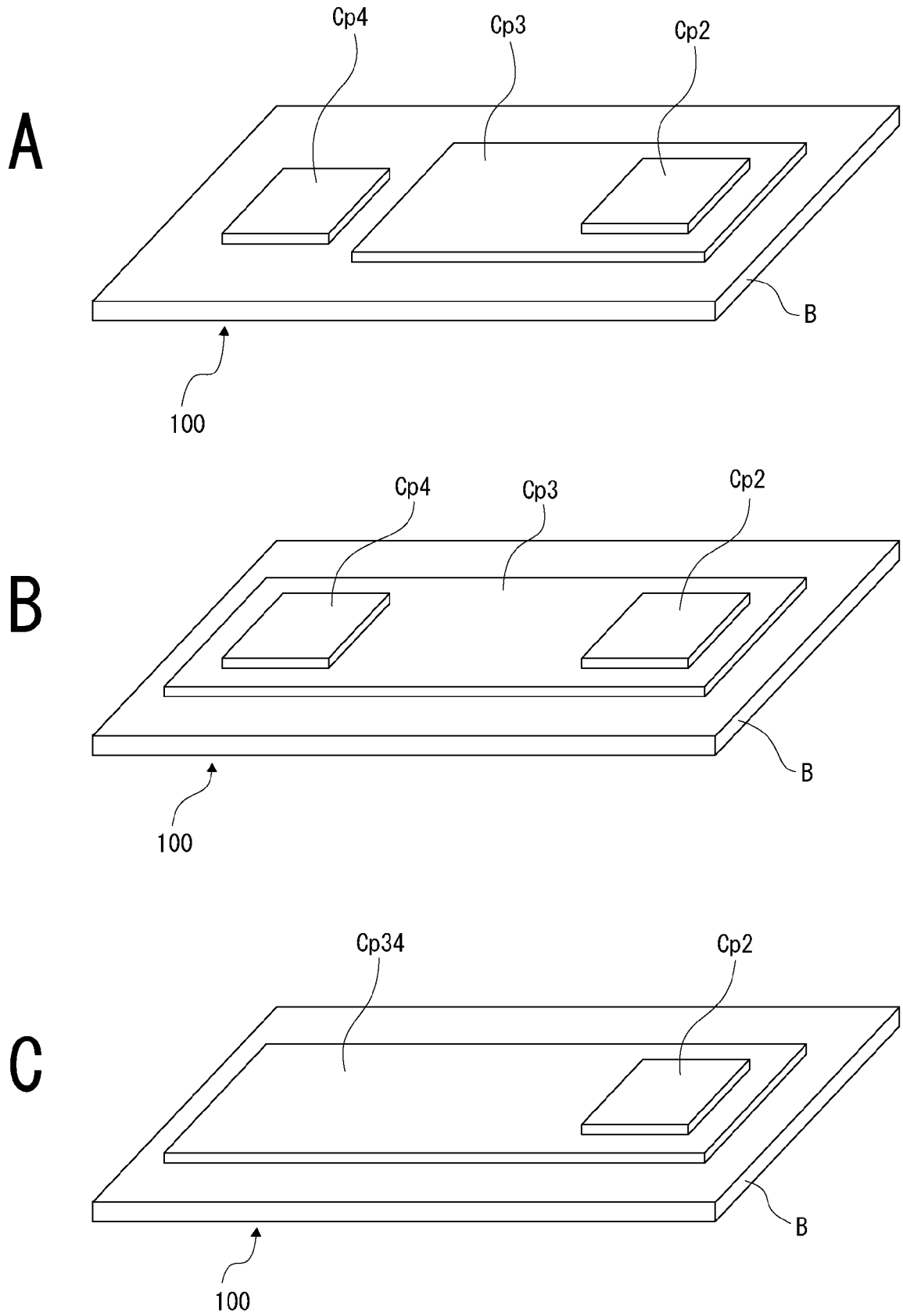
A



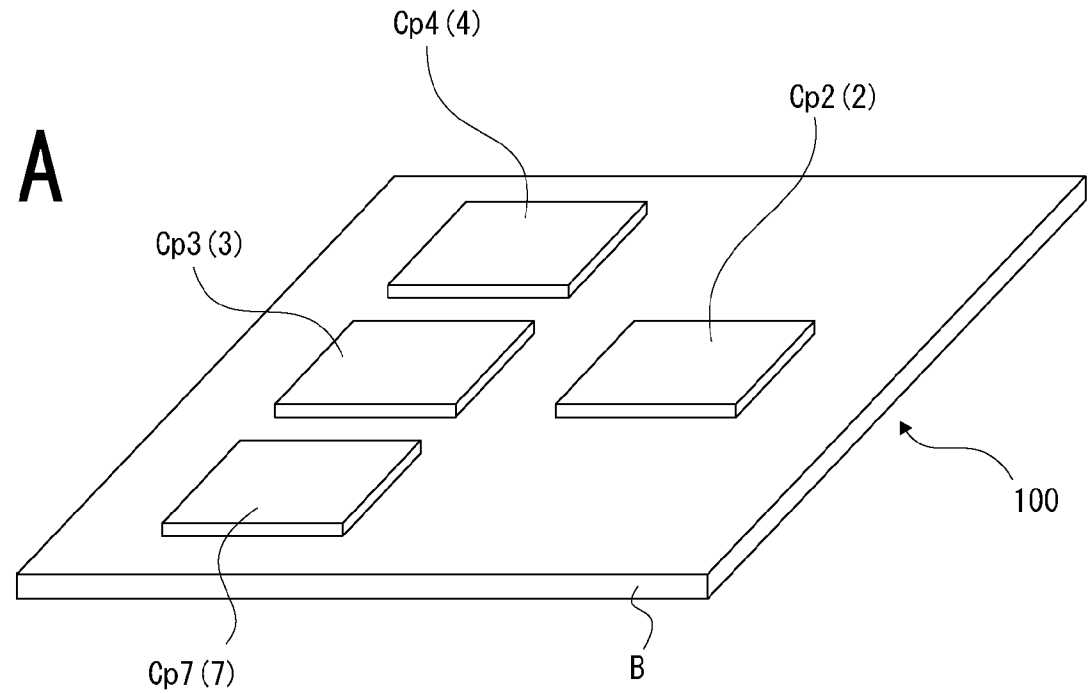
B

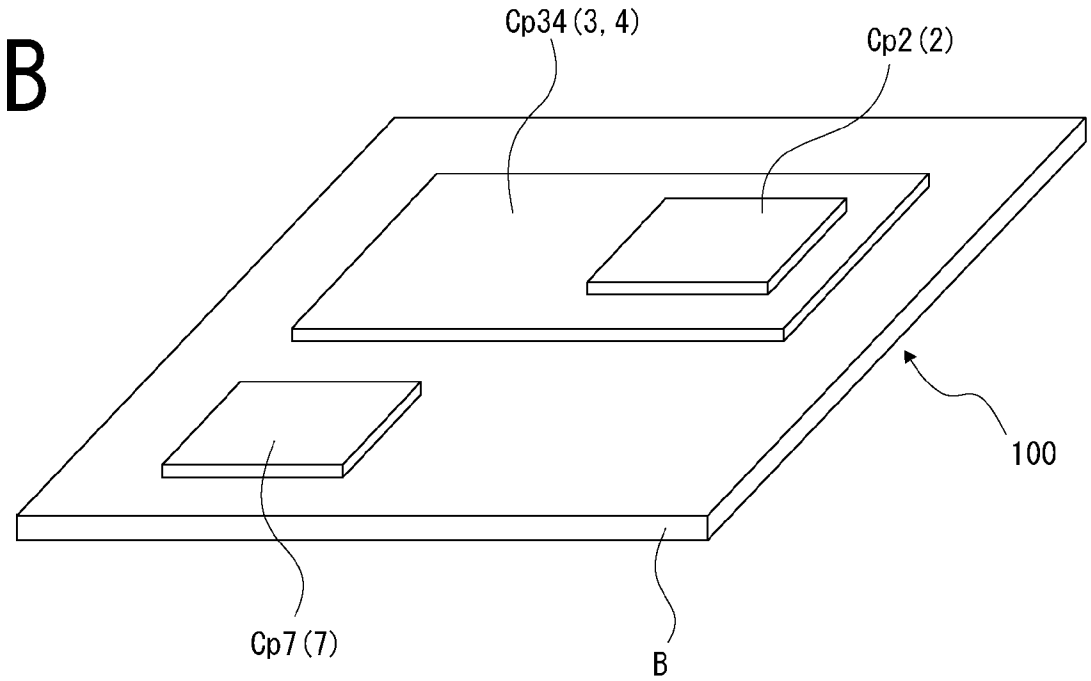


[図6]

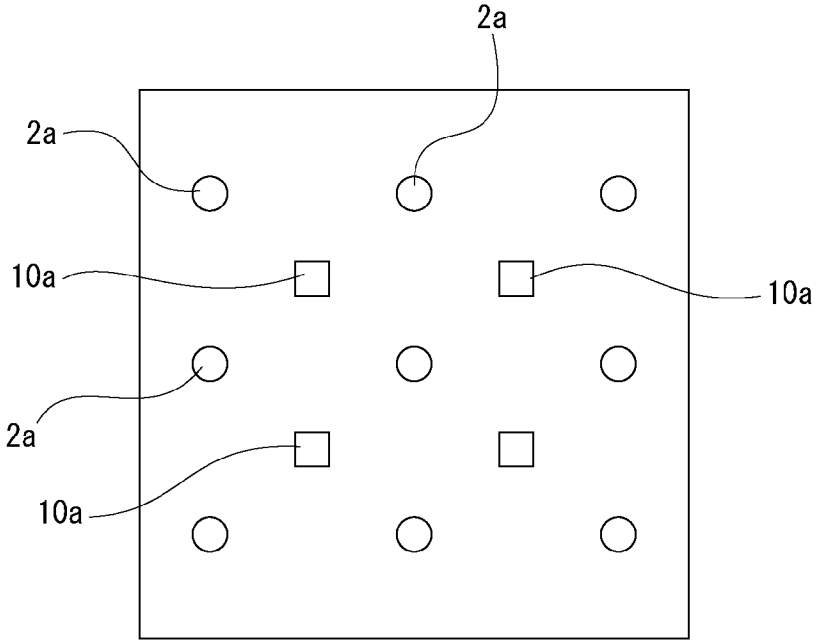


[図7]

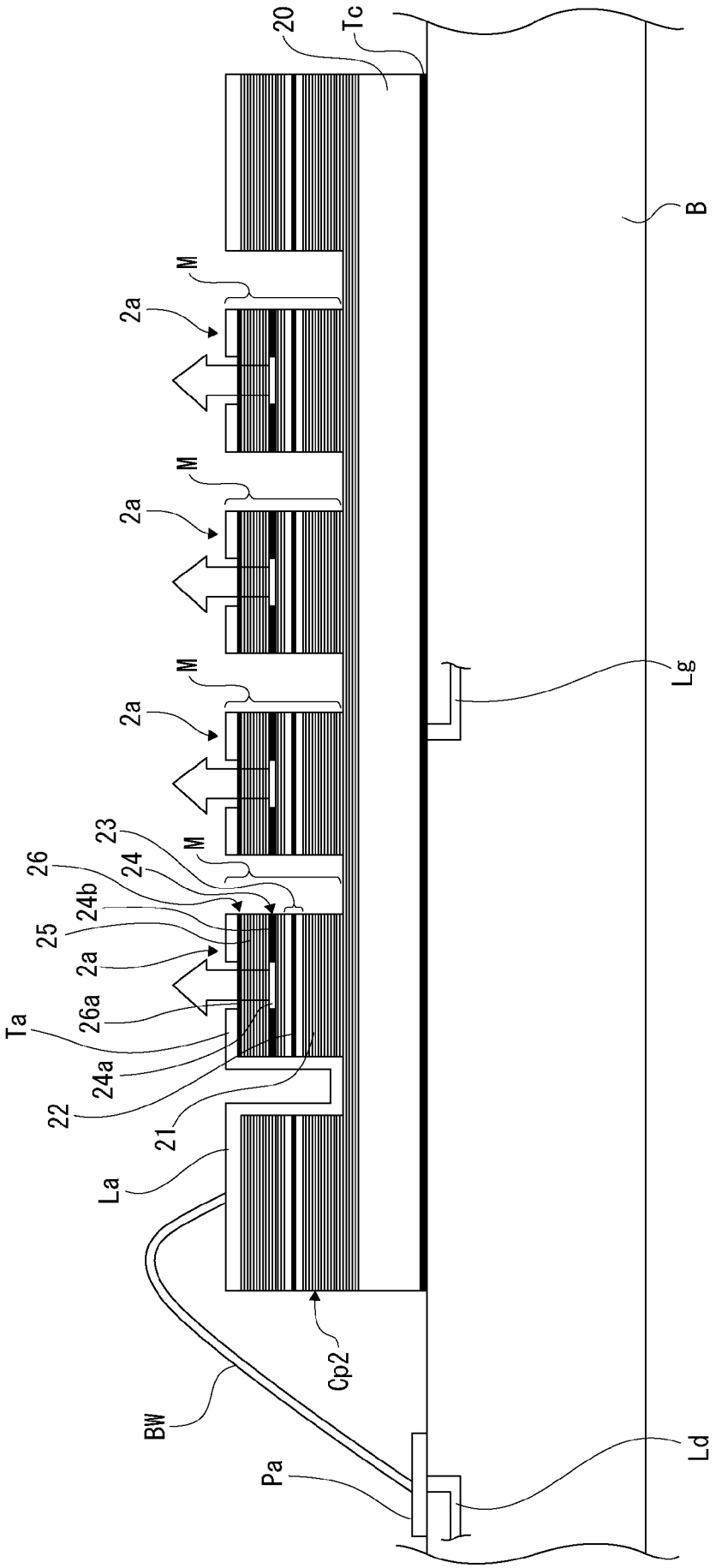




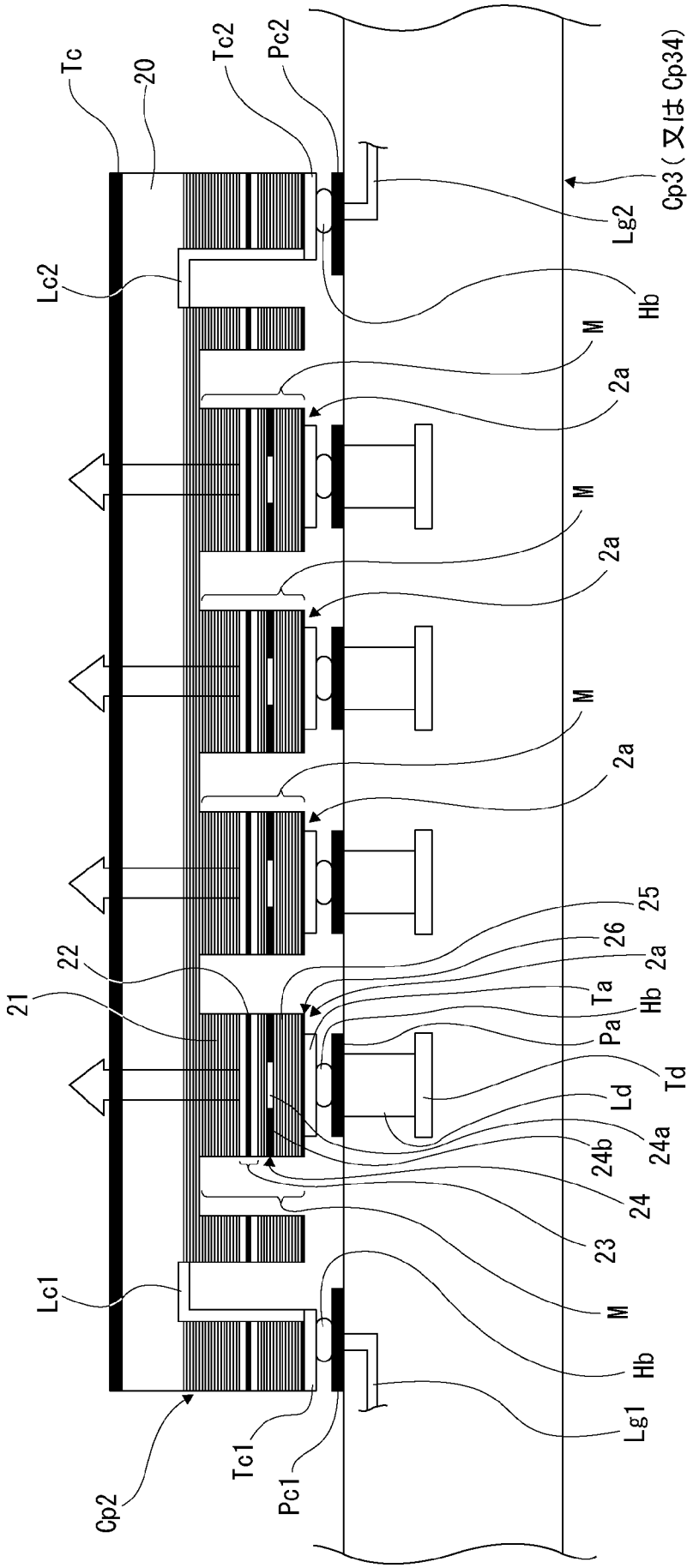
[図8]



[図9]

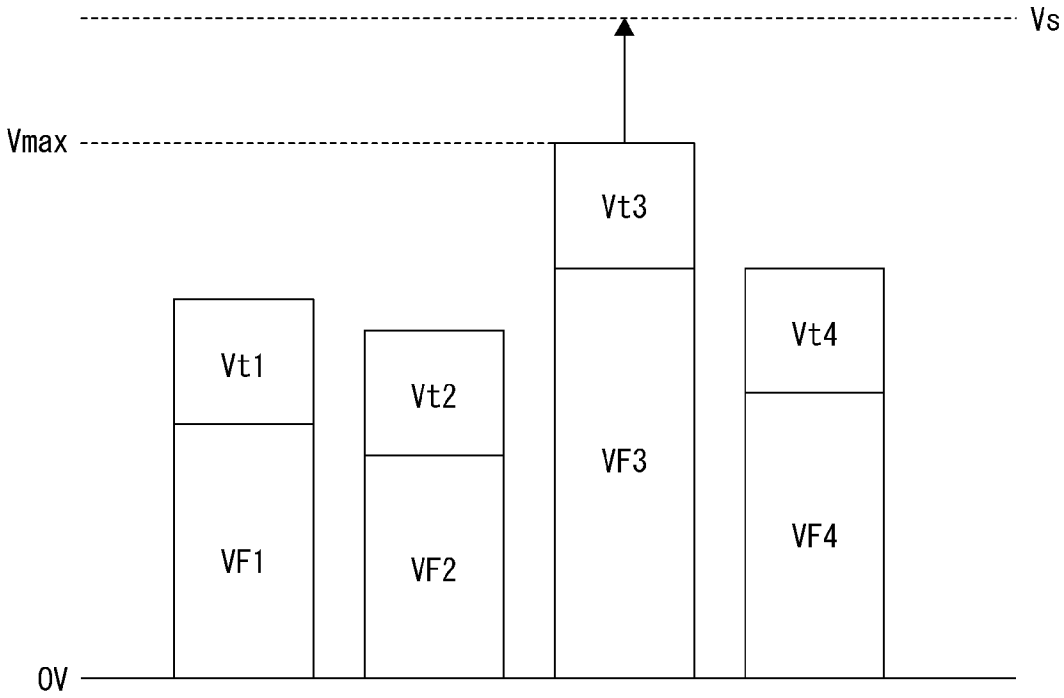

20
Tc
B
M
2a
M
2a
M
2a
M
2a
Lg
23
26
24
24b
25
2a
26a
Ta
24a
22
21
La
Cp2
BW
Pa
Ld

[図10]

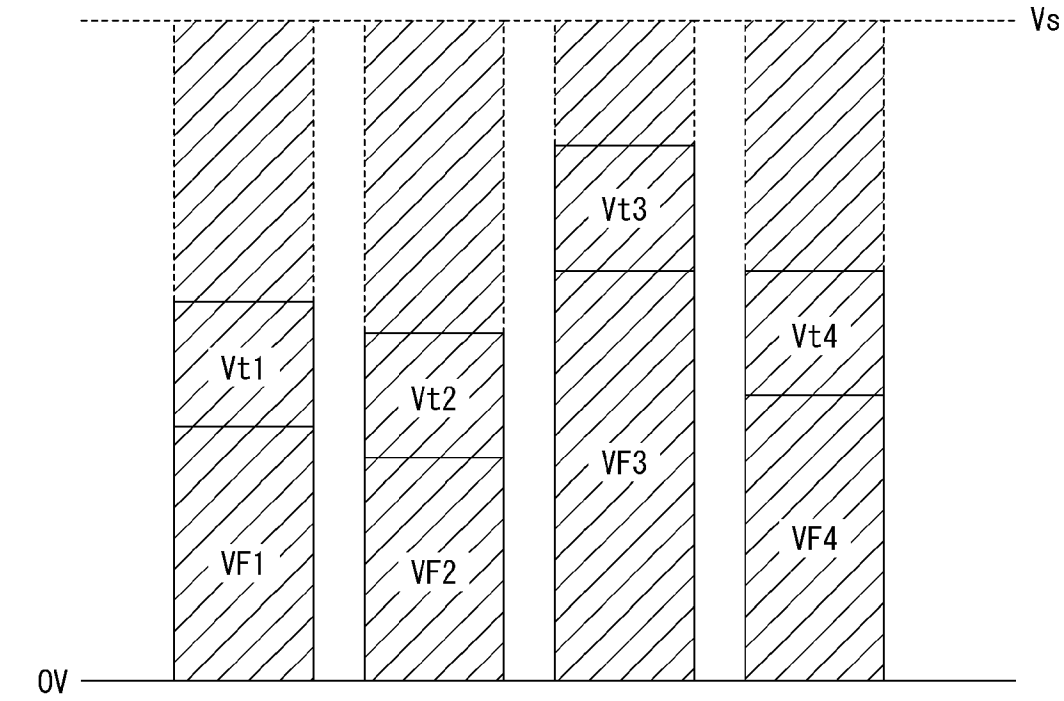

Tc
20
Tc2
Pc2
Cp3（又は Cp34）
Lg2
Lc2
Hb
M
2a
M
2a
M
2a
25
26
2a
22
21
Ta
Hb
Pa
Td
Ld
24b
24a
24
23
M
Hb
Lg1
Lc1
Tc1
Pc1
Cp2

[図11]

A

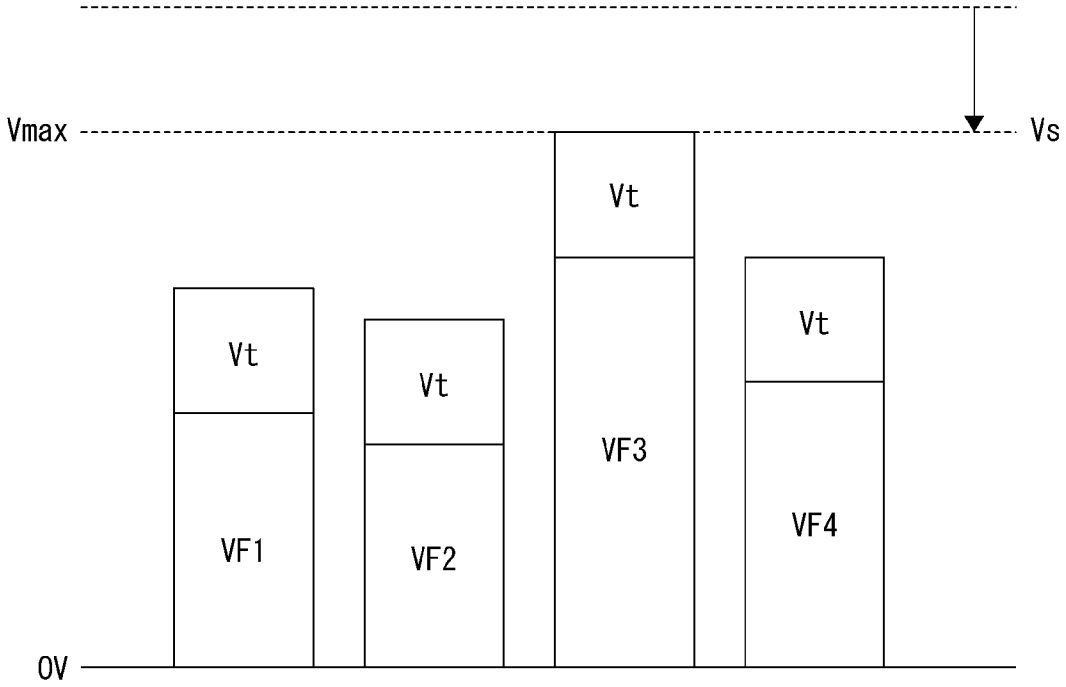

Vs
Vmax
Vt3
Vt1
Vt2
Vt4
VF3
VF1
VF2
VF4
0V

B

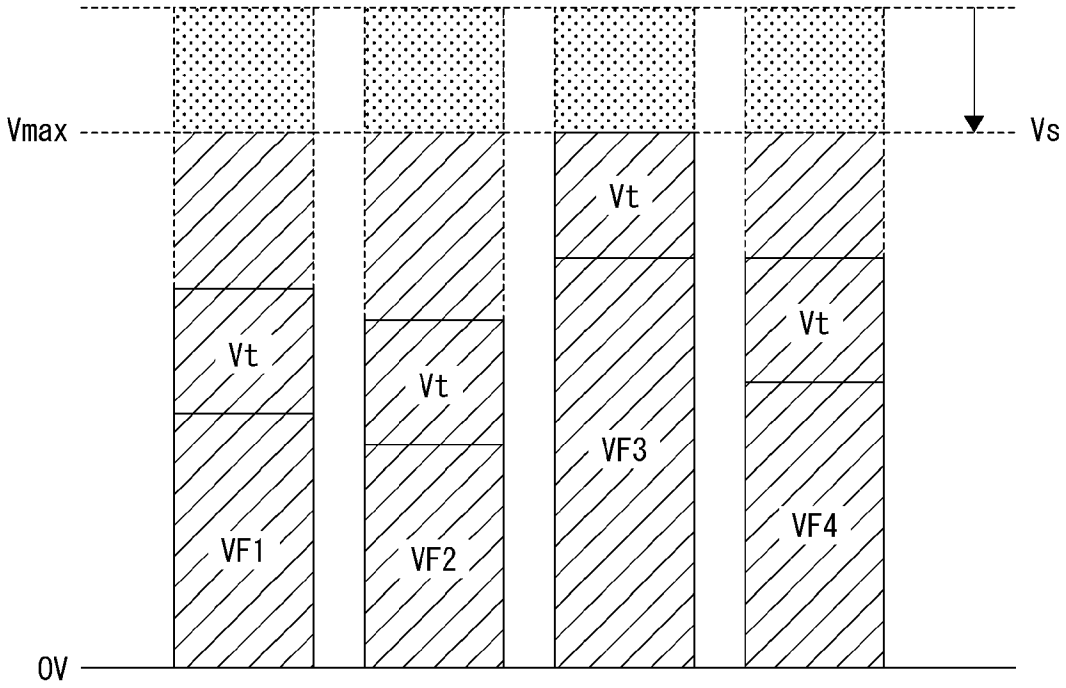

Vs
Vt3
Vt1
Vt2
Vt4
VF3
VF1
VF2
VF4
0V

[図12]

A

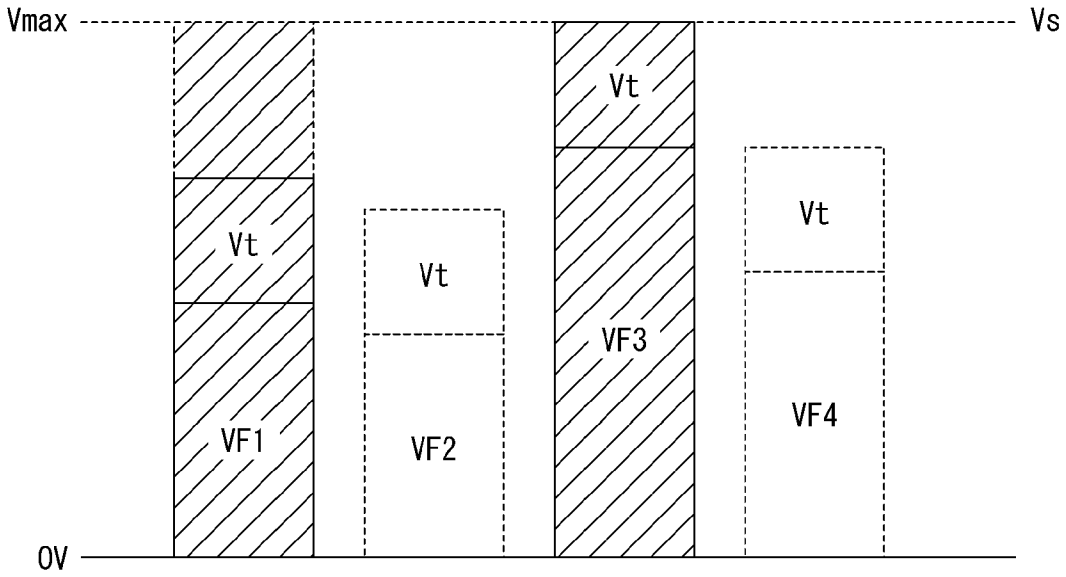

Vmax
Vs
Vt
Vt
Vt
Vt
VF1
VF2
VF3
VF4
0V

B

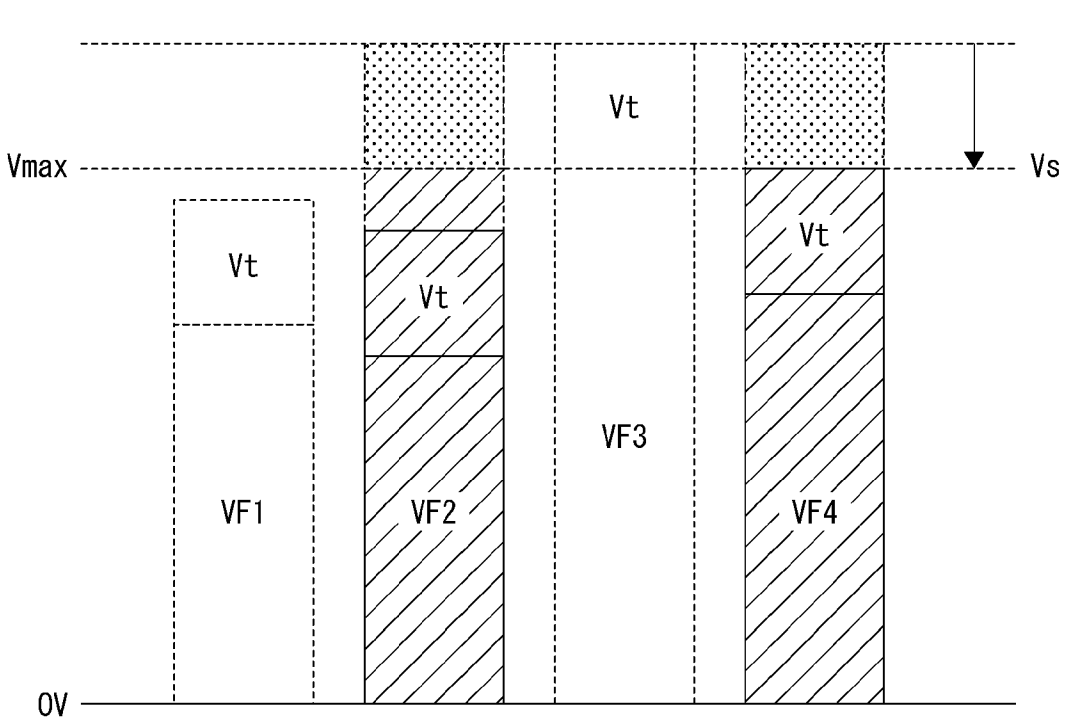

Vmax
Vs
Vt
Vt
Vt
Vt
VF1
VF2
VF3
VF4
0V

[図13]

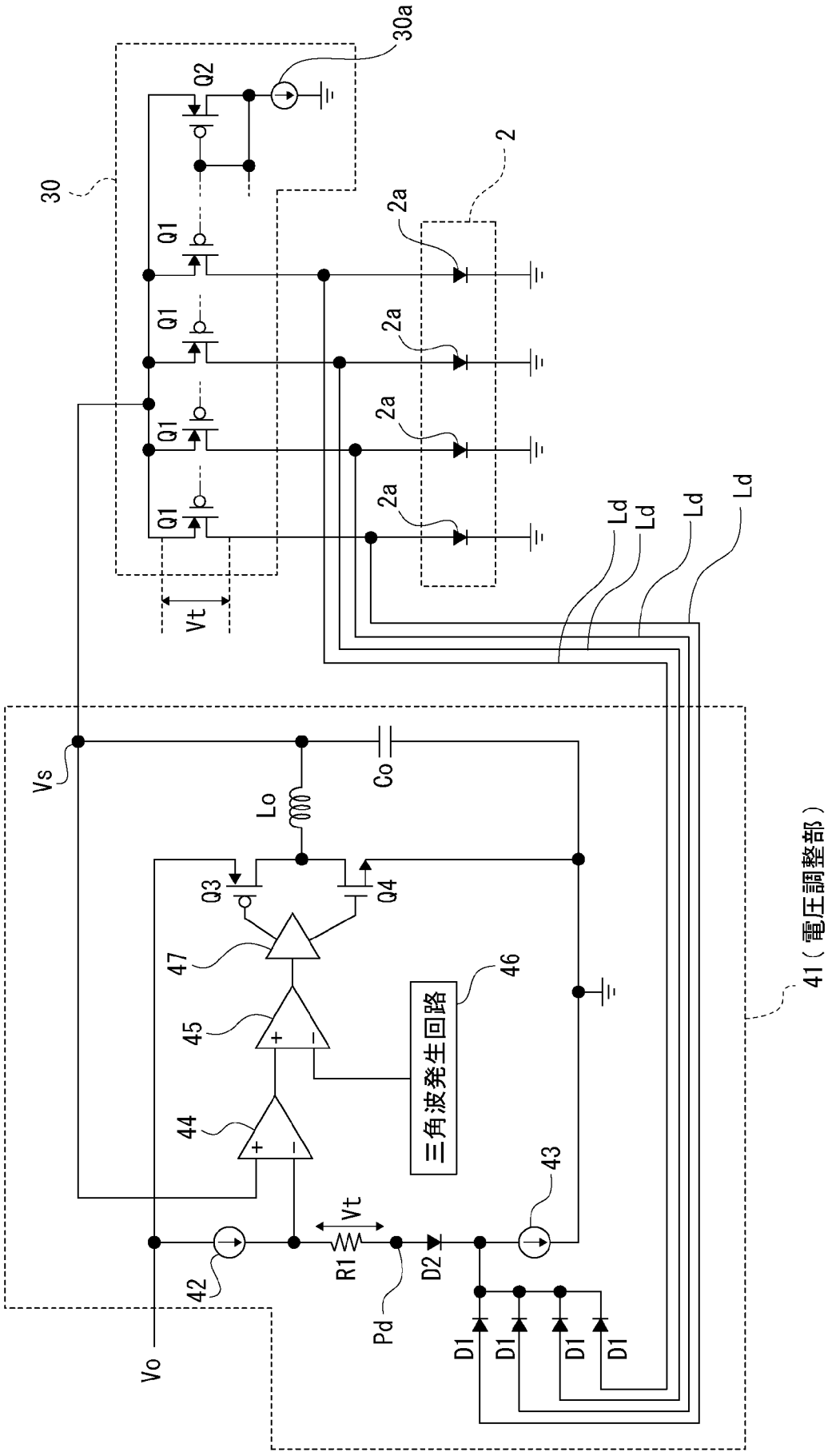
A


Vmax
Vs
Vt
Vt
Vt
Vt
VF3
VF1
VF2
VF4
0V

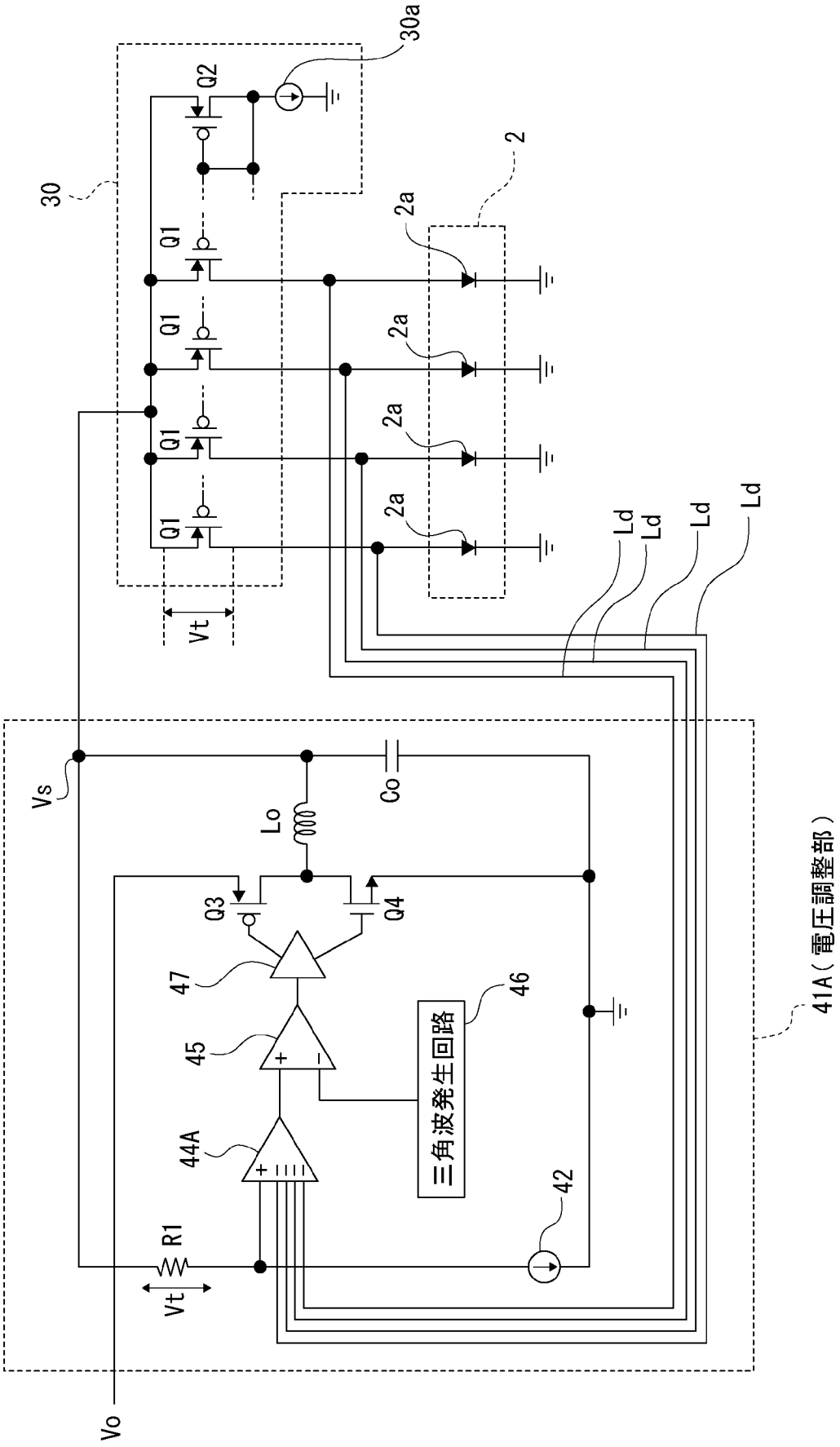
B


Vmax
Vs
Vt
Vt
Vt
Vt
VF3
VF1
VF2
VF4
0V

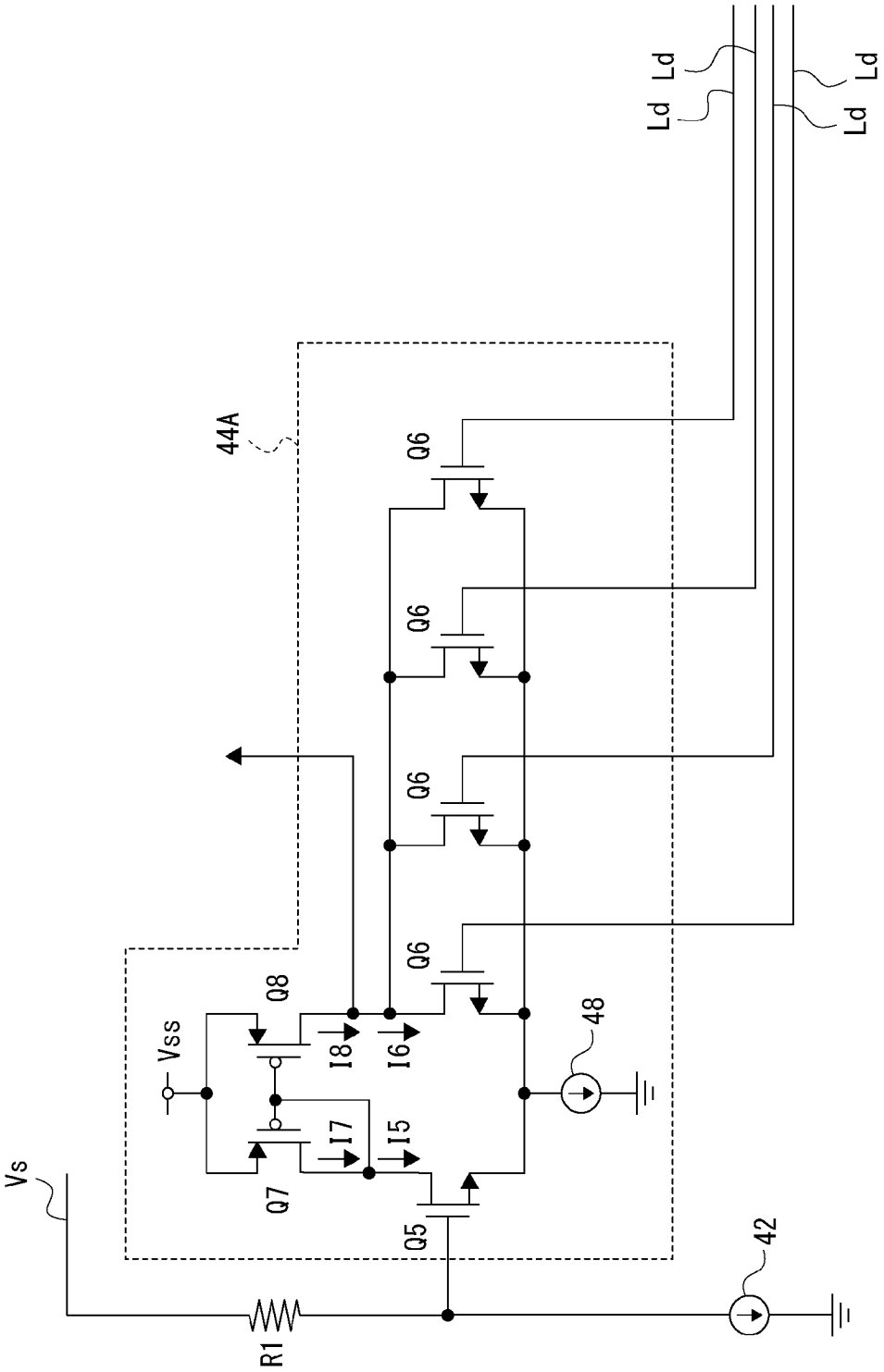
[図14]


30a
Q2
30
2
2a
Q1
Vt
Ld
Vs
Co
Lo
Q3
Q4
47
46
45
三角波発生回路
44
43
Vt
R1
D2
42
Pd
D1
Vo
41（電圧調整部）

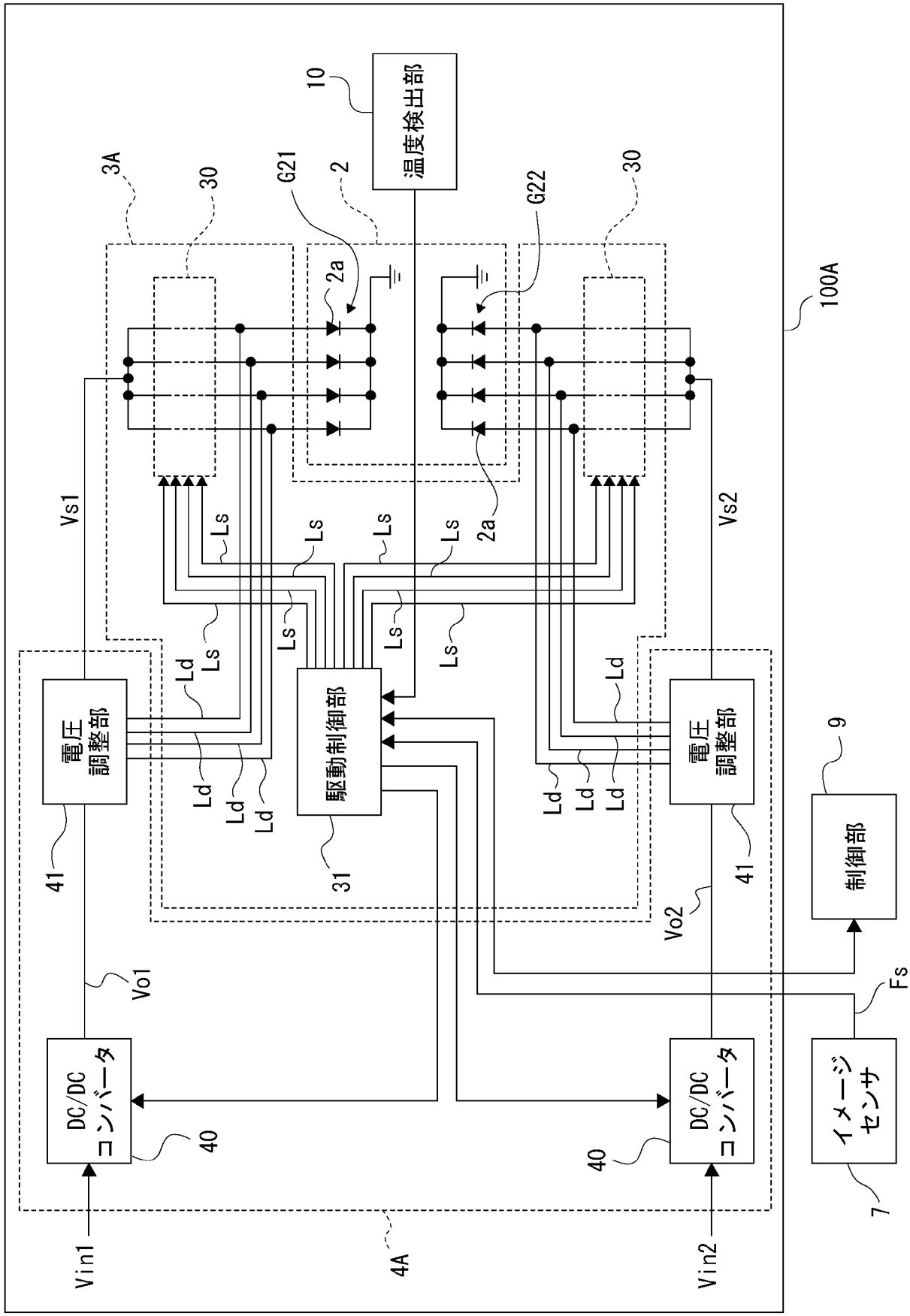
[図15]


30a
Q2
30
2
2a
Q1
Ld
Vt
Vs
Co
Lo
Q3
Q4
47
45
46
三角波発生回路
44A
42
R1
Vo
41A（電圧調整部）

[図16]



[図17]


温度検出部
10
3A
30
G21
2
G22
30
2a
100A
Vs1
Vs2
Ls
Ld
電圧調整部
駆動制御部
電圧調整部
41
31
41
Vo2
9
制御部
Vo1
Fs
DC/DC コンバータ
40
DC/DC コンバータ
40
イメージセンサ
7
Vin1
4A
Vin2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/027702

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01S5/062(2006.01)i, G01S7/481(2006.01)i, G01S17/89(2006.01)i, G03B15/02(2006.01)i, G03B15/03(2006.01)i, G03B15/05(2006.01)i, H01S5/42(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01S5/062, G01S7/481, G01S17/89, G03B15/02, G03B15/03, G03B15/05, H01S5/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-146417 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 12 August 2016, paragraphs [0017]-[0026], fig. 1-3 (Family: none)	1-11
Y	WO 2010/150444 A1 (PANASONIC CORPORATION) 29 December 2010, paragraphs [0015]-[0050], fig. 3 & US 2010/0328370 A1, paragraphs [0030]-[0065], fig. 3 & EP 2448013 A1 & CN 101990715 A	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24.09.2019	08.10.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/027702

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2017/154128 A1 (SHIMADZU CORPORATION) 14 September 2017, paragraphs [0036]-[0044], fig. 3 & US 2019/0097395 A1, paragraphs [0042]-[0050], fig. 3 & CN 108780981 A	1-11
Y	JP 2008-130523 A (MATSUSHITA ELECTRIC WORKS, LTD.) 05 June 2008, paragraphs [0055]-[0058], fig. 5 & US 2010/0109537 A1, paragraphs [0104]-[0107], fig. 14 & EP 2094063 A1	4-7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０２７７０２

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01S5/062(2006.01)i, G01S7/481(2006.01)i, G01S17/89(2006.01)i, G03B15/02(2006.01)i, G03B15/03(2006.01)i, G03B15/05(2006.01)i, H01S5/42(2006.01)i

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01S5/062, G01S7/481, G01S17/89, G03B15/02, G03B15/03, G03B15/05, H01S5/42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2016-146417 A (パナソニックＩＰマネジメント株式会社) 2016.08.12, [0017]-[0026], 図 1-3 (ファミリーなし)	1-11
Y	WO 2010/150444 A1 (パナソニック株式会社) 2010.12.29, [0015]-[0050], 図 3 & US 2010/0328370 A1, [0030]-[0065], 図 3 & EP 2448013 A1 & CN 101990715 A	1-11

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２４．０９．２０１９	０８．１０．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｋ　４００９
小濱　健太
電話番号　０３－３５８１－１１０１　内線　３２５５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2017/154128 A1 (株式会社島津製作所) 2017.09.14, [0036]-[0044], 図 3 & US 2019/0097395 A1, [0042]-[0050], 図 3 & CN 108780981 A	1-11
Y	JP 2008-130523 A (松下電工株式会社) 2008.06.05, [0055]-[0058], 図 5 & US 2010/0109537 A1, [0104]-[0107], 図 14 & EP 2094063 A1	4-7