

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-146772

(P2004-146772A)

(43) 公開日 平成16年5月20日(2004.5.20)

(51) Int. Cl.⁷

H01L 27/105

F I

H01L 27/10 444B

テーマコード (参考)

5F083

審査請求 未請求 請求項の数 11 O L (全 61 頁)

(21) 出願番号 特願2003-64601 (P2003-64601)
(22) 出願日 平成15年3月11日 (2003.3.11)
(31) 優先権主張番号 特願2002-74566 (P2002-74566)
(32) 優先日 平成14年3月18日 (2002.3.18)
(33) 優先権主張国 日本国 (JP)
(31) 優先権主張番号 特願2002-249448 (P2002-249448)
(32) 優先日 平成14年8月28日 (2002.8.28)
(33) 優先権主張国 日本国 (JP)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(74) 代理人 100091672
弁理士 岡本 啓三
(72) 発明者 安藤 崇志
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 彦坂 幸信
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 伊藤 昭男
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

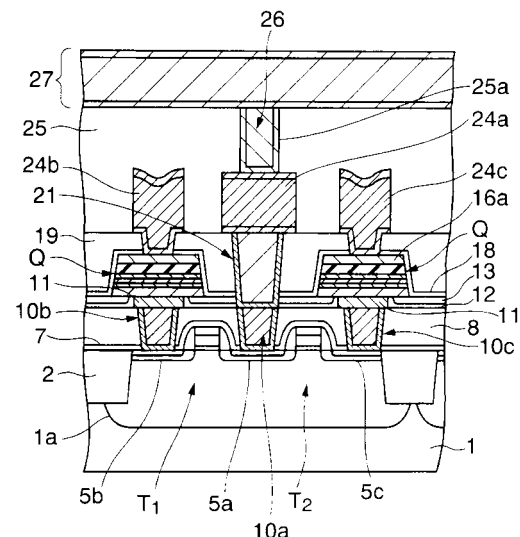
(57) 【要約】

【課題】 キャパシタを有する半導体装置に関し、キャパシタに接続される導電性プラグとその他の導電性プラグを良好に形成すること。

【解決手段】 第1絶縁膜8に形成された第1、第2導電性プラグ10b、10aと、第1導電性プラグ10bを覆う島状の酸素バリアメタル層11と、第1絶縁膜8上に形成され且つ酸素バリアメタル層11の側面を覆う酸化防止絶縁層12と、酸素バリアメタル層12上と酸化防止絶縁層12上に形成された下部電極14aと、下部電極14a上に形成された誘電体層15aと、誘電体層15a上に形成された上部電極16aとを有するキャパシタQと、キャパシタQと酸化防止絶縁層12を覆う第2絶縁膜19と、第2導電性プラグ10a上であって第2絶縁膜19から酸化防止絶縁層12に形成された第3ホールと、第3ホール内に形成されて第2導電性プラグ10aに接続される第3導電性プラグ21とを含む。

【選択図】 図10

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図 (その8)



【特許請求の範囲】

【請求項 1】

半導体基板の表層に形成された第 1 及び第 2 の不純物拡散領域と、
前記半導体基板の上方に形成された第 1 絶縁層と、
前記第 1 絶縁層に形成された第 1、第 2 のホールと、
前記第 1 のホール内に形成されて前記第 1 の不純物拡散領域に電氣的に接続される第 1 導電性プラグと、
前記第 2 のホール内に形成されて前記第 2 の不純物拡散領域に電氣的に接続される第 2 導電性プラグと、
前記第 1 絶縁層上であって前記第 1 導電性プラグ及びその周辺領域の上に形成された島状の酸素バリアメタル層と、
前記第 1 絶縁層上に形成され且つ前記第 2 導電性プラグの酸化を防止する材料からなる酸化防止層と、
前記酸素バリアメタル層の上に形成された下部電極と、該下部電極上に形成された誘電体層と、該誘電体層上に形成された上部電極とを有するキャパシタと、
前記キャパシタと前記酸化防止層を覆う第 2 絶縁膜と、
前記第 2 導電性プラグの上であって、前記第 2 絶縁層に形成された第 3 のホールと、
前記第 3 のホール内に形成されて前記第 2 導電性プラグに電氣的に接続される第 3 導電性プラグと
を有することを特徴とする半導体装置。 10 20

【請求項 2】

前記酸化防止層は、前記第 1 絶縁層の上に形成されて前記酸素バリアメタル層の側面を覆う酸化防止絶縁層であり、
前記第 3 のホールは前記酸化防止絶縁層にも形成されて前記第 2 のホールに接続され、
前記第 3 導電性プラグは前記第 2 導電性プラグに接続されている
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記酸化防止層は、前記第 2 導電性プラグ上に形成され且つ前記酸素バリアメタル層と同じ導電材から構成される島状の導電層であり、
前記第 3 導電性プラグは、前記島状の導電層を介して前記第 2 導電性プラグに接続されている 30
ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記酸素バリアメタル層は複数の導電層から構成され、該複数層構造の上側層は該複数層構造の下側層よりも研磨が容易な導電材料から構成されていることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【請求項 5】

前記酸素バリアメタル層と前記下部電極の間には導電性密着層が形成されていることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】

前記酸素バリアメタル層の下であって前記第 1 導電性プラグ及びその周囲の前記第 1 絶縁層の上には導電性密着層が形成されていることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の半導体装置。 40

【請求項 7】

半導体基板の表層に第 1 及び第 2 の不純物拡散領域を形成する工程と、
前記半導体基板の上方に第 1 絶縁層を形成する工程と、
前記第 1 絶縁層に第 1、第 2 のホールを形成する工程と、
前記第 1 の不純物拡散領域に電氣的に接続される第 1 導電性プラグを前記第 1 のホール内に形成し、同時に、前記第 2 の不純物拡散領域に電氣的に接続される第 2 導電性プラグを前記第 2 のホール内に形成する工程と、 50

前記第 1 及び第 2 導電性プラグの上と前記第 1 絶縁層の上に酸素バリアメタル層を形成する工程と、
前記酸素バリアメタル層をパターニングすることにより、前記酸素バリアメタル層を前記第 1 導電性プラグの上に島状に残す工程と、
島状の前記酸素バリアメタル層と前記第 1 絶縁層の上に絶縁性酸化防止層を形成する工程と、
前記絶縁性酸化防止層を研磨して前記酸素バリアメタル層の上面を露出させる工程と、
前記酸素バリアメタル層及び前記絶縁性酸化防止層の上に第 1 導電層を形成する工程と、
前記第 1 導電層の上に誘電体層を形成する工程と、
前記誘電体層の上に第 2 導電層を形成する工程と、
前記第 2 導電層、前記誘電体層及び前記第 1 導電層をパターニングして前記第 1 導電性プラグ上の前記酸素バリアメタル層上にキャパシタを形成する工程と、
前記キャパシタ、前記絶縁性酸化防止層の上方に第 2 絶縁層を形成する工程と、
前記第 2 絶縁層をパターニングして前記第 2 導電性プラグの上方に第 3 のホールを形成する工程と、
前記第 2 導電性プラグに電氣的に接続される第 3 導電性プラグを前記第 3 のホール内に形成する工程と
を有することを特徴とする半導体装置の製造方法。

10

【請求項 8】

前記絶縁性酸化防止層の上に絶縁性密着層を形成する工程と、
前記絶縁性酸化防止層と同時に前記絶縁性密着層を平坦化する工程と、
前記第 3 のホールを前記絶縁性密着層を貫通させる工程と
をさらに有することを特徴とする請求項 7 に記載の半導体装置の製造方法。

20

【請求項 9】

前記酸素バリアメタル層をパターニングすることにより前記第 2 導電性プラグ及びその周辺に導電性酸化防止層として島状に残す工程と、
前記導電性酸化防止層の上に前記第 3 のホールを形成する工程と
前記第 3 導電性プラグを前記第 3 のホール内に形成して前記導電性酸化防止層を介して前記第 2 導電性プラグに電氣的に接続する工程と
を有することを特徴とする請求項 7 に記載の半導体装置の製造方法。

30

【請求項 10】

島状の前記酸素バリアメタル層は、前記酸素バリアメタル層の上にハードマスクを形成した後に、前記ハードマスクから露出した前記酸素バリアメタル層をエッチングすることによりパターニングされることを特徴とする請求項 7 乃至請求項 9 のいずれかに記載の半導体装置の製造方法。

【請求項 11】

前記絶縁性酸化防止層は前記ハードマスク上にも形成され、
前記絶縁性酸化防止層の研磨と同時に前記ハードマスクを研磨して除去することを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

40

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、より詳しくは、キャパシタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

現在量産されている FeRAM (Ferroelectric Random Access Memory) の強誘電体キャパシタはプレーナー構造である。

【0003】

しかし、今後高集積化の要請から、セル面積をより小さくできるスタック構造のキャパシ

50

タが必要となる。スタック構造は、強誘電体キャパシタの下部電極の直下に半導体基板とのコンタクトのための導電性プラグを有している。その導電性プラグの材料として、例えば下記の特許文献1に記載されているように、タングステン又はポリシリコンを用いるのが一般的である。

【0004】

一方、F e R A Mは、ロジック品と混載する商品が多い。例えば、認証を必要とするセキュリティ関係の半導体チップや、地方自治体などで利用されつつあるI Cカードはその一例である。

【0005】

ロジックの半導体装置では、下側導電パターンと上側導電パターンの接続にタングステンプラグを用いたプロセスを使用するのが一般的であり、回路を設計するためのスパイスパラメータももちろんタングステンプラグ抵抗の値が用いられている。 10

【0006】

従って、蓄積された回路設計資産を生かし、且つ開発工数・コストを下げる意味を考慮して、ロジック混載F e R A Mにおけるコンタクトプラグとして従来通りタングステンプラグを用いることは大きなメリットである。

【0007】

次に、スタックキャパシタを有するメモリセルの形成工程を説明する。

【0008】

まず、図1(a) に示す構造になるまでの工程を説明する。 20

【0009】

シリコン基板101の素子形成領域の周囲に素子分離絶縁膜102を形成し、その後に素子形成領域にウェル103を形成する。さらに、1つのウェル103に2つのM O Sトランジスタ104を形成する。

【0010】

M O Sトランジスタ104は、ウェル103上にゲート絶縁膜104aを介して形成されたゲート電極104bと、ゲート電極104bの両側のウェル領域103内に形成されてソース／ドレインとなる不純物拡散領域104c, 104dを有している。また、ゲート電極104bの両側面には、不純物拡散領域104c, 104d内に不純物高濃度領域104eを形成するための絶縁性サイドウォール105が形成される。 30

【0011】

その後に、M O Sトランジスタ104を覆うトランジスタ保護絶縁膜106をシリコン基板101上に形成し、さらに第1層間絶縁膜107をトランジスタ保護絶縁膜106上に形成する。

【0012】

続いて、第1層間絶縁膜107のうちM O Sトランジスタ104の一方の不純物拡散領域104c上に第1コンタクトホール107aを形成した後に、第1コンタクトホール107a内に第1コンタクトプラグ108を埋め込む。

【0013】

さらに、第1コンタクトプラグ108と第1層間絶縁膜107の上に、第1金属膜109、強誘電体膜110、第2金属膜111を順に形成する。強誘電体膜110として、例えばP Z T膜を形成する。 40

【0014】

次に、図1(b) に示すように、第1金属膜109、強誘電体膜110及び第2金属膜111をフォトリソグラフィ法によりパターンニングすることによりキャパシタ112を形成する。

【0015】

キャパシタ112において、下部電極109aは第1金属膜109から形成され、誘電体膜110aは強誘電体膜110から形成され、上部電極111aは第2金属膜111から形成される。キャパシタ112はスタック型であり、下部電極109aはその下の第1コ 50

ンタクトプラグ108を介してMOSトランジスタ104の一方の不純物拡散層104cに接続される。

【0016】

この後、図1(c)に示すように、キャパシタ保護膜113をキャパシタ112と第1層間絶縁膜107の上に形成する。さらにキャパシタ保護膜113上に第2層間絶縁膜114を形成した後に、第2層間絶縁膜114、キャパシタ保護膜113、第1層間絶縁膜107及びトランジスタ保護膜106をフォトリソグラフィ法によりパターニングすることにより、MOSトランジスタ104の他方の不純物拡散領域104d上に第2コンタクトホール114aを形成する。その後に、第2コンタクトホール114a内に第2コンタクトプラグ115を形成する。

10

【0017】

次に、図2に示す構造を形成するまでの工程を説明する。

【0018】

第2層間絶縁膜114及びキャパシタ保護膜113をパターニングすることにより、キャパシタ112の上部電極110aの上に第3コンタクトホール114bを形成する。さらに、第2層間絶縁膜114上と第3コンタクトホール114b内に導電膜を形成した後、この導電膜をパターニングすることによりキャパシタ112の上部電極111aに接続する配線116aを形成すると同時に第2コンタクトプラグ115の上に導電性パッド116bを形成する。

【0019】

さらに、配線116a、導電性パッド116b及び第2層間絶縁膜114の上に第3層間絶縁膜117を形成する。その後に、第3層間絶縁膜117をパターニングすることにより導電性パッド116bの上にホール117aを形成し、さらにホール117aの中に第4導電性プラグ118を形成する。

20

【0020】

その後に、第3層間絶縁膜117上に、導電性プラグ118上に接続されるビット線118を形成する。

【0021】

強誘電体キャパシタ112の強誘電体膜110として例えばPZT膜が形成される。PZT膜は形成後に酸素雰囲気中で結晶化アニールがなされ、その後のエッチングの後には酸素雰囲気中でPZT膜の回復アニールなどがなされる。

30

【0022】

ここで、図1、図2に示した強誘電体キャパシタの直下にコンタクトプラグとしてタングステンプラグが形成されることを考える。

【0023】

下記の特許文献2に記載されているように、タングステンプラグは非常に速い速度で且つ低い温度で酸化する。また、タングステンプラグは、一旦酸化が始まるとプラグ全体まで広がり、容易にコンタクト不良を起こし、FeRAMデバイスの歩留まりの低下を引き起こす。

【0024】

また、コンタクトプラグの材料にポリシリコンを用いる場合でも、タングステンほどではないにしろやはり酸化されてしまう。

40

【0025】

ところで、上記したように、強誘電体キャパシタの性能を向上させるには、さまざまな酸素雰囲気中でのアニールを必要とする。

【0026】

従って、強誘電体キャパシタの性能向上とコンタクトプラグの性能向上はトレードオフの関係にあった。

【0027】

これに対して、強誘電体膜の結晶化アニール、或いは、強誘電体キャパシタの回復アニール

50

ルの際のタングステンプラグの異常酸化を防ぐ試みが種々なされている。例えば、下記の特許文献2、特許文献3、特許文献4、特許文献5、特許文献6には、キャパシタとタングステンプラグの間に酸素バリアメタル層を形成する構造が記載されている。

【0028】

上記したようにメモリセルを構成するMOSトランジスタ104では、一方の不純物拡散領域104cはコンタクトプラグ108を介して強誘電体キャパシタ112に接続され、他方の不純物拡散領域104dは別なコンタクトプラグ115を介してビット線119に接続される。

【0029】

キャパシタ112を形成した後に、ビット線接続用のコンタクトプラグ115を形成するのは、酸素雰囲気中での強誘電体膜110の結晶化アニールと強誘電体キャパシタ112の回復アニールの際に、コンタクトプラグ115が酸化しないようにするためである。

【0030】

【特許文献1】

特開2001-443476号公報

【特許文献2】

開平10-303398号公報

【特許文献3】

特開2000-349255号公報

【特許文献4】

特開2001-44377号公報

【特許文献5】

特開平10-150155号公報

【特許文献6】

特開2000-349252号公報

【0031】

【発明が解決しようとする課題】

しかし、ビット線接続用のコンタクトホール115のアスペクト比は、今後のさらなる微細化にともなってますます大きくなってくるので、ビット線接続用のコンタクトホール114aを形成するためのエッチングと、ビット線接続用のコンタクトホール114a内のグルー層の埋め込み等、あらたに解決すべき技術的課題が生じてくる。

【0032】

本発明の目的は、キャパシタに接続される導電性プラグとその他の導電性プラグを良好に形成できる半導体装置及びその製造方法を提供することにある。

【0033】

【課題を解決するための手段】

本発明の一観点によれば、半導体基板の表層に形成された第1及び第2の不純物拡散領域と、前記半導体基板の上方に形成された第1絶縁層と、前記第1絶縁層に形成された第1、第2のホールと、前記第1のホール内に形成されて前記第1の不純物拡散領域に電氣的に接続される第1導電性プラグと、前記第2のホール内に形成されて前記第2の不純物拡散領域に電氣的に接続される第2導電性プラグと、前記第1絶縁層上であって前記第1導電性プラグ及びその周辺領域の上に形成された島状の酸素バリアメタル層と、前記第1絶縁層上に形成され且つ前記第2導電性プラグの酸化を防止する材料からなる酸化防止層と、前記酸素バリアメタル層の上に形成された下部電極と、該下部電極上に形成された誘電体層と、該誘電体層上に形成された上部電極とを有するキャパシタと、前記キャパシタと前記酸化防止層を覆う第2絶縁膜と、前記第2導電性プラグの上であって、前記第2絶縁層に形成された第3のホールと、前記第3のホール内に形成されて前記第2導電性プラグに電氣的に接続される第3導電性プラグとを有する半導体装置が提供される。

【0034】

本発明の別な観点によれば、半導体基板の表層に第1及び第2の不純物拡散領域を形成す

る工程と、前記半導体基板の上方に第1絶縁層を形成する工程と、前記第1絶縁層に第1、第2のホールを形成する工程と、前記第1の不純物拡散領域に電氣的に接続される第1導電性プラグを前記第1のホール内に形成し、同時に、前記第2の不純物拡散領域に電氣的に接続される第2導電性プラグを前記第2のホール内に形成する工程と、前記第1及び第2導電性プラグの上と前記第1絶縁層の上に酸素バリアメタル層を形成する工程と、前記酸素バリアメタル層をパターンニングすることにより、前記酸素バリアメタル層を前記第1導電性プラグの上に島状に残す工程と、島状の前記酸素バリアメタル層と前記第1絶縁層の上に絶縁性酸化防止層を形成する工程と、前記絶縁性酸化防止層を研磨して前記酸素バリアメタル層の上面を露出させる工程と、前記酸素バリアメタル層及び前記絶縁性酸化防止層の上に第1導電層を形成する工程と、前記第1導電層の上に誘電体層を形成する工程と、前記誘電体層の上に第2導電層を形成する工程と、前記第2導電層、前記誘電体層及び前記第1導電層をパターンニングして前記第1導電性プラグ上の前記酸素バリアメタル層上にキャパシタを形成する工程と、前記キャパシタ、前記絶縁性酸化防止層の上方に第2絶縁層を形成する工程と、前記第2絶縁層をパターンニングして前記第2導電性プラグの上方に第3のホールを形成する工程と、前記第2導電性プラグに電氣的に接続される第3導電性プラグを前記第3のホール内に形成する工程とを有する半導体装置の製造方法が提供される。

10

【0035】

本発明によれば、第1絶縁膜に第1及び第2の導電性プラグが形成され、第1の導電性プラグの上に酸素バリアメタル層が形成され、第2の導電性プラグの上に酸化防止絶縁層が形成され、さらに、第1の導電性プラグの上に酸素バリアメタル層を介してキャパシタが形成され、キャパシタを覆う第2絶縁膜が形成され、第2の導電性プラグの上に第3の導電性プラグが形成されている。

20

【0036】

これにより、半導体基板の不純物拡散領域と上側の配線を接続する構造がvia-toviaの接続となり、一度にアスペクト比の大きなホールの形成が不要になり、ホールへの埋込が容易になるので、最新の設備を必要とせず、開発コスト、工程コストの削減が可能になる。

【0037】

また、第1の導電性プラグと第2の導電性プラグのうち第1の導電性プラグの上とその周辺の第1絶縁層上に酸素バリアメタル層が形成され、第2の導電性プラグの上と第1絶縁膜の上に酸化防止絶縁層を形成しているので、第1の導電性プラグは酸素バリアメタル層によって異常酸化が防止され、さらに第2の導電性プラグは酸化防止絶縁層によって異常酸化が防止される。この結果、キャパシタの下地となる酸化防止絶縁層の成長の工程や、第1の導電性プラグの上にキャパシタを形成する際に行われる誘電体層の結晶化アニールの工程や、キャパシタ形成後の回復アニールの工程において、第1、第2の導電性プラグが異常酸化されることはない。

30

【0038】

しかも、酸素バリアメタル層と酸化防止絶縁層は研磨により同時に平坦化されるので、酸素バリアメタル層の上に形成されるキャパシタ下部電極が平坦になり、その上に形成される誘電体層に劣化が生じることが回避され、特性の良いキャパシタの形成が可能になる。

40

【0039】

また、キャパシタを覆う第2絶縁膜に第3の導電性プラグを形成し、第3の導電性プラグと第2導電性プラグを接続するようにしたので、酸化防止絶縁層を形成した後から第3の導電性プラグを形成するまでは第2の導電性プラグの異常酸化は避けられる。即ち、第2の導電性プラグの周囲には酸化防止絶縁層が存在するので、層間絶縁膜の上面からの酸素の侵入が抑制されて、第2の導電性プラグの酸化がさらに防止される。なお、第1及び第2導電性プラグの形成後から酸化防止絶縁層の形成までの工程では、酸素アニールの工程が含まれないので、酸化防止絶縁層の形成前においても第1及び第2導電性プラグの異常酸化は生じない。

50

【0040】

さらに、本発明によれば、酸化防止絶縁層の代わりに酸素バリアメタル層を第2の導電性プラグの上にも島状に形成しているので、酸化防止絶縁層と同じ作用効果が得られるだけでなく、酸化防止絶縁層の形成工程が省略できる。この場合、第1の導電性プラグと第2の導電性プラグの上にそれぞれ島状に形成される酸素バリアメタル層は同時に形成することが可能であり、工程がさらに増えることはない。

【0041】

また、酸素バリアメタル層と同じ材料の酸化防止層が第2の導電性プラグの上とその周囲に形成され、さらに、第1の導電性プラグと第2の導電性プラグの上にそれぞれ形成される酸素バリアメタル層の側面が酸化防止絶縁層によって覆われることにより、酸素バリアメタル層と第1絶縁層の間から酸素が侵入することが防止され、第1及び第2の導電性プラグの酸化が防止される。

10

【0042】

なお、キャパシタの直下の第1の導電性プラグの上に形成される酸素バリアメタル層を下部電極として採用することにより、下部電極のパターニング工程が軽減される。

【0043】

さらに、キャパシタ下部電極を構成する導電層と酸素バリアメタル層との間に導電性密着層を形成することにより、キャパシタ下部電極が酸素バリアメタル層から剥がれることが防止される。

【0044】

酸素バリアメタル層と第1絶縁層の間に導電性密着層を介在させることにより第1の導電性プラグの周囲で酸素バリアメタル層が第1絶縁層から剥がれることが防止される。これにより、第1絶縁層と酸素バリアメタル層の間から第1の導電性プラグへの酸素の供給が防止される。

20

【0045】

さらに、酸素バリアメタル層を多層構造にし、その最上層を研磨が比較的容易な材料、例えば酸化イリジウムにより構成すると、酸化防止絶縁層と酸素バリアメタル層を研磨することで、キャパシタの下地がより平坦になってキャパシタの特性を向上させる。

【0046】

酸素バリアメタル層をハードマスクを使用してパターニングする場合には、酸素バリアメタル層のパターニングの後に、ハードマスクの上とその周辺に酸化防止絶縁層を形成し、その後に酸素バリアメタル層が露出するまで酸化防止絶縁層とハードマスクを研磨する。これにより、ハードマスクを除去するために独立した工程が不必要となる。しかも、ハードマスクを除去する際に第2の導電性プラグは酸化防止絶縁層で覆われているので、第2の導電プラグがハードマスク除去の際に損傷することが回避される。

30

【0047】

【発明の実施の形態】

以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態)

図3～図10は、本発明の実施形態に係る半導体装置の製造工程を示す断面図である。

40

【0048】

次に、図3(a)に示す断面構造を形成するまでの工程を説明する。

【0049】

まず、n型又はp型のシリコン(半導体)基板1のトランジスタ形成領域の周囲にフォトリソグラフィー法により素子分離用溝を形成した後に、その中に酸化シリコン(SiO_2)を埋め込んで素子分離絶縁層2を形成する。そのような構造の素子分離絶縁層2は、STI(Shallow Trench Isolation)と呼ばれる。なお、LOCOS(Local Oxidation of Silicon)法により形成した絶縁層を素子分離絶縁層として採用してもよい。

【0050】

50

続いて、メモリセル領域におけるシリコン基板 1 のトランジスタ形成領域に p 型不純物を選択的に導入して p 型ウェル 1 a を形成する。

【0051】

さらに、シリコン基板 1 の p 型ウェル 1 a の表面を熱酸化して、ゲート絶縁層 3 となるシリコン酸化層を形成する。

【0052】

次に、シリコン基板 1 の上側全面に非晶質又は多結晶のシリコン層とタングステンシリサイド層を順次形成する。その後、シリコン層とタングステンシリサイド層をフォトリソグラフィ法によりパターンニングして、メモリセル領域のウェル 1 a 上にゲート電極 4 a, 4 b を形成する。それらのゲート電極 4 a, 4 b はゲート絶縁層 3 を介してシリコン基板 1 の上に形成される。 10

【0053】

なお、メモリセル領域では、1 つの p 型ウェル 1 a 上には 2 つのゲート電極 4 a, 4 b が並列に形成され、それらのゲート電極 4 a, 4 b はワード線の一部を構成する。

【0054】

次に、p 型ウェル 1 a のうちゲート電極 4 a, 4 b の両側に n 型不純物、例えばリンをイオン注入してソース／ドレインとなる第 1 ～第 3 の n 型不純物拡散領域 5 a ～5 c を形成する。

【0055】

さらに、CVD 法により絶縁層、例えば酸化シリコン (SiO_2) 層をシリコン基板 1 の全面に形成した後に、その絶縁層をエッチバックしてゲート電極 4 a, 4 b の両側部分に絶縁性のサイドウォールスペーサ 6 として残す。 20

【0056】

続いて、p 型ウェル 1 a において、ゲート電極 4 a, 4 b とサイドウォールスペーサ 6 をマスクに使用して、第 1 ～第 3 の n 型不純物拡散領域 5 a ～5 c に再び n 型不純物をイオン注入することにより、第 1 ～第 3 の n 型不純物拡散領域 5 a ～5 c にそれぞれ不純物高濃度領域を形成する。

【0057】

なお、1 つの p 型ウェル 1 a において、2 つのゲート電極 4 a, 4 b の間の第 1 の n 型不純物拡散領域 5 a は後述するビット線に電氣的に接続され、ウェル 1 a の両端側寄りの第 2、第 3 の n 型不純物拡散領域 5 b, 5 c は後述するキャパシタの下部電極に電氣的に接続される。 30

【0058】

以上の工程により、p 型のウェル 1 a にはゲート電極 4 a, 4 b と LDD 構造の n 型不純物拡散領域 5 a ～5 c を有する 2 つの n 型の MOS トランジスタ T_1 , T_2 が 1 つの n 型不純物拡散領域 5 a を共通にして形成される。

【0059】

次に、MOS トランジスタ T_1 , T_2 を覆うカバー絶縁層 7 として約 200 nm の厚さの酸化シリコン (SiON) 層をプラズマ CVD 法によりシリコン基板 1 の全面に形成する。その後、TEOS ガスを用いるプラズマ CVD 法により、厚さ 1.0 μm 程度の酸化シリコン (SiO_2) を第 1 層間絶縁層 8 としてカバー絶縁層 7 の上に形成する。 40

【0060】

続いて、例えば常圧の窒素雰囲気中で第 1 層間絶縁層 8 を 700 $^{\circ}\text{C}$ の温度で 30 分間加熱し、これにより第 1 層間絶縁層 8 を緻密化する。その後、第 1 層間絶縁層 8 の上面を化学機械研磨 (CMP) 法により平坦化する。

【0061】

次に、図 3 (b) に示すように、レジストパターン (不図示) を用いて第 1 層間絶縁層 8 とカバー絶縁層 7 をエッチングすることにより、メモリセル領域の第 1、第 2 及び第 3 の n 型不純物拡散領域 5 a, 5 b, 5 c の上にそれぞれ第 1、第 2 及び第 3 のコンタクトホール 8 a, 8 b, 8 c を形成する。 50

【0062】

次に、図4(a) に示す構造を形成するまでの工程を説明する。

【0063】

まず、第1層間絶縁層8上面と第1～第3のコンタクトホール8a～8c内面に、グルー層9aとして厚さ20nmのチタン(Ti)層と厚さ50nmの窒化チタン(TiN)層をスパッタ法により順に形成する。さらに、WF₆を用いるCVD法によって、タングステン(W)層9bをグルー層9a上に成長してコンタクトホール8a～8c内を完全に埋め込む。

【0064】

続いて、タングステン層9bとグルー層9aをCMP法により研磨して第1層間絶縁層8の上面上から除去する。これにより、第1、第2及び第3のコンタクトホール8a、8b、8c内にそれぞれ残されたタングステン層9b及びグルー層9aは、第1、第2及び第3の導電性プラグ10a、10b、10cとして使用される。第1、第2及び第3の導電性プラグ10a、10b、10cは、それぞれ第1、第2及び第3のn型不純物拡散領域5a、5b、5cに接続される。また、第1の導電性プラグ10aは、後述するビット線に電氣的に接続され、第2及び第3の導電性プラグ10b、10cはそれぞれ後述するキャパシタに接続される。

【0065】

その後に、基板温度350℃、120秒の条件で第1層間絶縁層8を窒素プラズマ雰囲気中に曝す。

【0066】

次に、図4(b) に示すように、第1～第3の導電性プラグ10a～10cの上と第1層間絶縁層8の上に、導電性の酸素バリアメタル層11としてイリジウム層をスパッタにより形成する。イリジウム層は、第2、第3の導電性プラグ10b、10cの異常酸化を防止するために十分な厚さに形成される。例えば、イリジウム層は、酸素含有雰囲気中で550℃の基板温度でアニールする際に導電性プラグ10a～10cの異常酸化を防止するために例えば200nmの厚さに形成され、さらに基板温度が100℃上がるごとに厚さを100nmずつ加えて形成される。

【0067】

続いて、酸素バリアメタル層11のうち第2、第3の導電性プラグ10b、10cの上とその周辺の領域にマスクM₁としてレジストパターンを形成する。

【0068】

次に、図5(a) に示すように、マスクM₁に覆われない領域の酸素バリアメタル層11をエッチングすることにより、酸素バリアメタル層11を第2、第3の導電性プラグ10b、10cの上とその周辺に島状に残す。これにより、第1の導電性プラグ10aは露出する。その後にマスクM₁は除去される。なお、マスクM₁として窒化チタン、酸化シリコン等のハードマスクを用いてもよい。ハードマスクは、有機材料からなるレジストと異なり無機膜から構成される。

【0069】

次に、図5(b) に示すように、第1の導電性プラグ10a、酸素バリアメタル層11及び第1層間絶縁層8の上に酸化防止絶縁層12として酸窒化シリコン(SiON)層又は窒化シリコン(Si₃N₄)層をCVD法により例えば100nmの厚さに形成する。厚さ100nmのSiON層又はSi₃N₄層は、約650℃の酸素アニール下で、第1の導電性プラグ10aの酸化を防止する能力を有する。

【0070】

続いて、酸化防止絶縁層12上に絶縁性密着層13を形成する。絶縁性密着層13は、後述するキャパシタ下部電極との密着性を向上するために形成される。絶縁性密着層13として、例えばTEOSを用いるCVD法により100nmの厚さの酸化シリコン(SiO₂)層を形成する。

【0071】

次に、図6(a)に示すように、酸素バリアメタル層11をストッパー層として機能させて、絶縁性密着層13と酸化防止絶縁層12をCMPにより研磨して酸素バリアメタル層11の上面を露出させる。この場合、酸素バリアメタル層11、絶縁性密着層13及び酸化防止絶縁層12の研磨面は平坦になる。

【0072】

この後に、図6(b)に示すように、酸素バリアメタル層11、酸化防止絶縁層12及び絶縁性密着層13の上に第1導電層14を形成する。第1導電層14として、例えば厚さ200nmのイリジウム(Ir)層14w、厚さ30nmの酸化イリジウム(IrO₂)層14x、厚さ30nmの酸化プラチナ(PtO)層14y、及び厚さ50nmのプラチナ(Pt)層14zをスパッタにより順に形成する。

10

【0073】

なお、第1導電層14を形成する前又は後に例えば膜剥がれ防止のために絶縁性密着層13をアニールする。アニール方法として、例えば、アルゴン雰囲気中で750℃、60秒のRTA(rapid thermal annealing)を採用する。

【0074】

続いて、第1導電層14上に、強誘電体層15として例えば厚さ200nmのPZT層をスパッタ法により形成する。強誘電体層15の形成方法は、その他に、MOD(metal organic deposition)法、MOCVD(有機金属CVD)法、ゾル・ゲル法などがある。また、強誘電体層15の材料としては、PZT以外に、PLCSZT、PLZTのような他のPZT系材料や、SrBi₂Ta₂O₉、SrBi₂(Ta, Nb)₂O₉等のBi層状構造化合物材料、その他の金属酸化物強誘電体を採用してもよい。

20

【0075】

続いて、酸素含有雰囲気中で強誘電体層15をアニールにより結晶化する。そのアニールとして、例えばアルゴン(Ar)と酸素(O₂)の混合ガス雰囲気中で基板温度600℃、時間90秒の条件を第1ステップ、酸素雰囲気中で基板温度750℃、時間60秒の条件を第2ステップとする2ステップのRTA処理を採用する。

【0076】

さらに、強誘電体層15の上に、第2導電層16として例えば厚さ200nmの酸化イリジウム(IrO₂)をスパッタ法により形成する。

30

【0077】

次に、第2導電層16上に、ハードマスク17としてTiN層とSiO₂層を順に形成する。TiN層はスパッタにより形成され、また、SiO₂層はTEOSを用いるCVD法により形成される。ハードマスク17は、フォトリソグラフィ法により酸素バリアメタル層11の上方とその周辺にキャパシタ平面形状となるようにパターンニングされる。

【0078】

続いて、ハードマスク17に覆われない領域の第2導電層16、強誘電体層15、第1導電層14を順次エッチングすることにより、酸素バリアメタル層11、絶縁性密着層13及び酸化防止絶縁層12の上にキャパシタQを形成する。この場合、第2導電層16、強誘電体層15及び第1導電層14は、ハロゲン元素を含む雰囲気中でスパッタ反応によりエッチングされる。

40

【0079】

キャパシタQは、図7(a)に示すように、第1導電層14よりなる下部電極14aと、強誘電体層15よりなる誘電体層15aと、第2導電層16よりなる上部電極16aから構成される。

【0080】

1つのウェル1aの上方には2つのキャパシタQが形成され、それらの下部電極14aはそれぞれ第2又は第3の導電性プラグ10b, 10cを介して第2又は第3のn型不純物拡散領域5b, 5cに電氣的に接続される。

【0081】

50

なお、キャパシタQの形成の際に絶縁性密着層13がエッチングされても、その下の酸化防止絶縁層12はエッチングストッパーとして機能するので、第1の導電性プラグ10aが露出することはない。

【0082】

ハードマスク17は、キャパシタQのパターン形成後に除去される。

【0083】

次に、エッチングによる強誘電体層15のダメージを回復するために、キャパシタの回復アニールを行う。この場合の回復アニールは、例えば、基板温度650℃、60分間の条件で酸素を含むファーネス内で行われる。

【0084】

このように強誘電体層15のパターニング直後に回復アニールなどの熱処理を施す場合、下部電極14a直下の第2、第3の導電性プラグ10b、10cの耐熱性は、酸素バリアメタル層11の酸素透過性で決まり、また、下部電極14a直下に位置しない第1の導電性プラグ10aの耐酸化性は、絶縁性密着層13と酸化防止絶縁層12の酸素透過性で決まる。

【0085】

上記のような熱プロセスがキャパシタQを形成する際にはかかるわけであるが、絶縁性密着層13として窒化シリコン層を用いた場合に厚さが70nmであればタングステンからなる第1の導電性プラグ10aは異常酸化しない。

【0086】

また、タングステンよりなる第2、第3の導電性プラグ10b、10c上に厚さ200nmのイリジウム層が存在するとすれば、上記した酸素アニールによって第2、第3の導電性プラグ10b、10cは異常酸化をしてコンタクト不良を起こしてしまう。経験的には100℃アニール温度を上げるためには、酸素バリアメタル層11であるIr層をさらに100nm厚くする必要がある。例えば、熱プロセスに耐えうるタングステンプラグを下部電極14aの直下に作るためには、400nm以上のIr酸素バリアメタル層を必要とする。この実施形態においては、酸素バリアメタル層11を構成するイリジウム層と第一導電層14を構成するイリジウム層14zと合わせたIr層の総厚は400nmとなっているので、第2、第3の導電性プラグ10b、10cの異常酸化が防止される。

【0087】

次に、図7(b)に示すように、キャパシタ保護層18として厚さ50nmのアルミナをスパッタによりキャパシタQ及び絶縁性密着層13の上に形成する。このキャパシタ保護層18は、プロセスダメージからキャパシタQを保護するものであって、アルミナの他、PZTで構成してもよい。続いて、650℃で60分間の条件でキャパシタQをファーネス内の酸素雰囲気内でアニールする。

【0088】

その後、HDP(High Density Plasma)装置を用いて、プラズマCVD法により、第2層間絶縁層19として厚さ1.0μm程度の酸化シリコン(SiO₂)をキャパシタ保護層18上に形成する。

【0089】

さらに、第2層間絶縁層19の上面をCMP法により平坦化する。この例では、CMP後の第2層間絶縁層19の残りの厚さは、上部電極16a上で300nm程度とする。

【0090】

次に、図8(a)に示すように、レジストマスク(不図示)を用いて、第2層間絶縁層19、キャパシタ保護層18、絶縁性密着層13及び酸化防止絶縁層12をエッチングすることにより、第1の導電性プラグ10aの上に第4のコンタクトホール19aを形成する。

【0091】

次に、図8(b)に示すように、第4のコンタクトホール19a内と第2層間絶縁層19上に、グルー層20aとして厚さ50nmのTiN層をスパッタ法により形成する。

10

20

30

40

50

さらに、CVD法によりタングステン層20bをグルー層20aの上に成長して第4のコンタクトホール19a内を完全に埋め込む。

【0092】

続いて、図9(a)に示すように、タングステン層20b、グルー層20aをCMP法により研磨して第2層間絶縁層19の上面上から除去する。そして、第4のコンタクトホール19a内に残されたタングステン層20b及びグルー層20aを第4の導電性プラグ21とする。

【0093】

これにより、第4の導電性プラグ21は、第1の導電性プラグ10aに接続されてvia-
-t o -v i aコンタクトとなり、第1の不純物拡散領域5aに電氣的に接続される。 10

【0094】

さらに、窒素プラズマ雰囲気中で第2層間絶縁層19を350℃、120秒の条件でアニールする。

【0095】

次に、図9(b)に示すように、第4の導電性プラグ21上と第2層間絶縁層19上に、第2の酸化防止絶縁層22としてSiON層をCVD法により100nmの厚さに形成する。

【0096】

続いて、第2の酸化防止層22、第2層間絶縁層19及びキャパシタ保護層18をフォトリソグラフィ法によりパターニングしてキャパシタQの上部電極16a上にホール23
を形成する。ホール23を形成することによりダメージを受けたキャパシタQはアニール
によって回復される。そのアニールは、例えば酸素含有雰囲気中で基板温度550℃とし
て60分間行われる。 20

【0097】

次に、図10に示す構造を形成するまでの工程を説明する。

【0098】

まず、第2層間絶縁層19上に形成された第2の酸化防止層22をエッチバックによって除去する。これにより、第4の導電性プラグ21の表面が露出する。

【0099】

続いて、キャパシタQの上部電極16a上のホール23内と第2層間絶縁層19の上に多
層金属層を形成する。その多層金属層として、例えば、厚さ60nmのTi、厚さ30n
mのTiN、厚さ400nmのAl-Cu、厚さ5nmのTi、及び70nmのTi
N層を順に形成する。 30

【0100】

その後、多層金属層をパターニングすることにより、第4の導電性プラグ21に接続される導電性パッド24aと、ホール23を通して上部電極16aに接続される一層目金属配線24b、24cとを形成する。

【0101】

なお、多層金属層をパターニングする際に露光光の反射によるパターン精度の低下を防止するために、多層金属層の上に酸化窒化シリコン(SiON)などの反射防止層(不図示)
を30nmの厚さに形成し、さらに反射防止層上にレジストを塗布した後に、レジストを
露光、現像して配線形状等のレジストパターンを形成し、そのレジパターンを用いて多層
金属膜をエッチングする方法を採用する。反射防止層は、多層金属層のパターニング後に
そのまま残してもよい。 40

【0102】

さらに、第2層間絶縁層19と一層目金属配線24b、24cと導電性パッド24aの上に第3層間絶縁層25を形成する。

【0103】

続いて、第3層間絶縁層25をパターニングして導電性パッド24aの上にビット線コン
タクト用のホール25aを形成する。また、そのホール25aの中に下から順にTiN 50

層及びW層からなる第5の導電性プラグ26を形成する。

【0104】

次に、第3層間絶縁層25上に、ビット線27を含む二層目金属配線を形成する。ビット線27は、一層目金属配線24b, 24cと同様に、多層金属構造となっている。また、ビット線27は、第5の導電性プラグ26に接続されることにより、その下の導電性パッド24a、第4の導電性プラグ21及び第1の導電性プラグ10aを介して第1のn型不純物拡散領域5aに電氣的に接続される。

【0105】

その後、二層目金属配線を覆う絶縁層等が形成され、最後にTEOS原料酸化シリコン層と窒化シリコン層により構成されるカバー層を形成するが、その詳細は省略する。

10

【0106】

上記した実施形態では、キャパシタQを構成する下部電極14aの下方では、第2、第3の導電性プラグ10b, 10cが酸素バリアメタル層11により覆われ、且つビット線27に接続される第1の導電性プラグ10a及び第1の層間絶縁層8が酸化防止絶縁層12により覆われている。これにより、強誘電体層15の結晶化アニールや回復アニールの際に、第1の導電性プラグ10aは酸化防止絶縁層12により異常酸化が阻止され、且つ第2、第3の導電性プラグ10b, 10cは酸素バリアメタル層11によって異常酸化が阻止される。また、酸化防止絶縁層12は、第4のコンタクトホール19aが形成されるまで第1の導電性プラグ10aを覆っているので、キャパシタQの形成やその後の工程でのアニールによって第1の導電性プラグ10aが酸化されることはない。しかも、第1の導電性プラグ10aの上方に第2層間絶縁層19を形成する場合においても、第1の導電性プラグ10aは酸化防止絶縁層12によって覆われているので、第1の導電性プラグ10aが酸化されることが防止されている。

20

【0107】

さらに、パターニングされた酸素バリアメタル層11の側面が酸化防止絶縁層12によって覆われているので、酸素バリアメタル層11の大きさを第2、第3の導電性プラグ10b, 10cとほぼ同じに形成したとしても、側方から酸素バリアメタル層11への酸素の侵入が防止されて第2、第3の導電性プラグ10b, 10cの異常酸化が発生しなくなる。

【0108】

第2、第3の導電性プラグ10b, 10cの上にそれぞれ形成された酸素バリアメタル層11は、酸化防止絶縁層12及び絶縁性密着層13をCMP法により研磨する際にストッパとして機能する。この結果、酸素バリアメタル層11、酸化防止絶縁層12及び絶縁性密着層13の上面は平坦になり、第一導電層14上に形成される強誘電体層15の結晶の劣化が防止される。

30

【0109】

また、通常のロジック品に比べてFeRAMは強誘電体キャパシタ分だけ第1層間絶縁層8上で段差があるため、一層目金属配線24bから不純物拡散領域5aへのコンタクトホールのアスペクトが大きくなるおそれがある。これを図1に示した従来のように一括エッチングで形成しようとする、エッチング自体が難しくなることに加えて、コンタクトホール内へのグルー層の埋め込みも厳しくなる。このような問題を排除するためには最新設備を必要とする。

40

【0110】

これに対して、本実施形態のように、第1のn型不純物拡散領域5aとコンタクトパッド24aの間では、2つの導電性プラグ21, 10aを介して接続してvia-to-viaコンタクトを形成している。これにより、FeRAM品の歩留まりをあげるにとどまらず、既存装置を使いまわすことができ、開発費および工程コストの削減が実現できるという利点がある。

(第2の実施の形態)

第1実施形態では、第2、第3の導電性プラグ10b, 10c上に酸素バリアメタル層1

50

1として形成されるイリジウム層と、キャパシタQの下部電極14aの最下層部として形成されるイリジウム層14wを別々の工程で形成している。

【0111】

そこで、本実施形態では、それら2層のイリジウム層の一方を省略した構造について説明する。

【0112】

図11～図15は、本発明の第2実施形態の半導体装置の製造工程を示す断面図である。

【0113】

まず、図11(a)に示すように、第1実施形態に示した工程に従って、シリコン基板1にMOSトランジスタ T_1 、 T_2 を形成し、さらに、カバー層7、第1層間絶縁層8、第1～第3の導電性プラグ10a～10cを形成する。 10

【0114】

この後に、図11(b)に示すように、第1～第3の導電性プラグ10a～10cの上と第1層間絶縁層8の上に、導電性の酸素バリアメタル層11aとしてイリジウム層をスパッタにより形成する。この酸素バリアメタル層11aは、後述するようにキャパシタQの下部電極の一部を構成する。

【0115】

酸素バリアメタル層11aとなるイリジウム層は、導電性プラグ10a～10cの異常酸化を防止するために十分な厚さに形成され、例えば酸素含有雰囲気中で550℃の基板温度でアニールする際に導電性プラグ10a～10cの異常酸化を防止するために例えば200nmの厚さに形成され、さらに基板温度が100℃上がるごとに厚さを100nmずつ加えて形成される。即ち、イリジウム層が400nmあれば、イリジウム層は750℃の酸素アニールに対して導電性プラグ10a～10cの酸化を防止できる。 20

【0116】

続いて、酸素バリアメタル層11aのうち第2、第3の導電性プラグ10b、10cの上とその周辺の領域にマスク M_2 を形成する。マスク M_2 の平面形状は後述するキャパシタの下部電極の形状とする。マスク M_2 として窒化チタン、酸化シリコン等のハードマスクを用いてもよい。

【0117】

次に、図12(a)に示すように、マスク M_2 に覆われない領域の酸素バリアメタル層11aをエッチングすることにより、酸素バリアメタル層11aを第2、第3の導電性プラグ10b、10cの上とその周辺にキャパシタの大きさに残す。バリアメタル層11aのエッチングガスとしてハロゲン系ガスが使用される。ここで、第1の導電性プラグ10aは露出する。 30

【0118】

続いて、マスク M_2 が除去される。

【0119】

その後に、図12(b)に示すように、第1の導電性プラグ10a、酸素バリアメタル層11a及び第1層間絶縁層8の上に、酸化防止絶縁層12として酸窒化シリコン($SiON$)層又は窒化シリコン(Si_3N_4)層をCVD法により例えば100nmの厚さに形成する。続いて、酸化防止絶縁層12上に、絶縁性密着層13として例えばTEOSを用いるCVD法により例えば厚さ300nmの酸化シリコン(SiO_2)層を形成する。 40

【0120】

さらに、図13(a)に示すように、酸素バリアメタル層11aをストッパー層として機能させて、CMPにより絶縁性密着層13と酸化防止絶縁層12を研磨することにより酸素バリアメタル層11aの上面を露出させる。この場合、酸素バリアメタル層11a、絶縁性密着層13及び酸化防止絶縁層12の上面は、CMPによって平坦化される。

【0121】

この後に、図13(b)に示すように、酸素バリアメタル層11a、酸化防止絶縁層1 50

2 及び絶縁性密着層 1 3 の上に、第 1 導電層 1 4 b として例えば厚さ 3 0 n m の I r O₂ 層 1 4 x、厚さ 3 0 n m の P t O₂ 層 1 4 y、及び厚さ 5 0 n m の P t 層 1 4 z をスパッタにより順に形成する。

【0 1 2 2】

なお、第 1 導電層 1 4 b を形成する前又は後に例えば膜剥がれ防止のために絶縁性密着層 1 3 をアニールする。アニール方法として、例えば、アルゴン雰囲気中で 7 5 0 ℃、6 0 秒の R T A を採用する。

【0 1 2 3】

続いて、第 1 導電層 1 4 b 上に、強誘電体層 1 5 として例えば厚さ 2 0 0 n m の P Z T 層をスパッタ法により形成する。強誘電体層 1 5 の形成方法は、その他に、MOD 法、MOCVD 法、ゾル・ゲル法などがある。また、強誘電体層 1 5 の材料としては、P Z T 以外に、P L C S Z T、P L Z T のような他の P Z T 系材料や、S r B i₂ T a₂ O₉、S r B i₂ (T a, N b)₂ O₉ 等の B i 層状構造化合物材料、その他の金属酸化物強誘電体を採用してもよい。

【0 1 2 4】

続いて、酸素含有雰囲気中で強誘電体層 1 5 をアニールにより結晶化する。そのアニールとして、例えば A r と O₂ の混合ガス雰囲気中で基板温度 6 0 0 ℃、時間 9 0 秒の条件を第 1 ステップ、酸素雰囲気中で基板温度 7 5 0 ℃、時間 6 0 秒の条件を第 2 ステップとする 2 ステップの R T A 処理を採用する。

【0 1 2 5】

さらに、強誘電体層 1 5 の上に、第 2 導電層 1 6 として例えば厚さ 2 0 0 n m の I r O₂ 層をスパッタ法により形成する。

【0 1 2 6】

次に、第 2 導電層 1 6 上に、ハードマスク 1 7 として T i N 層と S i O₂ 層を順に形成する。T i N 層はスパッタにより形成され、また、S i O₂ 層は T E O S を用いる C V D 法により形成される。ハードマスク 1 7 は、第 2、第 3 の導電性プラグ 1 0 b、1 0 c の上方で酸素バリアメタル層 1 1 a とほぼ同じ平面形状にパターンニングされる。

【0 1 2 7】

続いて、ハードマスク 1 7 に覆われない領域の第 2 導電層 1 6、強誘電体層 1 5、第 1 導電層 1 4 b を順次エッチングする。この場合、2 導電層 1 6、強誘電体層 1 5 及び第 1 導電層 1 4 b は、ハロゲン元素を含む雰囲気中でスパッタ反応によりエッチングされる。なお、そのエッチングにより絶縁性密着層 1 3 がエッチングされても、酸化防止絶縁層 1 2 はエッチングストッパーとして機能するので、第 1 の導電性プラグが露出することはない。

【0 1 2 8】

以上により、図 1 4 (a) に示すように、第 1 層間絶縁層 8 上にはキャパシタ Q が形成される。キャパシタ Q の下部電極 1 4 a は第 1 導電層 1 4 b 及び酸素バリアメタル層 1 1 a によって構成される。また、キャパシタ Q の誘電体層 1 5 a は強誘電体層 1 5 から構成され、さらにキャパシタ Q の上部電極 1 6 a は第 2 導電層 1 6 から構成される。

【0 1 2 9】

キャパシタ Q は、1 つのウェル 1 a の上方に 2 つ配置され、それらの下部電極 1 4 a はそれぞれ第 2 又は第 3 の導電性プラグ 1 0 b、1 0 c を介して第 2 又は第 3 の n 型不純物拡散領域 5 b、5 c に電氣的に接続される。

【0 1 3 0】

なお、エッチングされる第 1 導電層 1 4 b の厚さが第 1 実施形態の第 1 導電層 1 4 に比べて薄いので、ハードマスク 1 7 も第 1 実施形態よりも薄くできる。

【0 1 3 1】

ハードマスク 1 7 は、キャパシタ Q のパターン形成後に除去される。

【0 1 3 2】

次に、エッチングによる強誘電体層 1 5 のダメージを回復するために、キャパシタの回復

10

20

30

40

50

アニールを行う。この場合の回復アニールは、例えば、基板温度 650℃、60 分間の条件で酸素を含むファーンネス内で行われる。

【0133】

このように強誘電体層 15 のパターニング直後に回復アニールなどの熱処理を施す場合、下部電極 14a 直下の第 2、第 3 の導電性プラグ 10b、10c の耐熱性は、酸素バリアメタル層 11a の酸素透過性で決まり、また、下部電極 14a 直下に位置しない第 1 の導電性プラグ 10a の耐酸化性は、絶縁性密着層 13 と酸化防止絶縁層 12 の酸素透過性で決まる。

【0134】

上記のような熱プロセスがキャパシタ Q を形成する際にはかかるわけであるが、絶縁性密着層 13 として窒化シリコン層を用いた場合に厚さが 70 nm であればタングステンからなる第 1 の導電性プラグ 10a は異常酸化しない。 10

【0135】

また、タングステンよりなる第 2、第 3 の導電性プラグ 10b、10c 上に厚さ 400 nm のイリジウム層が存在すれば、酸素アニールによって第 2、第 3 の導電性プラグ 10b、10c の異常酸化が生じない。

【0136】

次に、図 14 (b) に示すように、キャパシタ Q、酸化防止絶縁層 12 及び絶縁性密着層 13 上に、キャパシタ保護層 18 として厚さ 50 nm のアルミナをスパッタにより形成する。このキャパシタ保護層 18 は、プロセスダメージからキャパシタ Q を保護するものであって、アルミナの他、PZT で構成してもよい。続いて、650℃で60分間の条件でキャパシタ Q をファーンネス内の酸素雰囲気内でアニールする。 20

【0137】

この後に、図 15 に示すように、第 1 実施形態に示した工程に従って、第 4 導電性プラグ 21、導電性パッド 24a、一層目配線 24b、24c、第 3 層間絶縁層 25、第 5 の導電性プラグ 26、ビット線 27 等を形成する。

【0138】

上記したように本実施形態では、キャパシタ Q の下部電極 14a の最下層を構成する酸素バリアメタル層 11a を第 2、第 3 の導電性プラグ 10b、10c の上に予め下部電極形状に形成し、さらに、酸化防止絶縁層 12、絶縁性密着層 13 を形成し、その後に、酸化防止絶縁層 12 及び絶縁性密着層 13 を CMP 法により研磨して酸素バリアメタル層 11a を露出し、さらに、その後に、酸素バリアメタル層 11a の上に下部電極 14a の残りの金属層を形成するようにしている。ここで、酸素バリアメタル兼下部電極として例えばイリジウム層を形成している。 30

【0139】

第 1 実施形態では、酸素バリアメタル層と下部電極のそれぞれを構成するイリジウム層を別々の工程で形成し、別々にパターニングしたが、本実施形態では、そのイリジウム層を 1 回の成膜工程と 1 回のパターニングで形成しているので、下部電極の一部の工程を削減できるというメリットがある。

【0140】

ところで、強誘電体層 15 の結晶化アニール、キャパシタ Q を形成した後の回復アニールの際には、第 1 実施形態と同様に、第 2、第 3 の導電性プラグ 10b、10c は酸素バリアメタル層 11a によって異常酸化が防止され、第 1 の導電性プラグ 10a は酸化防止絶縁層 12 により異常酸化が阻止される。 40

【0141】

さらに、酸素バリアメタル層 11a、酸化防止絶縁層 12 及び絶縁性密着層 13 の上面は CMP により平坦になるので、酸素バリアメタル層 11a、酸化防止絶縁層 12 及び絶縁性密着層 13 の上に形成される第一導電層 14b は酸素バリアメタル層 11a の周辺でも平坦になり、第一導電層 14b 上に形成される強誘電体層 15 の結晶の劣化が防止される。

【0142】

また、ビット線コンタクトのために第1層間絶縁層8と第2層間絶縁層19には上下で別々に導電性プラグ10a, 21が形成されるので、FeRAM品の歩留まりをあげるにとどまらず、既存装置を使いまわすことができ、開発費および工程コストの削減が実現できるという利点がある。

【0143】

なお、酸化防止絶縁層12を酸素バリアメタル層11aよりも厚く形成する場合には、絶縁性密着層13を省略してもよい。

(第3の実施の形態)

第2実施形態に示した工程に従って形成されたキャパシタQの下部電極14aにおいて、
IrO₂層14xが酸素バリアメタル層11aから剥離することも希にある。 10

【0144】

そこで、キャパシタQの下部電極14aを構成している多層構造において、酸素バリアメタル層11aとIrO₂層14xの剥離を確実に防止するための構造及びその形成方法以下に説明する。

【0145】

図16～図18は、本発明の第3実施形態を示す半導体装置の形成工程を示す断面図である。

【0146】

まず、図16(a)に示すように、第1実施形態に示した工程に沿って、シリコン基板
1にMOSトランジスタT₁, T₂を形成し、さらに、カバー層7、第1層間絶縁層
8、第1～第3の導電性プラグ10a～10cを形成する。さらに、第2実施形態に示した工程に従って、第2、第3の導電性プラグ10b, 10cの上とその周辺に、それぞれ
キャパシタQの下部電極の大きさの酸素バリアメタル層11aを形成する。酸素バリアメタル層11aは、例えば厚さ400nmのイリジウム層とする。さらに、第1の導電性プラグ10a、酸素バリアメタル層11a及び第1層間絶縁層8の上に酸化防止絶縁層12と絶縁性密着層13を順に形成した後に、酸化防止絶縁層12と絶縁性密着層13をCMP法により研磨して酸素バリアメタル層11aの上面を露出させる。 20

【0147】

次に、図16(b)に示すように、酸素バリアメタル層11a、酸化防止絶縁層12及び絶縁性密着層13の上に導電性密着層35を形成する。導電性密着層35として、厚さ10～50nm、例えば30nmのイリジウム層をスパッタにより形成する。 30

【0148】

なお、導電性密着層35を形成する前又は後に例えば膜剥がれ防止のために絶縁性密着層13をアニールする。アニール方法として、例えば、アルゴン雰囲気中で750℃、60秒のRTAを採用する。

【0149】

続いて、図17(a)に示すように、導電性密着層35の上に、第1導電層14bとして例えば厚さ30nmのIrO₂層14x、厚さ30nmのPtO₂層14y、及び厚さ50nmのPt層14zをスパッタにより順に形成する。 40

【0150】

さらに、第1導電層14b上に、強誘電体層15として例えば厚さ180nmのPZT層をスパッタ法、その他の方法によって形成する。その後、第2実施形態と同じ条件により、酸素含有雰囲気中で強誘電体層15をアニールして結晶化する。さらに、強誘電体層15の上に、第2導電層16として例えば厚さ200nmのIrO₂層をスパッタ法により形成する。

【0151】

続いて、第2導電層16上に、第2実施形態と同じ条件でハードマスク17を形成する。

【0152】

次に、ハードマスク17に覆われない領域の第2導電層16、強誘電体層15、第1導電 50

層 1 4 b 及び導電性密着層 3 5 を順次エッチングする。この場合、第 2 導電層 1 6 から導電性密着層 3 5 までの各層は、ハロゲン元素を含む雰囲気中でスパッタ反応によりエッチングされる。そのエッチングにより絶縁性密着層 1 3 がエッチングされても、酸化防止絶縁層 1 2 はエッチングストッパーとして機能するので、第 1 の導電性プラグが露出することはない。

【0153】

ハードマスク 1 7 は、キャパシタ Q のパターン形成後に除去される。

【0154】

以上により、図 1 7 (b) に示すように、第 1 層間絶縁層 8 上にはキャパシタ Q が形成される。キャパシタ Q の下部電極 1 4 a は第 1 導電層 1 4 b、導電性密着層 3 5 及び酸素バリアメタル層 1 1 a によって構成される。また、キャパシタ Q の誘電体層 1 5 a は強誘電体層 1 5 から構成され、さらにキャパシタ Q の上部電極 1 6 a は第 2 導電層 1 6 から構成される。

10

【0155】

次に、エッチングによる強誘電体層 1 5 のダメージを回復するために、キャパシタの回復アニールを行う。この場合の回復アニールは、例えば、基板温度 6 5 0 °C、6 0 分間の条件で酸素を含むファーンネス内で行われる。

【0156】

この後には、図 1 8 に示すように、第 2 実施形態と同じ工程によってキャパシタ保護層 1 8、第 2 層間絶縁層 1 9、第 4 導電性プラグ 2 1、導電性パッド 2 4 a、一層目配線 2 4 b、2 4 c、第 3 層間絶縁層 2 5、第 5 の導電性プラグ 2 6、ビット線 2 7 等を形成する。なお、図 1 8 において、図 1 5 と同じ符号は同じ要素を示している。

20

【0157】

上記したように本実施形態では、酸化防止絶縁層 1 2、絶縁性密着層 1 3 を研磨してキャパシタ下部電極形状の酸素バリアメタル層 1 1 a の上面を露出した後に、酸素バリアメタル層 1 1 a、酸化防止絶縁層 1 2 及び絶縁性密着層 1 3 の上に導電性密着層 3 5 を形成し、さらに導電性密着層 3 5 の上に第 1 導電層 1 4 b、強誘電体層 1 5、第 2 導電層 1 6 を順に形成している。

【0158】

これによれば、図 1 6 (b) に示すように、酸素バリアメタル層 1 1 a の研磨された面と第 1 導電層 1 4 b の間に導電性密着層 3 5 を介在しているので、第 1 導電層 1 4 b を構成する IrO_2 層 1 4 x は酸素バリアメタル層 1 1 a から剥離することが防止される。このような剥離が防止されることは、実験により確認されたおとである。

30

【0159】

酸素バリアメタル層 1 1 a は、酸化防止絶縁層 1 2 及び絶縁性密着層 1 3 の研磨の際に、その表面が変質すると考えられる。導電性密着層 3 5 を形成しない場合には、酸素バリアメタル層 1 1 a と IrO_2 層 1 4 x は、それぞれほぼ同じ平面形状にパターンニングされているので、互いに剥離しやすい状態となっている。

【0160】

これに対して、酸素バリアメタル層 1 1 a と同じ材料の導電性密着層 3 5 を酸素バリアメタル層 1 1 a 上に形成すると、導電性密着層 3 5 は酸素バリアメタル層 1 1 a と密着良く形成されるし、表面が変質していない導電性密着層 3 5 は IrO_2 層 1 4 x と密着性が良くなる。

40

【0161】

従って、本実施形態によれば、酸素バリアメタル層 1 1 a をキャパシタ Q の下部電極 1 4 a と同じ大きさに形成する場合であっても、下部電極 1 4 a は剥離により浮くことがなくなる。

【0162】

なお、上記した例では、導電性密着層 3 5 を、酸素バリアメタル層 1 1 a と同じ材料から構成したが、酸素バリアメタル層 1 1 a と密着性が良いその他の導電材料から構成しても

50

よい。

(第4の実施の形態)

第1、第2実施形態では、キャパシタQの直下に形成される第2、第3の導電性プラグ10b、10c上に酸素バリアメタル層11、11aを形成し、第1の導電性プラグ10a上に酸化防止絶縁層12を形成する構成を採用している。

【0163】

本実施形態では、キャパシタQの直下に形成される第2、第3の導電性プラグ10b、10cの上だけでなく、キャパシタQの直下でない第1の導電性プラグ10aの上にも酸素バリアメタル層を形成することについて説明する。

【0164】

図19～図22は、本発明の第4実施形態の半導体装置の製造工程を示す断面図である。

【0165】

まず、図19(a)に示す構造を形成するまでの工程を説明する。

【0166】

図11(a)に示したと同様に、第2実施形態に示した工程に従って、シリコン基板1にMOSトランジスタ T_1 、 T_2 を形成し、さらに、カバー層7、第1層間絶縁層8、第1～第3の導電性プラグ10a～10cを形成する。

【0167】

この後に、図11(b)に示したように、第1～第3の導電性プラグ10a～10cの上と第1層間絶縁層8の上に、導電性の酸素バリアメタル層11aとしてイリジウム層をスパッタにより400nmの厚さに形成する。この酸素バリアメタル層11aは、後述するようにキャパシタQの下部電極の一部を構成する。

【0168】

さらに、酸素バリアメタル11aの上であって第1、第2、第3の導電性プラグ10a、10b、10cとそれぞれの周辺の上にそれぞれマスク(不図示)を形成する。そのマスクとして、第2実施形態と同様にハードマスクを用いるのが好ましい。

【0169】

そして、酸素バリアメタル層11aのうちマスクに覆わない領域をエッチングすることにより、酸素バリアメタル層11aを第1、第2及び第3の導電性プラグ10a、10b、10cのそれぞれ上とその周辺に残す。ここで、第2及び第3の導電性プラグ10b、10cの上に残される酸素バリアメタル層11aは、第2及び第3の導電性プラグ10b、10cの酸化を防止する大きさであって、且つキャパシタの下部電極となる大きさにパターンニングされる。また、第1の導電性プラグ10aの上に残される酸素バリアメタル層11aは、第1の導電性プラグ10aの酸化を防止する大きさに島状にパターンニングされる。

【0170】

その後に、図19(b)に示すように、酸素バリアメタル層11a及び第1層間絶縁層8の上に、絶縁性密着層13として例えばTEOSを用いるCVD法により例えば厚さ300nmの酸化シリコン(SiO_2)層を形成する。なお、絶縁性密着層13の下に第2実施形態と同様に酸化防止絶縁層12を形成してもよい。

【0171】

さらに、図20(a)に示すように、島状の酸素バリアメタル層11aをストッパー層として機能させて、CMPにより絶縁性密着層13を研磨することにより酸素バリアメタル層11aの上面を露出させる。この場合、酸素バリアメタル層11aと絶縁性密着層13の上面は、CMPによって平坦化される。

【0172】

この後に、図20(b)に示すように、酸素バリアメタル層11a及び絶縁性密着層13の上に、第1導電層14bとして例えば厚さ30nmの IrO_2 層14x、厚さ30nmの PtO 層14y、及び厚さ50nmのPt層14zをスパッタにより順に形成する。

10

20

30

40

50

【0173】

なお、第1導電層14bを形成する前又は後に例えば膜剥がれ防止のために絶縁性密着層13をアニールする。アニール方法として、例えば、アルゴン雰囲気中で750℃、60秒のRTAを採用する。

【0174】

続いて、第1導電層14b上に、強誘電体層15として例えば厚さ200nmのPZT層を第2実施形態と同様な方法によって形成する。さらに、酸素含有雰囲気中で強誘電体層15をアニールにより結晶化する。そのアニールとして、例えばArとO₂の混合ガス雰囲気中で基板温度600℃、時間90秒の条件を第1ステップ、酸素雰囲気中で基板温度750℃、時間60秒の条件を第2ステップとする2ステップのRTA処理を採用する。 10

【0175】

次に、強誘電体層15の上に、第2導電層16として例えば厚さ200nmのIrO₂層をスパッタ法により形成する。

【0176】

続いて、第2導電層16上に、第2実施形態と同様な構造のハードマスク17を形成する。ハードマスク17は、第2、第3の導電性プラグ10b、10cの上方で酸素バリアメタル層11aとほぼ同じ平面形状にフォトリソグラフィー法によりパターンニングされる。ハードマスク17は、例えば窒化チタンと酸化シリコンの二層構造とする。

【0177】

続いて、第2実施形態と同様に、ハードマスク17に覆われない領域の第2導電層16、強誘電体層15、第1導電層14bを順次エッチングする。その後にハードマスク17は除去される。 20

【0178】

以上により、図21(a)に示すように、第1層間絶縁層8上にはキャパシタQが形成される。キャパシタQの下部電極14aは第1導電層14b及び酸素バリアメタル層11aによって構成される。また、キャパシタQの誘電体層15aは強誘電体層15から構成され、さらにキャパシタQの上部電極16aは第2導電層16から構成される。

【0179】

キャパシタQは、1つのウェル1aの上方に2つ配置され、それらの下部電極14aはそれぞれ第2又は第3の導電性プラグ10b、10cを介して第2又は第3のn型不純物拡散領域5b、5cに電氣的に接続される。 30

【0180】

なお、エッチングされる第1導電層14bの膜厚が第1実施形態の第1導電層14に比べて薄いので、ハードマスク17も第1実施形態よりも薄くできる。

【0181】

次に、エッチングによる強誘電体層15のダメージを回復するために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度650℃、60分間の条件で酸素を含むファーンネス内で行われる。

【0182】

このように強誘電体層15のパターンニング直後に回復アニールなどの熱処理を施す場合、下部電極14a直下の第2、第3の導電性プラグ10b、10cの耐熱性と下部電極14a直下に位置しない第1の導電性プラグ10aの耐酸化性は、それぞれ酸素バリアメタル層11aの酸素透過性で決まる。 40

【0183】

上記のような熱プロセスがキャパシタQを形成する際に必要になるが、タングステンよりなる第1～第3の導電性プラグ10a～10cのそれぞれの上とそれらの周辺に酸素バリアメタル層11aとして例えば400nmのイリジウム層が存在すれば、酸素アニールによって第1～第3の導電性プラグ10a～10cに異常酸化が生じない。

【0184】

次に、図21(b)に示すように、キャパシタQ及び絶縁性密着層13上に、キャパシ 50

タ保護層18として厚さ50nmのアルミナをスパッタにより形成する。このキャパシタ保護層18は、プロセスダメージからキャパシタQを保護するものであって、アルミナの他、PZTで構成してもよい。続いて、650℃で60分間の条件でキャパシタQをファーンネス内の酸素雰囲気内でアニールする。

【0185】

この後に、図22に示すように、第4の導電性プラグ21、導電性パッド24a、一層目配線24b、24c、第3層間絶縁層25、第5の導電性プラグ26、ビット線27等を形成する。

【0186】

なお、第4の導電性プラグ21は、第1のn型不純物拡散領域5aの上方で、第2層間絶縁層19及びキャパシタ保護層18に形成されて島状の酸素バリアメタル層11aに接続される。従って、ビット線27は、第5の導電性プラグ26、導電性パッド24a、第4の導電性プラグ21、酸素バリアメタル層11a及び第1の導電性プラグ10aを介して第1のn型不純物拡散領域5aに電氣的に接続される。 10

【0187】

上記したように本実施形態では、第1～第3の導電性プラグ10a～10cの上に島状の酸素バリアメタル層11aを形成し、さらに、酸素バリアメタル層11a及び第1層間絶縁層8上に絶縁性密着層13を形成し、その後に、絶縁性密着層13をCMP法により研磨して酸素バリアメタル層11aを露出し、さらにその後に、第2、第3の導電性プラグ10b、10cを覆う酸素バリアメタル層11aの上に下部電極14aの上部を形成する 20 ようにしている。ここで、本実施形態でも、第2実施形態と同様に、イリジウム層を酸素バリアメタル層として形成している。

【0188】

従って、本実施形態では、酸素バリアメタル層11aを第2、第3の導電性プラグ10b、10cの異常酸化を防止する膜として機能させるだけでなく、下部電極14aの一部として使用しているので、第1実施形態に比べてキャパシタQの成膜工程とパターンニングの工程を軽減できるというメリットがある。

【0189】

しかも、酸素バリアメタル層11aは、ビット線が電氣的に接続される第1の導電性プラグ10aを覆うように島状に残しているので、第1、第2実施形態に示した酸化防止絶縁層を形成する工程が省略できる。 30

【0190】

従って、強誘電体層15の結晶化アニール、キャパシタQを形成した後の回復アニールの際には、第1～第3の導電性プラグ10a～10cは酸素バリアメタル層11aによって異常酸化が防止される。

【0191】

さらに、酸素バリアメタル層11a及び絶縁性密着層13の上面はCMPにより平坦になるので、酸素バリアメタル層11a及び絶縁性密着層13の上に形成される第一導電層14aは酸素バリアメタル層11aの周辺でも平坦になり、第一導電層14a上に形成される強誘電体層15の結晶の劣化が防止される。 40

【0192】

また、ビット線コンタクトのために第1層間絶縁層8と第2層間絶縁層19には上下で別々に導電性プラグ10a、21が形成されるので、FeRAM品の歩留まりをあげるにとどまらず、既存装置を使いまわすことができ、開発費および工程コストの削減が実現できるという利点がある。

【0193】

なお、酸素バリアメタル層11aはキャパシタQの下部電極14aを構成しているが、第1実施形態のように、キャパシタQの下部電極14aよりも狭く島状に形成してもよい。この場合、第2、第3の導電性プラグ10b、10cの上方において、第1実施形態で用いた4層構造の第1導電層14を酸素バリアメタル層11a及び絶縁性密着層13の上に 50

形成し、さらに第1導電層14をパターニングして下部電極14aとしてもよい。

【0194】

なお、図23に示すように、キャパシタQの下部電極14aにおいて、酸素バリアメタル層11aと IrO_2 層14xの間に、第3実施形態と同様に、導電性密着層35を形成することにより下部電極14a内の膜剥がれが防止される。この場合、第1の導電性プラグ10aを覆う島状の酸素バリアメタル層11aの上では導電性密着層35はエッチングにより除去される。

（第5の実施の形態）

上記した実施形態では、第1～第3の導電性プラグ10a～10cの形成時にCMP処理により第1層間絶縁層8の上からグルー層9a及びタングステン層9bを除去しているが、CMP処理の際にコンタクトホール8a～8cの周囲にエロージョンやリセスが発生するおそれがある。この場合のCMP処理の対象はグルー層9a及びタングステン層9bのために、コンタクトホール8a～8cの周囲でのエロージョンやリセスの発生により第1～第3の導電性プラグ10a～10cの上面が過剰に研磨されてしまい、第1～第3の導電性プラグ10a～10c及びその周辺の領域に凹部が形成されおそれがある。その凹部が形成された状態で第2、第3の導電性プラグ10b、10cの上に形成される酸素バリアメタル層11、11aの上面にも僅かながら凹部が発生するおそれがある。

【0195】

上記した実施形態において、酸素バリアメタル層11、11aは絶縁性密着層13をCMPにより研磨する工程で平坦化されるが、それでもまだ不十分な場合もある。

【0196】

酸素バリアメタル層11、11aに凹部が存在すると、その凹部が下部電極14a、強誘電体層15a及び上部電極16aに影響を及ぼして劣化させ、キャパシタの分極特性を悪くするおそれがある。

【0197】

そこで、本実施形態では、酸素バリアメタル層をより平坦化できる構造とその形成方法について説明する。

【0198】

図24～図28は、本発明の第5実施形態の半導体装置の製造工程を示す断面図である。

【0199】

まず、図24(a)に示すように、第1実施形態に示した工程に従って、シリコン基板1にMOSトランジスタ T_1 、 T_2 を形成し、さらに、カバー層7、第1層間絶縁層8、第1～第3の導電性プラグ10a～10cを形成する。

【0200】

この後に、図24(b)に示すように、第1～第3の導電性プラグ10a～10cの上と第1層間絶縁層8の上に導電性の酸素バリアメタル層31をスパッタにより形成する。

【0201】

本実施形態では、酸素バリアメタル層31は、下側メタル層31aと上側メタル層31bの二層構造を有し、上側メタル層31bとしてはCMPにより平坦化が容易な導電性材料を選択する。例えば、酸素バリアメタル層31として、イリジウム(Ir)からなる下側層31aと酸化イリジウム(IrO_2)からなる上側層31bを形成する。イリジウム層は、イリジウムターゲットを用いてアルゴン雰囲気中でスパッタにより形成される。また、酸化イリジウム層は、イリジウムターゲットを用いてアルゴン及び酸素を含む雰囲気中でスパッタにより形成される。ここで、アルゴンガスを80、酸素ガスを20の割合で導入される。

【0202】

酸素バリアメタル層31は、第2、第3の導電性プラグ10b、10cの異常酸化を防止するために十分な厚さに形成される。例えば酸素含有雰囲気中で550℃の基板温度でアニールする際に第2、第3の導電性プラグ10b、10cの異常酸化を防止するために、例えば、Irの下側層31aを200nmの厚さに形成し、 IrO_2 の上側層31bを2

10

20

30

40

50

00 nmの厚さに形成する。

【0203】

なお、本実施形態では、酸素バリアメタルは酸化金属を含む概念である。

【0204】

次に、図25(a)に示すように、マスク(不図示)を用いて酸素バリアメタル層31をエッチングすることにより、酸素バリアメタル層31を第2、第3の導電性プラグ10b, 10cの上とその周辺に残す。なお、マスクはハードマスクを用いるのが好ましいが、レジストマスクであってもよい。

【0205】

この酸素バリアメタル層31のパターニングにより第1の導電性プラグ10aが露出する 10

【0206】

その後、図25(b)に示すように、酸素バリアメタル層31及び第1層間絶縁層8の上に、酸化防止絶縁層12としてSiON層又はSi₃N₄層をCVD法により例えば100 nmの厚さに形成する。続いて、酸化防止絶縁層12上に、絶縁性密着層13として例えばTEOSを用いるCVD法により例えば厚さ300 nmのSiO₂層を形成する。

【0207】

さらに、図26(a)に示すように、CMPにより絶縁性密着層13と酸化防止絶縁層12を研磨することにより酸素バリアメタル層31の上側層31bの上面を露出させる。 20
さらに、CMP処理を進めることにより、上側層31bを約100 nmまで削り込む。

【0208】

これにより、酸素バリアメタル層31、絶縁性密着層13及び酸化防止絶縁層12の連続した上面は、CMPによって平坦化される。この場合、酸化シリコン、窒化シリコン、窒化酸化シリコンを対象としたCMP用のスラリーとして、例えばCABOT社のSS-25に水を添加したスラリーを用いる。これによれば、上側層31bを構成するIrO₂層は、Ir層に比べて平坦化が容易であり、犠牲層として用いられる。

【0209】

この後に、図26(b)に示すように、酸素バリアメタル層31の上側層31bと酸化防止絶縁層12と絶縁性密着層13の上に、第1導電層14として例えば厚さ200 nm 30
のIr層14w、厚さ30 nmのIrO₂層14x、厚さ30 nmのPtO層14y、及び厚さ50 nmのPt層14zをスパッタにより順に形成する。

【0210】

なお、第1導電層14を形成する前又は後に例えば膜剥がれ防止のために絶縁性密着層13をアニールする。アニール方法として、例えば、アルゴン雰囲気中で750℃、60秒のRTAを採用する。

【0211】

続いて、第1導電層14上に、強誘電体層15として例えば厚さ200 nmのPZT層をスパッタ法により形成する。強誘電体層15の形成方法は、その他に、MOD法、MOCVD法、ゾル・ゲル法などがある。また、強誘電体層15の材料としては、PZT以外に 40
、PLCSZT、PLZTのような他のPZT系材料や、SrBi₂Ta₂O₉、SrBi₂(Ta, Nb)₂O₉等のBi層状構造化合物材料、その他の金属酸化物強誘電体を採用してもよい。

【0212】

続いて、酸素含有雰囲気中で強誘電体層15をアニールにより結晶化する。そのアニールとして、例えばArとO₂の混合ガス雰囲気中で基板温度600℃、時間90秒の条件を第1ステップ、酸素雰囲気中で基板温度750℃、時間60秒の条件を第2ステップとする2ステップのRTA処理を採用する。

【0213】

さらに、強誘電体層15の上に、第2導電層16として例えば厚さ200 nmのIrO₂ 50

層をスパッタ法により形成する。

【0214】

次に、第2導電層16上に、ハードマスク17としてTiN層とSiO₂層を順に形成する。TiN層はスパッタにより形成され、また、SiO₂層はTEOSを用いるCVD法により形成される。ハードマスク17は、第2、第3の導電性プラグ10b, 10cの上方でキャパシタの平面形状にフォトリソグラフィ法によりパターンニングされる。

【0215】

続いて、ハードマスク17に覆われない領域の第2導電層16、強誘電体層15、第1導電層14を順次エッチングする。この場合、強誘電体層15は、ハロゲン元素を含む雰囲気中でスパッタ反応によりエッチングされる。なお、そのエッチングにより絶縁性密着層13がエッチングされても、酸化防止絶縁層12はエッチングストッパーとして機能するので、第1の導電性プラグが露出することはない。 10

【0216】

以上により、図27(a)に示すように、第1層間絶縁層8上にはキャパシタQが形成される。キャパシタQの下部電極14aは第1導電層14によって構成される。また、キャパシタQの誘電体層15aは強誘電体層15から構成され、さらにキャパシタQの上部電極16aは第2導電層16から構成される。

【0217】

キャパシタQは、1つのウェル1aの上方に2つ配置され、それらの下部電極14aはそれぞれ第2又は第3の導電性プラグ10b, 10cを介して第2又は第3のn型不純物拡散領域5b, 5cに電氣的に接続される。 20

【0218】

ハードマスク17は、キャパシタQのパターン形成後に除去される。

【0219】

次に、エッチングによる強誘電体層15のダメージを回復するために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度650℃、60分間の条件で酸素を含むファーンネス内で行われる。

【0220】

このように強誘電体層15のパターンニング直後に回復アニールなどの熱処理を施す場合、下部電極14a直下の第2、第3の導電性プラグ10b, 10cの耐熱性は、酸素バリアメタル層31の酸素透過性で決まり、また、下部電極14a直下に位置しない第1の導電性プラグ10aの耐酸化性は、絶縁性密着層13と酸化防止絶縁層12の酸素透過性で決まる。 30

【0221】

上記のような熱プロセスがキャパシタQを形成する際にはかかるわけであるが、絶縁性密着層13として窒化シリコン層を用いた場合に厚さが70nmであればタングステンからなる第1の導電性プラグ10aは異常酸化しない。

【0222】

また、タングステンよりなる第2、第3の導電性プラグ10b, 10c上に厚さ400nmのイリジウム層が存在すれば、酸素アニールによって第2、第3の導電性プラグ10b, 10cは異常酸化されない。 40

【0223】

本実施形態では、強誘電体層15の下方でイリジウム層の合計が400nmあり、またIrO₂層は100nm程度残っているが、双方とも酸素透過を防止するので、導電性プラグ10b, 10cの異常酸化が発生しない。

【0224】

次に、図27(b)に示すように、キャパシタQ、酸化防止絶縁層12及び絶縁性密着層13上に、キャパシタ保護層18として厚さ50nmのアルミナをスパッタにより形成する。このキャパシタ保護層18は、プロセスダメージからキャパシタQを保護するものであって、アルミナの他に、PZTで構成してもよい。続いて、650℃で60分間の条 50

件でキャパシタQを酸素雰囲気内でアニールする。

【0225】

この後に、図28に示すように、第1実施形態に示した工程に従って、第4導電性プラグ21、導電性パッド24a、一層目配線24b、24c、第3層間絶縁層25、第5の導電性プラグ26、ビット線27等を形成する。

【0226】

上記したように本実施形態では、第2、第3の導電性プラグ10b、10cの上に二層構造の酸素バリアメタル層31を島状に残し、さらに酸素バリアメタル層31と第1層間絶縁層8の上に酸化防止層12と絶縁性密着層13を形成し、その後に、酸化防止層12と絶縁性密着層13をCMP処理して酸素バリアメタル層31の上部を露出させ、さらCMPを進めて酸素バリアメタル層31の上側層31bを薄くしている。 10

【0227】

酸素バリアメタル層31の上側層31bは、Ir層に比べてCMPにより平坦化が容易であるので、第2、第3の導電性プラグ10b、10c及びその周辺に生じる凹部による上側層31bの上面に生じる窪みを無くすることが容易である。

【0228】

従って、その上に形成される第1導電層14と強誘電体層15の膜を平坦に形成することができるので、凹凸に由来する強誘電体層15の膜質の劣化が防止される。従って、第1導電層14、強誘電体層15及び第2導電層16のパターニングによって形成されるキャパシタQの特性が良好になる。 20

【0229】

また、キャパシタQを構成する下部電極14aの下方では、第2、第3の導電性プラグ10b、10cが酸素バリアメタル層31により覆われ、且つビット線27に接続される第1の導電性プラグ10a及び第1の層間絶縁層8が酸化防止絶縁層12により覆われている。これにより、強誘電体層15の結晶化アニールや回復アニールの際に、第1の導電性プラグ10aは酸化防止絶縁層12により異常酸化が阻止され、且つ第2、第3の導電性プラグ10b、10cは酸素バリアメタル層31によって異常酸化が阻止される。また、酸化防止絶縁層12は、第4のコンタクトホール19aが形成されるまで第1の導電性プラグ10aを覆っているので、キャパシタQの形成やその後の工程でのアニールによって第1の導電性プラグ10aが酸化されることはない。 30

【0230】

さらに、パターニングされた酸素バリアメタル層31の側面が酸化防止絶縁層12によって覆われているので、酸素バリアメタル層31の大きさを第2、第3の導電性プラグ10b、10cとほぼ同じに形成したとしても、側方からの酸素の侵入が防止されて第2、第3の導電性プラグ10b、10cの異常酸化が発生しなくなる。

【0231】

また、本実施形態では、第1のn型不純物拡散領域5aとコンタクトパッド24aの間では、2つの導電性プラグ21、10aを介して接続してvia-to-viaコンタクトを形成している。これにより、FeRAM品の歩留まりをあげるにとどまらず、既存装置を使いまわすことができ、開発費および工程コストの削減が実現できるという利点がある。 40

【0232】

なお、上記した構造の酸素バリアメタル層31を、第2、第3実施形態の酸素バリアメタル層14aのように、キャパシタQの下部電極14aと同じ大きさの平面形状に形成して下部電極の一部を構成するようにしてもよい。また、上記した構造の酸素バリアメタル層31を、第4実施形態の酸素バリアメタル層11aのように、第1の導電性プラグ10aの上に島状に残してもよい。

(第6の実施の形態)

第1～第5実施形態において、第2、第3の導電性プラグ10b、10cの酸化を防止するために、それらの導電性プラグ10b、10cの上に酸素バリアメタル層11、11a 50

としてイリジウム層を形成している。

【0233】

イリジウム層は、導電性プラグ10b, 10cの周辺において、TEOSを用いて形成された第1層間絶縁層8の上にも形成されている。

【0234】

ところで、1枚のシリコンウェハには複数の半導体装置がスクライプ領域を介して形成される。そのスクライプ領域には、図29に示すような位置合わせマーク40が複数形成される。第1実施形態に示した工程に沿ってキャパシタQを形成した後の位置合わせマーク40を見ると、一部の位置合わせマーク40に膨れが発生しているような痕跡41が見えた。なお、図29に示した位置合わせマーク40は、キャパシタQを構成する複数の層から構成されている。

10

【0235】

そこで、膨れが発生したと思われる位置合わせマーク40の断面をSEMにより観察したところ、図30に示すように、イリジウムからなる酸素バリアメタル層11と第1層間絶縁層8の間に隙間が形成されていた。

【0236】

従って、半導体装置のメモリセル領域においては、酸素バリアメタル層11と第1層間絶縁層8の間の密着をさらに強くする必要がある。なお、導電性プラグ10b, 10cと酸素バリアメタル層11の密着は良好である。

【0237】

そこで、本実施形態では、酸素バリアメタル層11と第1層間絶縁層8との密着性を向上するための構造とその形成工程を説明する。

20

【0238】

図31～図35は、本発明の第6実施形態の半導体装置の製造工程を示す断面図である。

【0239】

まず、図31(a)に示すように、第1実施形態に示した工程に従って、シリコン基板1にMOSトランジスタ T_1 , T_2 を形成し、さらに、カバー層7、第1層間絶縁層8、第1～第3の導電性プラグ10a～10cを形成する。なお、第1層間絶縁層8は、例えばソースガスとしてTEOSを用いて形成された酸化シリコン層である。

【0240】

この後に、図31(b)に示すように、第1～第3の導電性プラグ10a～10cの上と第1層間絶縁層8の上に、5nm以上で20nm以下、例えば10nmの厚さのチタン(Ti)層を導電性密着層37としてスパッタにより形成する。なお、導電性密着層37として、窒化チタン(TiN)層の単層構造、又は、TiN上側層とTi下側層の2層構造を採用してもよい。

30

【0241】

さらに、導電性密着層37上に導電性の酸素バリアメタル層11としてイリジウム層をスパッタにより形成する。酸素バリアメタル層11は、第1実施形態で説明したように、第2, 第3の導電性プラグ10b, 10cの異常酸化を防止するために十分な厚さに形成される。

40

【0242】

次に、図32(a)に示すように、第1実施形態と同じマスク(不図示)を用いて、酸素バリアメタル層11と導電性密着層37をエッチングすることにより、酸素バリアメタル層11と導電性密着層37を第2, 第3の導電性プラグ10b, 10cの上とその周辺に島状に残す。これにより、第1の導電性プラグ10aは露出する。その後に、マスクは除去される。

【0243】

次に、図32(b)に示すように、酸素バリアメタル層11、導電性密着層37及び第1層間絶縁層8の上に酸化防止絶縁層12としてSiON層又は Si_3N_4 層をCVD法により例えば100nmの厚さに形成する。続いて、酸化防止絶縁層12の上に絶縁性

50

密着層 13 を形成する。絶縁性密着層 13 として、例えば T E O S を用いる C V D 法により 100 nm の厚さの S i O₂ 層を形成する。

【0244】

次に、図 33 (a) に示すように、酸素バリアメタル層 11 をストッパー層として機能させて、絶縁性密着層 13 と酸化防止絶縁層 12 を C M P により研磨して酸素バリアメタル層 11 の上面を露出させる。この状態で、導電性密着層 37 はバリアメタル層 11 と酸化防止絶縁層 12 によって覆われているので、酸化が防止される。

【0245】

次に、図 33 (b) に示すように、酸素バリアメタル層 11、酸化防止絶縁層 12 及び絶縁性密着層 13 の上に第 1 導電層 14 を形成する。第 1 導電層 14 として、例えば第 1 実施形態に示したように、I r 層 14 w、I r O₂ 層 14 x、P t O 層 14 y、及び P t 層 14 z をスパッタにより順に形成する。なお、第 1 導電層 14 を形成する前又は後に例えば膜剥がれ防止のために絶縁性密着層 13 をアニールする。

【0246】

続いて、第 1 導電層 14 上に、第 1 実施形態に示したと同様に、強誘電体層 15 を形成する。続いて、第 1 実施形態に示したと同じ条件で、酸素含有雰囲気中で強誘電体層 15 を 2 ステップのアニールにより結晶化する。

【0247】

さらに、強誘電体層 15 の上に、第 1 実施形態と同様に、第 2 導電層 16 をスパッタ法により形成する。

【0248】

その後に、第 2 導電層 16 上に、キャパシタ平面形状のハードマスク 17 を形成する。

【0249】

次に、ハードマスク 17 に覆われない領域の第 2 導電層 16、強誘電体層 15、第 1 導電層 14 を順次エッチングすることにより、酸素バリアメタル層 11、絶縁性密着層 13 及び酸化防止絶縁層 12 の上にキャパシタ Q を形成する。ハードマスク 17 は、キャパシタ Q のパターン形成後に除去される。

【0250】

キャパシタ Q は、図 34 (a) に示すように、第 1 導電層 14 よりなる下部電極 14 a と、強誘電体層 15 よりなる誘電体層 15 a と、第 2 導電層 16 よりなる上部電極 16 a から構成される。続いて、エッチングによる強誘電体層 15 のダメージを回復するために、回復アニールを行う。

【0251】

このように強誘電体層 15 のパターンニング直後に回復アニールなどの熱処理を施す場合、下部電極 14 a 直下の第 2、第 3 の導電性プラグ 10 b、10 c の耐熱性は、酸素バリアメタル層 11 の酸素透過性で決まり、また、下部電極 14 a 直下に位置しない第 1 の導電性プラグ 10 a の耐酸化性は、絶縁性密着層 13 と酸化防止絶縁層 12 の酸素透過性で決まる。

【0252】

以上のような酸素雰囲気でのアニール処理において、酸化防止絶縁層 12 及び酸素バリアメタル層 11 によって覆われた導電性密着層 37 は酸化されず、その抵抗の上昇は抑えられる。また、第 1 の導電性プラグ 10 a は酸化防止絶縁層 12 によって酸化が防止されている。さらに、酸素バリアメタル層 11 と第 1 導電層 14 を構成するイリジウムによって第 2、第 3 の導電性プラグ 10 b、10 c の異常酸化が防止される。

【0253】

次に、図 34 (b) に示すように、キャパシタ保護層 18 をキャパシタ Q 及び絶縁性密着層 13 の上に形成する。続いて、キャパシタ Q を酸素雰囲気内でアニールする。その後、プラズマ C V D 法により、第 2 層間絶縁層 19 をキャパシタ保護層 18 上に形成する。さらに、第 2 層間絶縁層 19 の上面を C M P 法により平坦化する。

【0254】

この後には、図 3 5 に示すように、第 1 実施形態と同じ工程によって、キャパシタ保護層 1 8、第 2 層間絶縁層 1 9、第 4 導電性プラグ 2 1、導電性パッド 2 4 a、一層目配線 2 4 b、2 4 c、第 3 層間絶縁層 2 5、第 5 の導電性プラグ 2 6、ビット線 2 7 等を形成する。なお、図 3 5 において、図 1 0 と同じ符号は同じ要素を示している。

【0 2 5 5】

上記したように本実施形態によれば、導電性密着層 3 7 は酸素バリアメタル層 1 1 と第 1 層間絶縁層 8 の双方に対して良好に密着する材料から形成しているので、島状の酸素バリアメタル層 1 1 の下方に隙間が発生することがない。島状の酸素バリアメタル層 1 1 の下側に隙間が発生すると、その隙間を通して第 2、第 3 の導電性プラグ 1 0 b、1 0 c を酸化するおそれがある。

10

【0 2 5 6】

しかも、導電性密着層 3 7 として T i 層を採用することにより、酸素バリアメタル層 1 1 の (1 1 1) 面の配向強度が高くなるので、酸素バリアメタル層 1 1 の上に形成される第 1 導電層の (1 1 1) 面の配向強度も高くなり、その上の強誘電体層 1 5 の結晶性も向上する。

【0 2 5 7】

また、シリコン基板 (ウェハ) 1 のスクライブラインの上に形成される位置合わせマークを見ても膨らみの痕跡が発生していなかったし、位置合わせマークを構成するイリジウム層の下方に隙間も見られなかった。

【0 2 5 8】

ところで、第 5 実施形態において、I r 下側層 3 1 a と I r O₂ 上側層 3 1 b の二層構造から構成した酸素バリアメタル層 3 1 を第 2、第 3 の導電性プラグ 1 0 b、1 0 c 及びその周辺の上に島状に形成する場合でも、酸素バリアメタル層 3 1 と第 1 層間絶縁層 8 の間に上記した導電性密着層 3 7 を形成してもよい。

20

【0 2 5 9】

即ち、図 3 6 に示すように、第 2、第 3 の導電性プラグ 1 0 b、1 0 c 及びそれらの周辺の上に島状の導電性密着層 3 7 を介して島状の酸素バリアメタル層 3 1 を形成してもよい。これにより、第 2、第 3 の導電性プラグ 1 0 b、1 0 c の上の酸素バリアメタル層 3 1 の剥がれが防止される。この場合にも、酸素バリアメタル層 3 1 の下の導電性密着層 3 7 は、酸素バリアメタル層 3 1 及び酸化防止絶縁層 1 2 によって覆われるので、キャパシタ形成のためのアニールの際に酸化が防止される。

30

(第 7 の実施の形態)

第 2 実施形態に示したように、島状の酸素バリアメタル層 1 1 a をキャパシタ下部電極 1 4 a の大きさにする場合には、導電性プラグ 1 0 b、1 0 c を構成するタングステンの酸化を防止するために形成される酸素バリアメタル層 1 1 a と第 1 層間絶縁層 8 の密着性をより向上する必要がある。

【0 2 6 0】

図 3 7 ~ 図 4 0 は、本発明の第 7 実施形態に係る半導体装置の製造工程を示す断面図である。

【0 2 6 1】

図 3 7 (a) に示す構造を形成するまでの工程を説明する。

40

【0 2 6 2】

まず、第 1 実施形態に示した工程に従って、シリコン基板 1 に M O S トランジスタ T₁、T₂ を形成し、さらに、カバー層 7、第 1 層間絶縁層 8、第 1 ~ 第 3 の導電性プラグ 1 0 a ~ 1 0 c を形成する。

【0 2 6 3】

この後に、第 1 ~ 第 3 の導電性プラグ 1 0 a ~ 1 0 c の上と第 1 層間絶縁層 8 の上に、チタン (T i) 層を導電性密着層 3 7 としてスパッタにより形成する。チタン層の膜厚は酸化されても導電性を確保できる厚さが好ましく、5 n m 以上で 2 0 n m 以下、例えば 1 0 n m の厚さとする。導電性密着層 3 7 として T i N 層の単層構造、又は、T i N 上側

50

層とTi下側層の2層構造を採用してもよい。

【0264】

さらに、導電性密着層37上に導電性の酸素バリアメタル層11aとしてイリジウム層をスパッタにより400nmの厚さに形成する。この酸素バリアメタル層11aは、後述するようにキャパシタQの下部電極の一部を構成する。

【0265】

続いて、酸素バリアメタル層11aのうち第2、第3の導電性プラグ10b, 10cの上とその周辺の領域にマスクM₂として窒化チタン、酸化シリコン等のハードマスクを形成する。マスクM₂の平面形状は後述するキャパシタの下部電極の形状とする。

【0266】

次に、図37(b)に示すように、マスクM₂に覆われない領域の酸素バリアメタル層11a及び導電性密着層37をエッチングすることにより、酸素バリアメタル層11a及び導電性密着層37を第2、第3の導電性プラグ10b, 10cの上とその周辺にキャパシタの大きさに残す。ここで、第1の導電性プラグ10aは露出する。続いて、マスクM₂は除去される。

【0267】

その後、図38(a)に示すように、酸素バリアメタル層11a、導電性密着層37、第1の導電性プラグ10a及び第1層間絶縁層8の上に、第2実施形態と同様な条件で、酸化防止絶縁層12と絶縁性密着層13を順に形成する。さらに、図38(b)に示すように、酸素バリアメタル層11aをストッパー層として機能させて、CMPにより絶縁性密着層13と酸化防止絶縁層12を研磨することにより酸素バリアメタル層11aの上面を露出させる。これにより、酸素バリアメタル層11a、絶縁性密着層13及び酸化防止絶縁層12の上面はほぼ平坦になる。

【0268】

この後に、図39(a)に示すように、第2実施形態と同様に、酸素バリアメタル層11a、酸化防止絶縁層12及び絶縁性密着層13の上に、第1導電層14bとして例えば厚さ30nmのIrO₂層14x、厚さ30nmのPtO層14y、及び厚さ50nmのPt層14zをスパッタにより順に形成する。なお、第1導電層14bを形成する前又は後に膜剥がれ防止のために絶縁性密着層13をアニールする。

【0269】

続いて、第2実施形態で示した条件により、第1導電層14b上に強誘電体層15を形成する。続いて、酸素含有雰囲気中で強誘電体層15をアニールにより結晶化する。そのアニールとして、第2実施形態に示したように、2ステップのRTA処理を採用する。さらに、強誘電体層15の上に、第2導電層16として例えば厚さ200nmのIrO₂層をスパッタ法により形成する。

【0270】

さらに、第2導電層16上にTiN層とSiO₂層を順に形成し、これらの層をパターンニングして、ハードマスク17を形成する。ハードマスク17は、第2、第3の導電性プラグ10b, 10cの上方で酸素バリアメタル層11aとほぼ同じキャパシタ形状にパターンニングされる。

【0271】

続いて、第2実施形態と同じ条件によって、ハードマスク17に覆われない領域の第2導電層16、強誘電体層15及び第1導電層14bを順次エッチングする。その後、ハードマスク17を除去する。

【0272】

以上により、図39(b)に示すように、第1層間絶縁層8上にはキャパシタQが形成される。キャパシタQの下部電極14aは第1導電層14b及び酸素バリアメタル層11aによって構成される。また、キャパシタQの誘電体層15aは強誘電体層15から構成され、さらにキャパシタQの上部電極16aは第2導電層16から構成される。

【0273】

10

20

30

40

50

この後には、図40に示すように、第2実施形態と同じ工程によってキャパシタ保護層18、第2層間絶縁層19、第4導電性プラグ21、導電性パッド24a、一層目配線24b、24c、第3層間絶縁層25、第5の導電性プラグ26、ビット線27等を形成する。なお、図40において、図15と同じ符号は第2実施形態と同じ要素を示している。上記したように本実施形態によれば、導電性密着層37は酸素バリアメタル層11aと第1層間絶縁層8の双方に対して良好に密着する材料から形成しているので、キャパシタQの下部電極14aを構成する酸素バリアメタル層11aの下に隙間が発生することがない。しかも、導電性密着層37としてTi層を採用することにより、下部電極14aの(111)面の配向強度が高くなるので、強誘電体層15の結晶性も改善される。

【0274】

ところで、第4実施形態に示したように、第2、第3の導電性プラグ10b、10cの上とその周辺のみならず、第1の導電性プラグ10aの上とその周辺にも島状の酸素バリアメタル層11aを形成する構造においても、第1の導電性プラグ10a及びその周辺の第1層間絶縁層8と島状の酸素バリアメタル層11aの間に導電性密着層37を形成してもよい。

【0275】

これにより、図41に示すように、第2、第3の導電性プラグ10b、10cの上だけでなく、第1の導電性プラグ10aの上の島状の酸素バリアメタル層11aの下に隙間が形成されることはない。従って、第1～第3の導電性プラグ10a～10cは、酸素雰囲気中でのアニールの際に酸化されない。島状の酸素バリアメタル層11aの下側に隙間が発生すると、その隙間を通して第1～第3の導電性プラグ10a～10cを酸化するおそれがある。

(第8の実施の形態)

上記した実施形態では、酸素バリアメタル層11、11aをパターニングして導電性プラグ10b、10cの上とその周辺に島状に残す工程を有している。酸素バリアメタル層11、11aをパターニングするためにハードマスクM₁、M₂を用いてもよい。

【0276】

ハードマスクM₁、M₂の材料として窒化チタンを用いる場合には、ハードマスクは導電性マスクであるので、酸素バリアメタル層11、11aのパターニング後に除去せずに、そのまま残すことも考えられる。しかし、窒化チタンは、キャパシタ形成のための酸素アニールによって酸化されて高抵抗化されるので、そのまま残すことは好ましくない。従って、酸素バリアメタル層11、11aをパターニングした後に、窒化チタンのハードマスクM₁、M₂は例えば過酸化アンモニウムによりウエットエッチングされる。

【0277】

しかし、第1、第2実施形態において説明したように、酸素バリアメタル層11、11aをパターニングした後は、第1の導電性プラグ10aを構成するタングステン層9bと窒化チタン・チタンのグルー層9aのそれぞれの一部が第1層間絶縁層8から露出している。従って、窒化チタンのハードマスクM₁、M₂を除去する際に、第1の導電性プラグ10aを構成する窒化チタンも同時にエッチングされるので、第1の導電性プラグ10a内に溝が発生する。その溝内には絶縁材料が充填されるので、第1の導電性プラグ10aの抵抗を高くするおそれがある。

【0278】

そこで、本実施形態では、酸素バリアメタル層11、11aのパターニング後のハードマスクの新たな除去方法を採用したメモリセルの形成工程を説明する。

【0279】

図42～図45は、本発明の第8実施形態に係る半導体装置の形成工程を示す断面図である。

【0280】

図42(a)に示す構造を形成するまでの工程を説明する。

【0281】

10

20

30

40

50

まず、第1実施形態に示した工程に従って、シリコン基板1にMOSトランジスタ T_1 、 T_2 を形成し、ついで、MOSトランジスタ T_1 、 T_2 を覆うカバー層7、第1層間絶縁層8、第1～第3の導電性プラグ10a～10cを順に形成する。その後、基板温度350℃、120秒の条件で第1層間絶縁層8を窒素プラズマ雰囲気中に曝す。

【0282】

次に、図42(b)に示すように、第1～第3の導電性プラグ10a～10cの上と第1層間絶縁層8の上に、導電性の酸素バリアメタル層11としてイリジウム層をスパッタにより形成する。イリジウム層は、例えば200nmの厚さに形成される。

【0283】

続いて、酸素バリアメタル層11のうち第2、第3の導電性プラグ10b、10cの上とその周辺の領域に窒化チタンよりなるマスク M_3 を形成する。マスク M_3 は、酸素バリアメタル層11の上に厚さ200nmの窒化チタン(TiN)層を形成した後に、レジストパターン(不図示)を用いてTiN層をエッチングして第2、第3の導電性プラグ10b、10cの上とその周辺の領域にマスク M_3 として残す。なお、TiN層は、 BCl_3 と Cl_2 を用いてエッチングされる。その後、レジストパターンは除去される。

【0284】

次に、図43(a)に示すように、マスク M_3 に覆われない領域の酸素バリアメタル層11をエッチングする。これにより、酸素バリアメタル層11は、第2、第3の導電性プラグ10b、10cの上とその周辺に島状に残される。酸素バリアメタル層11のエッチングにより第1の導電性プラグ10aは露出される。

【0285】

イリジウムからなる酸素バリアメタル層11のエッチングは、ICPプラズマエッチング装置を用いて行われる。ICPプラズマエッチング装置のチャンバの上部に配置されるコイル状のアンテナには800Wの電力が印加され、また、チャンバ内でウェハを載置するステージには700Wのバイアスパワーが印加される。また、チャンバ内での圧力は0.4Paに設定され、ステージ温度は400℃に設定される。また、酸素バリアメタル層11のエッチングガスとしてHBrと O_2 がそれぞれ10sccm、40sccmの流量でチャンバ内に導入される。また、酸素バリアメタル層11のエッチングが終わったあとに、エッチング時間と同じ長さのオーバーエッチングを行うことにより、第2、第3の導電性プラグ10b、10c及びその周辺以外の領域で酸素バリアメタル層11が残らないようにする。

【0286】

次に、図43(b)に示すように、マスク M_3 、酸素バリアメタル層11、第1層間絶縁層8及び第1の導電性プラグ10aの上に酸化防止絶縁層12として $SiON$ 層又は Si_3N_4 層をCVD法により例えば100nmの厚さに形成する。続いて、酸化防止絶縁層12上に絶縁性密着層13を形成する。絶縁性密着層13として、例えばTEOSを用いるCVD法により100nmの厚さの SiO_2 層を形成する。

【0287】

次に、図44(a)に示すように、酸素バリアメタル層11をストッパー層として機能させて、CMP法により絶縁性密着層13、酸化防止絶縁層12及びマスク M_1 を研磨する。これにより、マスク M_1 が除去されて酸素バリアメタル層11の上面が露出される。この場合、酸素バリアメタル層11、絶縁性密着層13及び酸化防止絶縁層12の上面はほぼ平坦になる。

【0288】

そのCMP法は研磨装置を用いて行われる。また、研磨布として例えばロデール・ニッタ社の商品名IC1010が使用され、スラリーとして例えばキャボット社のSS-25Eが用いられる。研磨時間は例えば70秒である。

【0289】

この後に、図44(b)に示すように、島状の酸素バリアメタル層11の上とその周辺

の酸化防止絶縁層 12 及び絶縁性密着層 13 の上に、第 1 実施形態に示した工程に従ってキャパシタ Q を形成する。キャパシタ Q は、下部電極 14 a、誘電体層 15 a 及び上部電極 16 a から構成される。下部電極 14 a は、島状の酸素バリアメタル層 11 を介して導電性プラグ 10 b (10 c) に接続される。

【0290】

この後には、図 45 に示すように、第 1 実施形態と同じ工程によって、キャパシタ保護層 18、第 2 層間絶縁層 19、第 4 導電性プラグ 21、導電性パッド 24 a、一層目配線 24 b、24 c、第 3 層間絶縁層 25、第 5 の導電性プラグ 26、ビット線 27 等を形成する。なお、図 45 において、図 10 と同じ符号は同じ要素を示している。

【0291】

以上のように、本実施形態によれば、導電性プラグ 10 b, 10 c の上方に形成されたマスク M₃ を用いて酸素バリアメタル層 11 をパターニングした後に、マスク M₃ を除去せずに、酸化防止絶縁層 12 及び絶縁性密着層 13 をマスク M₃、第 1 層間絶縁層 8 及び第 1 の導電性プラグ 10 a の上に形成し、その後に酸化防止絶縁層 12 及び絶縁性密着層 13 の研磨の際に、マスク M₃ も研磨して除去している。

【0292】

従って、第 1 の導電性プラグ 10 a のグルー層 9 a を構成する TiN は、マスク M₃ の除去の際にエッチングされない。これにより、第 1 の導電性プラグ 10 a は、マスク M₃ 除去の際に損傷を受けることはなく、第 4、第 5 の導電性プラグ 21, 26 とともに via-to-via で不純物拡散領域 5 a とビット線 27 を良好に接続する。しかも、マスク M₃ を除去するためだけの独立した工程が不要になり、スループットが向上する。

【0293】

ところで、特開平 11-126778 号公報に記載されているように、図 43 (a) に示す状態で、酸素バリアメタル層 11 をパターニングした直後にマスク M₃ を CMP 法により除去すると、第 1 層間絶縁層 8 の表面に水分が入り込んで第 1 の導電性プラグ 10 a を酸化させるおそれがあるので、そのような工程は好ましくない。

【0294】

なお、酸素バリアメタル層 11 のパターニングに用いられるマスク M₃ として窒化チタンに限られるものではなく、窒化チタン (TiN) と酸化シリコン (SiO₂) を順に形成した 2 層構造であってもよいし、その他の材料から構成されてもよい。

(第 9 の実施の形態)

第 2 実施形態に示したマスク M₂ の除去については、第 8 実施形態と同様に、マスク M₂ 及び第 1 層間絶縁層 8 の上に酸化防止絶縁層 12、絶縁性密着層 13 を形成した後に、酸化防止絶縁層 12、絶縁性密着層 13 を CMP 法により平坦化すると同時に行ってもよい。

【0295】

そこで、酸素バリアメタル層 11 a をパターニングするためのマスクとして TiN 層と SiO₂ 層からなる二層構造のハードマスクを採用し、そのハードマスクを CMP 法により除去する工程を以下に説明する。

【0296】

図 46、図 47 は、本発明の第 9 実施形態に係る半導体装置の製造工程を示す断面図であり、図 50 に示すメモリセル領域の平面図の I-I 線に沿った断面図である。即ち、図 46、図 47 は、1 つの p 型ウェル 1 a の片側の上に形成されるキャパシタ Q の下と、ゲート電極 (ワード線) 4 a, 4 b の延在方向で隣り合う 2 つのキャパシタ Q の下とのそれぞれに島状の酸素バリアメタル層 11 a を形成する工程を示している。

【0297】

図 46 (a) に示す構造を形成するまでの工程を説明する。

【0298】

まず、第 1 実施形態に示した工程に従って、シリコン基板 1 に MOS トランジスタ T₁

10

20

30

40

50

、 T_2 を形成し、ついで、MOSトランジスタ T_1 、 T_2 を覆うカバー層7、第1層間絶縁層8、第1～第3の導電性プラグ10a～10cを順に形成する。その後に、基板温度350℃、120秒の条件で第1層間絶縁層8を窒素プラズマ雰囲気中に曝す。

【0299】

続いて、第1～第3の導電性プラグ10a～10cの上と第1層間絶縁層8の上に、導電性の酸素バリアメタル層11aとしてイリジウム(Ir)層をスパッタにより形成する。Ir層は例えば、400nmの厚さに形成される。

【0300】

続いて、スパッタ法により厚さ200nmのTiN層51を酸素バリアメタル層11aの上に形成し、続いて、TEOSを用いるCVD法により厚さ1000nmのSiO₂層52をTiN層51の上に形成する。 10

【0301】

さらに、SiO₂層52の上にレジストを塗布し、これを露光、現像して第2、第3の導電性プラグ10b、10cの上方とその周辺に略キャパシタ平面形状のレジストパターン53を形成する。そして、SiO₂層52及びTiN層51のうちレジストパターン53に覆われない領域をエッチングすることにより、レジストパターン53の下に残されたSiO₂層52及びTiN層51を第1のハードマスク50として使用する。

【0302】

その後に、レジストパターン53を酸素アッシングによって除去する。

【0303】

次に、図46(b)に示すように、酸素バリアメタル層11aのうち第1のハードマスク50に覆われない領域をエッチングすることにより、酸素バリアメタル層11aを第2、第3の導電性プラグ10b、10cの上とその周辺に島状に残す。酸素バリアメタル層11aは、シリコン基板1を載置するステージの温度を400℃に設定し且つHBrとO₂とC₄F₈の混合ガスを用いるドライエッチングによってパターニングされる。なお、そのようなエッチングの際には第1のハードマスク50を構成するSiO₂層52もエッチングされて略錐形状となる。 20

【0304】

続いて、図47(a)に示すように、第1のハードマスク50、酸素バリアメタル層11a及び第1層間絶縁層8の上に、酸化防止絶縁層54として酸化窒化シリコン(SiON)層又は窒化シリコン(Si₃N₄)層をCVD法により350nmの厚さに形成する。SiON層は、例えばシランとアンモニアと酸素を用いてCVD法により形成され、また、Si₃N₄層は、例えばシランとアンモニアを用いてCVD法により形成される。 30

【0305】

さらに、成長ガスにTEOSを用いるCVD法によって、犠牲酸化層55としてSiO₂層を酸化防止絶縁層54上に600nmの厚さに形成する。なお、本実施形態では、上記した実施形態のような絶縁性密着層を酸化防止絶縁層上に形成しない。

【0306】

次に、図47(b)に示すように、島状の酸素バリアメタル層11aをストッパー層として機能させて、CMP法により犠牲酸化層55、酸化防止絶縁層54及び第1のハードマスク50を研磨する。これにより、第1のハードマスク50が除去されて酸素バリアメタル層11aの上面が露出される。さらに、島状の酸素バリアメタル層11aの側方では、第1層間絶縁層8と第1の導電性プラグ10aの上に酸化防止絶縁層54が残される。また、酸化防止絶縁層54上には犠牲酸化層55が薄く残される。この場合、酸素バリアメタル層11a、酸化防止絶縁層54及び犠牲酸化層55の上面はほぼ平坦になる。その研磨の際には、第8実施形態に示した研磨布とスラリーが用いられる。 40

【0307】

この後に、第2実施形態に示した工程によってキャパシタが形成されることになるが、その詳細は省略する。

【0308】

以上のように、キャパシタ下部電極の一部として用いられる島状の酸素バリアメタル層 11a のパターニングのために使用される第 1 のハードマスク 50 は、酸化防止絶縁層 54 の平坦化の際に除去されるので、第 8 実施形態と同様に、第 1 のハードマスク 50 を除去するためだけの独立した工程が不要になる。

【0309】

ところで、ゲート電極（ワード線）4a, 4b の延在方向で隣り合うキャパシタ Q 同士の間隔が、例えば 1 μ m 程度に狭くて且つ酸素バリアメタル層 11a が 400 nm 程度に厚い場合には、図 47 (a) に示したように、島状の酸素バリアメタル層 11a 及び第 1 のハードマスク 50 同士の間の空間のアスペクト比が大きくなり、その空間が酸化防止絶縁層 54 で完全に埋まらずに酸化防止絶縁層 54 に狭い隙間 54s が発生してしまう。その隙間 54s の下では酸化防止絶縁層 54 が薄くなるので、その後のキャパシタの形成工程において以下のような不都合が生じる。

10

【0310】

なお、図 50 に示すキャパシタ Q 同士の間隔が広い場合には、図 47 (a) に示した隙間 54s は発生しないので、二層構造の第 1 のハードマスク 50 の除去と酸化防止絶縁層 54 の平坦化を CMP 法により同時に行うことには何ら支障はない。

【0311】

そこで、第 1 のハードマスク 50 を除去した後のキャパシタの形成工程を簡単に説明する。

【0312】

まず、図 48 (a) に示すように、島状の酸素バリアメタル層 11a、酸化防止絶縁層 54 及び犠牲酸化層 55 の上に第 1 導電層 14b を形成する。第 1 導電層 14b として、第 2 実施形態と異なる積層構造、例えば厚さ 30 nm の Ir 層 14w、厚さ 30 nm 程度の IrO₂ 層 14x、厚さ 15 nm の Pt 層 14v、厚さ 25 nm 程度の PtO 層 14y、及び厚さ 50 nm 程度の Pt 層 14z を順にスパッタにより形成する。

20

【0313】

なお、第 1 導電層 14b を形成する前又は後に例えば層剥がれ防止のために酸化防止絶縁層 54 をアルゴン雰囲気内でアニールする。

【0314】

さらに、第 1 導電層 14b 上に強誘電体層 15 と第 2 導電層 16 を形成する。強誘電体層 15 として、厚さ 140 ~ 200 nm の PZT 層をスパッタ法により形成する。続いて、強誘電体層 15 の結晶化のために強誘電体層 15 を酸素雰囲気中でアニールする。なお、強誘電体層 15 の成長方法や材料としては、第 2 実施形態で示したその他の成長方法や材料を採用してもよい。

30

【0315】

その後に、強誘電体層 15 の上に第 2 導電層 16 として例えば厚さ 200 ~ 300 nm 程度の IrO₂ 層をスパッタ法により形成する。

【0316】

さらに、PVD 法により厚さ 200 nm の TiN 層 56 を第 2 導電層 16 の上に形成し、続いて、TEOS を用いる CVD 法により厚さ 900 nm の SiO₂ 層 57 を TiN 層 56 の上に形成する。

40

【0317】

さらに、SiO₂ 層 57 の上にレジストを塗布し、これを露光、現像して第 2, 第 3 の導電性プラグ 10b, 10c の上方とその周辺に略キャパシタ平面形状のレジストパターン 59 を形成する。そして、SiO₂ 層 57 及び TiN 層 56 のうちレジストパターン 59 に覆われない領域をエッチングすることにより、レジストパターン 59 の下に残された SiO₂ 層 57 及び TiN 層 56 を第 2 のハードマスク 58 として使用する。この場合、SiO₂ 層 57 は、C₄F₈ と Ar と CF₄ の混合ガスを用いてエッチングされる。また、TiN 層 56 は、BCl₃ と Cl₂ の混合ガス又は Cl₂、又はその他のガスを用いてエッチングされる。

50

【0318】

その後、レジストパターン59を酸素アッシングによって除去する。

【0319】

次に、図48(b)に示すように、第2のハードマスク58に覆われない領域の第2導電層16、強誘電体層15及び第1導電層14bを順にエッチングする。この場合、第2導電層16、強誘電体層15及び第1導電層14bともにICPプラズマエッチング装置を用いてエッチングされる。エッチング時の基板温度を400℃とする。また、第1導電層14bと第2導電層16用のエッチングガスとしてHBrとO₂の混合ガスが用いられ、また、強誘電体層15用のエッチングガスとしてCl₂とArの混合ガスが用いられる。

10

【0320】

これにより、第1層間絶縁層8上には、第2、第3の導電性プラグ10b、10cに接続されるキャパシタQが形成される。キャパシタQの下部電極14aは、第1導電層14b及び酸素バリアメタル層11aによって構成される。また、キャパシタQの誘電体層15aは強誘電体層15から構成され、さらにキャパシタQの上部電極16aは第2導電層16から構成される。

【0321】

なお、そのようなエッチングの際には第2のハードマスク58を構成するSiO₂層57もエッチングされて略錐状になる。

【0322】

この後に、図49に示すように、C₄F₈とArとO₂の混合ガスを用いた2周波反応性イオンエッチング(2周波RIE)法により、第2のハードマスク58を構成するSiO₂層57を除去する。SiO₂層57のエッチングの際には、SiON層又はSi₃N₄層からなる酸化防止絶縁層54はエッチングストッパー層として機能する。続いて、過酸化水素水とアンモニアの混合薬液を用いたウェットエッチングによって、第2のハードマスク58のTiN層56を除去する。

20

【0323】

続いて、エッチングにより受けた強誘電体層15のダメージを回復させるために、キャパシタQの回復アニールを行う。この場合の回復アニールは、例えば、基板温度650℃、60分間の条件で酸素を含む雰囲気内で行われる。

30

【0324】

この後に、上記した実施形態のように第2層間絶縁層等を形成する工程に移るが、その詳細は省略する。

【0325】

ところで、図47(a)に示したように、島状の酸素バリアメタル層11a及び第1のハードマスク50によって構成されるパターン同士の間隔が狭くなると、間に形成される酸化防止絶縁層54の隙間54sが発生する。これにより、図48(b)に示したように、第2導電層16、強誘電体層15及び第1導電層14bをエッチングする時に、酸化防止絶縁層54が薄くなって隙間54sを通して第1層間絶縁層8がエッチングされて凹部が発生してしまう。さらに、第2のハードマスク58のSiO₂層57を除去する際に隙間54sを通して凹部の深さがさらに大きくなる。

40

【0326】

そのような第1層間絶縁層8の凹部が深くなると、キャパシタQのパターニングの後の回復アニールの際に、第1層間絶縁層8の凹部から酸素が入って、第1層間絶縁層8内を酸素が透過してタングステンからなる第2、第3の導電性プラグ10b、10cを酸化したり、さらにはMOSトランジスタT₁、T₂を劣化させる。

【0327】

これに対して、酸素バリアメタル層11aを薄くすることによって、島状の酸素バリアメタル層11a同士の間隔の空間のアスペクト比を小さくして隙間54sの発生を防止することも考えられる。

50

【0328】

しかし、第1のハードマスク50を構成するSiO₂層52のエッチング選択比は、SiO₂からなる酸化防止絶縁層54を構成するSiON層又はSi₃N₄層に対して5〜7程度と低いので、第1のハードマスク50のエッチングの際に、第2のハードマスク50とともに酸化防止絶縁層54がエッチングされてその厚さが約150nm減ってしまう。さらに、キャパシタQの形成に続くオーバーエッチングによって酸化防止絶縁層54の厚さが約100nm減ってしまう。一方、酸化防止絶縁層54によって第1の導電性プラグ10aの酸化を防止するためには、酸化防止絶縁層54の厚さは、少しの余裕をもって100nm程度必要となる。

【0329】

従って、酸化防止絶縁層54の厚さは、酸化防止絶縁層54の研磨後に350nmとなるように厚めに形成する必要がある。この酸化防止絶縁層54を350nmとする場合には、CMP法による酸化絶縁層54の研磨を考慮すると、酸素バリアメタル層11aの厚さも350nm以上とする必要がある。

【0330】

なお、第1〜第8実施形態に示した酸化防止絶縁層12と絶縁性密着層13のそれぞれの厚みは、そのような層の厚さの減少を殆ど考慮しない条件での値で示されている。

【0331】

以上のことにより、キャパシタQ同士の間隔が例えば1μmより狭くなる場合には、無機材料からなる第1のハードマスク50の除去と酸化防止絶縁層54の平坦化を同時に行うことが好ましくなくなる。

【0332】

そこで、次の第10実施形態では、キャパシタQ同士の間隔が1μmより狭くなる場合に、キャパシタQの間の第1層間絶縁層8内に凹部が形成されなくなる第1のハードマスク20の除去方法について説明する。

(第10の実施の形態)

図51〜図54は、本発明の第10実施形態に係る半導体装置の製造工程を示す断面図であり、図50のI-I線から見た断面図である。

【0333】

図51(a)に示す構造を形成するまでの工程を説明する。

【0334】

まず、第1実施形態に示した工程に従って、シリコン基板1にMOSトランジスタT₁、T₂を形成し、MOSトランジスタT₁、T₂を覆うカバー層7、第1層間絶縁層8、第1〜第3の導電性プラグ10a〜10cを順に形成する。その後、基板温度350℃、120秒の条件で第1層間絶縁層8を窒素プラズマ雰囲気中に曝す。

【0335】

続いて、第1〜第3の導電性プラグ10a〜10cの上と第1層間絶縁層8の上に、導電性の酸素バリアメタル層11bとしてイリジウム層をスパッタにより形成する。イリジウム層は例えば、200nmの厚さに形成される。

【0336】

続いて、スパッタ法により厚さ100nmのTiN層60を酸素バリアメタル層11bの上に形成する。

【0337】

さらに、TiN層60の上にレジストを塗布し、これを露光、現像して第2、第3の導電性プラグ10b、10cの上方とその周辺に略キャパシタ平面形状のレジストパターン61を形成する。そして、TiN層60のうちレジストパターン61に覆われない領域をエッチングすることにより、レジストパターン61の下に残されたTiN層60を第1のハードマスク60aとして使用する。

【0338】

その後、レジストパターン61を酸素アッシングによって除去する。

10

20

30

40

50

【0339】

次に、図51(b)に示すように、酸素バリアメタル層11bのうち第1のハードマスク60aに覆われない領域をエッチングすることにより、酸素バリアメタル層11bを第2、第3の導電性プラグ10b、10cの上とその周辺に島状に残す。酸素バリアメタル層11bは、基板温度を400℃に設定し且つHBrとO₂とC₄F₈の混合ガスを用いる高温ドライエッチングによりパターンニングされる。

【0340】

続いて、図52(a)に示すように、第1のハードマスク60a及び酸素バリアメタル層11bを覆うアルミナ層を第1層間絶縁層8の上に酸化防止絶縁層62として100～150nmの厚さに形成する。アルミナ層は、スパッタ法により形成してもよいし、CVD法により形成してもよい。MOCVD法によりアルミナ層を形成する条件として、例えばトリメチルアルミニウム(Al(CH₃)₃)に水素(H₂)又はオゾン(O₃)を加えたガスが用いられ、基板温度が例えば300℃に設定される。

【0341】

さらに、犠牲酸化層63としてSiO₂層を酸化防止絶縁層62上に600nmの厚さに形成する。犠牲酸化層63は、例えばTEOSを用いるCVD法により形成される。

【0342】

次に、図52(b)に示すように、島状の酸素バリアメタル層11bをストッパー層として機能させて、CMP法により犠牲酸化層63、酸化防止絶縁層62及びハードマスク60aを研磨する。その研磨の際には、第8実施形態に示した研磨布とスラリーが用いられる。これにより、酸素バリアメタル層11b、酸化防止絶縁層62及び犠牲酸化層63の上面はほぼ平坦になるとともに、第1のハードマスク60aが除去されてその下の酸素バリアメタル層11bの上面が露出される。さらに、島状の酸素バリアメタル層11bの側方に残された酸化防止絶縁層54は、第1層間絶縁層8と第1の導電性プラグ10aを覆う状態となる。なお、酸化防止絶縁層62上には犠牲酸化層63が薄く残される。

【0343】

以上のように、島状の酸素バリアメタル層11bをキャパシタ下部電極の一部として用いる場合に、島状の酸素バリアメタル層11bの上においては、第1の第1のハードマスク60aが酸化防止絶縁層63に続いてCMP法により除去されるので、第8、第9実施形態と同様に、第1のハードマスク60aを除去するためだけの独立した工程が不要になる。

【0344】

次に、図53(a)に示すように、酸素バリアメタル層11b、酸化防止絶縁層62及び犠牲酸化層63の上に第1導電層14bを形成する。第1導電層14bとして、第2実施形態と異なる積層構造、例えば、厚さ100～200nmのIr層14w、厚さ30nm程度のIrO₂層14x、厚さ15nmのPt層14v、厚さ25nm程度のPtO層14y、及び厚さ50nm程度のPt層14zを順に形成する。

【0345】

なお、第1導電層14bを形成する前又は後に例えば層剥がれ防止のために酸化防止絶縁層54をアルゴン雰囲気内でアニールする。

【0346】

さらに、第1導電層14b上に強誘電体層15と第2導電層16を形成する。強誘電体層15として、厚さ140～200nmのPZT層をスパッタ法により形成する。続いて、強誘電体層15の結晶化のために強誘電体層15を酸素雰囲気中でアニールする。なお、強誘電体層15の成長方法や材料としては、その他に第2実施形態で示した成長方法や材料を採用してもよい。

【0347】

その後、強誘電体層15の上に第2導電層16として例えば厚さ200～300nm程度のIrO₂層をスパッタ法により形成する。

【0348】

10

20

30

40

50

さらに、PVD法により厚さ200nmのTiN層56を第2導電層16の上に形成し、続いて、TEOSを用いるCVD法により厚さ900nmのSiO₂層57をTiN層56の上に形成する。

【0349】

さらに、SiO₂層57の上にレジストを塗布し、これを露光、現像して第2、第3の導電性プラグ10b、10cの上方とその周辺に略キャパシタ平面形状のレジストパターン59を形成する。そして、SiO₂層57及びTiN層56のうちレジストパターン59に覆われない領域をエッチングすることにより、レジストパターン59の下に残されたSiO₂層57及びTiN層56を第2のハードマスク58として使用する。この場合、TiN層56は、BCl₃とCl₂の混合ガス又はCl₂、又はその他のガスを用いてエッチングされる。また、SiO₂層57は、基板温度を0～20℃に設定し、エッチングされる。この場合、SiO₂層57とTiN層56のドライエッチングは、エッチャーを換えて行われる。

【0350】

その後、レジストパターン59を酸素アッシングによって除去する。

【0351】

次に、図53(b)に示すように、第2のハードマスク58に覆われない領域の第2導電層16、強誘電体層15及び第1導電層14bを順にエッチングする。この場合、第2導電層16、強誘電体層15及び第1導電層14bともにICPプラズマエッチング装置を用いてエッチングされる。

【0352】

それらのエッチング条件は、チャンバ内の圧力を0.4Pa、ウェハステージ温度を400℃、ソースパワー800watt、バイアスパワー700wattに設定される。また、第2導電層16及び第1導電層14b用のエッチングガスとして、流量10sccmでHBr、流量40sccmでO₂がエッチングチャンバ内に流される。また、強誘電体層15用のエッチングガスとして流量40sccmでCl₂、流量10sccmでArがエッチングチャンバ内に流される。なお、ソースパワーはICPエッチング装置のアンテナに印加される高周波電源のパワーであり、バイアスパワーは半導体ウェハ(シリコン基板1)に印加される高周波電源のパワーである。

【0353】

これにより、第1層間絶縁層8上には、第2、第3の導電性プラグ10b、10cに別々に接続される複数のキャパシタQが形成される。キャパシタQの下部電極14aは、第1導電層14b及び酸素バリアメタル層11bによって構成される。また、キャパシタQの誘電体層15aは強誘電体層15から構成され、さらにキャパシタQの上部電極16aは第2導電層16から構成される。

【0354】

なお、そのようなエッチングの際には第2のハードマスク58を構成するSiO₂層57もエッチングされて略錐状に残される。

【0355】

この後に、図54に示すように、第2のハードマスク58を構成するSiO₂層57をC₄F₈とArとO₂の混合ガスを用いた2周波反応性イオンエッチング(2周波RIE)により除去する。そのエッチングのために、2周波RIE装置の反応室内の平行平板型電極のうち上側電極には例えば2000Wの27.13MHzの電源が接続され、下側電極には200Wの800kHzの電源が接続される。また、下側電極と上側電極の間の距離は20mmに設定される。上側電極の温度は30℃に設定され、シリコン基板1が載置される下側電極の温度は0℃に設定される。また、反応室の内側壁の温度は50℃に設定される。また、反応室内には、エッチングガスとしてC₄F₈とArとO₂がそれぞれ20sccm、500sccm、8sccmの流量で導入され、また、反応室内のガス圧力は25～40mTorrに設定される。

【0356】

10

20

30

40

50

なお、絶縁性密着層 6 2 の上に犠牲酸化層 6 3 が残っている場合には、その犠牲酸化層 6 3 は SiO_2 層 5 7 とともに除去される。

【0357】

続いて、過酸化水素水とアンモニアの混合薬液を用いたウェットエッチングによって、第 2 のハードマスク 5 8 の TiN 層 5 6 を除去する。

【0358】

さらに、キャパシタ Q の形成のためのエッチングにより受けた強誘電体層 1 5 のダメージを回復させるために、キャパシタ Q の回復アニールを行う。この場合の回復アニールは、例えば、基板温度 650℃、60 分間の条件で酸素を含む雰囲気内で行われる。

【0359】

この後に、第 2 実施形態のように絶縁性のキャパシタ保護層 1 8、第 2 層間絶縁層 1 9、第 4 導電性プラグ 2 1 等を形成する工程に移るが、その詳細は省略する。

【0360】

以上の実施形態において、島状の酸素バリアメタル層 1 1 b とその上の第 1 のハードマスク 6 0 a をアルミナ酸化防止絶縁層 6 2 で覆った後に、CMP 法によりアルミナ酸化防止絶縁層 6 2 を平坦化すると同時に第 1 のハードマスク 6 0 a を除去するようにしているので、第 8 実施形態と同様に、第 1 のハードマスク 6 0 a を除去する工程を独立して設ける必要はない。

【0361】

また、アルミナ層は、 SiON 層に比べて 2 倍の酸化防止機能を有する。従って、島状の酸素バリアメタル層 1 1 b 形成後の酸素アニールの際に、第 2、第 3 の導電性プラグ 1 0 b, 1 0 c の酸化を防止するためには、アルミナ酸化防止絶縁層 6 2 の厚さを 50 nm 程度と薄くしてもよくなる。

【0362】

SiO_2 層のアルミナ層に対するエッチング選択比は約 40 である。従って、第 2 のハードマスク 5 8 の SiO_2 層 5 7 をエッチング除去する際のアルミナ酸化防止絶縁層 6 2 のエッチング深さは 18~25 nm 程度である。また、キャパシタ Q のパターンニング後のオーバーエッチングによるアルミナ酸化防止絶縁層 6 2 のエッチング深さは約 12~17 nm 程度である。

【0363】

それらのエッチング量を考慮すると、アルミナ酸化防止絶縁層 6 2 の厚さは 100 nm 程度以上あればよい。これにより、アルミナ酸化防止絶縁層 6 2 を CMP 法により平坦化する場合に、ストッパーとなる酸素バリアメタル層 1 1 b の厚さを 200 nm 程度に薄くすることが可能になる。この結果、島状の酸素バリアメタル層 1 1 b 相互間の距離を狭くしても、酸素バリアメタル層 1 1 b 同士の間の空間のアスペクト比が高くなることが防止されるので、その空間に形成されるアルミナ酸化防止絶縁層 6 2 を完全に埋めることが可能になる。

【0364】

その空間内のアルミナ酸化防止絶縁層 6 2 に隙間が発生しなくなることから、島状の酸素バリアメタル層 1 1 b の間の下で、第 1 層間絶縁層 8 に溝が形成されず、第 1 層間絶縁層 8 を通して導電性プラグ 1 0 a~1 0 c が酸化されることが防止される。

【0365】

また、酸素バリアメタル層 1 1 b を構成する Ir 層の厚さは、強誘電体層 1 5 の結晶化アニール、キャパシタ Q の形成後の回復アニールによる導電性プラグ 1 0 b, 1 0 c の酸化を防止するために、キャパシタ Q の下部電極 1 4 a を構成する Ir 層 1 4 w の厚さと合わせて 300 nm 以上あればよく、さらに酸素バリアメタル層 1 1 b のパターンニング後の酸化アニール温度に合わせてその膜厚をさらに増加させてもよい。

【0366】

ところで、本実施形態では、下部電極 1 4 a の Ir 層 1 4 w の厚さを考慮して、酸素バリアメタル層 1 1 b を構成する Ir 層の厚さを 200 nm としている。そのような、厚さ 2

10

20

30

40

50

00nmのIr層をパターンニングするためには、ハードマスクをTiN層の単層構造としても不都合はない。

【0367】

なお、上記した酸化防止絶縁層62はアルミナ単層構造になっているがSiO₂層とアルミナ層の二層構造、又はSiON層とアルミナ層の二層構造にしてもよい。

(その他の実施形態)

上記した実施形態において、導電性プラグの材料としてドープトシリコンを採用してもよい。

【0368】

また、キャパシタの誘電体層として強誘電体材料を用いたが高誘電体材料を用いてもよい。さらに、上記した実施形態ではメモリセルについて説明した。その他に、半導体基板に形成される周辺回路又はロジック回路において、第1、2、5実施形態で説明したように、一層目の導電性プラグの上に酸化防止絶縁層を形成する工程を含めてもよい。この場合、周辺回路又はロジック回路においても、不純物拡散領域の上の構造は、第1のn型不純物拡散領域5aの上の構造と同じように、第1層間絶縁層8のコンタクトホール内に形成された導電性プラグと酸化防止絶縁層12及び第2層間絶縁層19のコンタクトホール内に形成された導電性プラグとを接続した構造となる。その不純物拡散領域は、例えばMOSトランジスタのソース／ドレイン領域である。

【0369】

また、周辺回路又はロジック回路においても、MOSトランジスタを構成する不純物拡散領域の上の構造は、第3、4、7実施形態で説明したように、第1層間絶縁層8のコンタクトホール内に形成された導電性プラグと第1層間絶縁層上に形成された島状の酸素バリアメタル層と第2層間絶縁層内に形成された導電性プラグを順に接続した構造であってもよい。

【0370】

さらに、酸素バリアメタル層としてイリジウムの代わりにルテニウムを用いてもよい。また、酸素バリアメタル層を、ルテニウム下側層、酸化ルテニウム上側層から構成してもよい。

(付記1) 半導体基板の表層に形成された第1及び第2の不純物拡散領域と、
前記半導体基板の上方に形成された第1絶縁層と、
前記第1絶縁層に形成された第1、第2のホールと、
前記第1のホール内に形成されて前記第1の不純物拡散領域に電氣的に接続される第1導電性プラグと、
前記第2のホール内に形成されて前記第2の不純物拡散領域に電氣的に接続される第2導電性プラグと、
前記第1絶縁層上であって前記第1導電性プラグ及びその周辺領域の上に形成された島状の酸素バリアメタル層と、
前記第1絶縁層上に形成され且つ前記第2導電性プラグの酸化を防止する材料からなる酸化防止層と、
前記酸素バリアメタル層の上に形成された下部電極と、該下部電極上に形成された誘電体層と、該誘電体層上に形成された上部電極とを有するキャパシタと、
前記キャパシタと前記酸化防止層を覆う第2絶縁層と、
前記第2導電性プラグの上であって、前記第2絶縁層に形成された第3のホールと、
前記第3のホール内に形成されて前記第2導電性プラグに電氣的に接続される第3導電性プラグと
を有することを特徴とする半導体装置。

(付記2) 前記酸化防止層は、前記第1絶縁層の上に形成されて前記酸素バリアメタル層の側面を覆う酸化防止絶縁層であり、
前記第3のホールは前記酸化防止絶縁層にも形成されて前記第2のホールに接続され、
前記第3導電性プラグは前記第2導電性プラグに接続されている

ことを特徴とする付記 1 に記載の半導体装置。

(付記 3) 前記酸化防止絶縁層は、アルミナ、窒化シリコン、酸化窒化シリコンのいずれかから構成されることを特徴とする付記 2 に記載の半導体装置。

(付記 4) 前記下部電極の下で前記酸素バリアメタル層の上面と前記酸化防止絶縁層の上面は平坦化されていることを特徴とする付記 2 又は付記 3 に記載の半導体装置。

(付記 5) 前記酸化防止絶縁層の上であって前記下部電極の下には絶縁性密着層が形成されていることを特徴とする付記 2 又は付記 3 に記載の半導体装置。

(付記 6) 前記酸化防止層は、前記第 2 導電性プラグ上に形成され且つ前記酸素バリアメタル層と同じ導電材から構成される島状の導電層であり、

前記第 3 導電性プラグは、前記島状の導電層を介して前記第 2 導電性プラグに接続されている 10

ことを特徴とする付記 1 に記載の半導体装置。

(付記 7) 前記島状の導電層の側面と前記酸素バリアメタル層の側面と前記第 1 絶縁層の上面の上には酸化防止絶縁層が形成されていることを特徴とする付記 6 に記載の半導体装置。

(付記 8) 前記酸素バリアメタル層は、前記キャパシタの前記下部電極の下層部を構成することを特徴とする付記 1 乃至付記 7 のいずれかに記載の半導体装置。

(付記 9) 前記酸素バリアメタル層は、前記キャパシタの前記下部電極と実質的に同じ大きさであることを特徴とする付記 1 乃至付記 8 のいずれかに記載の半導体装置。

(付記 10) 前記酸素バリアメタル層の周囲であって前記キャパシタの下には絶縁性密着層が形成されていることを特徴とする付記 1 乃至付記 7 に記載の半導体装置。 20

(付記 11) 前記下部電極は複数の導電層から構成され、該複数の導電層のうちの最下層は、前記酸素バリアメタル層と同じ材料から構成され且つ前記酸素バリアメタル層との総厚が前記誘電体層のアニール温度で前記第 1 導電性プラグの酸化を防止する厚さに形成されていることを特徴とする付記 1 乃至付記 10 のいずれかに記載の半導体装置。

(付記 12) 前記酸素バリアメタル層は複数の導電層から構成され、該複数層構造の上側層は該複数層構造の下側層よりも研磨が容易な導電材料から構成されていることを特徴とする付記 1 乃至付記 11 のいずれかに記載の半導体装置。

(付記 13) 前記酸素バリアメタル層と前記下部電極の間には導電性密着層が形成されていることを特徴とする付記 1 乃至付記 12 のいずれかに記載の半導体装置。 30

(付記 14) 前記導電性密着層の上面は前記下部電極の下面と同じ形状を有していることを特徴とする付記 13 に記載の半導体装置。

(付記 15) 前記酸素バリアメタル層と前記導電性密着層は同じ材料からなり、前記導電性密着層は前記酸化防止層よりも上に形成されていることを特徴とする付記 13 又は付記 14 に記載の半導体装置。

(付記 16) 前記導電性密着層はイリジウムであることを特徴とする付記 13 乃至付記 15 のいずれかに記載の半導体装置。

(付記 17) 前記酸素バリアメタル層の下であって前記第 1 導電性プラグ及びその周囲の前記第 1 絶縁層の上には導電性密着層が形成されていることを特徴とする付記 1 乃至付記 16 のいずれかに記載の半導体装置。 40

(付記 18) 前記導電性密着層は、チタン又は窒化チタンの単層構造か、チタンと窒化チタンを順に形成した二層構造かのいずれかであることを特徴とする付記 17 に記載の半導体装置。

(付記 19) 前記第 1 及び第 2 導電性プラグは、それぞれタングステンを含んでいることを特徴とする付記 1 乃至付記 18 のいずれかに記載の半導体装置。

(付記 20) 前記第 1 の不純物拡散領域と前記第 2 の不純物拡散領域は、トランジスタを構成することを特徴とする付記 1 乃至付記 19 のいずれかに記載の半導体装置。

(付記 21) 半導体基板の表層に第 1 及び第 2 の不純物拡散領域を形成する工程と、前記半導体基板の上方に第 1 絶縁層を形成する工程と、前記第 1 絶縁層に第 1、第 2 のホールを形成する工程と、 50

前記第 1 の不純物拡散領域に電氣的に接続される第 1 導電性プラグを前記第 1 のホール内に形成し、同時に、前記第 2 の不純物拡散領域に電氣的に接続される第 2 導電性プラグを前記第 2 のホール内に形成する工程と、
前記第 1 及び第 2 導電性プラグの上と前記第 1 絶縁層の上に酸素バリアメタル層を形成する工程と、
前記酸素バリアメタル層をパターニングすることにより、前記酸素バリアメタル層を前記第 1 導電性プラグの上に島状に残す工程と、
島状の前記酸素バリアメタル層と前記第 1 絶縁層の上に絶縁性酸化防止層を形成する工程と、
前記絶縁性酸化防止層を研磨して前記酸素バリアメタル層の上面を露出させる工程と、 10
前記酸素バリアメタル層及び前記絶縁性酸化防止層の上に第 1 導電層を形成する工程と、
前記第 1 導電層の上に誘電体層を形成する工程と、
前記誘電体層の上に第 2 導電層を形成する工程と、
前記第 2 導電層、前記誘電体層及び前記第 1 導電層をパターニングして前記第 1 導電性プラグ上の前記酸素バリアメタル層上にキャパシタを形成する工程と、
前記キャパシタ、前記絶縁性酸化防止層の上方に第 2 絶縁層を形成する工程と、
前記第 2 絶縁層をパターニングして前記第 2 導電性プラグの上方に第 3 のホールを形成する工程と、
前記第 2 導電性プラグに電氣的に接続される第 3 導電性プラグを前記第 3 のホール内に形成する工程と 20
を有することを特徴とする半導体装置の製造方法。
(付記 2 2) 前記絶縁性酸化防止層の上に絶縁性密着層を形成する工程と、
前記絶縁性酸化防止層と同時に前記絶縁性密着層を平坦化する工程と、
前記第 3 のホールを前記絶縁性密着層を貫通させる工程と
をさらに有することを特徴とする付記 2 1 に記載の半導体装置の製造方法。
(付記 2 3) 前記酸素バリアメタル層をパターニングすることにより前記第 2 導電性プラグ及びその周辺に導電性酸化防止層として島状に残す工程と、
前記導電性酸化防止層の上に前記第 3 のホールを形成する工程と
前記第 3 導電性プラグを前記第 3 のホール内に形成して前記導電性酸化防止層を介して電氣的に前記第 2 導電性プラグに電氣的に接続する工程と 30
を有することを特徴とする付記 2 1 に記載の半導体装置の製造方法。
(付記 2 4) 前記酸素バリアメタル層は、前記キャパシタの前記下部電極の一部としてパターニングされることを特徴とする付記 2 1 乃至付記 2 3 のいずれかに記載の半導体装置の製造方法。
(付記 2 5) 前記酸素バリアメタル層は、前記キャパシタの前記下部電極と実質的に同じ大きさにパターニングされることを特徴とする付記 2 1 乃至付記 2 4 のいずれかに記載の半導体装置の製造方法。
(付記 2 6) 前記酸素バリアメタル層は材料の異なる下側層と上側層からなり、前記上側層は前記下側層を構成する第 1 材料よりも研磨が容易な第 2 材料から構成されていることを特徴とする付記 2 1 乃至付記 2 5 のいずれかに記載の半導体装置の製造方法。 40
(付記 2 7) 島状の前記酸素バリアメタル層と前記第 1 導電層との間に導電性密着層を形成する工程と、
前記導電性密着層を前記第 1 導電層とともに島状にパターニングする工程と
を有することを特徴とする付記 2 1 乃至付記 2 6 のいずれかに記載の半導体装置の製造方法。
(付記 2 8) 前記酸素バリアメタル層と前記第 1 絶縁層の間に導電性密着層を形成する工程と、
前記導電性密着層を前記酸素バリアメタル層とともに島状にパターニングする工程と
を有することを特徴とする付記 2 1 乃至付記 2 7 のいずれかに記載の半導体装置の製造方法。 50

(付記 29) 島状の前記酸素バリアメタル層は、前記酸素バリアメタル層の上にハードマスクを形成した後に、前記ハードマスクから露出した前記酸素バリアメタル層をエッチングすることによりパターンニングされることを特徴とする付記 21 乃至付記 28 のいずれかに記載の半導体装置の製造方法。

(付記 30) 前記絶縁性酸化防止層は前記ハードマスク上にも形成され、前記絶縁性酸化防止層の研磨と同時に前記ハードマスクを研磨により除去することを特徴とする付記 29 に記載の半導体装置の製造方法。

(付記 31) 前記ハードマスクは、前記第 2 導電性プラグの一部を構成する材料と同じ材料から構成されていることを特徴とする付記 30 に記載の半導体装置の製造方法。

(付記 32) 前記ハードマスクの上層部は酸化シリコン層から構成されていることを特徴とする付記 30 又は付記 31 に記載の半導体装置の製造方法。 10

(付記 33) 前記絶縁性酸化防止層はアルミナ単層構造又はアルミナ層を含む複数層構造から構成されることを特徴とする付記 30 乃至付記 32 に記載の半導体装置の製造方法。

【0371】

【発明の効果】

以上述べたように本発明によれば、第 1 絶縁層に第 1 及び第 2 の導電性プラグを形成し、第 1 の導電性プラグの上に酸素バリアメタル層を形成し、第 2 の導電性プラグの上に酸化防止絶縁層を形成し、さらに、第 1 の導電性プラグの上に酸素バリアメタル層を介してキャパシタを形成し、キャパシタを覆う第 2 絶縁層を形成し、その後に、第 2 の導電性プラグの上に第 3 の導電性プラグを形成するようにしているので、不純物拡散領域と上側の配線 20 を接続する構造が via-to-via の接続となり、一度にアスペクト比の大きなホール 20 の形成が不要になり、ホールへの埋込が容易になるので、最新の設備を必要とせず、開発コスト、工程コストの削減が可能になる。また、第 1 の導電性プラグの異常酸化を酸素バリアメタル層によって防止でき、さらに第 2 の導電性プラグの異常酸化を酸化防止絶縁層によって防止できる。

【0372】

しかも、酸素バリアメタル層と酸化防止絶縁層は研磨により同時に平坦化されるので、酸素バリアメタル層の上に形成されるキャパシタ下部電極が平坦になり、その上に形成される誘電体層に劣化が生じることが回避され、特性の良いキャパシタの形成が可能になる。

【0373】

また、酸素バリアメタル層を多層構造にし、その上側層を研磨が比較的容易な材料、例えば酸化イリジウムにより構成すると、絶縁性密着層と酸素バリアメタル層を研磨すること 30 で、キャパシタの下地がより平坦になってキャパシタの特性を向上できる。

【0374】

さらに、本発明によれば、酸化防止絶縁層の代わりに酸素バリアメタル層を第 2 の導電性プラグの上にも島状に形成しているので、酸化防止絶縁層と同じ作用効果が得られるだけでなく、酸化防止絶縁層の形成工程が省略できる。

【0375】

なお、キャパシタの直下の第 1 の導電性プラグの上に形成される酸素バリアメタル層を下部電極として採用することにより、下部電極のパターンニング工程を軽減できる。 40

【0376】

キャパシタ下部電極を構成する導電層と酸素バリアメタル層の間に導電性密着層を形成することによりキャパシタ下部電極の層剥がれを確実に防止できる。

【0377】

酸素バリアメタル層と第 1 絶縁層の間に導電性密着層を形成することにより、酸素バリアメタル層と第 1 絶縁層の密着を向上させることができ、酸素バリアメタル層と第 1 絶縁層の間から導電性プラグへの酸素の供給を確実に防止して導電性プラグの酸化を防止することができる。

【0378】

酸素バリアメタル層をハードマスクを使用してパターンニングする場合には、酸素バリアメ 50

タル層のパターニングの後に、ハードマスク及びその周辺の上に酸化防止絶縁層を形成し、その後に酸素バリアメタル層が露出するまで酸化防止絶縁層とハードマスクを研磨するようにしたので、ハードマスクを除去するために独立した工程をなくしてスループットを向上することができる。

【図面の簡単な説明】

【図 1】図 1 (a) ~ (c) は、従来の半導体装置の形成工程を示す断面図 (その 1) である。

【図 2】図 2 は、従来の半導体装置の形成工程を示す断面図 (その 2) である。

【図 3】図 3 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

10

【図 4】図 4 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 5】図 5 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

【図 6】図 6 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

【図 7】図 7 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図 (その 5) である。

【図 8】図 8 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図 (その 6) である。

20

【図 9】図 9 (a) , (b) は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図 (その 7) である。

【図 10】図 10 は、本発明の第 1 実施形態に係る半導体装置の製造工程を示す断面図 (その 8) である。

【図 11】図 11 (a) , (b) は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 12】図 12 (a) , (b) は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 13】図 13 (a) , (b) は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

30

【図 14】図 14 (a) , (b) は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

【図 15】図 15 は、本発明の第 2 実施形態に係る半導体装置の製造工程を示す断面図 (その 5) である。

【図 16】図 16 (a) , (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 17】図 17 (a) , (b) は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 18】図 18 は、本発明の第 3 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

40

【図 19】図 19 (a) , (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 20】図 20 (a) , (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 21】図 21 (a) , (b) は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

【図 22】図 22 は、本発明の第 4 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

【図 23】図 23 は、本発明の第 4 実施形態に係るその他の半導体装置を示す断面図である。

50

【図 2 4】図 2 4 (a) , (b) は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 2 5】図 2 5 (a) , (b) は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 2 6】図 2 6 (a) , (b) は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

【図 2 7】図 2 7 (a) , (b) は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

【図 2 8】図 2 8 は、本発明の第 5 実施形態に係る半導体装置の製造工程を示す断面図 (その 5) である。

10

【図 2 9】図 2 9 は、半導体ウェハにおける位置合わせマークを示す平面図である。

【図 3 0】図 3 0 は、半導体ウェハにおける位置合わせマークを示す断面図である。

【図 3 1】図 3 1 (a) , (b) は、本発明の第 6 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 3 2】図 3 2 (a) , (b) は、本発明の第 6 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 3 3】図 3 3 (a) , (b) は、本発明の第 6 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

【図 3 4】図 3 4 (a) , (b) は、本発明の第 6 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

20

【図 3 5】図 3 5 は、本発明の第 6 実施形態に係る半導体装置製造工程を示す断面図 (その 5) である。

【図 3 6】図 3 6 は、本発明の第 6 実施形態に係る別の半導体装置を示す断面図である。

【図 3 7】図 3 7 (a) , (b) は、本発明の第 7 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 3 8】図 3 8 (a) , (b) は、本発明の第 7 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 3 9】図 3 9 (a) , (b) は、本発明の第 7 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

【図 4 0】図 4 0 は、本発明の第 7 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

30

【図 4 1】図 4 1 は、本発明の第 7 実施形態に係る別の半導体装置を示す断面図である。

【図 4 2】図 4 2 (a) , (b) は、本発明の第 8 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 4 3】図 4 3 (a) , (b) は、本発明の第 8 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 4 4】図 4 4 (a) , (b) は、本発明の第 8 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

【図 4 5】図 4 5 は、本発明の第 8 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

40

【図 4 6】図 4 6 (a) , (b) は、本発明の第 9 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 4 7】図 4 7 (a) , (b) は、本発明の第 9 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 4 8】図 4 8 (a) , (b) は、キャパシタ間隔を狭くした場合の半導体装置の製造工程の比較例を示す断面図 (その 1) である。

【図 4 9】図 4 9 は、キャパシタ間隔を狭くした場合の半導体装置の製造工程の比較例を示す断面図 (その 2) である。

【図 5 0】図 5 0 は、本発明の実施形態に係る半導体装置のメモリセル領域を示す平面図である。

50

【図 5 1】図 5 1 (a) , (b) は、本発明の第 10 実施形態に係る半導体装置の製造工程を示す断面図 (その 1) である。

【図 5 2】図 5 2 (a) , (b) は、本発明の第 9 実施形態に係る半導体装置の製造工程を示す断面図 (その 2) である。

【図 5 3】図 5 3 (a) , (b) は、本発明の第 9 実施形態に係る半導体装置の製造工程を示す断面図 (その 3) である。

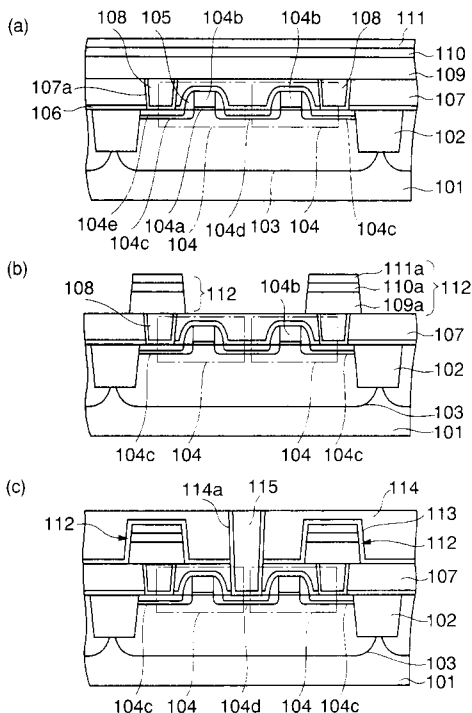
【図 5 4】図 5 4 は、本発明の第 9 実施形態に係る半導体装置の製造工程を示す断面図 (その 4) である。

【符号の説明】

1 …シリコン基板 (半導体基板)、2 …素子分離絶縁層、3 …ゲート絶縁層、4 a, 4 b …ゲート電極、5 a ~ 5 c …n 型不純物拡散領域、6 …サイドウォール、7 …カバー層、8, 19, 25 …層間絶縁層、8 a ~ 8 c, 19 a …コンタクトホール、9 a, 20 a …グレー層、9 b, 20 b …タングステン層、10 a ~ 10 c, 21, 26 …導電性プラグ、11, 11 a, 11 b, 31 …酸素バリアメタル層、12 …酸化防止絶縁層、13 …絶縁性密着層、14, 14 b …第 1 導電層、15 …強誘電体層、16 …第 2 導電層、14 a …下部電極、15 a …誘電体層、16 a …上部電極、17 …ハードマスク、18 …キャパシタ保護層、22 …酸化防止絶縁層、23 …ホール、24 a …導電性パッド、24 b, 24 c …一層目配線、27 …ビット線、35, 37 …導電性密着層、50, 58, 60 a …ハードマスク、51, 56, 60 …TiN 層、52, 57 …酸化シリコン層、53, 59, 61 …レジストパターン、54 …酸化防止絶縁層、55 …犠牲酸化層、62 …酸化防止層、63 …犠牲酸化層、Q …キャパシタ。

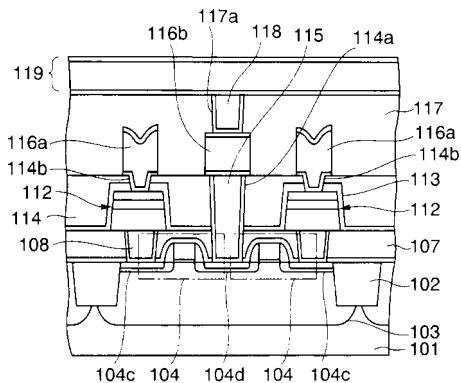
【図 1】

従来の半導体装置の形成工程断面図 (その 1)



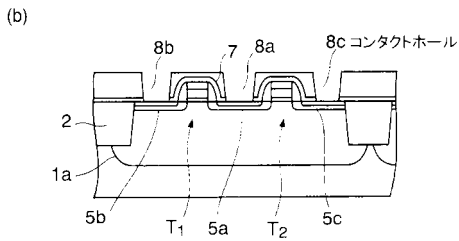
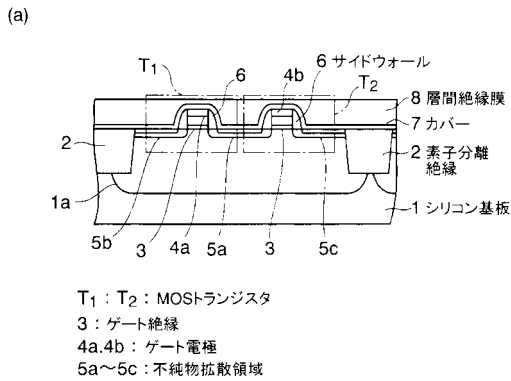
【図 2】

従来の半導体装置の形成工程断面図 (その 2)



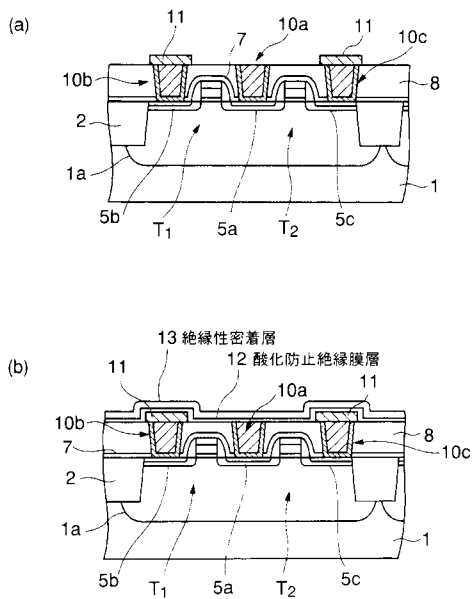
【図 3】

本発明の第1実施形態に係る半導体装置の
製造工程を示す断面図（その1）



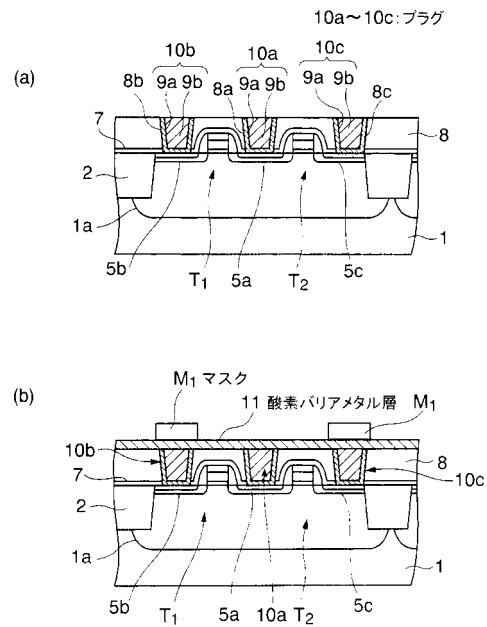
【図 5】

本発明の第1実施形態に係る半導体装置の製造工程を
示す断面図（その3）



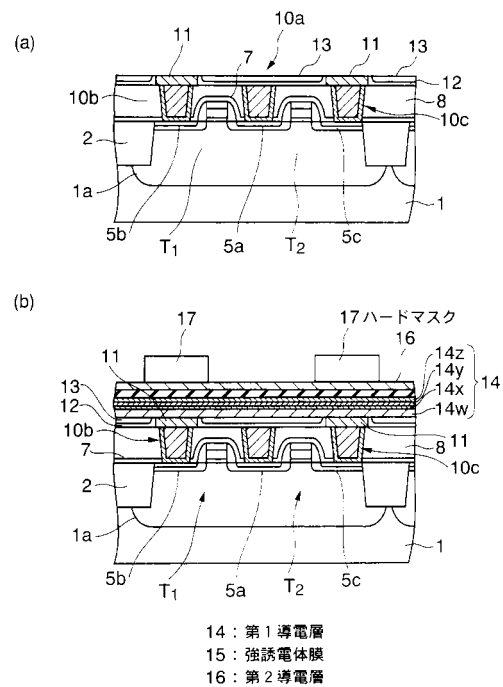
【図 4】

本発明の第1実施形態に係る半導体装置の
製造工程を示す断面図（その2）



【図 6】

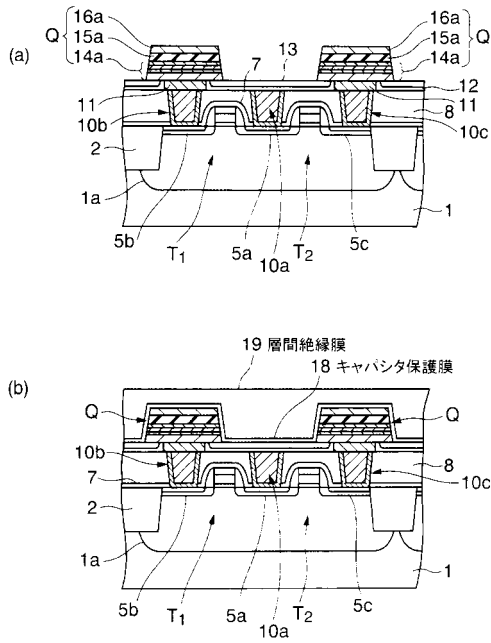
本発明の第1実施形態に係る半導体装置の製造工程を
示す断面図（その4）



14 : 第1導電層
15 : 強誘電体膜
16 : 第2導電層

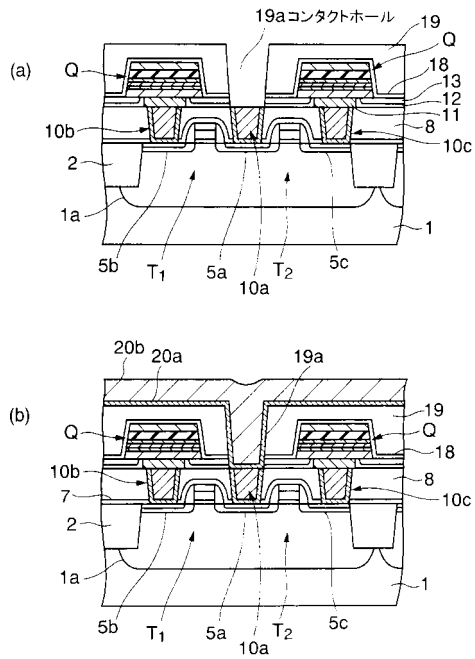
【図 7】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その5）



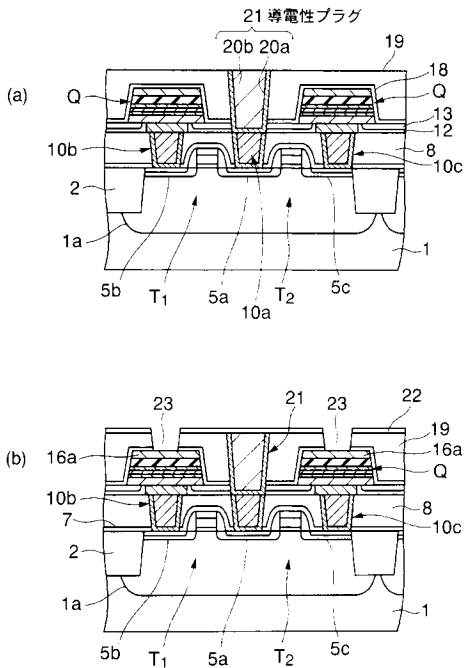
【図 8】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その6）



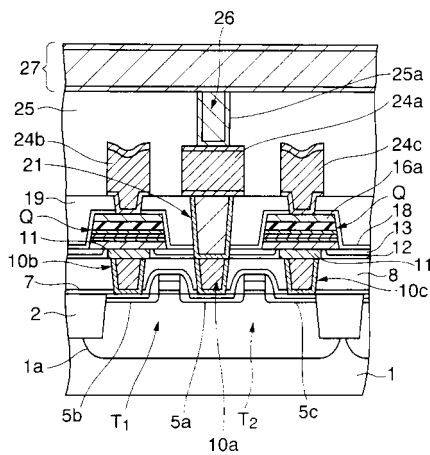
【図 9】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その7）



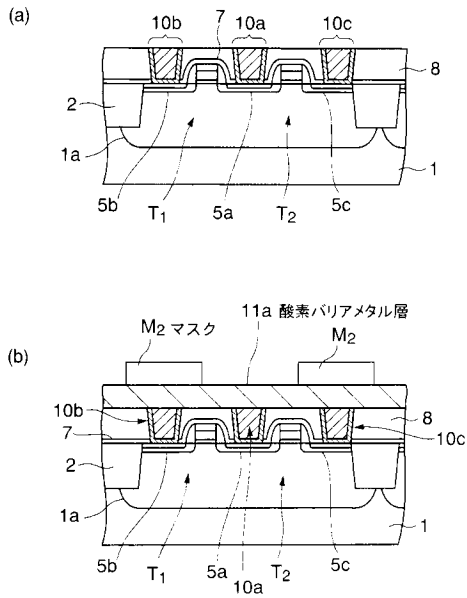
【図 10】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その8）



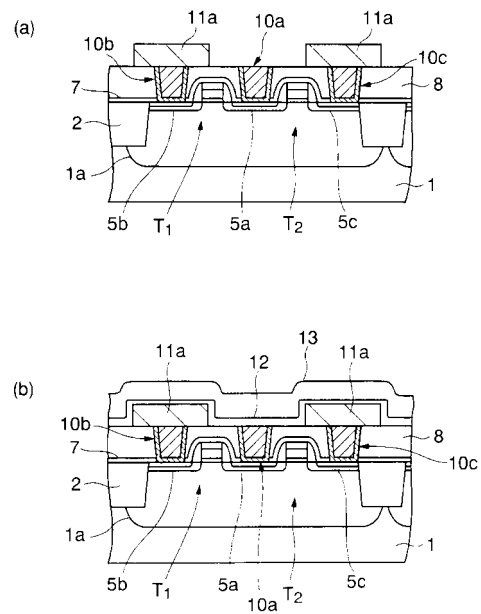
【図 1 1】

本発明の第2実施形態に係る半導体装置の製造工程を示す断面図（その1）



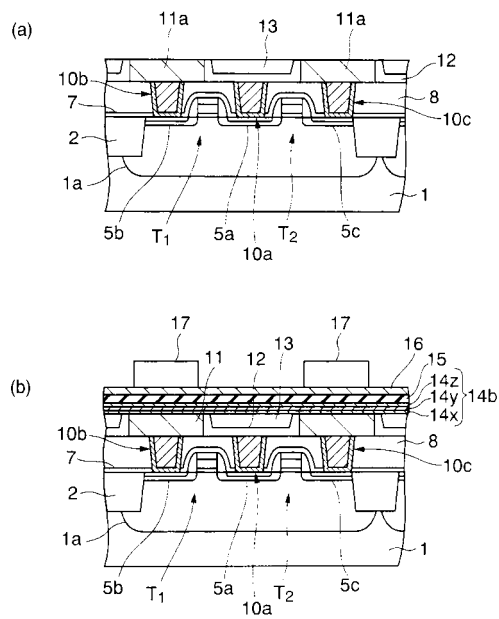
【図 1 2】

本発明の第2実施形態に係る半導体装置の製造工程を示す断面図（その2）



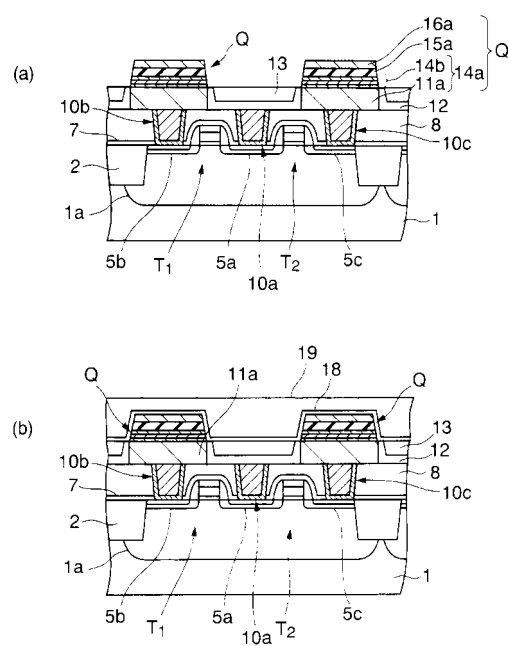
【図 1 3】

本発明の第2実施形態に係る半導体装置の製造工程を示す断面図（その3）



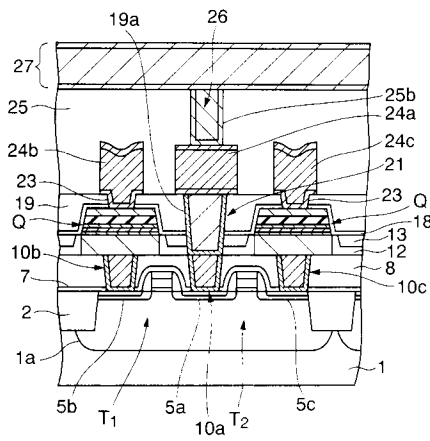
【図 1 4】

本発明の第2実施形態に係る半導体装置の製造工程を示す断面図（その4）



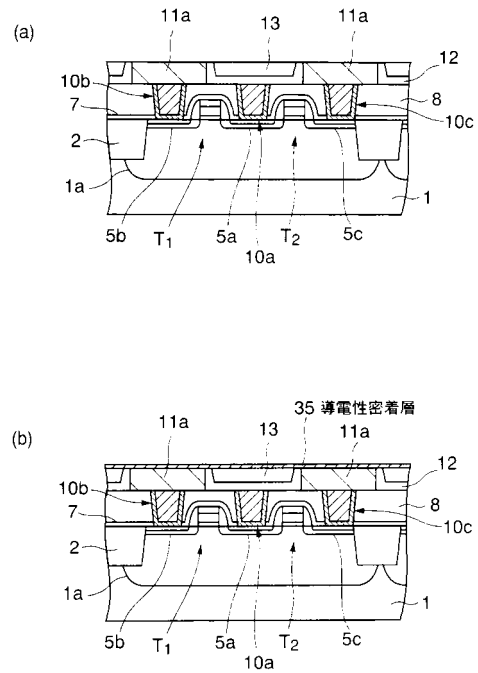
【図 15】

本発明の第2実施形態に係る半導体装置の製造工程を示す断面図（その5）



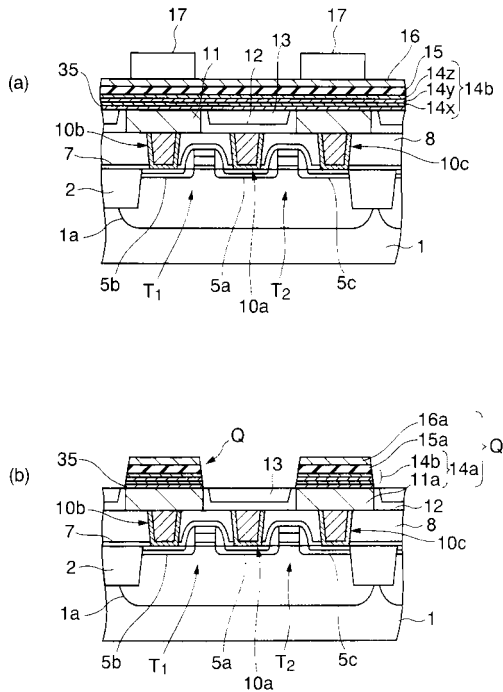
【図 16】

本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その1）



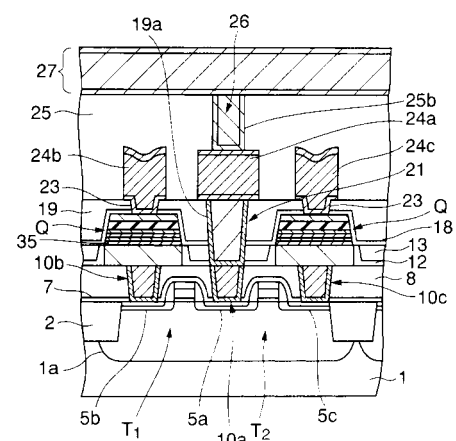
【図 17】

本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その2）



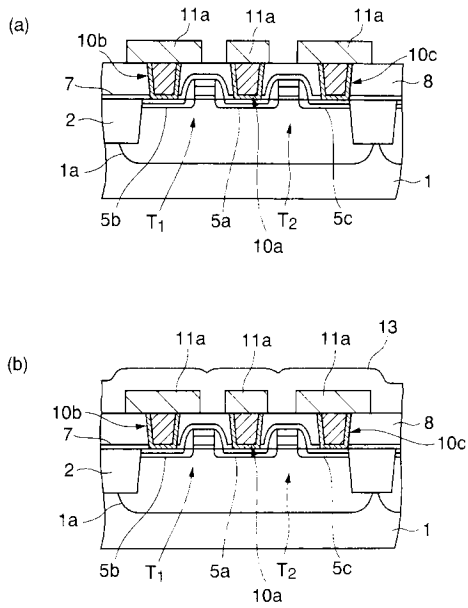
【図 18】

本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その3）



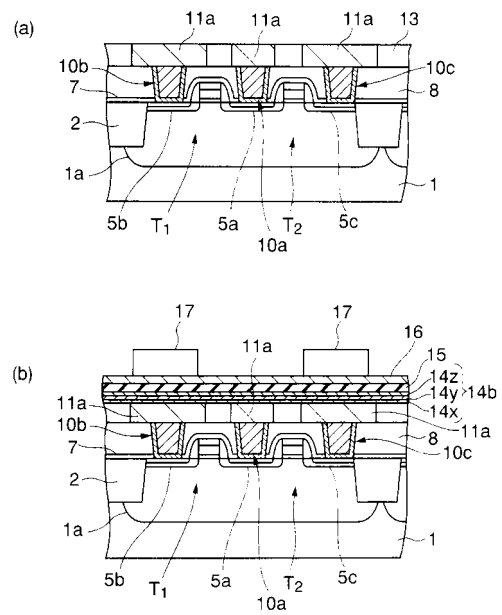
【図 19】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その1）



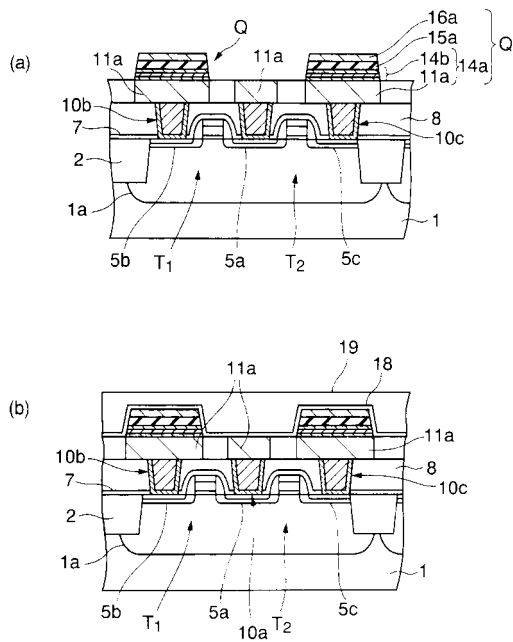
【図 20】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その2）



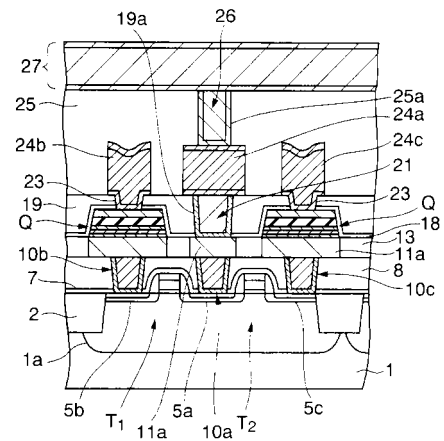
【図 21】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その3）



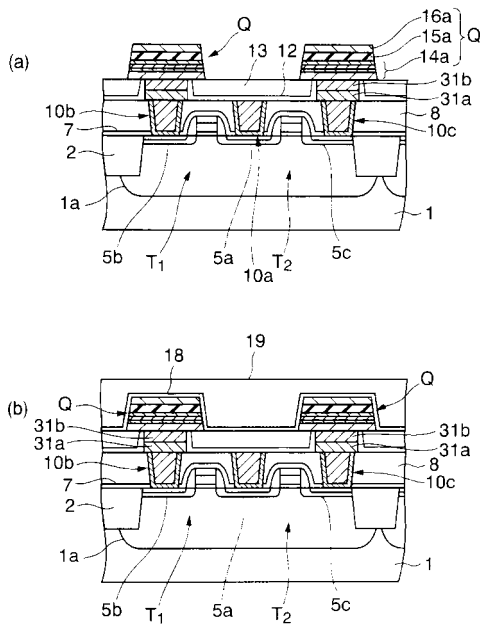
【図 22】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その4）



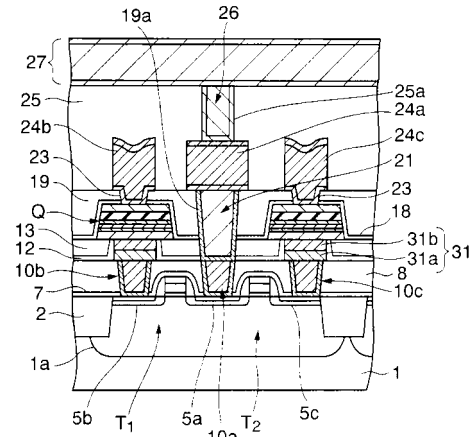
【図 27】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その4）



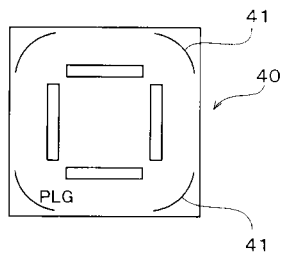
【図 28】

本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その5）



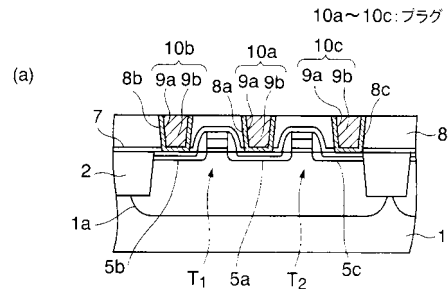
【図 29】

半導体ウェハにおける位置合せマークを示す平面図



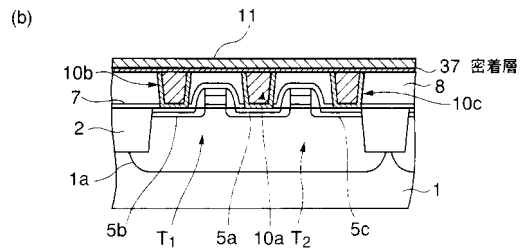
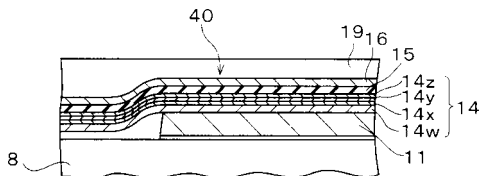
【図 31】

本発明の第6実施形態に係る半導体装置の製造工程を示す断面図（その1）



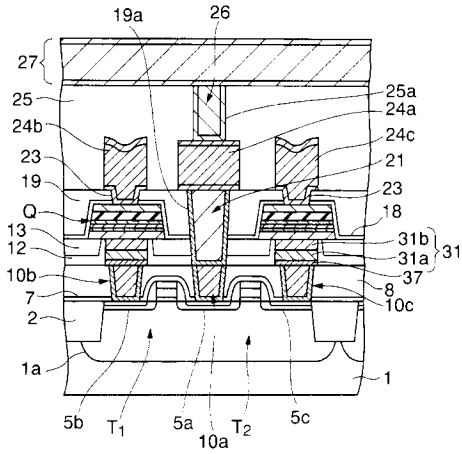
【図 30】

半導体ウェハにおける位置合せマークを示す断面図



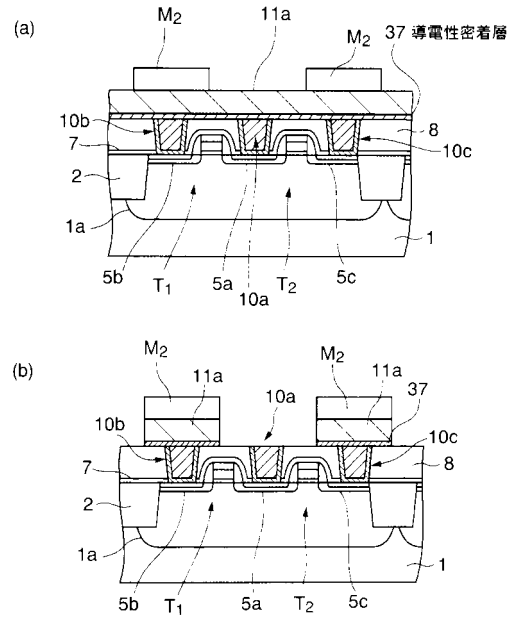
【图 3 6】

本発明の第6実施形態に係る別の半導体装置を示す断面図



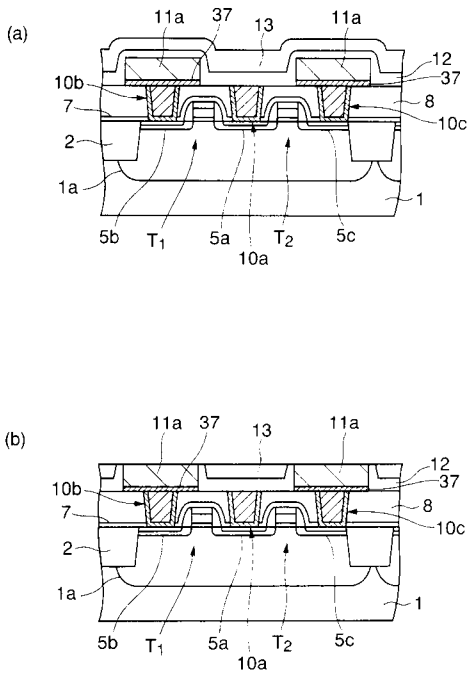
【 図 3 7 】

本発明の第7実施形態に係る半導体装置の製造工程を示す断面図（その1）



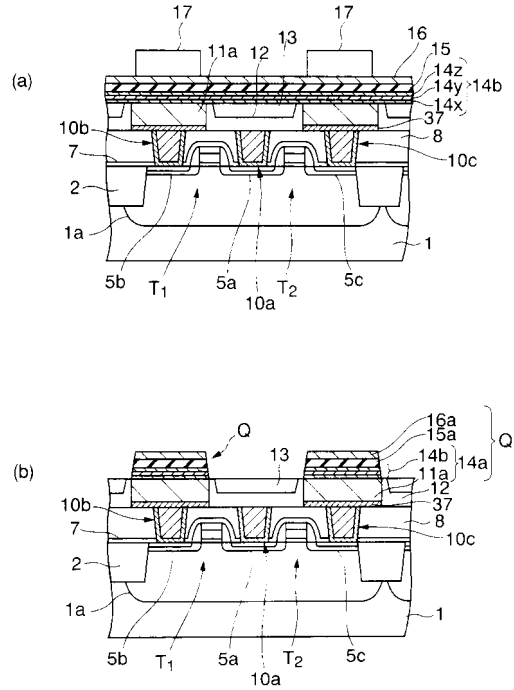
【图 3 8】

本発明の第7実施形態に係る半導体装置の製造工程を示す断面図（その2）



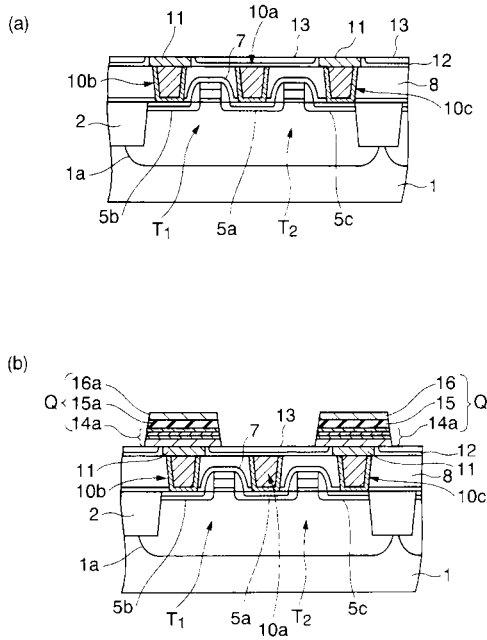
【 図 3 9 】

本発明の第7実施形態に係る半導体装置の製造工程を示す断面図（その3）



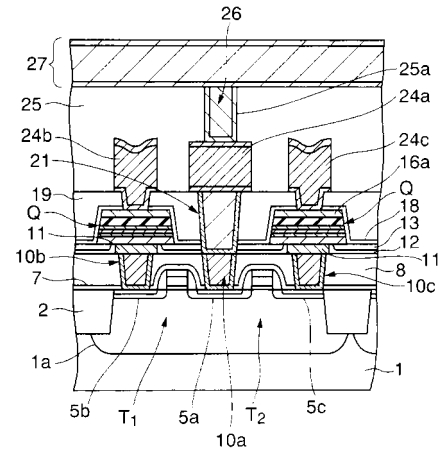
【図 4 4】

本発明の第8実施形態に係る半導体装置の製造工程を示す断面図（その3）



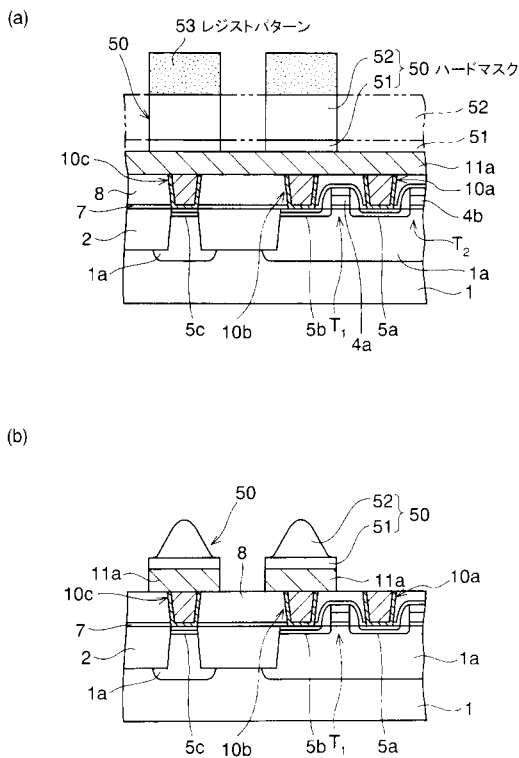
【図 4 5】

本発明の第8実施形態に係る半導体装置の製造工程を示す断面図（その4）



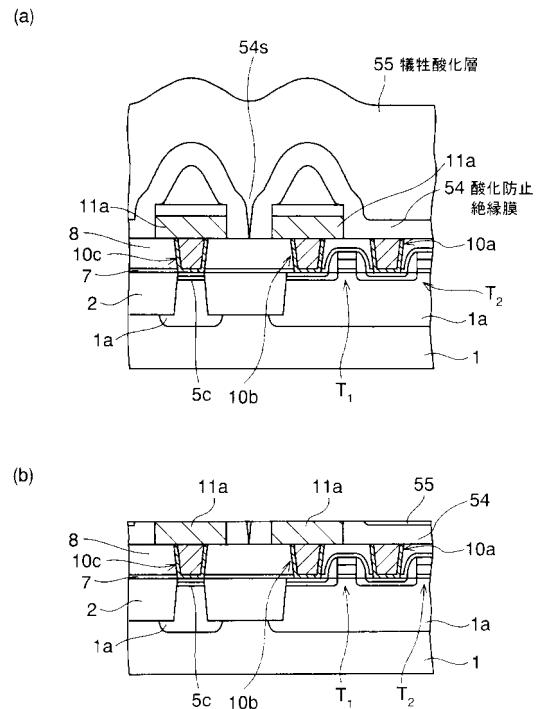
【図 4 6】

本発明の第9実施形態に係る半導体装置の製造工程を示す断面図（その1）



【図 4 7】

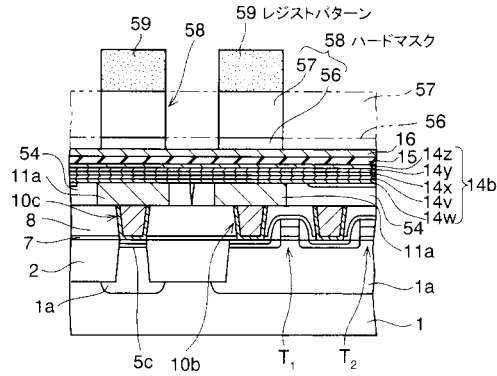
本発明の第9実施形態に係る半導体装置の製造工程を示す断面図（その2）



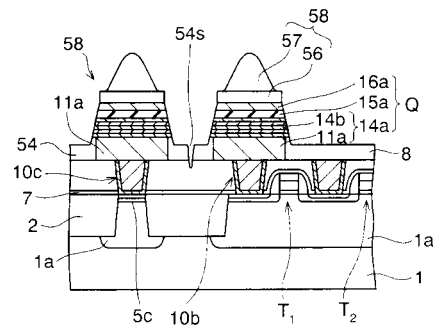
【図 48】

キャパシタ間隔を狭くした場合の半導体装置の
製造工程の比較例を示す断面図(その1)

(a)

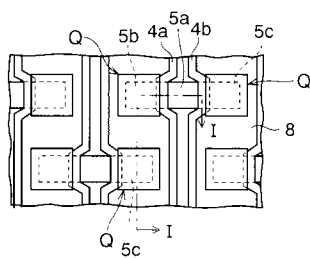


(b)



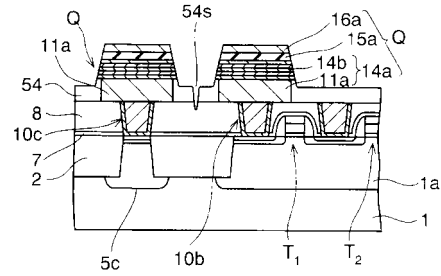
【図 50】

本発明の実施形態に係る半導体装置のメモリセル領域を示す平面図



【図 49】

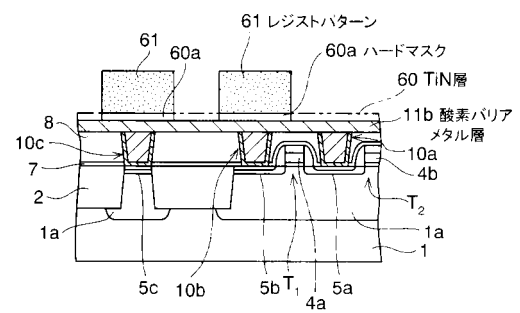
キャパシタ間隔を狭くした場合の半導体装置の
製造工程の比較例を示す断面図(その2)



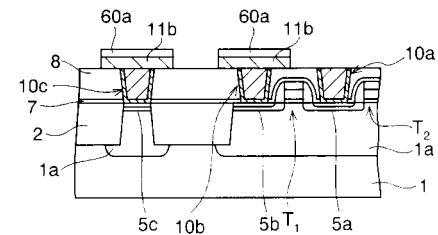
【図 51】

本発明の第10実施形態に係る半導体装置の
製造工程を示す断面図(その1)

(a)



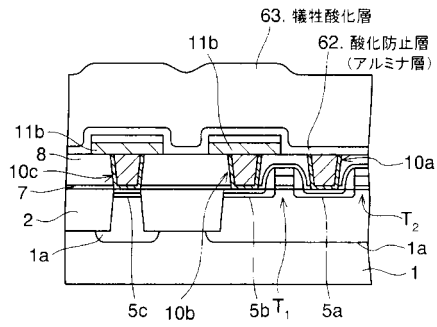
(b)



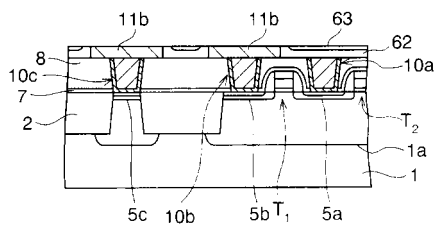
【図 5 2】

本発明の第10実施形態に係る半導体装置の
製造工程を示す断面図(その2)

(a)



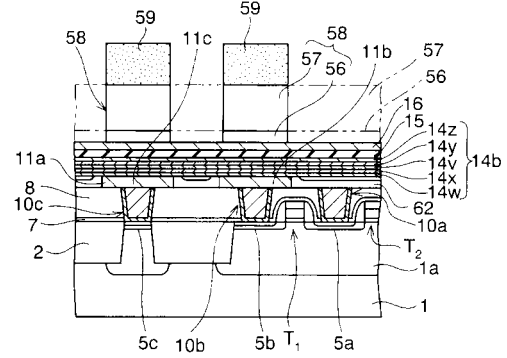
(b)



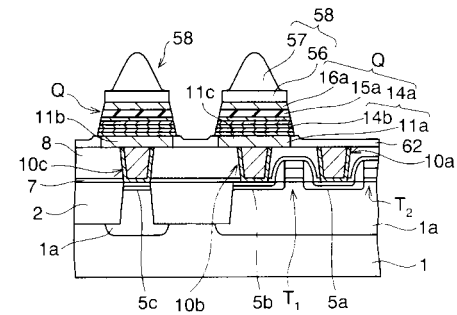
【図 5 3】

本発明の第10実施形態に係る半導体装置の
製造工程を示す断面図(その3)

(a)

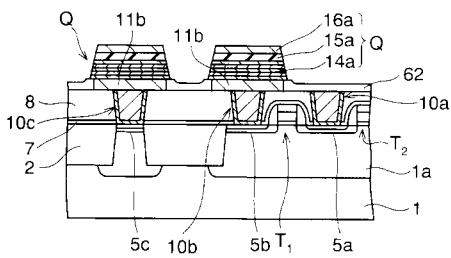


(b)



【図 5 4】

本発明の第10実施形態に係る半導体装置の
製造工程を示す断面図(その4)



フロントページの続き

(72)発明者 渡邊 純一

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 三浦 寿良

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 末沢 健吉

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5F083 FR02 JA02 JA05 JA15 JA17 JA19 JA35 JA36 JA37 JA38
JA39 JA40 JA43 JA56 MA05 MA06 MA17 MA20 NA01 PR03
PR05 PR21 PR33 PR34 PR40 ZA12