

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-500938

(P2007-500938A)

(43) 公表日 平成19年1月18日(2007.1.18)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 B 1 2 5
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 29/792 (2006.01)	G 1 1 C 17/00 6 2 2 C	5 F 1 0 1
HO 1 L 27/115 (2006.01)	G 1 1 C 17/00 6 1 2 Z	
G 1 1 C 16/04 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2006-521870 (P2006-521870)
 (86) (22) 出願日 平成16年7月13日 (2004. 7. 13)
 (85) 翻訳文提出日 平成18年1月27日 (2006. 1. 27)
 (86) 国際出願番号 PCT/US2004/022436
 (87) 国際公開番号 W02005/013281
 (87) 国際公開日 平成17年2月10日 (2005. 2. 10)
 (31) 優先権主張番号 10/631, 142
 (32) 優先日 平成15年7月31日 (2003. 7. 31)
 (33) 優先権主張国 米国 (US)

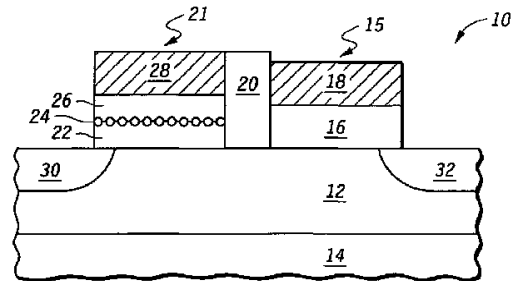
(71) 出願人 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 7 8 7 3 5 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6 5 0 1
 (74) 代理人 100116322
 弁理士 桑垣 衛
 (72) 発明者 プリンツ、アーウィン ジェイ.
 アメリカ合衆国 7 8 7 3 9 テキサス州
 オースティン ユティカ コーブ 6 1
 0 5
 Fターム(参考) 5B125 BA05 BA08 BA19 CA04 CA27
 DC01 EB01 EB05 EB09 EG15

最終頁に続く

(54) 【発明の名称】 不揮発性メモリおよびその製造方法

(57) 【要約】

トランジスタの制御ゲート(28)およびウェル領域(12)に、それぞれ、第1および第2の電圧を印加するステップを含む不揮発性メモリのトランジスタ(10)の電荷蓄積場所から放電するための方法。第1の電圧はトランジスタの制御ゲートに印加され、制御ゲートは、トランジスタの選択ゲート(18)に隣接して位置する一部を少なくとも有する。トランジスタは、制御ゲートの下に位置するトランジスタの構造の誘電体(22, 26)内に配置されたナノクラスタ(24)を有する電荷蓄積場所を含む。最後に、第2の電圧が、制御ゲートの下に位置するウェル領域(12)に印加される。第1の電圧および第2の電圧の印加により、電荷蓄積場所のナノクラスタから電子を放出するために前記構造の両端に電圧差が発生する。



【特許請求の範囲】

【請求項 1】

トランジスタの電荷蓄積場所から放電するための方法であって、

第 1 の電圧をトランジスタの制御ゲートに印加することであって、前記制御ゲートが、前記トランジスタの選択ゲートに隣接する一部を少なくとも有し、前記トランジスタが、前記制御ゲートの下に位置する前記トランジスタの構造の誘電体内に配置されたナノクラスタを含む電荷蓄積場所を含む、前記第 1 の電圧をトランジスタの制御ゲートに印加すること、

第 2 の電圧を前記制御ゲートの下に位置するウェル領域に印加すること、を備え、

前記第 1 の電圧の印加および前記第 2 の電圧の印加により、前記電荷蓄積場所の前記ナノクラスタから電子を放出するために前記構造の両端に電圧差が発生する、方法。

10

【請求項 2】

請求項 1 に記載の方法において、

前記トランジスタが、前記制御ゲートと前記選択ゲートとの間に位置する誘電体と、前記制御ゲートと前記選択ゲートとの間に位置する前記誘電体内に配置されたナノクラスタとを含む、方法。

【請求項 3】

請求項 1 に記載の方法はさらに、前記制御ゲートに前記第 1 の電圧を印加すると同時に、前記選択ゲートに第 3 の電圧を印加することを含み、前記第 3 の電圧が前記第 2 の電圧から 0 ボルトの範囲内にほぼ含まれる、方法。

20

【請求項 4】

請求項 1 に記載の方法において、

前記トランジスタがさらに、前記制御ゲートからみて前記選択ゲートの反対側に位置する第 2 の制御ゲートと、トランジスタの第 2 の構造の誘電体内に配置されたナノクラスタを含む第 2 の電荷蓄積場所と、前記第 2 の制御ゲートと前記選択ゲートとの間に位置する誘電体とを含み、

前記第 2 の電荷蓄積場所に蓄積された電荷を放電することは、

前記第 2 の制御ゲートに第 3 の電圧を印加すること、

前記第 2 の制御ゲートの下に位置するウェル領域に第 4 の電圧を印加することを含み、

前記第 3 の電圧の印加および前記第 4 の電圧の印加により、前記第 2 の電荷蓄積場所の前記ナノクラスタから電子を放出するために前記第 2 の構造の両端に電圧差が発生する、方法。

30

【請求項 5】

複数のメモリ・セルを含むメモリ・アレイであって、

各メモリ・セルが、

基板上に位置する制御ゲートと、

前記基板上に位置する選択ゲートであって、前記制御ゲートが前記選択ゲートに隣接する一部を少なくとも含む、前記選択ゲートと、

前記制御ゲートと前記基板との間に位置する誘電体内に配置されたナノクラスタを含む電荷蓄積場所と、

40

前記制御ゲートと選択ゲートとの間に位置する誘電体と、

前記基板内の第 1 の電流端子領域と、

前記基板内の第 2 の電流端子領域と、

前記第 1 の電流端子領域と前記第 2 の電流端子領域との間に位置する前記基板内のチャネル領域とを備えているトランジスタを含み、

前記制御ゲートが、前記チャネル領域の少なくとも第 1 の部分の上に位置し、前記選択ゲートが、前記チャネル領域の少なくとも第 2 の部分の上に位置する、メモリ・アレイ。

【請求項 6】

請求項 5 に記載のメモリ・アレイにおいて、

前記複数の各メモリ・セルの前記トランジスタがさらに、

50

前記制御ゲートからみて前記選択ゲートの反対側の前記基板上に位置する第2の制御ゲートと、

前記第2の制御ゲートと前記基板との間に位置する誘電体内に配置されたナノクラスタを含む第2の電荷蓄積場所と、

前記第2の制御ゲートと前記選択ゲートとの間に位置する誘電体とを含み、

前記第2の制御ゲートが、前記チャンネル領域の少なくとも第3の部分の上に位置する、メモリ・アレイ。

【請求項7】

請求項5に記載のメモリ・アレイにおいて、

前記複数の各メモリ・セルの前記トランジスタがさらに、前記制御ゲートと前記選択ゲートとの間に位置する前記誘電体内に配置されたナノクラスタを含む、メモリ・アレイ。

10

【請求項8】

メモリ・アレイの行内に位置する複数のメモリ・セルのトランジスタの電荷蓄積場所から放電するための方法であって、

ワード線に第1の電圧を印加することであって、メモリ・アレイの行内に位置する複数のメモリ・セルの各メモリ・セルが、前記トランジスタの制御ゲートと基板との間に位置する誘電体内に配置されたナノクラスタを含む電荷蓄積場所を有するトランジスタを含み、前記複数の各メモリ・セルの前記トランジスタの前記制御ゲートが、前記ワード線と接続されるとともに前記基板上に位置し、前記複数の各メモリ・セルの前記トランジスタの前記制御ゲートの少なくとも一部が、前記制御ゲートと前記選択ゲートとの間に位置する誘電体を含む前記トランジスタの選択ゲートに隣接して位置する、前記ワード線に前記第1の電圧を印加すること、

20

前記基板内のウェル領域に第2の電圧を印加すること、を備え、

前記複数の各メモリ・セルの前記トランジスタに対して、前記第1の電圧の印加および前記第2の電圧の印加により、前記電荷蓄積場所の前記ナノクラスタから電子を放出するためにその中に配置された前記電荷蓄積場所の前記ナノクラスタを有する前記誘電体の両端に電圧差が発生する、方法。

【請求項9】

請求項8に記載の方法はさらに、前記第1のワード線に前記第1の電圧を印加すると同時に、第2のワード線に第3の電圧を印加することをさらに含み、

30

前記第2のワード線が前記複数の各メモリ・セルの前記トランジスタの前記選択ゲートと接続され、前記第3の電圧が前記第2の電圧から0ボルトの範囲内にほぼ含まれる、方法。

【請求項10】

請求項8に記載の方法において、

前記複数の各メモリ・セルの前記トランジスタがさらに、前記制御ゲートからみて前記選択ゲートの反対側に位置する第2の制御ゲートと、前記トランジスタの前記第2の制御ゲートと前記基板との間に位置する誘電体内に配置されたナノクラスタを含む第2の電荷蓄積場所と、前記第2の制御ゲートと前記選択ゲートとの間に位置する誘電体と、を含み、前記複数の各メモリ・セルの前記トランジスタの前記第2の制御ゲートは、第2のワード線と接続されており、

40

前記複数の各メモリ・セルの前記トランジスタの前記第2の電荷蓄積場所に蓄積された電荷を放電することは、

前記第2のワード線に第3の電圧を印加すること、

前記基板内の前記ウェル領域に第4の電圧を印加すること、を含み、

前記複数の各メモリ・セルの前記トランジスタに対して、前記第3の電圧の印加および前記第4の電圧の印加により、前記第2の電荷蓄積場所の前記ナノクラスタから電子を放出するためにその中に配置された前記第2の電荷蓄積場所の前記ナノクラスタを有する前記誘電体の両端に電圧差が発生する、方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、概して、メモリ・デバイスに関し、特に不揮発性メモリ・デバイスおよびその製造方法に関する。

【背景技術】

【0002】

埋め込みシリコンナノ結晶を含む誘電体を有する不揮発性メモリ単一トランジスタ・ビットセルは、ホット・キャリア注入（HCI注入）、逆ウェル/ソース・バイアスによるHCI注入、またはファウラー・ノールドハイム（FN）トンネリングを使用して、電子により帯電させることができることが分かっている。ナノ結晶は、ナノ結晶に対する頂部または底部誘電体を介してファウラー・ノールドハイム・トンネリングにより放電させることができる。当然、単一トランジスタ・ビットセルに対するFNトンネリング・プログラム/消去またはHCIプログラム/FN消去のアレイ・アーキテクチャの研究も行われている。垂直FNプログラミングは、非常に小さい電流による動作であるが、長いプログラミング時間（例えば、1～10ミリ秒程度）が必要になり、ビットセル当たり2つのトランジスタ、またはビット線方向に2本の並列導体を含む非効率的なビットセルである。HCIプログラミングの場合には、大きなプログラミング電流（例えば、100～200 μ A程度）を必要とするが、ビットセルは効率的になり、およびプログラミングは高速（例えば、1～10マイクロ秒程度）になる。

10

【0003】

また、酸化物-窒化物-酸化物（ONO）蓄積層と組み合わせた場合、スプリット・ゲート・ビットセル内のソース側注入を、ホットホール消去またはSONOSデバイスの薄い頂部酸化物を介した消去と共に使用することができることも分かっている。しかし、ホットホール消去を行うと、酸化物が劣化し、読出し障害が起こり、ONO層の薄い頂部酸化物消去を行うと、100ミリ秒から1秒間程度の消去時間のために読出し障害を起こし易くなる。

20

【発明の開示】

【発明が解決しようとする課題】

【0004】

それ故、信頼性の高いプログラム/消去動作を有し、また同時に書込み電力が小さくてすむビットセルが必要になる。

30

【発明を実施するための最良の形態】

【0005】

以下に本発明を説明するが、この説明は例示としてのものであって、本発明は添付の図面により制限されない。図面中、類似の参照番号は類似の構成要素を示す。

当業者であれば、図面中の構成要素は、分かりやすく明確に示すためのものであって、必ずしも正確に縮尺したものでないことを理解し得る。例えば、図面中の構成要素のうちのあるものの寸法は、本発明の実施形態の理解を助けるために、他の構成要素より誇張されている。

【0006】

図1は、本発明の一実施形態による電荷蓄積のために誘電体層内に埋め込まれているナノクラスタを含むスプリット・ゲートを有する不揮発性メモリ・デバイス10の断面図である。メモリ・デバイス10は、第1の導電性型のビットセル・ウェル12を、該第1の導電性型とは逆の第2の導電性型のディープ・ウェル14の上に有する基板を含む。一実施形態の場合には、第1の導電性型はp型ドーパントを含み、第2の導電性型はn型ドーパントを含む。

40

【0007】

また、メモリ・デバイス10は、選択ゲート・トランジスタ15を含み、この選択ゲート・トランジスタは、ゲート誘電体16およびゲート電極18を含む。メモリ・デバイス10は、さらに、制御ゲート・トランジスタ21を含み、この制御ゲート・トランジスタ

50

は、少なくとも第1の誘電体22、ナノクラスタの層24、第2の誘電体26およびゲート電極28を含む。一実施形態の場合には、第1の誘電体22、ナノクラスタの層24、および第2の誘電体26の構造は、電荷蓄積構造を形成して、ナノクラスタは電荷蓄積のために使用される。さらに、第1の誘電体22は、頂部酸化物/ナノクラスタ表面を含み、F/Nトンネリング誘電体を形成する。第2の誘電体26は、底部酸化物/ナノクラスタ表面を含み、底部誘電体を形成する。一実施形態の場合には、ナノクラスタは、シリコンナノ結晶を含む。

【0008】

選択ゲート・トランジスタ15は、狭い誘電体20により制御ゲート・トランジスタ21から分離されている。狭い誘電体20は、選択ゲート・トランジスタと制御ゲート・トランジスタとの間に、200オングストローム以下($< 20 \text{ nm}$)程度の寸法を有する。狭い誘電体20は、例えば、狭い酸化物サイドウォール誘電体を含むことができる。メモリ・デバイス10は、また、ソース/ドレイン領域30および32も含む。ここで述べたメモリ・デバイス10の種々の層およびドープ領域は、それぞれ当業者であれば周知の技術により作ることができる。

10

【0009】

一実施形態の場合には、メモリ・デバイス10は、ナノクラスタの層が第1および第2の誘電体層間に埋め込まれているスプリット・ゲート・デバイスを含む。スプリット・ゲート・デバイスは、不揮発性電荷蓄積を行うために使用される。すなわち、スプリット・ゲート・デバイスは、底部誘電体と頂部誘電体との間に埋め込まれているナノクラスタを含む制御ゲート・トランジスタ、およびゲート誘電体を含む選択ゲート・トランジスタを有する。第1および第2の誘電体層は、35~70程度の厚さを有する誘電体を含む。さらに、スプリット・ゲート・デバイスのトランジスタは、ソース側注入を行うことができるように、狭い誘電体エリアにより分離されている。

20

【0010】

表1および表2は、メモリ・デバイス10の1ビット記憶セルに印加されるバイアスによるソース側注入の種々の例を示す。すなわち、表1は、メモリ・デバイス10の1ビット記憶セルの頂部誘電体26を介した、ファウラー・ノールドハイム・トンネリングによる消去動作を行うための種々のビットセル動作電圧を示す。さらに、表2は、メモリ・デバイス10の1ビット記憶セルの底部誘電体22を介した、ファウラー・ノールドハイム・トンネリングによる消去動作を行うための種々のビットセル動作電圧を示す。読出し電流は、書込み電流の方向から見て反対方向に流れる。

30

【0011】

図1の実施形態の場合には、ビットセル動作電圧は下記の通りである。メモリ・デバイス10のビットセル・ウェル12は、ビットセル・ウェル電圧 V_{pw} のp型ウェルを含む。選択ゲート18は、ポリシリコン選択ゲートを含み、選択ゲート電圧 V_{sg} がこのポリシリコン選択ゲートに印加される。制御ゲート28は、ポリシリコン制御ゲートを含み、制御ゲート電圧 V_{cg} がこのポリシリコン制御ゲートに印加される。ソースおよびドレイン領域(30, 32)には、それぞれソース/ドレイン電圧、 V_{source}/V_{drain} が印加される。表中、 V_{dd} は、正の供給電圧を示し、 $b/c V_t$ はビットセルしきい値電圧を示し、「フロート」は電圧の供給を受けてもいないし、アースもされていないことを示す。

40

【0012】

【表 1】

表 1 : 1 ビット記憶用の頂部酸化物を介した消去のためのビットセル動作電圧

端子	ソース	選択 ゲート	制御 ゲート	ドレイン	ビットセル P 型ウェル	ディーブ N 型 ウェル
プログラミング、 選択したビットセル	5V	1V	5V	0V	0V	Vdd
プログラミング、 選択しなかったビット セル	5V	0V	0V または 5V	5V	0V	Vdd
消去、選択したセク ター	-6V または フロート	-6V または 0V	6V	-6V または フロート	-6V	0V
消去、 選択しなかったセク ター	0V または フロート	0V	0V	0V または フロート	0V	0V
読出し、 選択したビットセル	0V	Vdd	Vdd または 0V、ただし > b/cVt	1V	0V	Vdd
読出し、 選択しなかったビット セル	0V	0V	Vdd または 0V、ただし > b/cVt	0V	0V	Vdd

10

20

【 0 0 1 3 】

【表 2】

表 2 : 1 ビット記憶用の底部酸化物を介した消去のためのビットセル動作電圧

端子	ソース	選択 ゲート	制御 ゲート	ドレイン	ビットセル P 型ウェル	ディーブ N 型 ウェル
プログラミング、 選択したビットセル	5V	1V	5V	0V	0V	Vdd
プログラミング、 選択しなかったビット セル	5V	0V	0V または 5V	5V	0V	Vdd
消去、選択したセク ター	6V または フロート	0V	-6V	6V または フロート	6V	6V
消去、 選択しなかったセク ター	0V または フロート	0V	0V	0V または フロート	0V	0V
読出し、 選択したビットセル	0V	Vdd	Vdd または 0V、ただし > b/cVt	1V	0V	Vdd
読出し、 選択しなかったビット セル	0V	0V	Vdd または 0V、ただし > b/cVt	0V	0V	Vdd

30

40

図 2 は、本発明の別の実施形態による、誘電体層内に埋め込まれていて、ポリシリコン・スペーサの下に配置されているナノクラスタを含むスプリット・ゲートを有する不揮発性メモリ・デバイス 40 の断面図である。図 2 の実施形態の場合には、デバイス 40 は、ポリ・スペーサにより形成されている制御ゲート 52 と共に構成されている。それ故、選

50

択ゲート44の両側に各1つのビットを記憶することにより、2つのビットを記憶することができる。

【0014】

一実施形態の場合には、図2のデバイス40に対する書込み動作のプログラミング電流は、約1~10 μ A程度の小さな電流であり、プログラミング時間は高速で約1~10マイクロ秒程度である。消去動作はビットセルのブロック上で行われ、消去電流は小さく、消去時間は約10~100ミリ秒程度である。通常の不揮発性メモリ・デバイスの場合には、選択ゲートは約50~100程度の酸化物の薄いゲート酸化物を使用する。薄いゲート酸化物は、低電圧トランジスタ酸化物に類似している。しかし、本発明のデバイス40の場合には、選択ゲート44は、約70~90程度の厚さの高電圧酸化物を含む。このような高電圧酸化物は、入出力(I/O)トランジスタ酸化物に類似している。ビットセル・ウェル12と対応する制御ゲートとの間で消去電圧を分割することができるように、ビットセル・ウェル12に+6Vまたは-6Vのバイアスをかける場合には、90の厚さの酸化物が必要になる。

10

【0015】

他の実施形態の場合には、デバイス40は、選択ゲート・トランジスタ58と、50~70程度の厚さを有する底部酸化物46、20~25%程度の表面被覆のナノクラスタ48の層、および約50程度の厚さを有する高温酸化物(HTO)にて形成される頂部酸化物50からなる薄膜蓄積スタックと、薄膜蓄積(TFS)スタック上にて選択ゲート44の両側にサイドウォール・スペーサ制御ゲート52とを有するナノクラスタをベースとするメモリ・デバイスを含む。頂部酸化物50はHTOを含む。何故なら、HTOは堆積酸化物であり、低温酸化物(例えば、TEOS)内の多くの電子またはホールトラップサイトの数と比較した場合、堆積酸化物内の電子またはホールトラップサイトの数を最小限度にするからである。それ故、薄膜蓄積スタックは、各ゲート電極52の下に配置される領域内に、頂部酸化物50、ナノクラスタ48および底部酸化物46を含む。さらに、メモリ・デバイス40は、ソース側注入プログラミングのために、また頂部酸化物50を介したファウラー・ノールドハイム・トンネリング消去のために構成されている。ここで述べたメモリ・デバイス40の種々の層およびドープ領域は、それぞれ当業者であれば周知の技術により作ることができる。

20

【0016】

表3および表4は、メモリ・デバイス40の2ビット記憶セルに印加されるバイアスによるソース側注入の種々の例を示す。すなわち、表3は、メモリ・デバイス40の2ビット記憶セルの頂部誘電体50を介したファウラー・ノールドハイム・トンネリングによる消去動作を行うための種々のビットセル動作電圧を示す。さらに、表4は、メモリ・デバイス40の2ビット記憶セルの底部誘電体46を介した、ファウラー・ノールドハイム・トンネリングによる消去動作を行うための種々のビットセル動作電圧を示す。読出し電流は書込み電流の方向から見て反対方向に流れる。

30

【0017】

図2の実施形態の場合には、ビットセル動作電圧は下記の通りである。メモリ・デバイス10のビットセル・ウェル12は、ビットセル・ウェル電圧 V_{pw} のp型ウェルを含む。選択ゲート44はポリシリコン選択ゲートを含み、選択ゲート電圧 V_{sg} がこのポリシリコン選択ゲートに印加される。制御ゲート52は、ポリシリコン制御ゲートを含み、第1および第2の制御ゲート電圧 V_{cg1} 、 V_{cg2} がそれぞれこのポリシリコン制御ゲートに印加される。ソースおよびドレイン領域(30, 32)には、それぞれソース/ドレイン電圧 V_{source}/V_{drain} が印加される。表中、 V_{dd} は、正の供給電圧を示し、 b/cV_t はビットセルしきい値電圧を示し、 V_o はナノ結晶が1つまたは複数の電子で帯電されているプログラムされたしきい値電圧を示し、「フロート」は電圧の供給も受けてもいないし、アースもされていないことを示す。

40

【0018】

【表 3】

表 3 : 2 ビット記憶用の頂部酸化物を介した消去のためのビットセル動作電圧

端子	ソース	選択 ゲート	制御 ゲート 1	制御 ゲート 2	ドレイン	ビット セル P 型 ウェル	ディー プ N 型 ウェル
プログラミング、 選択したビット セル、 左ビット	5V	1V	5V	5V または 0V	0V	0V	Vdd
プログラミング、 選択したビット セル、 右ビット	0V	1V	5V または 0V	5V	5V	0V	Vdd
プログラミング、 選択しなかった ビットセル	5V	0V	0V または 5V	0V または 5V	5V	0V	Vdd
消去、選択した セクター	-6V または フロート	-6V または 0V	6V	6V	-6V または フロート	-6V	0V
消去、 選択しなかった セクター	0V または フロート	0V	0V	0V	0V または フロート	0V	0V
読出し、 選択したビット セル	0V	Vdd	Vdd または 0V、 ただし $> b/cVt$	$(Vdd + V_o)$ または V_o	1V	0V	Vdd
読出し、 選択しなかった ビットセル	0V	0V	$(Vdd + V_o)$ または V_o	Vdd または 0V、 ただし $> b/cVt$	0V	0V	Vdd

10

20

30

【 0 0 1 9 】

【表 4】

表 4 : 2 ビット記憶用の底部酸化物を介した消去のためのビットセル動作電圧

端子	ソース	選択 ゲー ト	制御 ゲー ト 1	制御 ゲー ト 2	ドレイン	ビット セル P 型 ウェル	デー プ N 型 ウェル
プログラミング、 選択したビット セル、 左ビット	5V	1V	5V	5V または 0V	0V	0V	Vdd
プログラミング、 選択した ビットセル、 右ビット	0V	1V	5V または 0V	5V	5V	0V	Vdd
プログラミング、 選択しなかった ビットセル	5V	0V	0V または 5V	0V または 5V	5V	0V	Vdd
消去、選択したセ クター	6V または フロート	0V	-6V	-6V	6V または フロート	6V	6V
消去、 選択しなかった セクター	0V または フロート	0V	0V	0V	0V または フロート	0V	0V
読出し、 選択したビット セル、左ビット	0V	Vdd	Vdd または 0V、 ただし > b/cVt	(Vdd + Vo) または Vo	1V	0V	Vdd
読出し、 選択したビット セル、右ビット	0V	Vdd	(Vdd + Vo) または Vo	Vdd または 0V、 ただし > b/cVt	1V	0V	Vdd
読出し、 選択しなかった ビットセル	0V	0V	Vdd または 0V、 ただし > b/cVt	Vdd または 0V、 ただし > b/cVt	0V	0V	Vdd

10

20

30

図 3 は、本発明の別の実施形態による、不揮発性メモリ・デバイス 70 の概略図である。メモリ・デバイス 70 は、例えば、参照番号 72、74、76 および 78 で示される、本明細書に記載する種々の実施形態によるビットセルが行および列に配置されているビットセルのアレイを含む。メモリ・デバイス 70 は、さらに、ロウ・デコーダ 80、コラム・デコーダ 82、センス・アンプ 84、およびロウ・デコーダ 80 やコラム・デコーダ 82 を制御するための制御回路 88 を含む。ロウ・デコーダ 80 は、アドレス入力 90 を介してアドレス情報を受信する。コラム・デコーダ 82 は、アドレス入力 92 を介してアドレス情報を受信する。センス・アンプは、コラム・デコーダ 82 から信号情報を受信し、データ出力 94 から増幅した情報またはデータを出力する。ロウ・デコーダ 80 は、アドレス入力 90 で受信されたアドレス情報をデコードし、適当なワード線 96、98 に情報を出力する。コラム・デコーダ 82 は、アドレス入力 92 で受信されたアドレス情報をデコードし、ビット線 100、102、104 を介して情報を受信する。

40

【0020】

一実施形態の場合には、ビットセル 72 は、選択ゲート・トランジスタ 112 と、ゲー

50

ト・トランジスタ 112 の両側に配置されたサイドウォール・トランジスタ 114、116 とを有するメモリ・デバイスを含む。サイドウォール・トランジスタ 114 および 116 は、それぞれ誘電ナノクラスタ薄膜蓄積メモリ・スタック 118 および 120 を含む。誘電ナノクラスタ薄膜蓄積メモリ・スタック 118 および 120 は、図 1、図 2 または図 4 におけるそれらと類似のスタックを含む。ビットセル 72 は、さらに、それぞれ対応するビット線 102 および 104 と接続されたソース/ドレイン領域 122 および 124 を含む。さらに、ビットセル 72 は、参照番号 126 で示されるように、電圧電位 V_{WE_L} と接続された深いウェル領域を含む。

【0021】

図 4 は、本発明の別の実施形態による、浅いインプラント (132, 134) を含む不揮発性メモリ・デバイス 130 の断面図である。制御ゲート・トランジスタ (54, 56) のスペーサ装置の電荷 - 中性 (charge-neutral) 制御ゲートしきい値電圧については、仮定を行わなかった。選択ゲート (44) を形成した後、浅いアンチモンまたはヒ素インプラント (132, 134) を使用することで、各スペーサ装置のしきい値電圧 V_t をゼロ・ボルト (0V) 以下にすることができ、それにより読出し動作中の制御ゲートのバイアスの必要性が軽減される。すなわち、メモリ・デバイス 40 は、ヒ素 (As) またはアンチモン (Sb) の自己整合カウンタ・ドーピング・インプラントを使用して、各スペーサ装置の下に選択的低チャネル・ドーピングによって作られる。As および Sb のカウンタ・ドーピングは、その後の処理ステップで実質的に拡散しないように、それらの機能により選択される。さらに、スペーサ装置は、約 200 ~ 1000 オングストローム程度のチャネル領域、すなわち短チャネル素子を有する。それ故、スペーサ装置のしきい値電圧は、短チャネル・スペーサ装置の性能特性の劣化なしに下げられる。

【0022】

特定の導電性型または電位の極性に関連して本発明を説明してきたが、当業者であれば導電性型および電位の極性を逆にしてもよいことを理解し得る。

上記説明では、特定の実施形態を参照しながら本発明を説明してきたが、当業者であれば、添付の特許請求の範囲に記載するように、本発明の範囲から逸脱することなしに種々の修正および変更を行うことができることを理解し得る。それ故、説明および図面は例示としてのものであって、本発明を制限するものではないと見なすべきであり、このようなすべての修正は本発明の範囲内に含まれる。

【0023】

特定の実施形態に関して利益、他の利点、および問題の解決方法について説明してきたが、利益、利点、問題の解決方法、および、こうした利益、利点、問題の解決方法をもたらす、またはより顕著なものにする構成要素は、全ての請求項または何れかの請求項において、重要とされ、要求され、または不可欠とされる機能や構成要素であると見なされるべきではない。本明細書で使用した、「備える」「備えている」またはこれらの任意の他の派生語は、列挙した構成要素を含むプロセス、方法、物品または装置が、これらの構成要素のみを含むのではなく、明確に列挙されていない構成要素や、このようなプロセス、方法、物品、装置に固有の他の構成要素を含むことができるようにあらゆるものを含むことができる。

【図面の簡単な説明】

【0024】

【図 1】本発明の一実施形態による電荷蓄積のために誘電体層内に埋め込まれているナノクラスタを含むスプリット・ゲートを有する不揮発性メモリ・デバイスの断面図。

【図 2】本発明の別の実施形態による、誘電体層内に埋め込まれていて、ポリシリコン・スペーサの下に配置されているナノクラスタを含むスプリット・ゲートを有する不揮発性メモリ・デバイスの断面図。

【図 3】本発明の別の実施形態による不揮発性メモリ・デバイスの概略図。

【図 4】本発明の別の実施形態による浅いインプラントを含む不揮発性メモリ・デバイスの断面図。

10

20

30

40

50

【 図 1 】

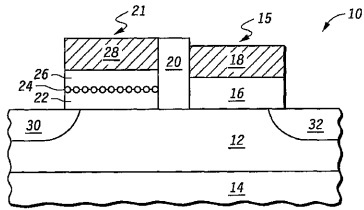


FIG. 1

【 図 2 】

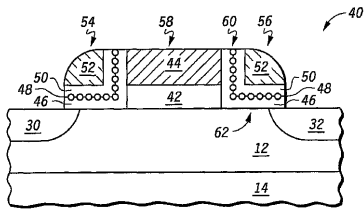


FIG. 2

【 図 4 】

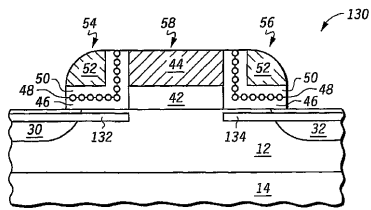
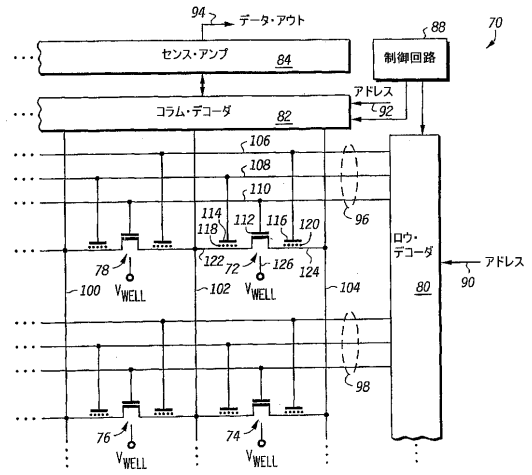


FIG. 4

【 図 3 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US04/22436									
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : G11C 16/04, 16/06 US CL : 365/185.03, 185.14, 185.15, 185.25, 185.27, 185.29 According to International Patent Classification (IPC) or to both national classification and IPC											
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 365/185.03, 185.14, 185.15, 185.25, 185.27, 185.29 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST											
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category *</th> <th style="width: 70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">A,P</td> <td>US 6,654,282 B2 (Kanai) 25 November 2003 (25.11.2003), see entire document.</td> <td style="text-align: center;">1-10</td> </tr> <tr> <td style="text-align: center;">A</td> <td>US 6,400,610 B1 (Sadd) 04 June 2002 (04.06.2002), see entire document.</td> <td style="text-align: center;">1-10</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A,P	US 6,654,282 B2 (Kanai) 25 November 2003 (25.11.2003), see entire document.	1-10	A	US 6,400,610 B1 (Sadd) 04 June 2002 (04.06.2002), see entire document.	1-10
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
A,P	US 6,654,282 B2 (Kanai) 25 November 2003 (25.11.2003), see entire document.	1-10									
A	US 6,400,610 B1 (Sadd) 04 June 2002 (04.06.2002), see entire document.	1-10									
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input type="checkbox"/> See patent family annex.									
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family									
Date of the actual completion of the international search 03 February 2005 (03.02.2005)		Date of mailing of the international search report 10 MAR 2005									
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703) 305-3230		Authorized officer Son L. Mai <i>Shawn S. Hopper</i> Telephone No. 571-272-1626									

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 1 1 C 16/02 (2006.01)

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

Fターム(参考) 5F083 EP17 EP22 EP35 EP36 ER05 ER06 ER17 ER19 ER23 ER30
5F101 BA54 BB02 BC02 BD02 BD14 BD22 BE02 BE05 BE07