



# (12) 发明专利

(10) 授权公告号 CN 103489779 B

(45) 授权公告日 2016. 05. 11

(21) 申请号 201210192523. 1

CN 1822388 A, 2006. 08. 23,

(22) 申请日 2012. 06. 12

US 2004075142 A1, 2004. 04. 22,

(73) 专利权人 中国科学院微电子研究所

审查员 张雄娥

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 朱慧珑 骆志炯 尹海洲 梁擎擎

(74) 专利代理机构 北京汉昊知识产权代理事务

所 (普通合伙) 11370

代理人 朱海波

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

H01L 29/10(2006. 01)

(56) 对比文件

US 2012049280 A1, 2012. 03. 01,

US 2011092047 A1, 2011. 04. 21,

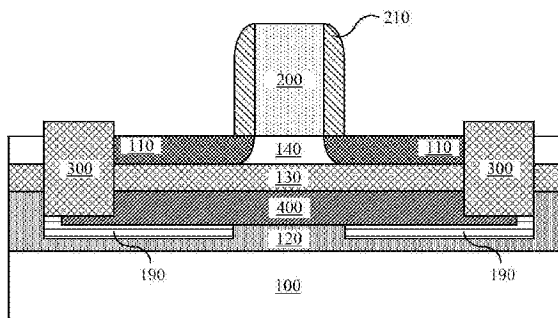
权利要求书2页 说明书7页 附图11页

(54) 发明名称

半导体结构及其制造方法

(57) 摘要

本发明提供了一种半导体结构及其制造方法,该方法包括提供衬底,在衬底上形成应力层,埋氧层,SOI层;在应力层中形成位于特定位置的应力层掺杂区;在SOI层上形成氧化物层和氮化物层,并刻蚀氮化物层、氧化物层、SOI层和埋氧层,停止于应力层上表面,形成至少暴露所述应力层掺杂区的一部分的第一沟槽;通过第一沟槽采用湿法刻蚀去除应力层掺杂区,形成空腔;向空腔中填充多晶硅并进行回刻蚀,形成应力层多晶硅区和第二沟槽;填充第二沟槽形成隔离区。本发明提供的半导体结构及其制造方法通过引入应力层以及根据器件类型设置在其中的特定位置的应力引发区,为半导体器件的沟道提供了有利应力,有助于提升半导体器件的性能。



1. 一种半导体结构的制造方法,其特征在于,包括以下步骤:

a) 提供衬底 (100),在所述衬底 (100) 上依次形成应力层 (120),埋氧层 (130),SOI 层 (140);

b) 在所述应力层 (120) 中形成应力层掺杂区 (160),如果要形成的半导体器件为 NMOS,则应力层掺杂区 (160) 布置在将要在 SOI 层 (140) 中形成的半导体器件的沟道区下方两侧的应力层中,如果要形成的半导体器件为 PMOS,则应力层掺杂区 (160) 布置在将要在 SOI 层 (140) 中形成的半导体器件的沟道区正下方的应力层中;

c) 在所述 SOI 层 (140) 上依次形成氧化物层 (170) 和氮化物层 (180),形成贯穿所述氮化物层 (180)、所述氧化物层 (170)、所述 SOI 层 (140) 和所述埋氧层 (130),停止于所述应力层 (120) 的上表面的第一沟槽,所述第一沟槽至少暴露所述应力层掺杂区 (160) 的一部分;

d) 通过所述第一沟槽刻蚀去除所述应力层掺杂区 (160),形成空腔;

e) 向所述空腔中填充多晶硅,并进行回刻蚀,形成应力层多晶硅区 (190) 和第二沟槽;

f) 填充第二沟槽以形成隔离区 (300)。

2. 根据权利要求 1 所述的方法,在步骤 f) 之后还包括在所述应力层 (120) 和所述应力层多晶硅区 (190) 中形成接地层 (400)。

3. 根据权利要求 1 所述的方法,在步骤 b) 中应力层掺杂区 (160) 的掺杂为 n 型掺杂。

4. 根据权利要求 1 所述的方法,其中,采用智能剥离技术形成所述 SOI 层 (140)。

5. 根据权利要求 2 所述的方法,其中,采用离子注入和退火工艺形成所述接地层 (400)。

6. 根据权利要求 1 所述的方法,其中,所述应力层 (120) 的材料为硅锗。

7. 根据权利要求 6 所述的方法,其中,所述应力层 (120) 中锗的含量为 15%~30%。

8. 根据权利要求 1 所述的方法,在步骤 f) 之后还包括去除氧化物层 (170) 和氮化物层 (180)。

9. 根据权利要求 1 所述的方法,在步骤 f) 之后还包括形成位于 SOI 层之上的栅极堆叠 (200) 和位于栅极堆叠 (200) 两侧的源/漏区 (110)。

10. 一种半导体结构包括:衬底 (100)、应力层 (120)、埋氧层 (130)、SOI 层 (140)、源/漏区 (110)、应力层多晶硅区 (190) 和栅极堆叠 (200),其中:

所述栅极堆叠 (200) 形成在所述 SOI 层 (140) 之上;

所述源/漏区 (110) 形成于所述 SOI 层 (140) 之中且位于所述栅极堆叠 (200) 两侧;

所述衬底 (100) 上依次形成有应力层 (120)、埋氧层 (130) 和 SOI 层 (140);

所述应力层多晶硅区 (190) 位于所述应力层 (120) 中,并且根据半导体结构的器件类型位于所述栅极堆叠 (200) 两侧或所述栅极堆叠 (200) 下方。

11. 根据权利要求 10 所述的结构,其中如果形成的半导体器件为 NMOS,则应力层多晶硅区 (190) 布置在所述栅极堆叠 (200) 两侧的所述应力层 (120) 中。

12. 根据权利要求 10 所述的结构,其中如果形成的半导体器件为 PMOS,则应力层多晶硅区 (190) 布置在所述栅极堆叠 (200) 下方的所述应力层 (120) 中。

13. 根据权利要求 10 所述的结构,还包括接地层,其紧邻埋氧层 (130) 而位于埋氧层 (130) 下方的应力层 (120) 中。

14. 根据权利要求 13 所述的结构,其中接地层的掺杂类型为 n 型或 p 型。
15. 根据权利要求 10 所述的结构,其中,所述应力层 (120) 的材料为硅锗。
16. 根据权利要求 15 述的结构,其中,所述应力层 (120) 中锗的含量为 15%~ 30%。

## 半导体结构及其制造方法

### 技术领域

[0001] 本发明涉及半导体领域,具体地说涉及一种半导体结构及其制造方法。

### 背景技术

[0002] 随着半导体器件制造技术的发展,具有更高性能和更强功能的集成电路要求更大的元件密度,而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小,因此半导体器件制造过程中对工艺控制的要求较高。

[0003] 半导体器件通过按比例缩小来实现更大的集成度。MOS 晶体管的沟道长度也在不断地按比例缩短,但当 MOS 晶体管的沟道长度变得非常短时,所谓的短沟道效应(SCE),以及漏极感应势垒降低效应(Drain-Induced Barrier Lowering, DIBL)给半导体器件微型化设置了严重的障碍。

[0004] 由于短沟道效应会使器件性能劣化,甚至无法正常工作,因此减小短沟道效应是半导体器件研究制造中的重要课题。半导体器件内部的机械应力被广泛地用于调节器件的性能,通过在沟道施加应力的方法,可以改善短沟道效应。

[0005] 常用的增加应力的方法是在源漏区进行操作,以便在沟道上形成拉伸或压缩应力。例如,在通用硅技术中,晶体管沟道沿着硅的 {110} 取向。在这种布置中,当沟道受到沿着沟道长度方向的压缩应力和 / 或沿着与沟道垂直方向的拉伸应力时,空穴的迁移率提高;而当沟道受到沿着沟道长度方向的拉伸应力和 / 或沿着与沟道垂直方向的压缩应力时,电子的迁移率增高。因此在半导体器件的沟道区引入应力,可以提高器件的性能。

[0006] 使用 SOI 衬底代替硅衬底也可以达到减小短沟道效应和提高器件性能的效果。绝缘体上硅(Silicon On Insulator, SOI)技术是在顶部硅层和衬底体硅层之间引入了一层埋氧层。通过在绝缘体上形成半导体薄膜,SOI 材料具有了体硅所无法比拟的优点:可以实现集成电路中元器件的介质隔离,消除了体硅 CMOS 电路中的寄生门锁效应;采用这种材料制成的集成电路还具有寄生电容小、集成密度高、速度快、工艺简单、短沟道效应小及特别适用于低压低功耗电路等优势,因此可以说 SOI 将有可能成为深亚微米的低压、低功耗集成电路的主流技术。

[0007] 同时,SOI 的异质结构为建造具有超薄硅体器件创造了机会。通过由硅电介质界面建立的天然静电屏障,超薄 SOI 提供一种控制短沟道效应的可选手段。

[0008] 目前,有技术采用在超薄 SOI MOS 晶体管(Ultrathin-SOI MOSFET)的超薄 BOX 层中形成一个接地层来减小短沟道效应,并控制功耗。但是很难在这种器件上施加较大的应力从而改善器件的性能。

### 发明内容

[0009] 本发明的目的在于提供一种半导体结构及其制造方法,增加应力,有效控制短沟道效应,提高器件的性能。

[0010] 一方面,本发明提供了一种半导体结构的制造方法,该方法包括:

- [0011] a) 提供衬底,在所述衬底上依次形成应力层,埋氧层,SOI 层;
- [0012] b) 根据将要形成的半导体器件的类型,在所述应力层中形成布置在特定位置的应力层掺杂区;
- [0013] c) 在所述 SOI 层上依次形成氧化物层和氮化物层,形成贯穿所述氮化物层、所述氧化物层、所述 SOI 层和所述埋氧层,停止于所述应力层的上表面的第一沟槽,所述第一沟槽至少暴露所述应力层掺杂区的一部分;
- [0014] d) 通过所述第一沟槽刻蚀去除所述应力层掺杂区,形成空腔;
- [0015] e) 向所述空腔中填充多晶硅,并进行回刻蚀,形成应力层多晶硅区和第二沟槽;
- [0016] f) 填充第二沟槽以形成隔离区。
- [0017] 相应地,本发明还提供了一种半导体结构,该半导体结构包括衬底、应力层、埋氧层、SOI 层、源 / 漏区、应力层多晶硅区、接地层、栅极堆叠,其中:
- [0018] 所述栅极堆叠形成在所述 SOI 层之上;
- [0019] 所述源 / 漏区形成于所述 SOI 层之中且位于所述栅极堆叠两侧;
- [0020] 所述衬底上依次形成有应力层、埋氧层和 SOI 层;
- [0021] 所述应力层多晶硅区位于所述应力层中,并且根据半导体结构的器件类型位于所述栅极堆叠两侧或所述栅极堆叠下方。
- [0022] 本发明提供的半导体结构及其制造方法使用超薄 SOI 衬底,并在应力层中形成接地层,通过引入接地层为半导体器件的沟道提供了有利应力,有助于提高半导体器件的性能。

## 附图说明

- [0023] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本发明的其它特征、目的和优点将会变得更明显:
- [0024] 图 1 为根据本发明的半导体结构的制造方法的一个具体实施方式的流程图;
- [0025] 图 2~ 图 11 (b)是根据本发明的按照图 1 示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖视结构示意图。
- [0026] 附图中相同或相似的附图标记代表相同或相似的部件。

## 具体实施方式

- [0027] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明的实施例作详细描述。
- [0028] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的,仅用于解释本发明,而不能解释为对本发明的限制。
- [0029] 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和 / 或字母。这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施例和 / 或设置之间的关系。此外,本发明提供了的各种特定的工艺和材料的例子,但是本领域普通技术人员可以意识到

其他工艺的可应用于性和 / 或其他材料的使用。另外,以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。应当注意,在附图中所图示的部件不一定按比例绘制。本发明省略了对公知组件和处理技术及工艺的描述以避免不必要地限制本发明。

[0030] 请参考图 1,图 1 是根据本发明的半导体结构的制造方法的一个具体实施方式的流程图,该方法包括:

[0031] 步骤 S 101,提供衬底,在所述衬底上依次形成应力层,埋氧层,SOI 层;

[0032] 步骤 S102,根据将要形成的半导体器件的类型,在所述应力层中形成布置在特定位置的应力层掺杂区;

[0033] 步骤 S103,在所述 SOI 层上依次形成氧化物层和氮化物层,形成贯穿所述氮化物层、所述氧化物层、所述 SOI 层和所述埋氧层,停止于所述应力层的上表面的第一沟槽,所述第一沟槽至少暴露所述应力层掺杂区的一部分;

[0034] 步骤 S 104,通过所述第一沟槽刻蚀去除所述应力层掺杂区,形成空腔;

[0035] 步骤 S105,向所述空腔中填充多晶硅,并进行回刻蚀,形成应力层多晶硅区和第二沟槽;

[0036] 步骤 S 106,填充第二沟槽以形成隔离区。

[0037] 下面结合图 2 至图 11 (b) 对步骤 S101 至步骤 S106 进行说明,图 2 至图 11 (b) 是根据本发明的一个具体实施方式按照图 1 示出的流程制造半导体结构过程中该半导体结构各个制造阶段的剖视结构示意图。需要说明的是,本发明各个实施例的附图仅是为了示意的目的,因此没有必要按比例绘制。

[0038] 执行步骤 S 101,如图 2 所示,提供衬底 100,在衬底 100 上形成应力层 120,在所述应力层 120 上形成埋氧层 130,在所述埋氧层 130 上形成 SOI 层 140。在本实施例中,半导体衬底 100 包括硅衬底(例如晶片)。根据现有技术公知的设计要求(例如 P 型衬底或者 N 型衬底),半导体衬底 100 可以包括各种掺杂配置。其他例子的半导体衬底 100 还可以包括其他基本半导体,例如锗。或者,半导体衬底 100 可以包括化合物半导体,例如碳化硅、锗化硅、砷化镓或者磷化镓。

[0039] 应力层 120 可以采用外延生长的方式形成于所述衬底 100 上,其优选采用硅锗材料,其中,锗的含量为 15%~30%,例如 15%、20% 或 30%。应力层 120 的厚度范围为 10~100nm,例如 10nm、50nm 或 100nm。

[0040] 埋氧层 130 可以包括由热氧化、沉积和 / 或其他合适工艺的方法形成。该层通常采用氧化物材料形成,例如,  $Gd_2O_3$ ,  $TrHfO_4$ ,  $Nd_2O_3$ , 优选地,采用  $SiO_2$ 。埋氧层 130 的厚度范围为 5~20nm,例如 5nm、13nm 或 20nm。

[0041] 采用智能剥离技术(Smart cut technique)在埋氧层 130 上形成 SOI 层 140。SOI 层 140 的材料是单晶硅、Ge 或 III - V 族化合物(如 SiC、砷化镓、砷化镓或磷化镓等)。本发明中形成超薄 SOI 层,SOI 层的厚度范围为 5~20nm,例如 5nm、15nm 或 20nm。

[0042] 执行步骤 S 102,根据将要形成的半导体器件的类型,在所述应力层中形成布置在特定位置的应力层掺杂区。首先,将光刻胶 150 覆盖于 SOI 层 140 上,并进行曝光构图,构图后可以刻蚀掉一部分,通过构图图形进行离子注入。如果要形成 NMOS 器件,则如图 3(a)

所示,将光刻胶覆盖于将形成栅极堆叠 200 的区域;如果要形成 PMOS 器件,则如图 3 (b)所示,将需要形成栅极堆叠 200 的区域暴露,用光刻胶 150 覆盖该区域两侧部分。光刻胶 150 的材料可是烯类单体材料、含有叠氮醌类化合物的材料或聚乙烯月桂酸酯材料等。

[0043] 之后,采用砷或磷通过光刻胶 150 暴露区域对应应力层 120 进行离子注入,形成布置在特定位置的应力层掺杂区 160。如图 4 (a)和图 4 (b)所示,如果要形成 NMOS 器件,则应力层掺杂区 160 位于将形成栅极堆叠 200 的区域两侧;如果要形成 PMOS 器件,则应力层掺杂区 160 位于将形成栅极堆叠 200 的区域正下方。之后去除光刻胶 150,并进行退火以激活应力层 120 中的杂质。对之前形成的半导体结构进行退火处理,例如可以采用激光退火、闪光退火等,来激活半导体结构中的杂质。在一个实施例中,可以采用瞬间退火工艺对半导体结构进行退火,例如在大约 800-1100°C 的高温下进行激光退火。

[0044] 执行步骤 S103,在所述 SOI 层 140 上依次形成氧化物层 170 和氮化物层 180,形成贯穿所述氮化物层 180、所述氧化物层 170、所述 SOI 层 140 和所述埋氧层 130,停止于所述应力层 120 的上表面的第一沟槽,所述第一沟槽至少暴露所述应力层掺杂区 160 的一部分。参考图 5 (a)和图 5 (b),在 SOI 层 140 上形成氧化物层 170 和氮化物层 180。氧化物层 170 可以包括由热氧化、沉积和 / 或其他合适工艺的方法形成。该层通常采用氧化物材料形成,例如,  $Gd_2O_3$ ,  $TrHfO_4$ ,  $Nd_2O_3$ , 优选地,采用  $SiO_2$ 。氧化物层 170 的厚度范围为 3~10nm,例如 3nm、8nm 或 10nm。相似地,氮化物层 180 也可以采用包括沉积和 / 或其他合适工艺的方法形成。氮化物层 180 的厚度范围为 50~150nm,例如 50nm、120nm 或 150nm。形成该层的氮化物材料例如  $Si_3N_4$ 。

[0045] 进行光刻胶构图,刻蚀氮化物层 180、氧化物层 170、SOI 层 140 以及埋氧层 130,以形成第一沟槽,之后去除光刻胶。由于在后续工艺中,在该第一沟槽位置形成隔离区,因此该第一沟槽的位置和大小需要根据隔离区 300 的位置和大小而定。如图 6 (a)所示,第一沟槽停止于应力层掺杂区 160 的上表面。如图 6 (b)所示,刻蚀第一沟槽停止于应力层 120 的上表面。在图 6 (b)的情况中,尽管只示出了与纸面方向垂直延伸的第一沟槽,应当理解,在与纸面方向垂直的方向上,还可以存在与纸面方向平行延伸的第一沟槽,其暴露应力层掺杂区 160 的一部分,如图 6 (c)的俯视图所示。

[0046] 执行步骤 S 104,通过所述第一沟槽刻蚀去除所述应力层掺杂区 160,形成空腔。可以从前述步骤中形成的第一沟槽处进行刻蚀,如图 7 (a)和图 7 (b)所示,其中图 7 (b)示出了从该器件的前后方(前方为垂直纸面正对的方向,后方反之,图中未示出)的第一沟槽进行刻蚀,在应力层 120 中形成空腔。此处刻蚀选用湿刻的方式,湿刻可以采用包括对掺杂的硅锗有选择性的刻蚀而对硅和未掺杂的硅锗基本不刻蚀的溶液,例如 TMAH、KOH 或其他合适的刻蚀剂溶液。

[0047] 对于图 7 (a)的情况,应力层掺杂区 160 去掉后,应力层 120 中的应力会至少部分得到释放,并且,在 SOI 层 140 中产生拉应力。通过引入拉应力可以有效增加 NMOS 器件中电子的迁移率。对于图 7 (b)的情况,应力层掺杂区 160 去掉后,应力层 120 中的应力会至少部分得到释放,并且,在 SOI 层 140 中产生压应力。通过引入压应力可以有效增加 PMOS 器件中空穴的迁移率。

[0048] 执行步骤 S 105,向所述空腔中填充多晶硅,并进行回刻蚀,形成应力层多晶硅区 190 和第二沟槽。如图 8 (a)所示,多晶硅填充空腔后,对其位于第一沟槽下方的部分进行

刻蚀,刻蚀深度小于空腔的高度,刻蚀后,形成应力层多晶硅区 190 和第二沟槽。如图 8(b) 所示,填充空腔形成应力层多晶硅区 190,沿着第一沟槽的位置继续刻蚀应力层 120,刻蚀深度小于空腔的高度,形成第二沟槽。刻蚀可以采用干刻或者湿刻。

[0049] 执行步骤 S 106,填充第二沟槽以形成隔离区。向第二沟槽中填充氧化物,并执行平坦化处理,使所填充的氧化物与氮化物层 180 的上表面齐平(本发明中的术语“齐平”指的是两者之间的高度差在工艺误差允许的范围内)。进一步刻蚀掉氮化物层 180 和氧化物层 170,形成隔离区 300,如图 9 (a) 和图 9 (b) 所示。在去除上述两层之后,SOI 层 140 中的拉应力会进一步增强,有助于进一步减小短沟道效应,以提高器件性能。

[0050] 可选的,从器件上方对所述器件的应力层 120 进行离子注入,并退火激活杂质形成接地层 400。接地层 400 可以紧邻埋氧层 130 而位于埋氧层 130 下方的应力层 120 中,其长度可以介于隔离区 300 的内侧间距与外侧间距之间,且居于隔离区 300 中间。根据器件的类型以及器件阈值电压需要调高或是调低来决定使用 n 型注入还是 p 型注入。例如对于 pFET (p 型场效应晶体管),可以采用 n 型注入或 p 型注入;对于 nFET (n 型场效应晶体管),也可以采用 p 型注入或 n 型注入。退火激活杂质的工艺在前文中有所描述,在此不再赘述。

[0051] 之后,可以在上述半导体结构上形成栅极堆叠 200,该栅极结构 200 的形成过程如下:形成覆盖 SOI 层 140 和隔离区 300 的栅极介质层、覆盖栅极介质层的栅金属层、覆盖栅金属层的栅电极层、覆盖栅电极层的氧化物层、覆盖氧化物层的氮化物层、以及覆盖氮化物层并用于绘图以刻蚀出栅极堆叠的光刻胶层。其中,栅极介质层的材料可以是热氧化层,包括氧化硅、氮氧化硅,也可为高 K 介质,例如  $\text{HfO}_2$ 、 $\text{HfSiO}$ 、 $\text{HfSiON}$ 、 $\text{HfTaO}$ 、 $\text{HfTiO}$ 、 $\text{HfZrO}$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{La}_2\text{O}_3$ 、 $\text{ZrO}_2$ 、 $\text{LaAlO}$  中的一种或其组合,其厚度在 1nm~4nm 之间;栅金属层的材料可以选用 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、 $\text{RuTax}$ 、NiTa 中的一种或其组合,其厚度在 5nm~20nm 之间;栅电极层的材料可以选用 Poly-Si,其厚度在 20nm~80nm 之间;氧化物层的材料是  $\text{SiO}_2$ ,其厚度在 5nm~10nm 之间;氮化物层的材料是  $\text{Si}_3\text{N}_4$ ,其厚度在 10nm~50nm 之间;光刻胶层的材料可是烯类单体材料、含有叠氮醌类化合物的材料或聚乙烯月桂酸酯材料等。上述多层结构中除所述光刻胶层以外,可以通过化学气相沉积 (Chemical vapor deposition, CVD)、高密度等离子体 CVD、ALD (原子层淀积)、等离子体增强原子层淀积 (PEALD)、脉冲激光沉积 (PLD) 或其他合适的方法依次形成在 SOI 层 100 上。光刻胶层构图后可以刻蚀上述多层结构形成栅极结构 200(在所述 SOI 衬底上形成栅极线)。通常地,可以考虑在栅极结构 200 形成后,在该栅极结构 200 的两侧形成侧墙 210,用于将栅极结构 200 隔开。侧墙 210 可以由氮化硅、氧化硅、氮氧化硅、碳化硅和 / 或其他合适的材料形成。侧墙 210 可以具有多层结构。侧墙 210 可以通过沉积 - 刻蚀工艺形成,其厚度范围大约是 10nm~100nm。

[0052] 可选地,在形成侧墙 210 之前,可以对栅极堆叠 200 两侧的 SOI 层 140 进行浅掺杂,以形成源漏延伸区,还可以进行 Halo 注入,以形成 Halo 注入区。其中浅掺杂的杂质类型与器件类型一致,Halo 注入的杂质类型与器件类型相反。

[0053] 进一步形成源 / 漏区 110,可以通过向衬底 100 中注入 P 型或 N 型掺杂物或杂质而形成,例如,对于 PMOS 来说,源 / 漏区 110 可以是 P 型掺杂,对于 NMOS 来说,源 / 漏区 110 可以是 N 型掺杂。源 / 漏区 110 可以由包括光刻、离子注入、扩散和 / 或其他合适工艺的方法形成。在本实施例中,源 / 漏区 110 在 SOI 层 140 内部,在其他一些实施例中,源 / 漏区 110



可以通过选择性外延生长所形成的提升的源漏极结构,其外延部分的顶部高于栅极堆叠 200 底部(本说明书中所指的栅极堆叠底部意指栅极堆叠 200 与 SOI 层 140 的交界线)。如图 10 (a)和图 10 (b)所示。

[0054] 可选的,本实施例提供的方法还可以进一步形成接触塞 510 和 520,其具体包括:形成覆盖栅极结构 200 和 SOI 层 140 的介质层 500,并分别在该介质层 500 中形成暴露至少部分接地层 400 的第一接触孔,以及暴露至少部分源/漏区 110 的第二接触孔。介质层 500 可以通过 CVD、高密度等离子体 CVD、旋涂或其他合适的方法形成。介质层 500 的材料可以包括 SiO<sub>2</sub>、碳掺杂 SiO<sub>2</sub>、BPSG、PSG、UGS、氮氧化硅、低 k 材料或其组合。对该介质层 500 进行 CMP 处理后,通常介质层 500 的厚度范围可以是 40nm~150nm,如 80nm、100nm 或 120nm,贯穿介质层 500 以及隔离区 300 的第一接触孔停止在接地层 400 上并暴露至少部分接地层 400,另一贯穿源/漏区 110 之上的介质层 500 的第二接触孔暴露至少部分源/漏区 110。在一次使用干法刻蚀、湿法刻蚀或其他合适的刻蚀方式刻蚀介质层 500 形成第一接触孔和第二接触孔的过程中,可以将接地层 400 的上平面作为刻蚀第一接触孔的停止层,同时将源/漏区 110 的上平面作为刻蚀第二接触孔的停止层,因此刻蚀第一接触孔和第二接触孔都分别具有对应的停止层,这样对刻蚀工艺的控制性要求降低,即降低了刻蚀的难度。后续加工中通常在第一接触孔和第二接触孔内填充金属,形成第一接触塞 510 和第二接触塞 520,如图 11 (a)和图 11 (b)所示。优选地,填充金属为 W,当然根据半导体的制造需要,所述金属的材料还可以选用 W、Al、TiAl 合金中任一种或其组合。

[0055] 由于本发明提供的半导体结构具有几种优选结构,下面提供一种优选结构并进行概述。

[0056] 参考图 10 (a),图 10 (a)示出了一种与 NMOS 器件对应的半导体结构,该半导体结构包括:衬底 100、应力层 120、埋氧层 130、SOI 层 140、源/漏区 110、应力层多晶硅区 190 和栅极堆叠 200,其中:

[0057] 所述栅极堆叠 200 形成在所述 SOI 层 140 之上;

[0058] 所述源/漏区 110 形成于所述 SOI 层 140 之中且位于栅极堆叠 200 两侧;

[0059] 所述衬底 100 上依次形成有应力层 120、埋氧层 130 和 SOI 层 140;

[0060] 对于 NMOS 器件,所述应力层多晶硅区 190 位于所述栅极堆叠 200 两侧的应力层 120 中。

[0061] 参考图 10 (b),图 10 (b)示出了一种与 PMOS 器件对应的半导体结构,与图 10 (a)示出的半导体结构区别在于所述应力层多晶硅区 190 位于所述栅极堆叠 200 下方的所述应力层 120 中。

[0062] 可选的,上述两种半导体结构还包括形成于所述栅极堆叠 200 两侧的侧墙 210。

[0063] 优选的,所述应力层 120 的材料为硅锆。其中,所述应力层 120 中锆的含量为 15%~30%。

[0064] 所述应力层 120 的厚度范围为 10~100nm,例如 10nm、50nm、100nm。所述埋氧层 130 的厚度范围为 5~20nm,例如 5nm、10nm、20nm。所述 SOI 层 140 的厚度范围为 5~20nm,例如 5nm、12nm、20nm。所述氧化物层 170 的厚度范围为 3~10nm,例如 3nm、6nm、10nm。所述氮化物层 180 的厚度范围为 50~150nm,例如 50nm、110nm、150nm。

[0065] 可选的,所述半导体结构还包括接地层 400,其紧邻埋氧层 130 而位于埋氧层 130

下方的应力层 120 中,其中掺杂类型可以为 n 型或 p 型。

[0066] 可选的,所述半导体结构还包括:介质层 500 以及第一接触塞 510 和第二接触塞 520,其中:所述介质层 500 覆盖所述 SOI 层 140、所述隔离区 300 和所述栅极结构 200 的层间介质层 500;所述第一接触塞 510 贯穿所述介质层 500 以及隔离区 300,与所述接地层 400 相接触;所述第二接触塞 520 贯穿所述介质层 500,与所述源/漏区 110 相接触。

[0067] 采用本发明提供的制造方法,通过引入应力的方法可以有效减小器件的短沟道效应,提高器件的性能。

[0068] 虽然关于示例实施例及其优点已经详细说明,应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下,可以对这些实施例进行各种变化、替换和修改。对于其他例子,本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时,工艺步骤的次序可以变化。

[0069] 此外,本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容,作为本领域的普通技术人员将容易地理解,对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤,其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果,依照本发明可以对它们进行应用。因此,本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

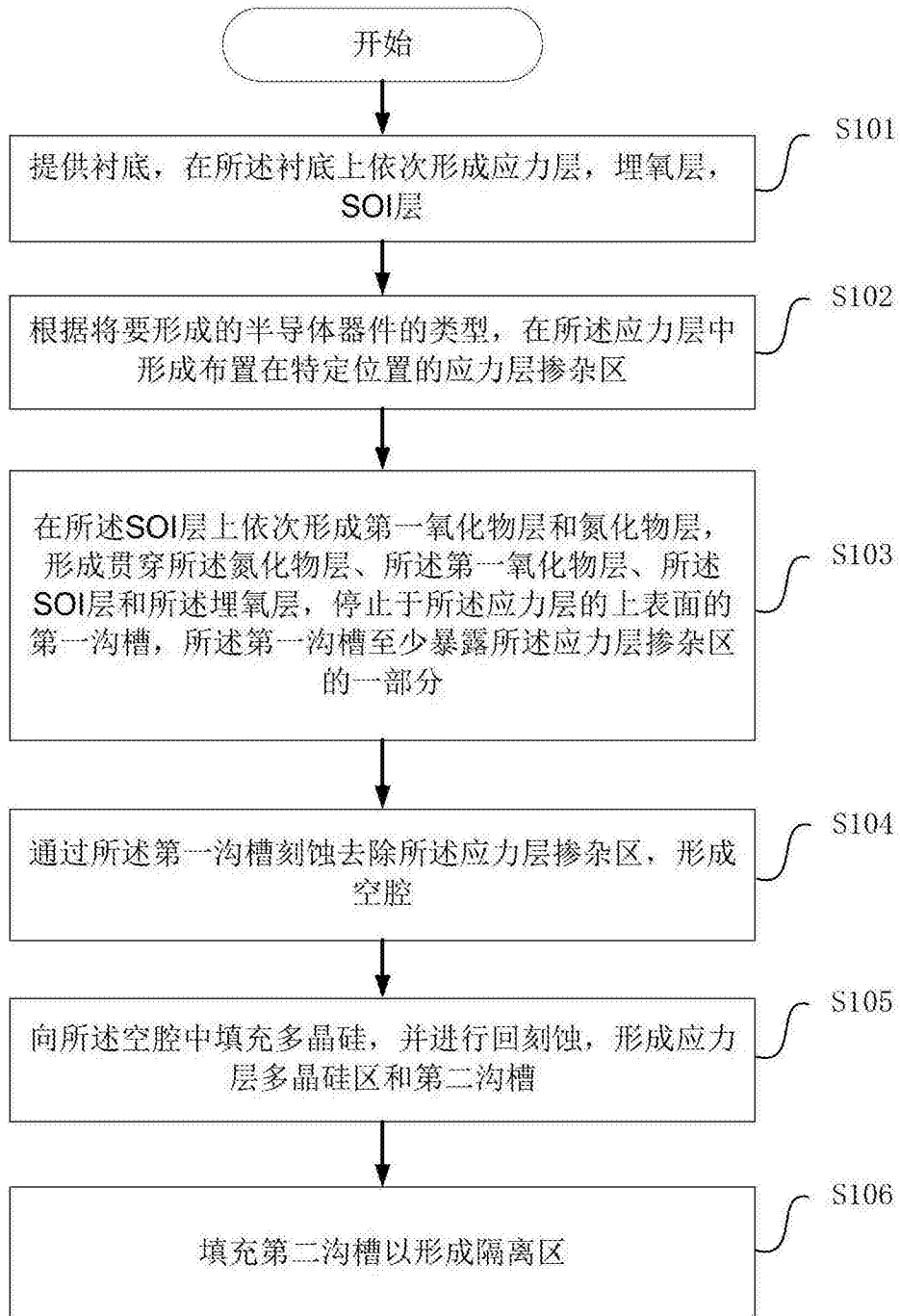


图 1

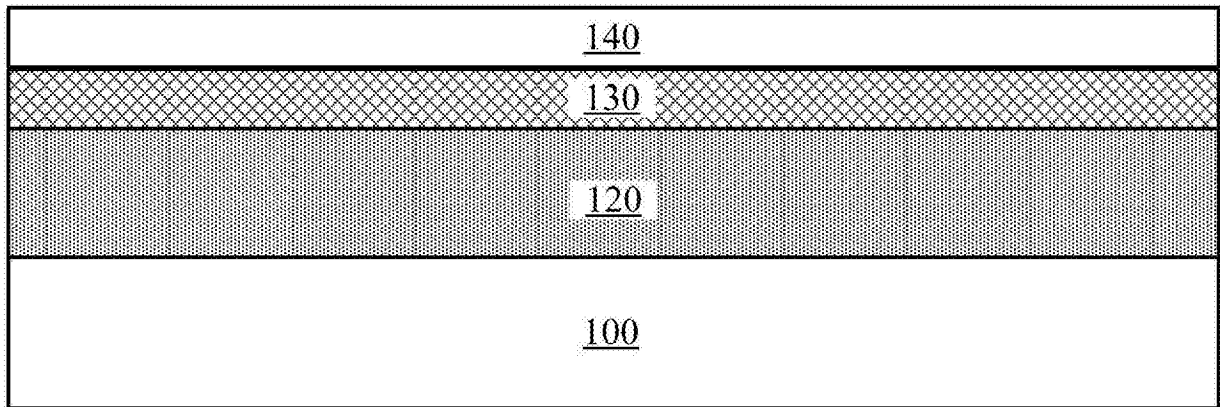


图 2

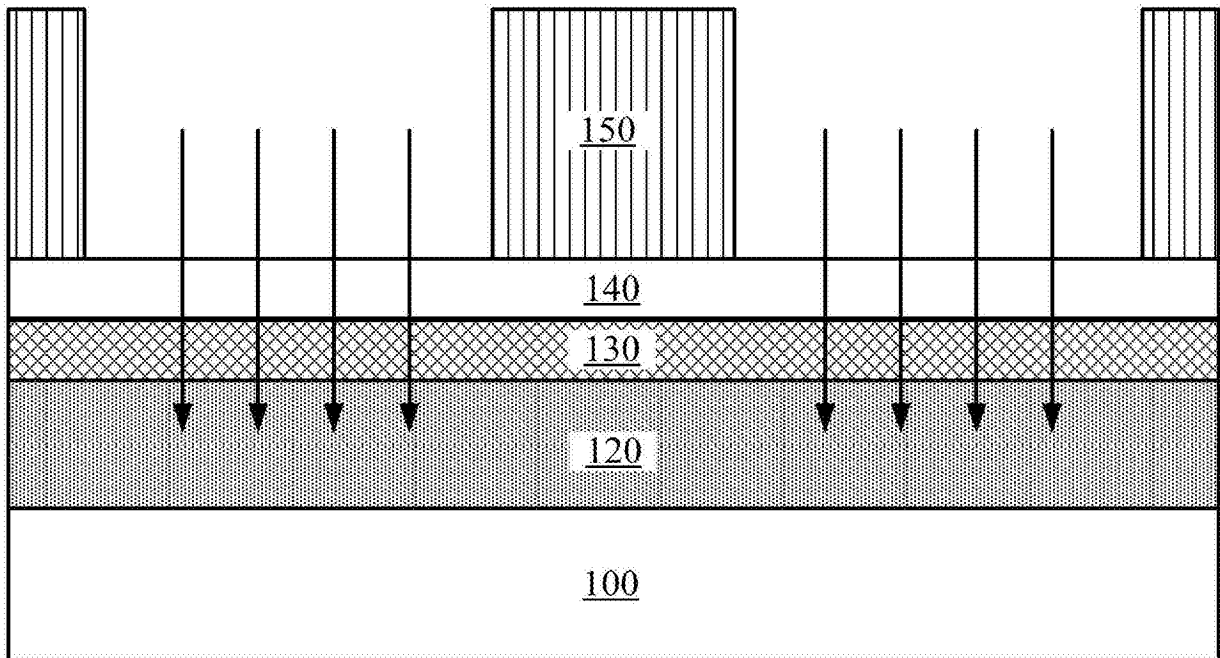


图 3(a)

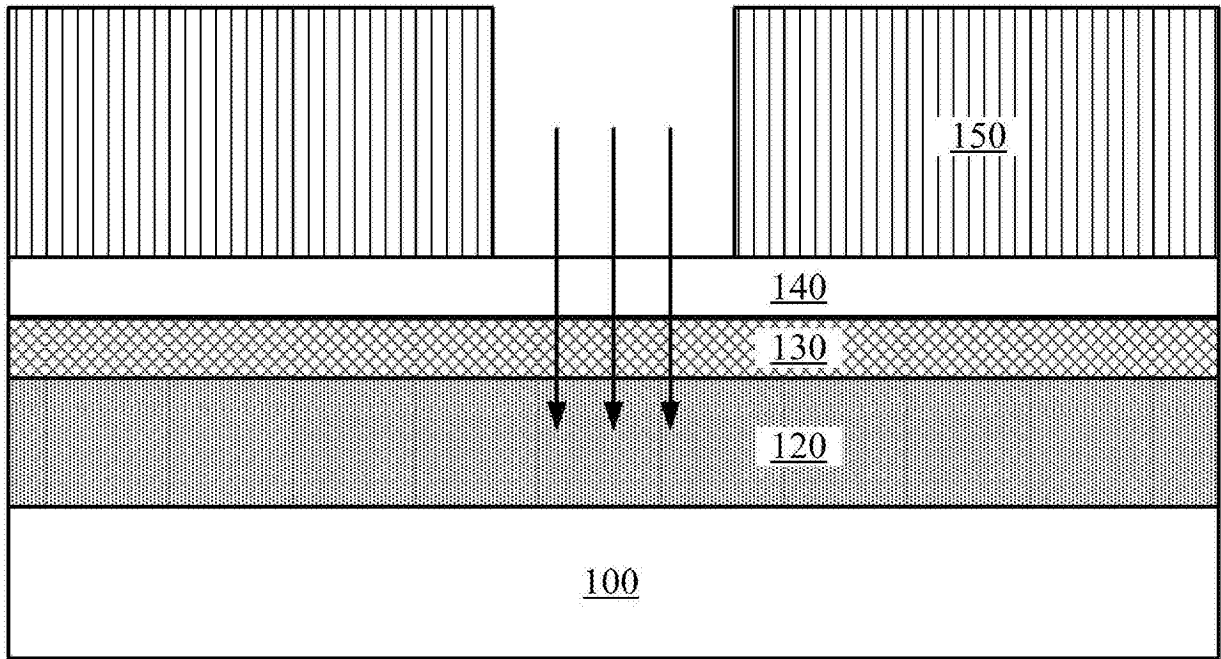


图 3(b)

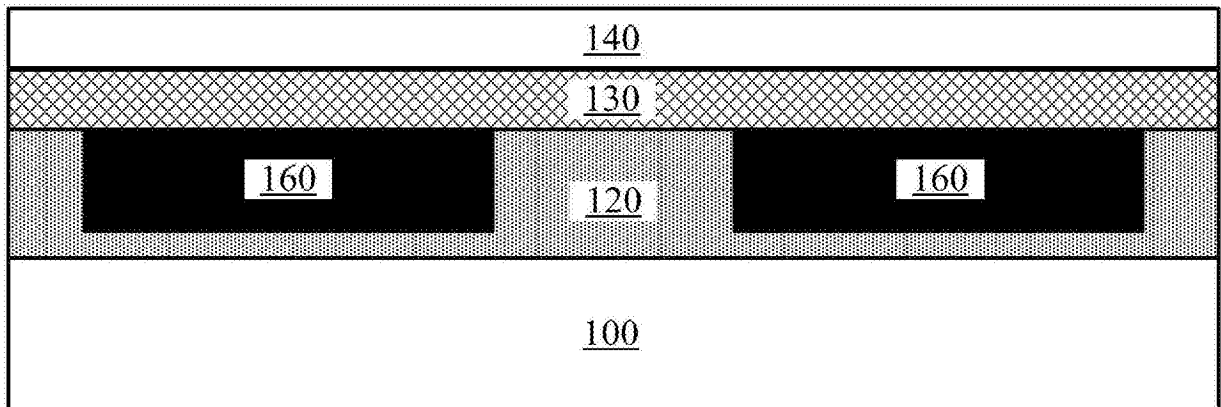


图 4(a)

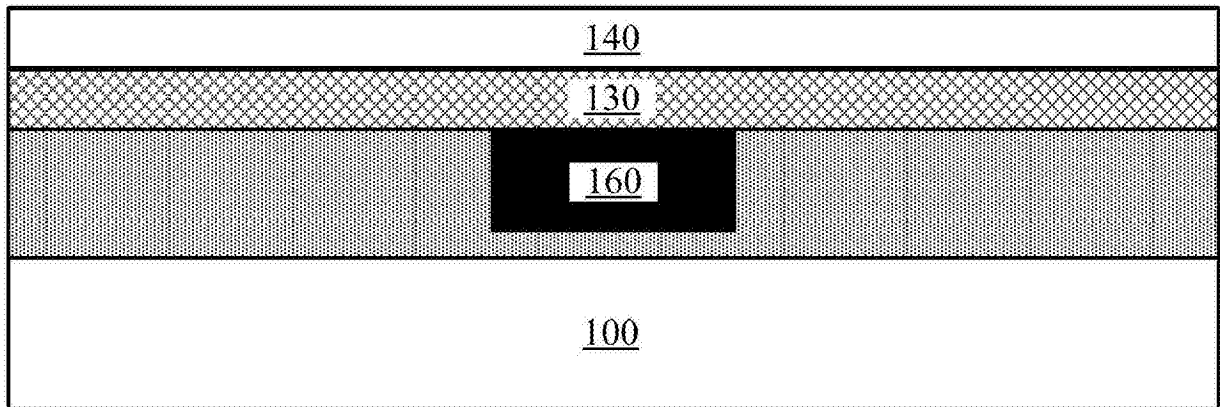


图 4 (b)

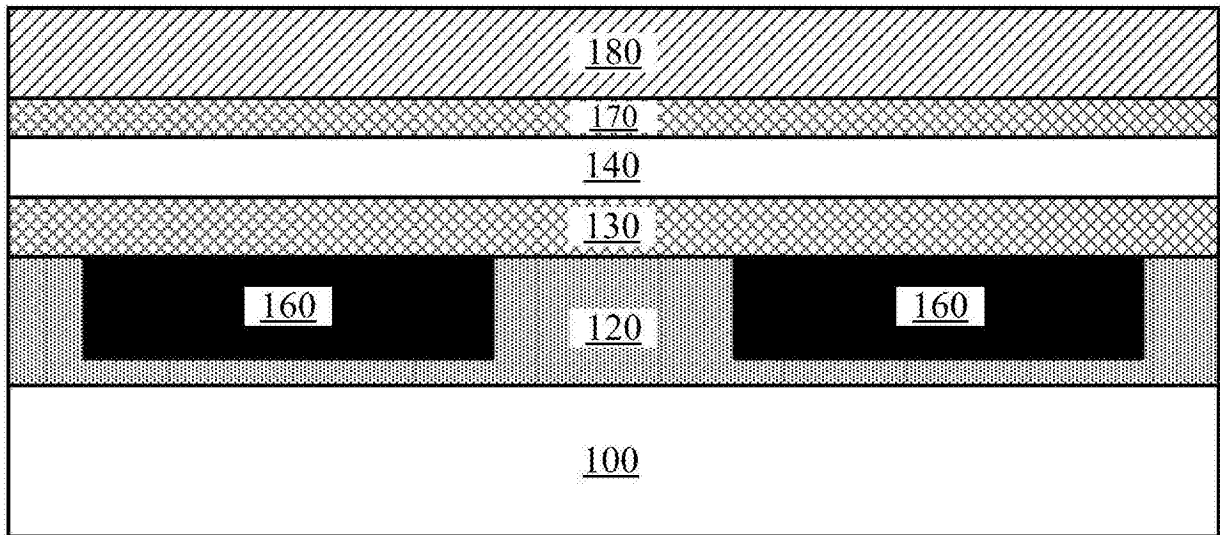


图 5 (a)

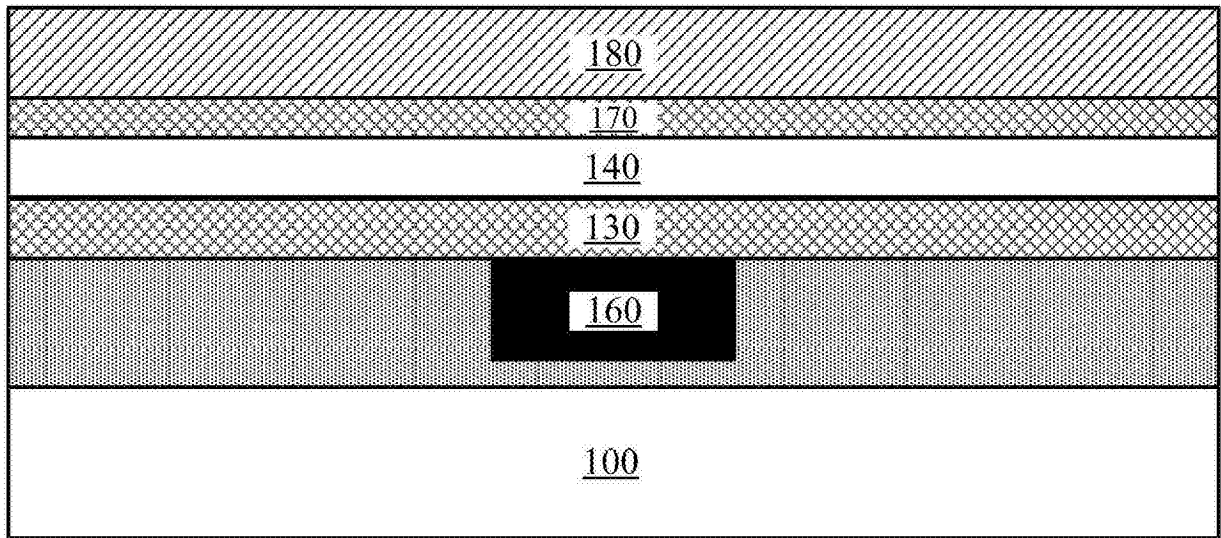


图 5 (b)

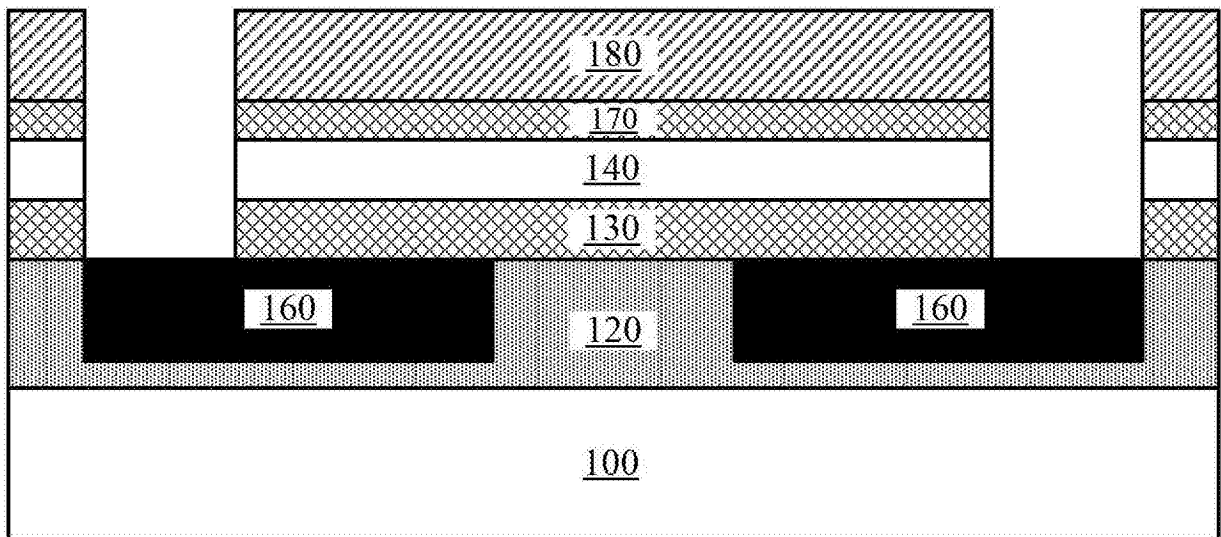


图 6 (a)

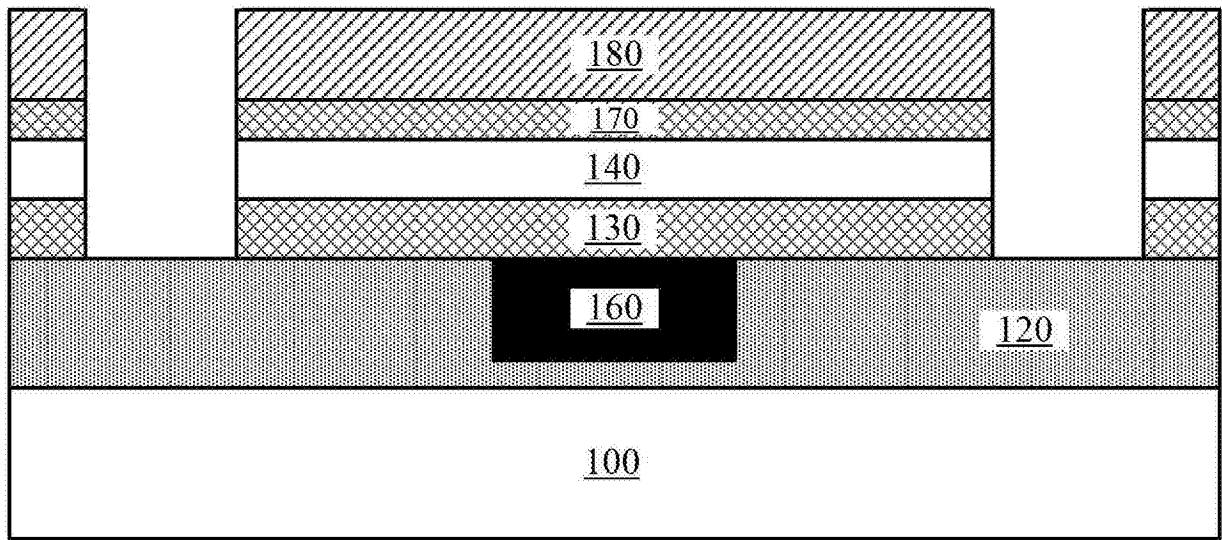


图 6 (b)

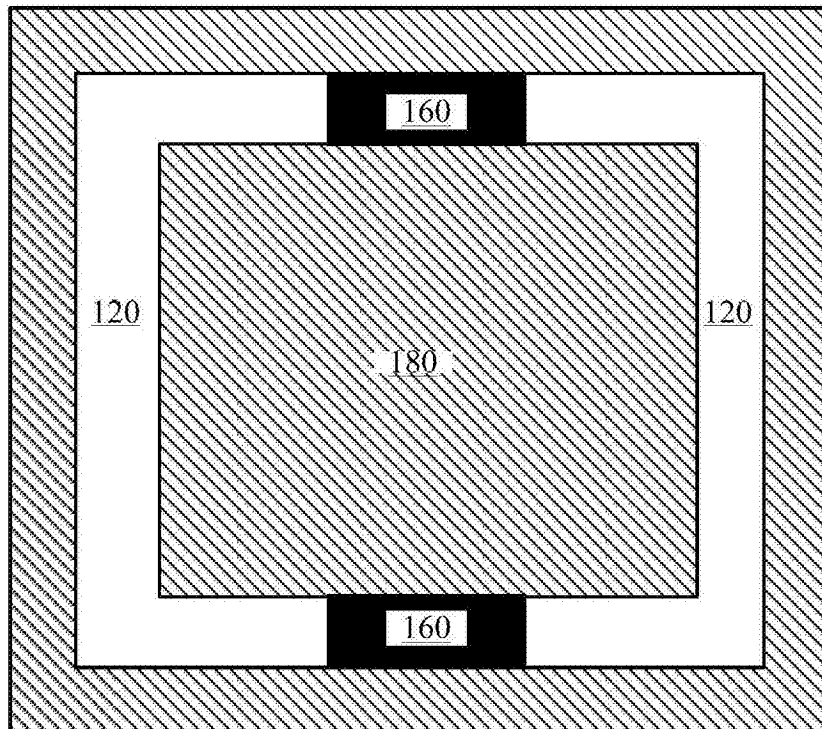


图 6 (c)



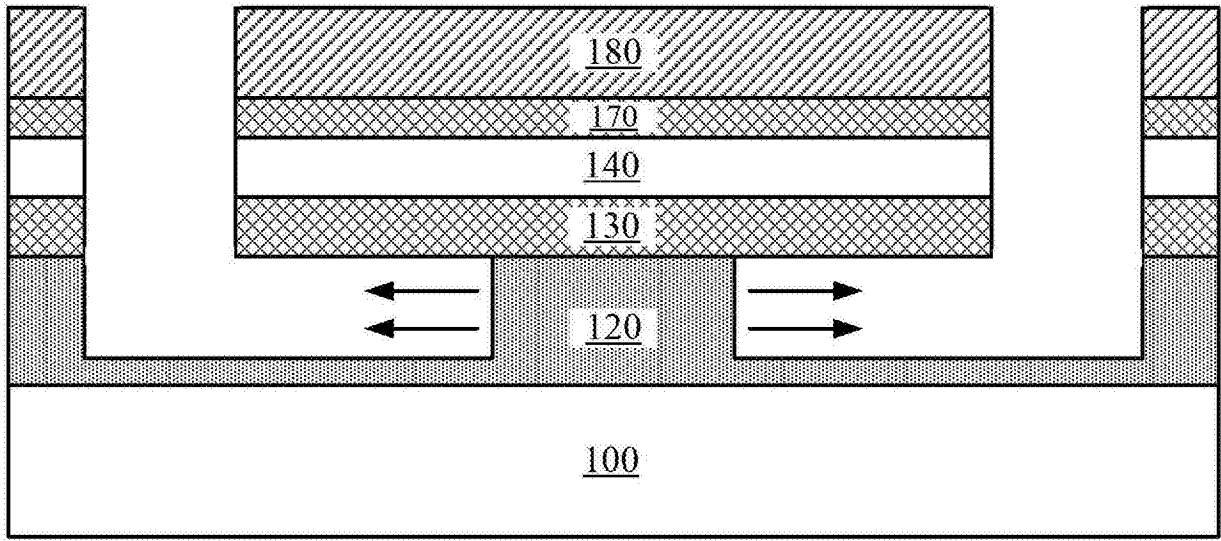


图 7(a)

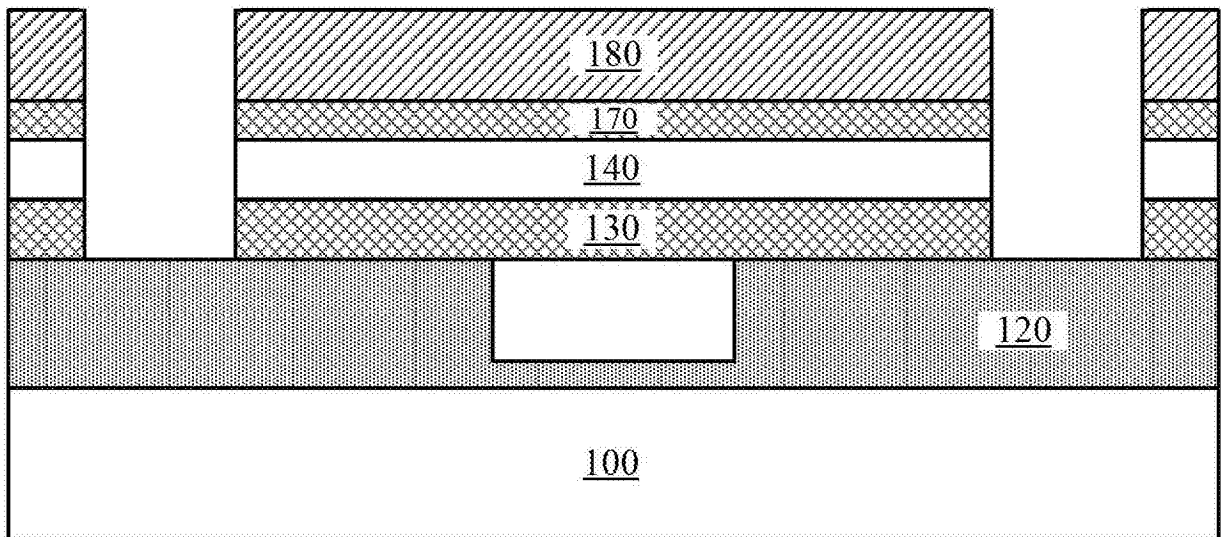


图 7(b)

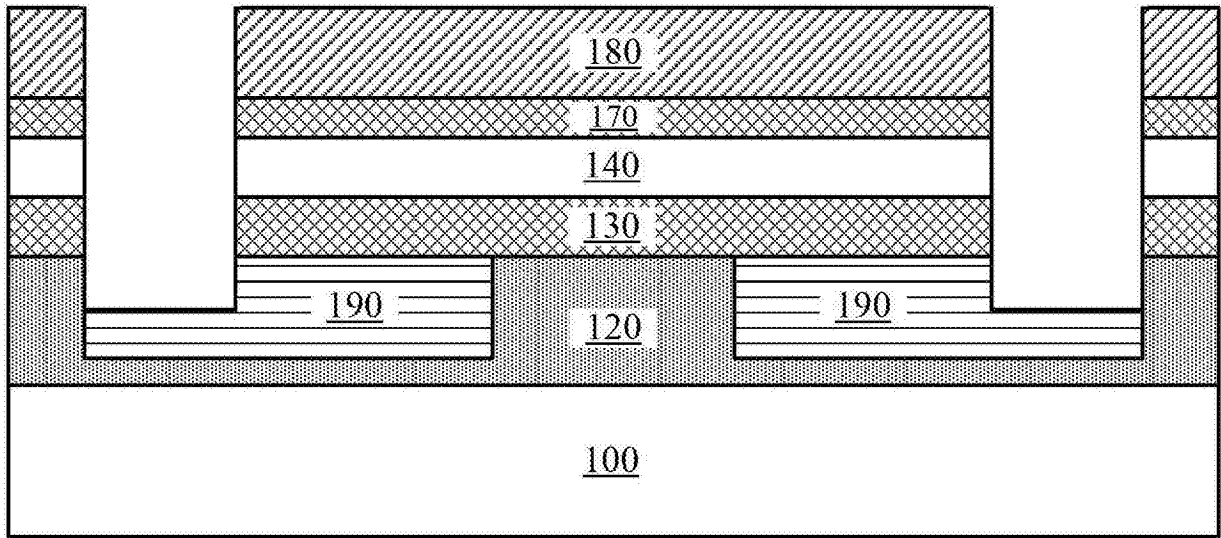


图 8 (a)

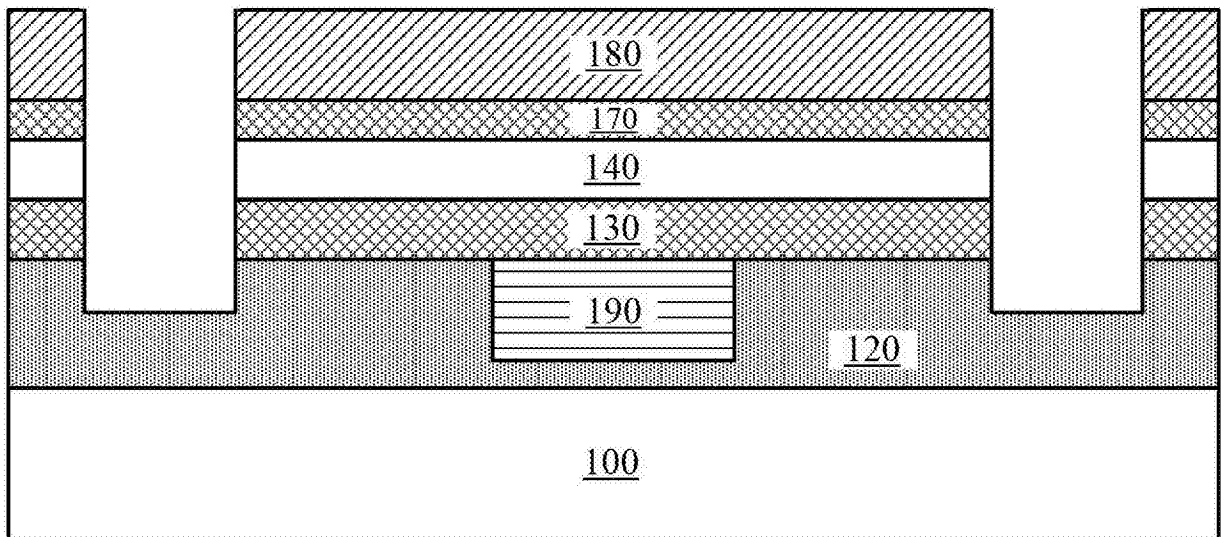


图 8 (b)

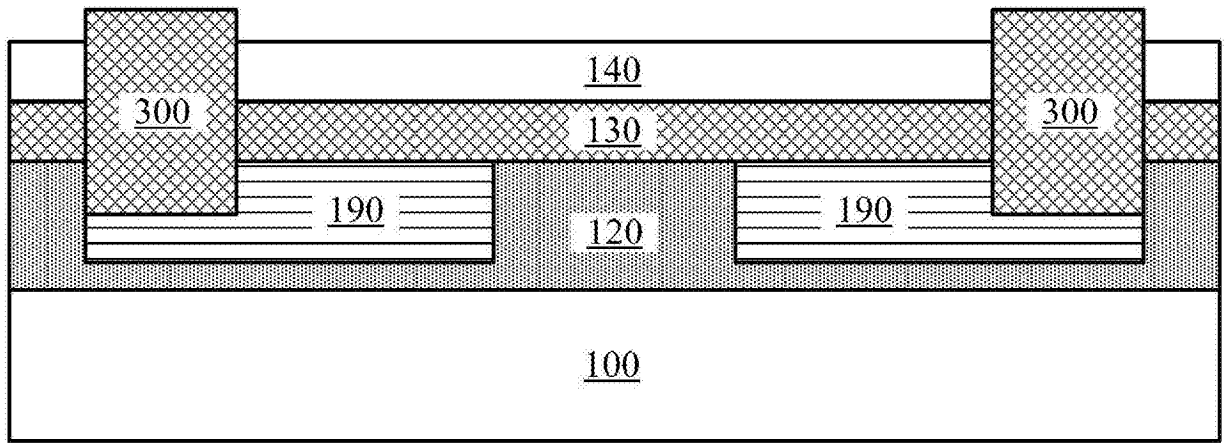


图 9(a)

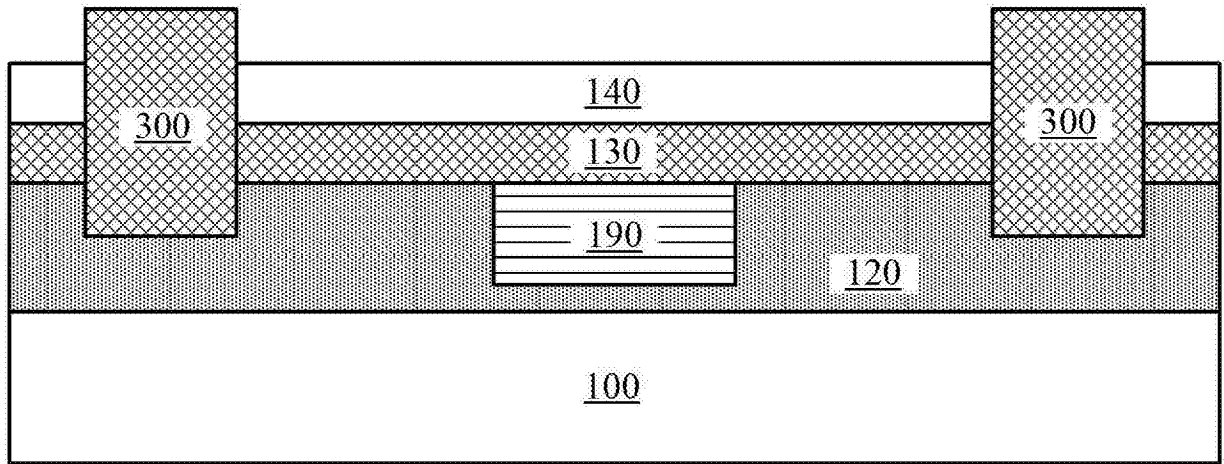


图 9(b)

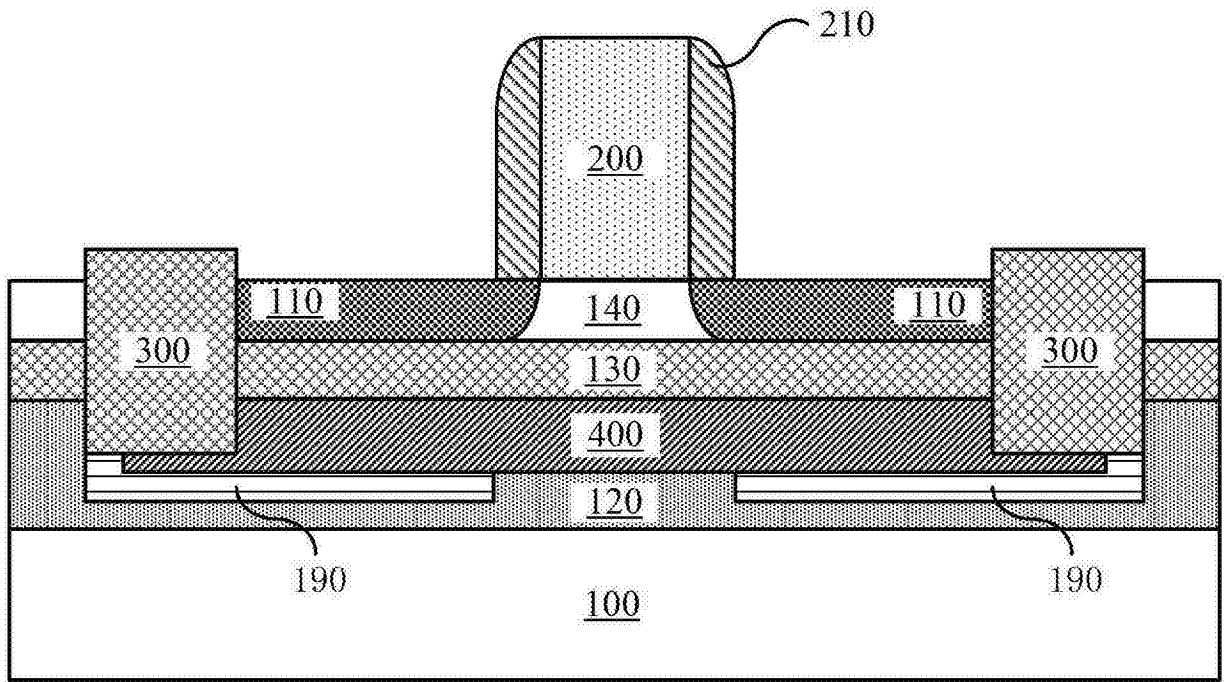


图 10(a)

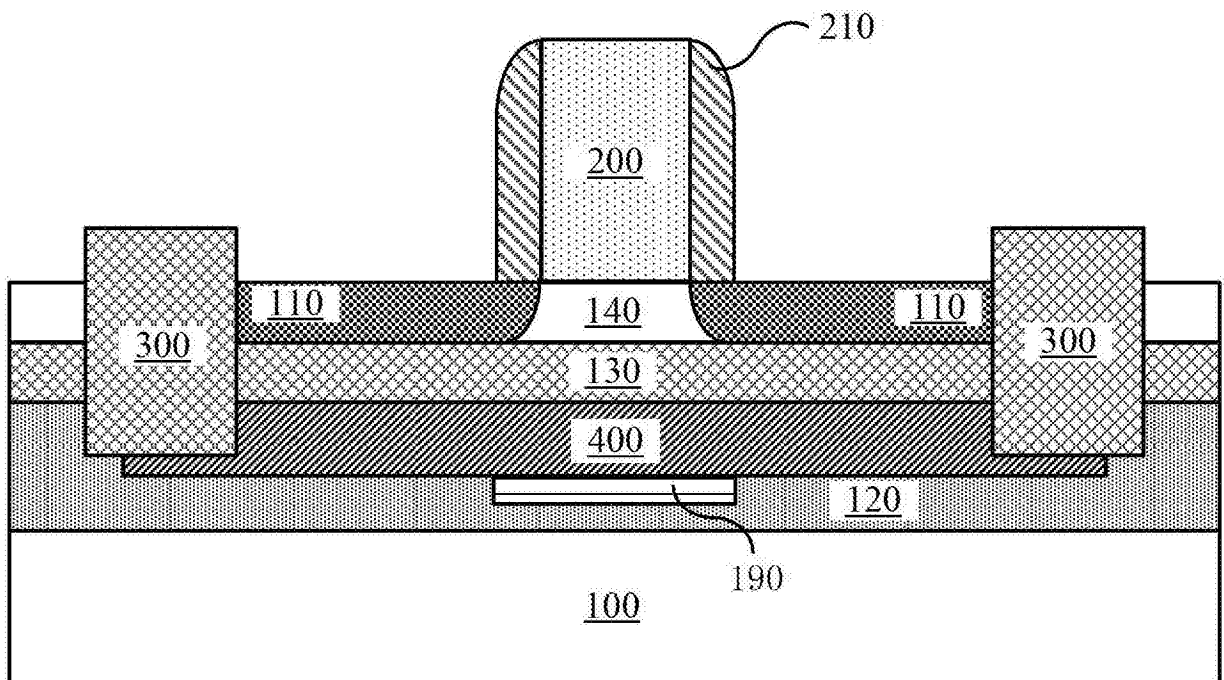


图 10(b)

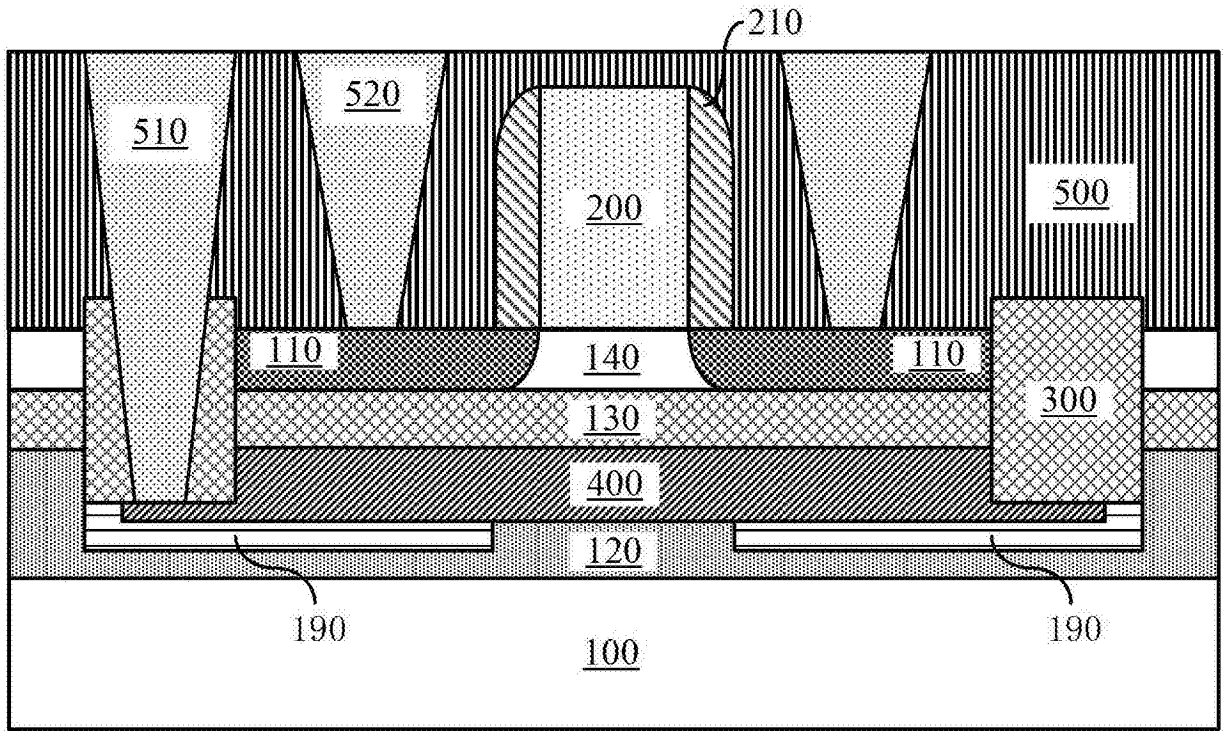


图 11(a)

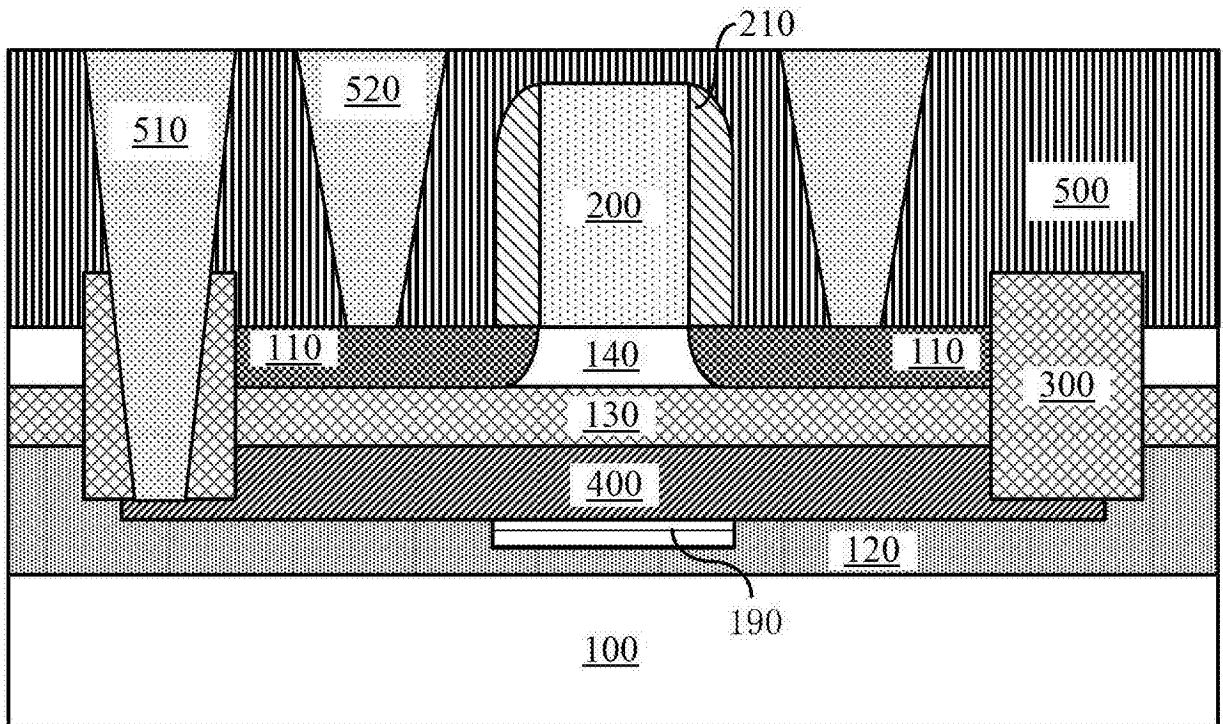


图 11(b)