

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6199494号  
(P6199494)

(45) 発行日 平成29年9月20日(2017.9.20)

(24) 登録日 平成29年9月1日(2017.9.1)

(51) Int.Cl.

F I

HO 1 L 21/82 (2006.01)  
 HO 1 L 23/522 (2006.01)  
 HO 1 L 21/768 (2006.01)  
 HO 1 L 21/3205 (2006.01)  
 HO 1 L 21/8238 (2006.01)

HO 1 L 21/82 W  
 HO 1 L 21/82 D  
 HO 1 L 21/88 Z  
 HO 1 L 27/08 3 2 1 F

請求項の数 15 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2016-536440 (P2016-536440)  
 (86) (22) 出願日 平成26年8月21日(2014.8.21)  
 (65) 公表番号 特表2016-535454 (P2016-535454A)  
 (43) 公表日 平成28年11月10日(2016.11.10)  
 (86) 国際出願番号 PCT/US2014/052020  
 (87) 国際公開番号 WO2015/027025  
 (87) 国際公開日 平成27年2月26日(2015.2.26)  
 審査請求日 平成29年2月28日(2017.2.28)  
 (31) 優先権主張番号 13/975,074  
 (32) 優先日 平成25年8月23日(2013.8.23)  
 (33) 優先権主張国 米国 (US)

早期審査対象出願

(73) 特許権者 595020643  
 クォアルコム・インコーポレイテッド  
 QUALCOMM INCORPORATED  
 アメリカ合衆国、カリフォルニア州 92  
 121-1714、サン・ディエゴ、モア  
 ハウス・ドライブ 5775  
 (74) 代理人 100108855  
 弁理士 蔵田 昌俊  
 (74) 代理人 100109830  
 弁理士 福原 淑弘  
 (74) 代理人 100158805  
 弁理士 井関 守三  
 (74) 代理人 100194814  
 弁理士 奥村 元宏

最終頁に続く

(54) 【発明の名称】 エレクトロマイグレーションに対処するためのレイアウト構造

(57) 【特許請求の範囲】

【請求項 1】

p型金属酸化物半導体(PMOS)ドレインを各々有する複数のPMOSトランジスタと、n型金属酸化物半導体(NMOS)ドレインを各々有する複数のNMOSトランジスタとを含む相補型金属酸化物半導体(CMOS)デバイスであって、

相互接続レベルにある、第1の複数の前記PMOSドレインを互いに接続する第1の相互接続部と、

前記相互接続レベルにある、第2の複数の前記PMOSドレインを互いに接続する第2の相互接続部、前記第2の複数の前記PMOSドレインは、前記第1の複数の前記PMOSドレインと異なり、前記第1の相互接続部および前記第2の相互接続部は、前記相互接続レベルで分離される、と、

前記相互接続レベルにある、第1の複数の前記NMOSドレインを互いに接続する第3の相互接続部と、

前記相互接続レベルにある、第2の複数の前記NMOSドレインを互いに接続する第4の相互接続部、前記第2の複数の前記NMOSドレインは、前記第1の複数の前記NMOSドレインと異なり、前記第3の相互接続部および前記第4の相互接続部は、前記相互接続レベルで分離され、前記第1の相互接続部、前記第2の相互接続部、前記第3の相互接続部、および前記第4の相互接続部は、少なくとも1つの他の相互接続レベルを通じて互いに結合される、と

を備える、CMOSデバイス。

10

20

## 【請求項 2】

前記第 1 の相互接続部、前記第 2 の相互接続部、前記第 3 の相互接続部、および前記第 4 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、  
請求項 1 に記載のデバイス。

## 【請求項 3】

前記少なくとも 1 つの他の相互接続レベルは、第 2 の相互接続レベルと第 3 の相互接続レベルとを備え、

前記第 2 の相互接続レベルにある第 5 の相互接続部、前記第 5 の相互接続部は、前記第 1 の相互接続部と前記第 2 の相互接続部とを互いに結合する、と、

前記第 2 の相互接続レベルにある第 6 の相互接続部、前記第 6 の相互接続部は、前記第 3 の相互接続部と前記第 4 の相互接続部とを互いに結合する、と

をさらに備える、請求項 1 に記載のデバイス。

## 【請求項 4】

前記第 5 の相互接続部および前記第 6 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、

請求項 3 に記載のデバイス。

## 【請求項 5】

前記第 3 の相互接続レベルにある第 7 の相互接続部をさらに備え、前記第 7 の相互接続部は、前記第 5 の相互接続部と前記第 6 の相互接続部とを互いに結合し、

前記デバイスの出力部は、前記第 7 の相互接続部に接続される、

請求項 3 に記載のデバイス。

## 【請求項 6】

前記 CMOS デバイスは、インバータであり、前記 PMOS トランジスタは、PMOS ゲートと PMOS ソースとを各々有し、前記 NMOS トランジスタは、NMOS ゲートと NMOS ソースとを各々有し、前記 NMOS トランジスタの前記 NMOS ソースは、互いに結合され、前記 PMOS トランジスタの前記 PMOS ソースは、互いに結合され、前記 PMOS トランジスタの前記 PMOS ゲートおよび前記 NMOS トランジスタの前記 NMOS ゲートは、互いに結合される、

請求項 1 に記載のデバイス。

## 【請求項 7】

前記相互接続レベルにある、前記 PMOS ドレインの異なるサブセットを互いに接続する相互接続部の第 1 のセット、前記相互接続部の第 1 のセットは、前記第 1 の相互接続部、前記第 2 の相互接続部、および 1 つまたは複数のさらなる相互接続部を含み、前記相互接続部の第 1 のセットの中の各相互接続部は、前記相互接続レベルで前記相互接続部の第 1 のセットの中の他の相互接続部から分離される、と、

前記相互接続レベルにある、前記 NMOS ドレインの異なるサブセットを互いに接続する相互接続部の第 2 のセット、前記相互接続部の第 2 のセットは、前記第 3 の相互接続部、前記第 4 の相互接続部、および 1 つまたは複数のさらなる相互接続部を含み、前記相互接続部の第 2 のセットの中の各相互接続部は、前記相互接続レベルで前記相互接続部の第 2 のセットの中の他の相互接続部から分離される、と

をさらに備える、請求項 1 に記載のデバイス。

## 【請求項 8】

前記相互接続部の第 1 のセットおよび前記相互接続部の第 2 のセットの中の各相互接続部は、長さが 2 マイクロメートルよりも短い、

請求項 7 に記載のデバイス。

## 【請求項 9】

前記少なくとも 1 つのさらなる相互接続レベルは、第 2 の相互接続レベルと第 3 の相互接続レベルとを備え、

前記第 2 の相互接続レベルにある相互接続部の第 3 のセット、前記相互接続部の第 3 のセットの中の各相互接続部は、前記相互接続部の第 1 のセットの中の相互接続部の隣接す

10

20

30

40

50

る異なるペアを互いに結合する、と、

前記第2の相互接続レベルにある相互接続部の第4のセット、前記相互接続部の第4のセットの中の各相互接続部は、前記相互接続部の第2のセットの中の相互接続部の隣接する異なるペアを互いに結合する、と

をさらに備える、請求項7に記載のデバイス。

【請求項10】

前記第3の相互接続レベルにある相互接続部の第5のセットをさらに備え、前記相互接続部の第5のセットの中の各相互接続部は、前記相互接続部の第3のセットの中からの相互接続部と、前記相互接続部の第4のセットの中からの相互接続部とを含む、相互接続部の隣接する異なるペアを結合し、前記相互接続部の第5のセットの中の各相互接続部は、互いに結合される、

請求項9に記載のデバイス。

【請求項11】

前記少なくとも1つのさらなる相互接続レベルは、第2の相互接続レベルと第3の相互接続レベルとを備え、

前記第2の相互接続レベルにある相互接続部の第3のセット、前記相互接続部の第3のセットの第1のサブセットは、前記相互接続部の第1のセットの第1のサブセットの中の相互接続部の隣接する異なるペアを互いに結合し、前記相互接続部の第3のセットの第2のサブセットは、前記相互接続部の第1のセットの第2のサブセットの中の相互接続部の隣接する異なるペアを互いに結合する、と、

前記第2の相互接続レベルにある相互接続部の第4のセット、前記相互接続部の第4のセットの第1のサブセットは、前記相互接続部の第2のセットの第1のサブセットの中の相互接続部の隣接する異なるペアを互いに結合し、前記相互接続部の第4のセットの第2のサブセットは、前記相互接続部の第2のセットの第2のサブセットの中の相互接続部の隣接する異なるペアを互いに結合する、と

をさらに備える、請求項7に記載のデバイス。

【請求項12】

前記相互接続部の第3のセットおよび前記相互接続部の第4のセットの中の各相互接続部は、長さが2マイクロメートルよりも短い、

請求項9または10に記載のデバイス。

【請求項13】

前記第3の相互接続レベルにある第5の相互接続部をさらに備え、前記第5の相互接続部は、前記相互接続部の第3のセットの中の前記相互接続部の各々を、前記相互接続部の第4のセットの中の前記相互接続部の各々に結合する、

請求項11に記載のデバイス。

【請求項14】

p型金属酸化物半導体(PMOS)ドレインを各々有する複数のPMOSトランジスタと、n型金属酸化物半導体(NMOS)ドレインを各々有する複数のNMOSトランジスタとを含む相補型金属酸化物半導体(CMOS)デバイスをレイアウトする方法であって、

第1の複数のPMOSドレインを、相互接続レベルにある第1の相互接続部と相互接続することと、

第2の複数のPMOSドレインを、前記相互接続レベルにある第2の相互接続部と相互接続すること、前記第2の複数のPMOSドレインは、前記相互接続レベルで前記第1の複数のPMOSドレインから分離される、と、

第1の複数のNMOSドレインを、前記相互接続レベルにある第3の相互接続部と相互接続することと、

第2の複数のNMOSドレインを、前記相互接続レベルにある第4の相互接続部と相互接続すること、前記第2の複数のNMOSドレインは、前記相互接続レベルで前記第1の複数のNMOSドレインから分離され、前記第1の相互接続部、前記第2の相互接続部、

10

20

30

40

50

前記第 3 の相互接続部、および前記第 4 の相互接続部は、少なくとも 1 つの他の相互接続レベルを通じて互いに結合される、と

を備える、方法。

【請求項 15】

p 型金属酸化物半導体 (PMOS) ドレインを各々有する複数の PMOS トランジスタと、n 型金属酸化物半導体 (NMOS) ドレインを各々有する複数の NMOS トランジスタとを含む相補型金属酸化物半導体 (CMOS) デバイスの動作の方法であって、

第 1 の電流を、相互接続レベルにある第 1 の相互接続部と相互接続されている第 1 の複数の PMOS ドレインから流すことと、

第 2 の電流を、前記相互接続レベルにある第 2 の相互接続部と相互接続されている第 2 の複数の PMOS ドレインから流すこと、前記第 2 の複数の PMOS ドレインは、前記相互接続レベルで前記第 1 の複数の PMOS ドレインから分離される、と、

第 3 の電流を、前記相互接続レベルにある第 3 の相互接続部と相互接続されている第 1 の複数の NMOS ドレインへ流すことと、

第 4 の電流を、前記相互接続レベルにある第 4 の相互接続部と相互接続されている第 2 の複数の NMOS ドレインへ流すこと、前記第 2 の複数の NMOS ドレインは、前記相互接続レベルで前記第 1 の複数の NMOS ドレインから分離され、前記第 1 の相互接続部、前記第 2 の相互接続部、前記第 3 の相互接続部、および前記第 4 の相互接続部は、少なくとも 1 つの他の相互接続レベルを通じて互いに結合され、前記第 1 の電流および前記第 2 の電流は、前記 CMOS デバイスが低入力を受け取ると前記少なくとも 1 つの他の相互接続レベルを通じて前記 CMOS デバイスの出力部へ流れ、前記第 3 の電流および前記第 4 の電流は、前記 CMOS デバイ스가高入力を受け取ると、前記 CMOS デバイスの前記出力部から前記少なくとも 1 つの他の相互接続レベルを通じて流れる、と

を備える、方法。

【発明の詳細な説明】

【関連出願の相互参照】

【0001】

[0001] 本出願は、その全体が参照により本明細書に明確に組み込まれる、2013 年 8 月 23 日に提出された「LAYOUT CONSTRUCTION FOR ADDRESSING ELECTROMIGRATION」と題する米国非仮出願第 13 / 975,074 号の優先権を主張する。

【技術分野】

【0002】

[0002] 本開示は、一般に、レイアウト構造に関し、より詳細には、相補型金属酸化物半導体 (CMOS) デバイスにおけるエレクトロマイグレーション (EM) に対処するためのレイアウト構造に関する。

【背景技術】

【0003】

[0003] EM は、伝導する電子と拡散する金属原子との間の運動量移動に起因する、導体中のイオンの緩やかな移動によって引き起こされる物質の移送である。EM は、偶発的な接続の欠損または集積回路 (IC) の故障を引き起こすことがあり、したがって、IC の信頼性を低減させる。したがって、EM に対処するための CMOS デバイスをレイアウトする方法が必要である。さらに、EM に対処するためのレイアウト構造を備えた CMOS デバイスが必要である。

【発明の概要】

【0004】

[0004] 本開示の一態様では、p 型金属酸化物半導体 (PMOS) ドレインを各々有する複数の PMOS トランジスタと、n 型金属酸化物半導体 (NMOS) ドレインを各々有する複数の NMOS トランジスタとを含む CMOS デバイスが提供される。CMOS デバイスは、相互接続レベル上の、PMOS ドレインの第 1 のサブセットを互いに接続する第 1 の相互接続部を含む。CMOS デバイスは、相互接続レベル上の、PMOS ドレインの第

2のサブセットを互いに接続する第2の相互接続部をさらに含む。PMOSドレインの第2のサブセットは、PMOSドレインの第1のサブセットと異なる。第1の相互接続部および第2の相互接続部は、相互接続レベル上で分離される。CMOSデバイスは、相互接続レベル上の、NMOSドレインの第1のサブセットを互いに接続する第3の相互接続部をさらに含む。CMOSデバイスは、相互接続レベル上の、NMOSドレインの第2のサブセットを互いに接続する第4の相互接続部をさらに含む。NMOSドレインの第2のサブセットは、NMOSドレインの第1のサブセットと異なる。第3の相互接続部および第4の相互接続部は、相互接続レベル上で分離される。第1の相互接続部、第2の相互接続部、第3の相互接続部、および第4の相互接続部は、少なくとも1つの他の相互接続レベルを通じて互いに結合される。

10

**【0005】**

[0005]本開示の一態様では、PMOSドレインを各々有する複数のPMOSトランジスタと、NMOSドレインを各々有する複数のNMOSトランジスタとを含むCMOSデバイスをレイアウトする方法が提供される。PMOSドレインの第1のサブセットは、相互接続レベル上の第1の相互接続部と相互接続される。PMOSドレインの第2のサブセットは、相互接続レベル上の第2の相互接続部と相互接続される。PMOSドレインの第2のサブセットは、相互接続レベル上でPMOSドレインの第1のサブセットから分離される。NMOSドレインの第1のサブセットは、相互接続レベル上の第3の相互接続部と相互接続される。NMOSドレインの第2のサブセットは、相互接続レベル上の第4の相互接続部と相互接続される。NMOSドレインの第2のサブセットは、相互接続レベル上でNMOSドレインの第1のサブセットから分離される。第1の相互接続部、第2の相互接続部、第3の相互接続部、および第4の相互接続部は、少なくとも1つの他の相互接続レベルを通じて互いに結合される。

20

**【0006】**

[0006]本開示の一態様では、PMOSドレインを各々有する複数のPMOSトランジスタと、NMOSドレインを各々有する複数のNMOSトランジスタとを含むCMOSデバイスの動作の方法が提供される。第1の電流は、相互接続レベル上の第1の相互接続部と相互接続されているPMOSドレインの第1のサブセットから流れる。第2の電流は、相互接続レベル上の第2の相互接続部と相互接続されているPMOSドレインの第2のサブセットから流れる。PMOSドレインの第2のサブセットは、相互接続レベル上でPMOSドレインの第1のサブセットから分離されている。第3の電流は、相互接続レベル上の第3の相互接続部と相互接続されているNMOSドレインの第1のサブセットへ流れる。第4の電流は、相互接続レベル上の第4の相互接続部と相互接続されているNMOSドレインの第2のサブセットへ流れる。NMOSドレインの第2のサブセットは、相互接続レベル上でNMOSドレインの第1のサブセットから分離されている。第1の相互接続部、第2の相互接続部、第3の相互接続部、および第4の相互接続部は、少なくとも1つの他の相互接続レベルを通じて互いに結合されている。CMOSデバイスが低入力を受け取ると、第1の電流および第2の電流は、少なくとも1つの他の相互接続レベルを通じてCMOSデバイスの出力部へ流れる。CMOSデバイスが高入力を受け取ると、第3の電流および第4の電流は、CMOSデバイスの出力部から少なくとも1つの他の相互接続レベルを通じて流れる。

30

40

**【0007】**

[0007]本開示の一態様では、PMOSドレインを各々有する複数のPMOSトランジスタと、NMOSドレインを各々有する複数のNMOSトランジスタとを含むCMOSデバイスが提供される。CMOSデバイスは、PMOSドレインを互いに接続するために、相互接続レベル上の、長さ方向で延在する第1の相互接続部を含む。CMOSデバイスは、NMOSドレインを互いに接続するために、相互接続レベル上の、長さ方向で延在する第2の相互接続部をさらに含む。CMOSデバイスは、少なくとも1つのさらなる相互接続レベル上の、第1の相互接続部と第2の相互接続部とを互いに結合する相互接続部のセットをさらに含む。CMOSデバイスは、第1の相互接続部と第2の相互接続部とを互いに

50

接続するために、相互接続レベル上の、長さ方向と垂直に延在し相互接続部のセットからオフセットする第3の相互接続部をさらに含む。

【0008】

[0008]本開示の一態様では、PMOSドレインを各々有する複数のPMOSトランジスタと、NMOSドレインを各々有する複数のNMOSトランジスタを含むCMOSデバイスをレイアウトする方法が提供される。PMOSドレインは、相互接続レベル上の、長さ方向で延在する第1の相互接続部と相互接続される。NMOSドレインは、相互接続レベル上の、長さ方向で延在する第2の相互接続部と相互接続される。第1の相互接続部および第2の相互接続部は、少なくとも1つのさらなる相互接続レベル上の相互接続部のセットと相互接続される。第1の相互接続部および第2の相互接続部は、相互接続レベル上の、長さ方向と垂直に延在し相互接続部のセットからオフセットする第3の相互接続部と相互接続される。

10

【0009】

[0009]本開示の一態様では、PMOSドレインを各々有する複数のPMOSトランジスタと、NMOSドレインを各々有する複数のNMOSトランジスタを含むCMOSデバイスの動作の方法が提供される。第1の電流は、長さ方向で延在し、PMOSドレインを相互接続レベル上で相互接続する第1の相互接続部を通じて流れる。第2の電流は、長さ方向で延在し、NMOSドレインを相互接続レベル上で相互接続する第2の相互接続部を通じて流れる。第3の電流は、第1の相互接続部と第2の相互接続部とを少なくとも1つのさらなる相互接続レベル上で相互接続する相互接続部のセットを通じて流れる。第4の電流は、長さ方向と垂直に延在し相互接続部のセットからオフセットした、第1の相互接続部と第2の相互接続部とを相互接続レベル上で相互接続する第3の相互接続部を通じて流れる。第5の電流は、第1の相互接続部と第2の相互接続部とを相互接続レベル上で相互接続し、長さ方向と垂直に延在し、相互接続部のセットからオフセットした第4の相互接続部を通じて流れる。第3の相互接続部および第4の相互接続部は、相互接続部のセットの両側にある。CMOSデバイスが低入力を受け取ると、第1の電流は、第1の相互接続部を通じて相互接続部のセットの第1のサブセットへ流れ、第2の電流は、第3の相互接続部および第4の相互接続部から第2の相互接続部を通じて相互接続部のセットの第2のサブセットへ流れ、第3の電流は、第1の相互接続部および第2の相互接続部から相互接続部のセットを通じて流れ、第4の電流は、第1の相互接続部から第3の相互接続部を通じて第2の相互接続部へ流れ、第5の電流は、第1の相互接続部から第4の相互接続部を通じて第2の相互接続部へ流れる。CMOSデバイスが高入力を受け取ると、第1の電流は、相互接続部のセットの第1のサブセットから第1の相互接続部を通じて第3の相互接続部および第4の相互接続部へ流れ、第2の電流は、相互接続部のセットの第2のサブセットから第2の相互接続部を通じて流れ、第3の電流は、相互接続部のセットから第1の相互接続部および第2の相互接続部へ流れ、第4の電流は、第1の相互接続部から第3の相互接続部を通じて第2の相互接続部へ流れ、第5の電流は、第1の相互接続部から第4の相互接続部を通じて第2の相互接続部へ流れる。

20

30

【0010】

[0010]本開示の一態様では、PMOSドレインを各々有する複数のPMOSトランジスタと、NMOSドレインを各々有する複数のNMOSトランジスタを含むCMOSデバイスが提供される。CMOSデバイスは、相互接続レベル上の、PMOSドレインの第1のサブセットを互いに接続する第1の相互接続部を含む。CMOSデバイスは、相互接続レベル上の、PMOSドレインの第2のサブセットを互いに接続する第2の相互接続部をさらに含む。PMOSドレインの第2のサブセットは、PMOSドレインの第1のサブセットと異なる。第1の相互接続部および第2の相互接続部は、相互接続レベル上で分離される。CMOSデバイスは、相互接続レベル上の、NMOSドレインの第1のサブセットを互いに接続する第3の相互接続部をさらに含む。CMOSデバイスは、相互接続レベル上の、NMOSドレインの第2のサブセットを互いに接続する第4の相互接続部をさらに含む。NMOSドレインの第2のサブセットは、NMOSドレインの第1のサブセットと

40

50

異なる。第 3 の相互接続部および第 4 の相互接続部は、相互接続レベル上で分離される。第 1 の相互接続部、第 2 の相互接続部、第 3 の相互接続部、および第 4 の相互接続部は、少なくとも 1 つの他の相互接続レベルを通じて互いに結合される。CMOS デバイスは、第 2 の相互接続レベル上の第 5 の相互接続部をさらに含む。第 5 の相互接続部は、第 1 の相互接続部と第 2 の相互接続部とを互いに結合する。CMOS デバイスは、第 2 の相互接続レベル上の第 6 の相互接続部をさらに含む。第 6 の相互接続部は、第 3 の相互接続部と第 4 の相互接続部とを互いに結合する。CMOS デバイスは、第 3 の相互接続レベル上の第 7 の相互接続部をさらに含む。第 7 の相互接続部は、第 5 の相互接続部と第 6 の相互接続部とを互いに結合する。CMOS デバイスは、相互接続レベル上の、第 1 の相互接続部と第 3 の相互接続部とを互いに接続する第 8 の相互接続部をさらに含む。CMOS デバイスは、相互接続レベル上の、第 2 の相互接続部と第 4 の相互接続部とを互いに接続する第 9 の相互接続部をさらに含む。

10

#### 【0011】

[0011]本開示の一態様では、PMOS ドレインを各々有する複数の PMOS トランジスタと、NMOS ドレインを各々有する複数の NMOS トランジスタを含む CMOS デバイスをレイアウトする方法が提供される。PMOS ドレインの第 1 のサブセットは、相互接続レベル上の第 1 の相互接続部と相互接続される。PMOS ドレインの第 2 のサブセットは、相互接続レベル上の第 2 の相互接続部と相互接続される。PMOS ドレインの第 2 のサブセットは、相互接続レベル上で PMOS ドレインの第 1 のサブセットから分離される。NMOS ドレインの第 1 のサブセットは、相互接続レベル上の第 3 の相互接続部と相互接続される。NMOS ドレインの第 2 のサブセットは、相互接続レベル上の第 4 の相互接続部と相互接続される。NMOS ドレインの第 2 のサブセットは、相互接続レベル上で NMOS ドレインの第 1 のサブセットから分離される。第 1 の相互接続部および第 2 の相互接続部は、第 2 の相互接続レベル上の第 5 の相互接続部と相互接続される。第 3 の相互接続部および第 4 の相互接続部は、第 2 の相互接続レベル上の第 6 の相互接続部と相互接続される。第 5 の相互接続部および第 6 の相互接続部は、第 3 の相互接続レベル上の第 7 の相互接続部と相互接続される。第 1 の相互接続部および第 3 の相互接続部は、相互接続レベル上の第 8 の相互接続部と相互接続される。第 2 の相互接続部および第 4 の相互接続部は、相互接続レベル上の第 9 の相互接続部と相互接続される。

20

#### 【図面の簡単な説明】

30

#### 【0012】

【図 1】CMOS インバータを示す図。

【図 2】CMOS インバータの例示的なレイアウトを示すための第 1 の図。

【図 3】CMOS インバータの例示的なレイアウトを示すための第 2 の図。

【図 4】CMOS デバイスの例示的なレイアウトの第 1 のセットを示すための第 1 の図。

【図 5】CMOS デバイスの例示的なレイアウトの第 1 のセットを示すための第 2 の図。

【図 6】CMOS デバイスの例示的なレイアウトの第 1 のセットを示すための第 3 の図。

【図 7】CMOS デバイスの相互接続部内の電流フローを示すための図である図 7 A。図 7 A の図の相互接続部内の電流フローのグラフである図 7 B。

【図 8】CMOS デバイスの例示的なレイアウトの第 2 のセットを示すための第 1 の図。

40

【図 9】例示的な CMOS デバイスの相互接続部内の電流フローを示すための第 1 の図である図 9 A。例示的な CMOS デバイスの相互接続部内の電流フローを示すための第 2 の図である図 9 B。図 9 A および図 9 B の図の相互接続部内の電流フローのグラフである図 9 C。

【図 10】CMOS デバイスの例示的なレイアウトの第 2 のセットを示すための第 2 の図。

【図 11】CMOS デバイスの例示的なレイアウトの第 3 のセットを示すための第 1 の図。

【図 12】CMOS デバイスの例示的なレイアウトの第 3 のセットを示すための第 2 の図。

50

【図 1 3】C M O S デバイスの例示的なレイアウトの第 3 のセットを示すための第 3 の図。

【図 1 4】C M O S デバイスをレイアウトする第 1 の方法のフローチャート。

【図 1 5】C M O S デバイスを動作させる第 1 の方法のフローチャート。

【図 1 6】C M O S デバイスをレイアウトする第 2 の方法のフローチャート。

【図 1 7】C M O S デバイスを動作させる第 2 の方法のフローチャート。

【発明を実施するための形態】

【 0 0 1 3 】

[0032]添付の図面に関して以下に記載される発明を実施するための形態は、様々な構成を説明するものであり、本明細書で説明される概念が実施され得る構成のみを表すものではない。発明を実施するための形態は、様々な概念の完全な理解をもたらす目的で、具体的な詳細を含んでいる。しかしながら、これらの概念がこれらの具体的な詳細なしに実施され得ることが、当業者には明らかであろう。場合によっては、よく知られた構造および構成要素は、そのような概念を不明瞭にするのを避けるためにブロック図の形で示される。装置および方法が、以下の発明を実施するための形態において説明され、様々なブロック、モジュール、構成要素、回路、ステップ、プロセス、アルゴリズム、要素などによって添付の図面に示され得る。

【 0 0 1 4 】

[0033]図 1 は、C M O S インバータを示す図 1 0 0 である。C M O S インバータは、P M O S トランジスタ 1 0 2 と N M O S トランジスタ 1 0 4 とを含む。P M O S トランジスタ 1 0 2 のソースは、 $V_{DD}$  に接続されている。P M O S トランジスタのゲートは、 $V_{in}$  と、N M O S トランジスタ 1 0 4 のゲートとに接続されている。P M O S トランジスタのドレインは、 $V_{out}$  と、N M O S トランジスタ 1 0 4 のドレインとに接続されている。N M O S トランジスタ 1 0 4 のソースは、 $V_{SS}$  に接続されている。N M O S トランジスタ 1 0 4 のゲートは、 $V_{in}$  と、P M O S トランジスタ 1 0 2 のゲートとに接続されている。N M O S トランジスタ 1 0 4 のドレインは、 $V_{out}$  と、P M O S トランジスタ 1 0 2 のドレインとに接続されている。P M O S トランジスタ 1 0 2 は、複数の P M O S トランジスタを並列に含んでよく、N M O S トランジスタ 1 0 4 は、複数の N M O S トランジスタを並列に含んでよい。P M O S および N M O S トランジスタは、上記で説明するように、相互接続部のセットを通じて互いに接続され得る。入力  $V_{in}$  がクロックであるとき、C M O S インバータはクロックセルと呼ばれることがある。クロックセルは、 $V_{in}$  におけるクロック入力の周波数である動作クロック周波数  $f$  で動作し得る。

【 0 0 1 5 】

[0034]  $V_{in}$  のハイからローへの遷移、すなわち P M O S トランジスタ 1 0 2 がターンオンされ N M O S トランジスタ 1 0 4 がターンオフされる時の電流  $i_p$  の平均、および  $V_{in}$  のローからハイへの遷移、すなわち P M O S トランジスタ 1 0 2 がターンオフされ N M O S トランジスタ 1 0 4 がターンオンされる時の電流  $i_n$  の平均は、 $I_{ave}$  と呼ばれることがある。平均電流  $I_{ave} = C (V_{DD} - V_{SS}) f_{max}$  であり、ここで、 $C$  は  $V_{out}$  における負荷キャパシタンス  $C_{106}$  であり、 $f_{max}$  はクロックセルの最大の動作クロック周波数である。E M の適合性を保つために、相互接続部を通る平均電流  $I_{avg}$  は  $I_{max}$  よりも小さくなるべきである。値  $I_{max}$  は、金属の相互接続部、ビア、またはコンタクトが E M の適合性を保つために許される最大の平均直流 (D C) である。値  $I_{max}$  は、相互接続部の幅および長さ、ならびにトランジスタ技術 (たとえば、28 ナノメートルのプロセス技術、20 ナノメートルのシステムオンチップ (S o C) プロセス技術、または 16 ナノメートルのフィン電界効果トランジスタ (F i n F E T) プロセス技術) に依存する。値  $I_{max}$  は、トランジスタ技術の変化および短い相互接続部の幅の結果として、スケールリング (すなわち、より小さいプロセス技術) とともに減少する。一方、高い最大動作クロック周波数  $f_{max}$  および F i n F E T における大きい入力キャパシタンスに起因して、値  $I_{ave}$  は 20 S o C プロセス技術から 16 ナノメートルの F i n F E T プロセス技術までスケールリングとともに増大する。クロックセルは、同じプロセス技術の他のクロックセルと直列に利用さ

10

20

30

40

50



れる。したがって、F i n F E Tにおける大きい入力キャパシタンスは、大きい負荷キャパシタンスCをもたらす。

【 0 0 1 6 】

[0035]相互接続部の幅を増大させることによって、または相互接続部の幅を事実上増大させる平行な相互接続部を含むことによってE Mは低減され得るが、そのような方法はクロックセルの入力キャパシタンスを増大させる。上記で説明したように、E Mは、伝送する電子と拡散する金属原子との間の運動量移動に起因する、導体中のイオンの緩やかな移動によって引き起こされる物質の移送である。運動量の交換に由来する力は、電子風と呼ばれるものによって生じる。E Mは、原子の逆流プロセスをもたらす機械的ストレスビルドアップ（バックストレスとも呼ばれる）によって相殺される。バックストレスは、相互  
10  
接続部の長さを短くすることによって増大し得る。例示的な方法および装置の第1のセットでは、E Mは、クロックセル内の相互接続部の長さを縮小することを通じて値  $I_{max}$  を増大させることによって低減される。一例では、値  $I_{max}$  は、 $2.4 \sim 3X$  だけ増大することができ、これは、 $2.4 \sim 3X$  高い  $f_{max}$ 、または  $2.4 \sim 3X$  大きい負荷をE M違反なく駆動する能力を可能にする。例示的な方法および装置の第2のセットでは、E Mは、動作中に特定の相互接続部内で反対方向の電流フローをもたらす相互接続部のレイアウトを通じて低減される。入力キャパシタンスおよび  $f_{max}$  が20SoCプロセス技術用よりも大きいF i n F E Tプロセス技術にとって、値  $I_{max}$  の増大によりクロックセルがE Mに適合できるようになり得る。

【 0 0 1 7 】

[0036]図2は、CMOSインバータの例示的なレイアウトを示すための第1の図200である。図2に示すように、CMOSインバータは、複数のPMOSおよびNMOSトランジスタを含む。PMOSトランジスタのソース202は、第1の金属層（第1の相互接続レベルとも呼ばれる）上の相互接続部222を通じて互いに接続されている。PMOSトランジスタの第1のサブセットのドレイン204は、第1の金属層上の相互接続部224を通じて互いに接続されている。PMOSトランジスタの第2のサブセットのドレイン206は、第1の金属層上の相互接続部226を通じて互いに接続されている。相互接続部224および相互接続部226は、第1の金属層上で分離されている。NMOSトランジスタのソース212は、第1の金属層上の相互接続部232を通じて互いに接続されている。NMOSトランジスタの第1のサブセットのドレイン214は、第1の金属層上の  
30  
相互接続部234を通じて互いに接続されている。NMOSトランジスタの第2のサブセットのドレイン216は、第1の金属層上の相互接続部236を通じて互いに接続されている。相互接続部234および相互接続部236は、第1の金属層上で分離されている。

【 0 0 1 8 】

[0037]相互接続部224、226は、ビア242、244を通じて第2の金属層（第2の相互接続レベルとも呼ばれる）上の相互接続部240を通じて接続されている。相互接続部234、236は、ビア252、254を通じて第2の金属層上の相互接続部250を通じて接続されている。相互接続部240、250は、ビア262、264を通じて第3の金属層（第3の相互接続レベルとも呼ばれる）上の相互接続部260を通じて接続されている。PMOSおよびNMOSトランジスタのゲート270は、すべて互いに接続されて  
40  
いる。CMOSインバータの入力部は、ゲート270に接続されている。CMOSインバータの出力部は、相互接続部260に接続されている。

【 0 0 1 9 】

[0038]図3は、CMOSインバータの例示的なレイアウトを示すための第2の図300である。図3に示すように、第1の金属層上の相互接続部224および第1の金属層上の相互接続部226は、第1の金属層上で分離されている。相互接続部224、226の各々の長さがxマイクロメートルよりも短くなるように、相互接続部224、226は分離され得る。さらに、図3に示すように、第1の金属層上の相互接続部234および第1の金属層上の相互接続部236は、第1の金属層上で分離されている。相互接続部234、236の各々の長さがxマイクロメートルよりも短くなるように、相互接続部234、2  
50

36は分離され得る。相互接続部224、226は、相互接続部240を通じて接続されている。相互接続部240は、 $x$ マイクロメートルよりも短い長さを有し得る。相互接続部234、236は、相互接続部250を通じて接続されている。相互接続部250は、 $x$ マイクロメートルよりも短い長さを有し得る。相互接続部240、250は、CMOSインバータの出力部である相互接続部260を通じて接続されている。一構成では、 $x = 2$ であり、相互接続部224、226、234、236、240、250の各々は、2マイクロメートルよりも短い。相互接続部224、226を第1の金属層上で分離し相互接続部224、226を第2の金属層上の相互接続部240を通じて接続することによって、また相互接続部234、236を第1の金属層上で分離し相互接続部234、236を第2の金属層上の相互接続部250を通じて接続することによって、この場合、相互接続部240、250は、第3の金属層上の相互接続部260を通じて接続されており、相互接続部224、226、234、236の各々の長さは縮小され得、それによって、相互接続部224、226、234、236の各々の上でのバックストレスが増大する。相互接続部224、226、234、236の各々の上でのバックストレスを増大させることにより、相互接続部224、226、234、236の各々におけるEMが低減され、値 $I_{max}$ が増大する。

【0020】

[0039]図4は、CMOSデバイスの例示的なレイアウトの第1のセットを示すための第1の図400である。CMOSデバイスは、複数のPMOSおよびNMOSトランジスタを含んでよく、インバータであってよい。第1の金属層M1(すなわち、第1の相互接続レベル)上の第1の相互接続部402は、PMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の第2の相互接続部404は、PMOSドレインの第2のサブセットを互いに接続し得る。PMOSドレインの第2のサブセットは、PMOSドレインの第1のサブセットと異なる。第1の相互接続部402および第2の相互接続部404は、第1の金属層M1上で分離されている。したがって、第1の相互接続部402および第2の相互接続部404は、第1の金属層M1上で互いに直接接続されていない。第1の金属層M1上の第3の相互接続部406は、NMOSドレインの第1のサブセットを互いに接続する。第1の金属層M1上の第4の相互接続部408は、NMOSドレインの第2のサブセットを互いに接続する。NMOSドレインの第2のサブセットは、NMOSドレインの第1のサブセットと異なる。第3の相互接続部406および第4の相互接続部408は、第1の金属層M1上で分離されている。したがって、第3の相互接続部406および第4の相互接続部408は、第1の金属層M1上で互いに直接接続されていない。ただし、図4に示すように、第1の相互接続部402、第2の相互接続部404、第3の相互接続部406、および第4の相互接続部408は、少なくとも1つの他の相互接続レベルを通じて互いに結合されている。第1の相互接続部402、第2の相互接続部404、第3の相互接続部406、および第4の相互接続部408は、各々、長さが $x$ マイクロメートルよりも短くてよい。一構成では、 $x = 2$ であり、第1の相互接続部402、第2の相互接続部404、第3の相互接続部406、および第4の相互接続部408は、各々、長さが2マイクロメートルよりも短い。

【0021】

[0040]図4に示すように、第2の金属層M2(すなわち、第2の相互接続レベル)上の第5の相互接続部410は、ビア412、414を通じて第1の相互接続部402と第2の相互接続部404とを互いに結合する。第2の金属層M2上の第6の相互接続部420は、ビア422、424を通じて第3の相互接続部406と第4の相互接続部408とを互いに結合する。第5の相互接続部410および第6の相互接続部420は、各々、長さが $x$ マイクロメートルよりも短くてよい。一構成では、 $x = 2$ であり、第5の相互接続部410および第6の相互接続部420は、各々、長さが2マイクロメートルよりも短い。第3の金属層M3上の第7の相互接続部430は、ビア432、434を通じて第5の相互接続部410と第6の相互接続部420とを互いに結合する。デバイスの出力部は、第7の相互接続部430に接続されている。

## 【 0 0 2 2 】

[0041]図5は、CMOSデバイスの例示的なレイアウトの第1のセットを示すための第2の図500である。CMOSデバイスは、複数のPMOSおよびNMOSトランジスタを含んでよく、インバータであってよい。相互接続部の長さをしきい値（たとえば、2マイクロメートル）を超えて増大させることなくCMOSインバータの中のPMOSおよびNMOSトランジスタの数を増大させるために、CMOSインバータは、図4の複数のデバイスを並列に利用することができる。第1の金属層M1上の第1の相互接続部502は、PMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の第2の相互接続部504は、PMOSドレインの第2のサブセットを互いに接続し得る。PMOSドレインの第2のサブセットは、PMOSドレインの第1のサブセットと異なる。第1の相互接続部502および第2の相互接続部504は、第1の金属層M1上で分離されている。したがって、第1の相互接続部502および第2の相互接続部504は、第1の金属層M1上で互いに直接接続されていない。第1の金属層M1上の第3の相互接続部506は、NMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の第4の相互接続部508は、NMOSドレインの第2のサブセットを互いに接続し得る。NMOSドレインの第2のサブセットは、NMOSドレインの第1のサブセットと異なる。第3の相互接続部506および第4の相互接続部508は、第1の金属層M1上で分離されている。したがって、第3の相互接続部506および第4の相互接続部508は、第1の金属層M1上で互いに直接接続されていない。第2の金属層M2上の第5の相互接続部510は、ビア512、514を通じて第1の相互接続部502と第2の相互接続部504とを互いに結合する。第2の金属層M2上の第6の相互接続部520は、ビア522、524を通じて第3の相互接続部506と第4の相互接続部508とを互いに結合する。

## 【 0 0 2 3 】

[0042]第1の金属層M1上の第7の相互接続部532は、PMOSドレインの第3のサブセットを互いに接続する。第1の金属層M1上の第8の相互接続部534は、PMOSドレインの第4のサブセットを互いに接続する。PMOSドレインの第4のサブセットは、PMOSドレインの第3のサブセットと異なる。第7の相互接続部532および第8の相互接続部534は、第1の金属層M1上で分離されている。したがって、第7の相互接続部532および第8の相互接続部534は、第1の金属層M1上で互いに直接接続されていない。第1の金属層M1上の第9の相互接続部536は、NMOSドレインの第3のサブセットを互いに接続する。第1の金属層M1上の第10の相互接続部538は、NMOSドレインの第4のサブセットを互いに接続する。NMOSドレインの第4のサブセットは、NMOSドレインの第3のサブセットと異なる。第9の相互接続部536および第10の相互接続部538は、第1の金属層M1上で分離されている。したがって、第9の相互接続部536および第10の相互接続部538は、第1の金属層M1上で互いに直接接続されていない。第2の金属層M2上の第11の相互接続部540は、ビア542、544を通じて第7の相互接続部532と第8の相互接続部534とを互いに結合する。第2の金属層M2上の第12の相互接続部550は、ビア552、554を通じて第9の相互接続部536と第10の相互接続部538とを互いに結合する。第3の金属層M3上の第13の相互接続部560は、ビア562、564、566、568を通じて、第5の相互接続部510と、第6の相互接続部520と、第11の相互接続部540と、第12の相互接続部550とを互いに結合する。

## 【 0 0 2 4 】

[0043]図5に示すように、第1の金属層M1上の相互接続部502、504、532、534の第1のセットは、PMOSドレインの異なるサブセットを互いに接続し得る。相互接続部502、504、532、534の第1のセットの中の各相互接続部は、第1の金属層M1上で相互接続部502、504、532、534の第1のセットの中の他の相互接続部から分離されている。第1の金属層M1上の相互接続部506、508、536、538の第2のセットは、NMOSドレインの異なるサブセットを互いに接続する。相

互接続部 506、508、536、538 の第 2 のセットの中の各相互接続部は、第 1 の金属層 M1 上で相互接続部 506、508、536、538 の第 2 のセットの中の他の相互接続部から分離されている。相互接続部 510、540 の第 3 のセットの第 1 のサブセット 510 は、相互接続部 502、504、532、534 の第 1 のセットの第 1 のサブセット 502、504 の中の相互接続部の隣接する異なるペアを互いに結合する。相互接続部 510、540 の第 3 のセットの第 2 のサブセット 540 は、相互接続部 502、504、532、534 の第 1 のセットの第 2 のサブセット 532、534 の中の相互接続部の隣接する異なるペアを互いに結合する。相互接続部 520、550 の第 4 のセットの第 1 のサブセット 520 は、相互接続部 506、508、536、538 の第 2 のセットの第 1 のサブセット 506、508 の中の相互接続部の隣接する異なるペアを互いに結合する。相互接続部 520、550 の第 4 のセットの第 2 のサブセット 550 は、相互接続部 506、508、536、538 の第 2 のセットの第 2 のサブセット 536、538 の中の相互接続部の隣接する異なるペアを互いに結合する。第 3 の金属層 M3 上の第 5 の相互接続部 560 は、相互接続部 510、540 の第 3 のセットの中の相互接続部の各々を、相互接続部 520、550 の第 4 のセットの中の相互接続部の各々に結合する。

#### 【0025】

[0044] 相互接続部 502、504、532、534 の第 1 のセットおよび相互接続部 506、508、536、538 の第 2 のセットの中の各相互接続部は、長さが  $\times$  マイクロメートルよりも短くてよい。さらに、相互接続部 510、540 の第 3 のセットおよび相互接続部 520、550 の第 4 のセットの中の各相互接続部は、長さが  $\times$  マイクロメートルよりも短くてよい。一構成では、 $\times = 2$  である。

#### 【0026】

[0045] 図 6 は、CMOS デバイスの例示的なレイアウトの第 1 のセットを示すための第 3 の図 600 である。CMOS デバイスは、複数の PMOS および NMOS トランジスタを含んでよく、インバータであってよい。相互接続部の長さをしきい値（たとえば、2 マイクロメートル）を超えて増大させることなく CMOS インバータの中の PMOS および NMOS トランジスタの数を増大させるために、CMOS インバータは、図 4 の複数のデバイスを直列に利用することができる。第 1 の金属層 M1 上の第 1 の相互接続部 602 は、PMOS ドレインの第 1 のサブセットを互いに接続し得る。第 1 の金属層 M1 上の第 2 の相互接続部 604 は、PMOS ドレインの第 2 のサブセットを互いに接続し得る。PMOS ドレインの第 2 のサブセットは、PMOS ドレインの第 1 のサブセットと異なる。第 1 の相互接続部 602 および第 2 の相互接続部 604 は、第 1 の金属層 M1 上で分離されている。したがって、第 1 の相互接続部 602 および第 2 の相互接続部 604 は、第 1 の金属層 M1 上で互いに直接接続されていない。第 1 の金属層 M1 上の第 3 の相互接続部 612 は、NMOS ドレインの第 1 のサブセットを互いに接続し得る。第 1 の金属層 M1 上の第 4 の相互接続部 614 は、NMOS ドレインの第 2 のサブセットを互いに接続し得る。NMOS ドレインの第 2 のサブセットは、NMOS ドレインの第 1 のサブセットと異なる。第 3 の相互接続部 612 および第 4 の相互接続部 614 は、第 1 の金属層 M1 上で分離されている。したがって、第 3 の相互接続部 612 および第 4 の相互接続部 614 は、第 1 の金属層 M1 上で互いに直接接続されていない。

#### 【0027】

[0046] 第 1 の金属層 M1 上の第 5 の相互接続部 606 は、PMOS ドレインの第 3 のサブセットを互いに接続し得る。PMOS ドレインの第 3 のサブセットは、PMOS ドレインの第 1 および第 2 のサブセットと異なる。第 3 の相互接続部 606 および第 2 の相互接続部 604 は、第 1 の金属層 M1 上で分離されている。したがって、第 3 の相互接続部 606 および第 2 の相互接続部 604 は、第 1 の金属層 M1 上で互いに直接接続されていない。第 1 の金属層 M1 上の第 6 の相互接続部 616 は、NMOS ドレインの第 3 のサブセットを互いに接続し得る。NMOS ドレインの第 3 のサブセットは、NMOS ドレインの第 1 および第 2 のサブセットと異なる。第 6 の相互接続部 616 および第 4 の相互接続部 614 は、第 1 の金属層 M1 上で分離されている。したがって、第 6 の相互接続部 616

および第4の相互接続部614は、第1の金属層M1上で互いに直接接続されていない。

【0028】

[0047]図6に示すように、第1の金属層M1上の相互接続部602、604、606の第1のセットは、PMOSドレインの異なるサブセットを互いに接続し得る。相互接続部602、604、606の第1のセットの中の各相互接続部は、第1の金属層M1上で相互接続部602、604、606の第1のセットの中の他の相互接続部から分離されている。第1の金属層M1上の相互接続部612、614、616の第2のセットは、NMOSドレインの異なるサブセットを互いに接続する。相互接続部612、614、616の第2のセットの中の各相互接続部は、第1の金属層M1上で相互接続部612、614、616の第2のセットの中の他の相互接続部から分離されている。第2の金属層M2上の相互接続部620、622の第3のセットは、ビア630、632、634、および636を通じて、相互接続部602、604、606の第1のセットの中の相互接続部の隣接する異なるペアを互いに結合する。第2の金属層M2上の相互接続部624、626の第4のセットは、ビア640、642、644、および646を通じて、相互接続部612、614、616の第2のセットの中の相互接続部の隣接する異なるペアを互いに結合する。第3の金属層M3上の相互接続部660、670の第5のセットは、相互接続部620、622の第3のセットの中からのビア662および672を通じた相互接続部と、相互接続部624、626の第4のセットの中からのビア664および674を通じた相互接続部とを含む、相互接続部の隣接する異なるペアを結合する。相互接続部660、670の第5のセットの中の各相互接続部は、互いに結合されている。

【0029】

[0048]相互接続部の第1のセットおよび相互接続部の第2のセットの中の各相互接続部は、長さが $\times$ マイクロメートルよりも短くてよい。さらに、相互接続部の第3のセットおよび相互接続部の第4のセットの中の各相互接続部は、長さが $\times$ マイクロメートルよりも短くてよい。一構成では、 $\times = 2$ である。

【0030】

[0049]図7Aは、CMOSデバイスの相互接続部内の電流フローを示すための図700である。図7Bは、図7Aの図の相互接続部内の電流フローのグラフ750である。図7Bでは、期間は、NMOSトランジスタがターンオンされた時と、その後でターンオフされた後に再びターンオンされる時との間の時間期間、またはPMOSトランジスタがターンオンされた時と、その後でターンオフされた後に再びターンオンされる時との間の時間期間である。CMOSデバイスがインバータであり、第1の金属層M1上の相互接続部702が複数のPMOSドレインを互いに接続し、第1の金属層M1上の相互接続部704が複数のNMOSドレインを互いに接続していると仮定する。第2の金属層M2上の相互接続部706は、相互接続部702に接続されている。第2の金属層M2上の相互接続部708は、相互接続部704に接続されている。第3の金属層M3上の相互接続部710は、相互接続部706、708に接続されている。CMOSデバイスの出力部712は、相互接続部710の上に位置する。NMOSトランジスタがターンオフされPMOSトランジスタがターンオンされると、電流714は、PMOSトランジスタのソースからPMOSトランジスタのドレインへ、また相互接続部702、706、710を通じて出力部712へ流れる。PMOSトランジスタがターンオフされNMOSトランジスタがターンオンされると、電流716は、出力部712から相互接続部710、708、704を通じてNMOSトランジスタのドレインへ、次いで、NMOSトランジスタのソースへ流れる。相互接続部702、704、706、708を通る電流714、716は、図7Bに示すように単方向である。

【0031】

[0050]図8は、CMOSデバイスの例示的なレイアウトの第2のセットを示すための第1の図800である。第1の金属層M1上の相互接続部702が複数のPMOSドレインを互いに接続し、第1の金属層M1上の相互接続部704が複数のNMOSドレインを互いに接続していると仮定する。第2の金属層M2上の相互接続部706は、相互接続部7

02に接続されている。第2の金属層M2上の相互接続部708は、相互接続部704に接続されている。第3の金属層M3上の相互接続部710は、相互接続部706、708に接続されている。例示的なレイアウトでは、第1の金属層M1上の相互接続部720は、相互接続部710の片側で相互接続部702、704を互いに接続し、第1の金属層M1上の相互接続部730は、相互接続部710の向こう側で相互接続部702、704を互いに接続する。図800は、相互接続部710の下方で相互接続部702、704を互いに接続する相互接続部718を示す。ただし、レイアウトは、相互接続部718を含まないことがある。

#### 【0032】

[0051]図9Aは、例示的なCMOSデバイスの相互接続部内の電流フローを示すための第1の図900である。図9Bは、例示的なCMOSデバイスの相互接続部内の電流フローを示すための第2の図930である。図9Cは、図9Aおよび図9Bの図の相互接続部内の電流フローのグラフ960である。図9Cでは、期間は、NMOSTランジスタがターンオンされた時と、その後でターンオフされた後に再びターンオンされる時との間の時間期間、またはPMOSTランジスタがターンオンされた時と、その後でターンオフされた後に再びターンオンされる時との間の時間期間である。第1の金属層M1上の相互接続部702が複数のPMOSドレインを互いに接続し、第1の金属層M1上の相互接続部704が複数のNMOSドレインを互いに接続していると仮定する。第2の金属層M2上の相互接続部706は、相互接続部702に接続されている。第2の金属層M2上の相互接続部708は、相互接続部704に接続されている。第3の金属層M3上の相互接続部710は、相互接続部706、708に接続されている。CMOSデバイスの出力部712は、相互接続部710の上に位置する。NMOSTランジスタがターンオフされPMOSTランジスタがターンオンされると、電流750、754は、相互接続部702、706、710を通じて出力部712へ流れ、電流752は、相互接続部702、720、704、708、710を通じて出力部712へ流れ、電流756は、相互接続部702、730、704、708、710を通じて出力部712へ流れる。しかしながら、NMOSTランジスタがターンオンされPMOSTランジスタがターンオフされると、電流762、766は、出力部712から通じて、相互接続部710、708、704を通じて流れ、電流760は、出力部712から相互接続部710、706、702、720、704を通じて流れ、電流764は、出力部712から相互接続部710、706、702、730、704を通じて流れる。

#### 【0033】

[0052]図9A、図9Bに示すように、CMOSデバイスの動作中、電流は、相互接続部706、702の中を相互接続部720と710との間で、相互接続部706、702の中を相互接続部730と710との間で、相互接続部708、704の中を相互接続部720と710との間で、相互接続部708、704の中を相互接続部730と710との間で、反対方向に流れる。したがって、図9Cに示すように、相互接続部720、730を含むことによって、電流は、CMOSデバイスの動作中、相互接続部702、704、706、708の中を反対方向に流れる。電流がCMOSデバイスの動作中に相互接続部702、704、706、708の中を反対方向に流れるので、電子風が相互接続部を通じて反対方向に流れるためEM相互接続劣化は効果的に低減される。

#### 【0034】

[0053]再び図9A、図9Bを参照すると、相互接続部720、730は、相互接続部710と平行であり、相互接続部710から距離 $d_1$ だけオフセットしている。距離 $d_1$ 、 $d$ であり、ここで、距離 $d$ は、電流 $i_1$ 、750が電流 $i_5$ 、760にほぼ等しく、電流 $i_2$ 、752が電流 $i_6$ 、762にほぼ等しく、電流 $i_3$ 、754が電流 $i_7$ 、764にほぼ等しく、および/または電流 $i_4$ 、756が電流 $i_8$ 、766にほぼ等しくなるような距離にほぼ等しい。

#### 【0035】

[0054]図10は、CMOSデバイスの例示的なレイアウトの第2のセットを示すための

第2の図1000である。第1の金属層M1上の相互接続部702が複数のPMOSドレインを互いに接続し、第1の金属層M1上の相互接続部704が複数のNMOSドレインを互いに接続していると仮定する。第2の金属層M2上の相互接続部706は、相互接続部702に接続されている。第2の金属層M2上の相互接続部708は、相互接続部704に接続されている。第3の金属層M3上の相互接続部710は、相互接続部706、708に接続されている。第1の金属層M1上の相互接続部720は、相互接続部710の片側で相互接続部702、704を互いに接続し、第1の金属層M1上の相互接続部730は、相互接続部710の向こう側で相互接続部702、704を互いに接続する。図8に関して上記で説明したように、相互接続部718は、相互接続部710の下方で相互接続部702、704を互いに接続し得る。

10

**【0036】**

[0055]図11は、CMOSデバイスの例示的なレイアウトの第3のセットを示すための第1の図1100である。CMOSデバイスは、複数のPMOSおよびNMOSトランジスタを含んでよく、インバータであってよい。第1の金属層M1（すなわち、第1の相互接続レベル）上の相互接続部402は、PMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の相互接続部404は、PMOSドレインの第2のサブセットを互いに接続し得る。相互接続部402、404は、第1の金属層M1上で分離されている。第1の金属層M1上の相互接続部406は、NMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の相互接続部408は、NMOSドレインの第2のサブセットを互いに接続し得る。相互接続部406、408は、第1の金属層M1 20 上で分離されている。第2の金属層M2（すなわち、第2の相互接続レベル）上の相互接続部410は、相互接続部402、404を互いに結合する。第2の金属層M2上の相互接続部420は、相互接続部406、408を互いに結合する。第3の金属層M3上の相互接続部430は、相互接続部410、420を互いに結合する。第1の金属層M1上の相互接続部470は、相互接続部402、406を互いに結合する。第1の金属層M1上の相互接続部480は、相互接続部404、408を互いに結合する。図4に関して説明したように、相互接続部402、404、406、408、410、420は、各々、長さがxマイクロメートルよりも短くてよい。一構成では、 $x = 2$ であり、相互接続部402、404、406、408、410、420は、各々、長さが2マイクロメートルよりも短い。相互接続部402、404、406、408、410、420の長さを2マイクロ 30 メートルよりも短くして、相互接続部402、404、406、408、410、420におけるEM相互接続劣化が低減される。さらに、相互接続部470、480が相互接続部430と平行な電流経路を形成して、図9A、図9B、図9Cに関して上記で説明したように、EM相互接続劣化は相互接続部402、404、406、408、410、420を通じてさらに低減される。

**【0037】**

[0056]図12は、CMOSデバイスの例示的なレイアウトの第3のセットを示すための第2の図1200である。CMOSデバイスは、複数のPMOSおよびNMOSトランジスタを含んでよく、インバータであってよい。相互接続部の長さをしきい値（たとえば、2マイクロメートル）を超えて増大させることなくCMOSインバータの中のPMOS およびNMOSトランジスタの数を増大させるために、CMOSインバータは、図11の複数のデバイスを並列に利用することができる。第1の金属層M1上の相互接続部502は、PMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の相互接続部504は、PMOSドレインの第2のサブセットを互いに接続し得る。相互接続部502、504は、第1の金属層M1上で分離されている。第1の金属層M1上の相互接続部506は、NMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の相互接続部508は、NMOSドレインの第2のサブセットを互いに接続し得る。相互接続部506、508は、第1の金属層M1上で分離されている。第2の金属層M 2 40 M2上の相互接続部510は、相互接続部502、504を互いに結合する。第2の金属層M2上の相互接続部520は、相互接続部506、508を互いに結合する。

50

## 【 0 0 3 8 】

[0057]第1の金属層M1上の相互接続部532は、PMOSドレインの第3のサブセットを互いに接続し得る。第1の金属層M1上の相互接続部534は、PMOSドレインの第4のサブセットを互いに接続し得る。相互接続部532、534は、第1の金属層M1上で分離されている。第1の金属層M1上の相互接続部536は、NMOSドレインの第3のサブセットを互いに接続し得る。第1の金属層M1上の相互接続部538は、NMOSドレインの第4のサブセットを互いに接続し得る。相互接続部536、538は、第1の金属層M1上で分離されている。第2の金属層M2上の相互接続部540は、相互接続部532、534を互いに結合する。第2の金属層M2上の相互接続部550は、相互接続部536、538を互いに結合する。第3の金属層M3上の相互接続部560は、相互接続部510、520、540、550を互いに結合する。

10

## 【 0 0 3 9 】

[0058]第1の金属層M1上の相互接続部570は、相互接続部502、506を互いに結合する。第1の金属層M1上の相互接続部572は、相互接続部504、508を互いに結合する。第1の金属層M1上の相互接続部574は、相互接続部532、536を互いに結合する。第1の金属層M1上の相互接続部576は、相互接続部534、538を互いに結合する。図5に関して説明したように、相互接続部502、504、506、508、510、520、532、534、536、538、540、550は、各々、長さが $\times$ マイクロメートルよりも短くてよい。一構成では、 $\times = 2$ であり、相互接続部502、504、506、508、510、520、532、534、536、538、540、550は、各々、長さが2マイクロメートルよりも短い。相互接続部502、504、506、508、510、520、532、534、536、538、540、550の長さを2マイクロメートルよりも短くして、相互接続部502、504、506、508、510、520、532、534、536、538、540、550におけるEM相互接続劣化が低減される。さらに、相互接続部570、572、574、576が相互接続部560と平行な電流経路を形成して、図9A、図9B、図9Cに関して上記で説明したように、EM相互接続劣化は相互接続部502、504、506、508、510、520、532、534、536、538、540、550を通じてさらに低減される。

20

## 【 0 0 4 0 】

[0059]図13は、CMOSデバイスの例示的なレイアウトの第3のセットを示すための第3の図1300である。CMOSデバイスは、複数のPMOSおよびNMOSトランジスタを含んでよく、インバータであってよい。相互接続部の長さをしきい値（たとえば、2マイクロメートル）を超えて増大させることなくCMOSインバータの中のPMOSおよびNMOSトランジスタの数を増大させるために、CMOSインバータは、図11の複数のデバイスを直列に利用することができる。第1の金属層M1上の相互接続部602は、PMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の相互接続部604は、PMOSドレインの第2のサブセットを互いに接続し得る。相互接続部602、604は、第1の金属層M1上で分離されている。第1の金属層M1上の相互接続部612は、NMOSドレインの第1のサブセットを互いに接続し得る。第1の金属層M1上の相互接続部614は、NMOSドレインの第2のサブセットを互いに接続し得る。相互接続部612、614は、第1の金属層M1上で分離されている。

30

40

## 【 0 0 4 1 】

[0060]第1の金属層M1上の相互接続部606は、PMOSドレインの第3のサブセットを互いに接続し得る。相互接続部606、604は、第1の金属層M1上で分離されている。第1の金属層M1上の相互接続部616は、NMOSドレインの第3のサブセットを互いに接続し得る。相互接続部616、614は、第1の金属層M1上で分離されている。図13に示すように、第1の金属層M1上の相互接続部602、604、606の第1のセットは、PMOSドレインの異なるサブセットを互いに接続し得る。相互接続部602、604、606の第1のセットの中の各相互接続部は、第1の金属層M1上で相互接続部602、604、606の第1のセットの中の他の相互接続部から分離されている

50



。第1の金属層M1上の相互接続部612、614、616の第2のセットは、NMOSドレインの異なるサブセットを互いに接続する。相互接続部612、614、616の第2のセットの中の各相互接続部は、第1の金属層M1上で相互接続部612、614、616の第2のセットの中の他の相互接続部から分離されている。第2の金属層M2上の相互接続部620、622の第3のセットは、相互接続部602、604、606の第1のセットの中の相互接続部の隣接する異なるペアを互いに結合する。第2の金属層M2上の相互接続部624、626の第4のセットは、相互接続部612、614、616の第2のセットの中の相互接続部の隣接する異なるペアを互いに結合する。第3の金属層M3上の相互接続部660、670の第5のセットは、相互接続部620、622の第3のセットの中からの相互接続部と、相互接続部624、626の第4のセットの中からの相互接続部とを含む、相互接続部の隣接する異なるペアを結合する。相互接続部660、670の第5のセットの中の各相互接続部は、互いに結合されている。

10

#### 【0042】

[0061]相互接続部680は、相互接続部602、612を互いに結合し、相互接続部682は、相互接続部604、614を互いに結合し、相互接続部684は、相互接続部606、616を互いに結合する。相互接続部の第1、第2、第3、および第4のセットの中の各相互接続部602、604、606、612、614、616、620、622、624、626は、長さがxマイクロメートルよりも短くてよい。一構成では、 $x = 2$ である。相互接続部602、604、606、612、614、616、620、622、624、626の長さを2マイクロメートルよりも短くして、それらの相互接続部におけるEM相互接続劣化は低減される。さらに、相互接続部680、682、684が相互接続部660、670と平行な電流経路を形成して、図9A、図9B、図9Cに関して上記で説明したように、EM相互接続劣化は相互接続部602、604、606、612、614、616、620、622、624、626を通じてさらに低減される。

20

#### 【0043】

[0062]図14は、CMOSデバイスをレイアウトする第1の方法のフローチャート1400である。CMOSデバイスは、PMOSドレインを各々有する複数のPMOSトランジスタと、NMOSドレインを各々有する複数のNMOSトランジスタとを含む。ステップ1402において、PMOSドレインの第1のサブセットは、相互接続レベル上の第1の相互接続部と相互接続される。ステップ1404において、PMOSドレインの第2のサブセットは、相互接続レベル上の第2の相互接続部と相互接続される。PMOSドレインの第2のサブセットは、相互接続レベル上でPMOSドレインの第1のサブセットから分離される。ステップ1406において、NMOSドレインの第1のサブセットは、相互接続レベル上の第3の相互接続部と相互接続される。ステップ1408において、NMOSドレインの第2のサブセットは、相互接続レベル上の第4の相互接続部と相互接続される。NMOSドレインの第2のサブセットは、相互接続レベル上でNMOSドレインの第1のサブセットから分離される。第1の相互接続部、第2の相互接続部、第3の相互接続部、および第4の相互接続部は、少なくとも1つの他の相互接続レベルを通じて互いに結合される。

30

#### 【0044】

[0063]たとえば、図4を参照すると、PMOSドレインの第1のサブセットは、第1の金属層M1上の第1の相互接続部402と相互接続されている。PMOSドレインの第2のサブセットは、第1の金属層M1上の第2の相互接続部404と相互接続されている。相互接続部402、404が第1の金属層M1上で分離されているので、PMOSドレインの第2のサブセットは、第1の金属層M1上でPMOSドレインの第1のサブセットから分離される。NMOSドレインの第1のサブセットは、第1の金属層M1上の第3の相互接続部406と相互接続されている。NMOSドレインの第2のサブセットは、第1の金属層M1上の第4の相互接続部408と相互接続されている。相互接続部406、408が第1の金属層M1上で分離されているので、NMOSドレインの第2のサブセットは、第1の金属層M1上でNMOSドレインの第1のサブセットから分離される。第1の相互

40

50

接続部 402、第2の相互接続部 404、第3の相互接続部 406、および第4の相互接続部 408は、第2の金属層 M2 や第3の金属層 M3 などの少なくとも1つの他の金属層を通じて互いに結合されている。

【0045】

[0064]図4に示すように、第1の相互接続部 402、第2の相互接続部 404、第3の相互接続部 406、および第4の相互接続部 408は、各々、長さが2マイクロメートルよりも短くてよい。第1の相互接続部 402 および第2の相互接続部 404 は、第2の相互接続レベル（たとえば、第2の金属層 M2 ）上の第5の相互接続部 410 と相互接続され得る。第3の相互接続部 406 および第4の相互接続部 408 は、第2の相互接続レベル上の第6の相互接続部 420 と相互接続され得る。第5の相互接続部 410 および第6の相互接続部 420 は、各々、長さが2マイクロメートルよりも短くてよい。第5の相互接続部 410 および第6の相互接続部 420 は、第3の相互接続部（たとえば、第3の金属層 M3 ）上の第7の相互接続部 430 と相互接続され得る。デバイスの出力部は、第7の相互接続部 430 に接続され得る。CMOS デバイスは、インバータであってよい。PMOS トランジスタは、PMOS ゲートと PMOS ソースとを各々有し得る。NMOS トランジスタは、NMOS ゲートと NMOS ソースとを各々有し得る。NMOS トランジスタの NMOS ソースは、互いに結合され得る。PMOS トランジスタの PMOS ソースは、一緒にあり得る。PMOS トランジスタの PMOS ゲートおよび NMOS トランジスタの NMOS ゲートは、互いに結合され得る。

【0046】

[0065]図15は、CMOS デバイスを動作させる第1の方法のフローチャート 1500 である。CMOS デバイスは、PMOS ドレインを各々有する複数の PMOS トランジスタと、NMOS ドレインを各々有する複数の NMOS トランジスタを含む。ステップ 1502 において、第1の電流は、相互接続レベル上の第1の相互接続部と相互接続されている PMOS ドレインの第1のサブセットから流れる。ステップ 1504 において、第2の電流は、相互接続レベル上の第2の相互接続部と相互接続されている PMOS ドレインの第2のサブセットから流れる。PMOS ドレインの第2のサブセットは、相互接続レベル上で PMOS ドレインの第1のサブセットから分離されている。ステップ 1506 において、第3の電流は、相互接続レベル上の第3の相互接続部と相互接続されている NMOS ドレインの第1のサブセットへ流れる。ステップ 1508 において、第4の電流は、相互接続レベル上の第4の相互接続部と相互接続されている NMOS ドレインの第2のサブセットへ流れる。NMOS ドレインの第2のサブセットは、相互接続レベル上で NMOS ドレインの第1のサブセットから分離されている。第1の相互接続部、第2の相互接続部、第3の相互接続部、および第4の相互接続部は、少なくとも1つの他の相互接続レベルを通じて互いに結合されている。CMOS デバイスが低入力を受け取ると、第1の電流および第2の電流は、少なくとも1つの他の相互接続レベルを通じて CMOS デバイスの出力部へ流れる。CMOS デバイ스가高入力を受け取ると、第3の電流および第4の電流は、CMOS デバイスの出力部から少なくとも1つの他の相互接続レベルを通じて流れる。

【0047】

[0066]たとえば、図4を参照すると、第1の電流は、第1の金属層 M1 上の第1の相互接続部 402 と相互接続されている PMOS ドレインの第1のサブセットから流れる。第2の電流は、第1の金属層 M1 上の第2の相互接続部 404 と相互接続されている PMOS ドレインの第2のサブセットから流れる。相互接続部 402、404 が第1の金属層 M1 上で分離されているので、PMOS ドレインの第2のサブセットは、第1の金属層 M1 上で PMOS ドレインの第1のサブセットから分離される。第3の電流は、第1の金属層 M1 上の第3の相互接続部 406 と相互接続されている NMOS ドレインの第1のサブセットへ流れる。第4の電流は、第1の金属層 M1 上の第4の相互接続部 408 と相互接続されている NMOS ドレインの第2のサブセットへ流れる。相互接続部 406、408 が第1の金属層 M1 上で分離されているので、NMOS ドレインの第2のサブセットは、第1の金属層 M1 上で NMOS ドレインの第1のサブセットから分離される。第1の相互接

続部 4 0 2、第 2 の相互接続部 4 0 4、第 3 の相互接続部 4 0 6、および第 4 の相互接続部 4 0 8 は、第 2 の金属層 M 2 や第 3 の金属層 M 3 などの少なくとも 1 つの他の相互接続レベルを通じて互いに結合されている。C M O S デバイスが低入力を受け取ると、第 1 の電流および第 2 の電流は、少なくとも 1 つの他の相互接続レベルを通じて C M O S デバイスの出力部へ流れる。C M O S デバイ스가高入力を受け取ると、第 3 の電流および第 4 の電流は、C M O S デバイスの出力部から少なくとも 1 つの他の相互接続レベルを通じて流れる。

#### 【 0 0 4 8 】

[0067] 第 1 の相互接続部 4 0 2、第 2 の相互接続部 4 0 4、第 3 の相互接続部 4 0 6、および第 4 の相互接続部 4 0 8 は、各々、長さが 2 マイクロメートルよりも短くてよい。第 1 の相互接続部 4 0 2 および第 2 の相互接続部 4 0 4 は、第 2 の相互接続レベル（たとえば、第 2 の金属層 M 2 ）上の第 5 の相互接続部 4 1 0 と相互接続され得、第 3 の相互接続部 4 0 6 および第 4 の相互接続部 4 0 8 は、第 2 の相互接続レベル上の第 6 の相互接続部 4 2 0 と相互接続され得る。第 5 の相互接続部 4 1 0 および第 6 の相互接続部 4 2 0 は、各々、長さが 2 マイクロメートルよりも短くてよい。第 5 の相互接続部 4 1 0 および第 6 の相互接続部 4 2 0 は、第 3 の相互接続レベル（たとえば、第 3 の金属層 M 3 ）上の第 7 の相互接続部 4 3 0 と相互接続され得る。デバイスの出力部は、第 7 の相互接続部 4 3 0 に接続され得る。C M O S デバイスは、インバータであってよい。P M O S トランジスタは、P M O S ゲートと P M O S ソースとを各々有し得る。N M O S トランジスタは、N M O S ゲートと N M O S ソースとを各々有し得る。N M O S トランジスタの N M O S ソースは、互いに結合され得る。P M O S トランジスタの P M O S ソースは、互いに結合され得る。P M O S トランジスタの P M O S ゲートおよび N M O S トランジスタの N M O S ゲートは、互いに結合され得る。

#### 【 0 0 4 9 】

[0068] 図 1 6 は、C M O S デバイスをレイアウトする第 2 の方法のフローチャート 1 6 0 0 である。C M O S デバイスは、P M O S ドレインを各々有する複数の P M O S トランジスタと、N M O S ドレインを各々有する複数の N M O S トランジスタを含む。ステップ 1 6 0 2 において、P M O S ドレインは、相互接続レベル上の、長さ方向で延在する第 1 の相互接続部と相互接続される。ステップ 1 6 0 4 において、N M O S ドレインは、相互接続レベル上の、長さ方向で延在する第 2 の相互接続部と相互接続される。ステップ 1 6 0 6 において、第 1 の相互接続部および第 2 の相互接続部は、少なくとも 1 つのさらなる相互接続レベル上の相互接続部のセットと相互接続される。ステップ 1 6 0 8 において、第 1 の相互接続部および第 2 の相互接続部は、相互接続レベル上の、長さ方向と垂直に延在し相互接続部のセットからオフセットする第 3 の相互接続部と相互接続される。

#### 【 0 0 5 0 】

[0069] たとえば、図 9 A、図 9 B を参照すると、P M O S ドレインは、第 1 の金属層 M 1 上の、長さ方向で延在する第 1 の相互接続部 7 0 2 と相互接続されている。N M O S ドレインは、第 1 の金属層 M 1 上の、長さ方向で延在する第 2 の相互接続部 7 0 4 と相互接続されている。第 1 の相互接続部 7 0 2 および第 2 の相互接続部 7 0 4 は、第 2 の金属層 M 2 や第 3 の金属層 M 3 などの少なくとも 1 つのさらなる相互接続レベル上の、相互接続部 7 0 6、7 0 8、7 1 0 のセットと相互接続されている。第 1 の相互接続部 7 0 2 および第 2 の相互接続部 7 0 4 は、第 1 の金属層 M 1 上の、長さ方向と垂直に延在し相互接続部 7 0 6、7 0 8、7 1 0 のセットからオフセットする第 3 の相互接続部 7 2 0 と相互接続されている。

#### 【 0 0 5 1 】

[0070] 第 1 の相互接続部 7 0 2 および第 2 の相互接続部 7 0 4 は、相互接続レベル（たとえば、第 1 の金属層 M 1 ）上の、長さ方向と垂直に延在し相互接続部 7 0 6、7 0 8、7 1 0 のセットからオフセットする第 4 の相互接続部 7 3 0 と相互接続され得る。第 3 の相互接続部 7 2 0 および第 4 の相互接続部 7 3 0 は、相互接続部 7 0 6、7 0 8、7 1 0 のセットの両側にあってよい。少なくとも 1 つのさらなる相互接続レベル（たとえば、第

2の金属層M2および第3の金属層M3)は、第2の相互接続レベル(たとえば、第2の金属層M2)と第3の相互接続レベル(たとえば、第3の金属層M3)とを含んでよく、相互接続部706、708、710のセットは、第2の相互接続レベル上の、第1の相互接続部702に結合されている第5の相互接続部706と、第2の相互接続レベル上の、第2の相互接続部704に結合されている第6の相互接続部708と、第3の相互接続レベル上の、第5の相互接続部706および第6の相互接続部708を互いに結合する第7の相互接続部710とを含み得る。第7の相互接続部710は、デバイスの出力部であってよい。第3の相互接続部720および第4の相互接続部730は、第7の相互接続部710と平行であってよく、第7の相互接続部710から少なくとも距離dだけオフセットされてよい。距離dは、PMOSトランジスタをターンオンしNMOSトランジスタをターンオフすると第1の相互接続部702の中を第3の相互接続部720と第7の相互接続部710との間で流れる電流 $i_1$ が、PMOSトランジスタをターンオフしNMOSトランジスタをターンオンすると第1の相互接続部702の中を第7の相互接続部710と第3の相互接続部720との間で流れる電流 $i_5$ にほぼ等しくなるような距離にほぼ等しくてよい。距離dは、PMOSトランジスタをターンオンしNMOSトランジスタをターンオフすると第1の相互接続部702の中を第4の相互接続部730と第7の相互接続部710との間で流れる電流 $i_3$ が、PMOSトランジスタをターンオフしNMOSトランジスタをターンオンすると第1の相互接続部702の中を第7の相互接続部710と第4の相互接続部730との間で流れる電流 $i_7$ にほぼ等しくなるような距離にほぼ等しくてよい。距離dは、PMOSトランジスタをターンオンしNMOSトランジスタをターンオフすると第2の相互接続部704の中を第3の相互接続部720と第7の相互接続部710との間で流れる電流 $i_2$ が、PMOSトランジスタをターンオフしNMOSトランジスタをターンオンすると第2の相互接続部704の中を第7の相互接続部710と第3の相互接続部720との間で流れる電流 $i_6$ にほぼ等しくなるような距離にほぼ等しくてよい。距離dは、PMOSトランジスタをターンオンしNMOSトランジスタをターンオフすると第2の相互接続部704の中を第4の相互接続部730と第7の相互接続部710との間で流れる電流 $i_4$ が、PMOSトランジスタをターンオフしNMOSトランジスタをターンオンすると第2の相互接続部704の中を第7の相互接続部710と第4の相互接続部730との間で流れる電流 $i_8$ にほぼ等しくなるような距離にほぼ等しくてよい。CMOSデバイスは、インバータであってよい。PMOSトランジスタは、PMOSゲートとPMOSソースとを各々有し得る。NMOSトランジスタは、NMOSゲートとNMOSソースとを各々有し得る。NMOSトランジスタのNMOSソースは、互いに結合され得る。PMOSトランジスタのPMOSソースは、互いに結合され得る。PMOSトランジスタのPMOSゲートおよびNMOSトランジスタのNMOSゲートは、互いに結合され得る。

#### 【0052】

[0071]図17は、CMOSデバイスを動作させる第2の方法のフローチャート1700である。CMOSデバイスは、PMOSドレインを各々有する複数のPMOSトランジスタと、NMOSドレインを各々有する複数のNMOSトランジスタとを含む。ステップ1702において、第1の電流は、長さ方向で延在し、PMOSドレインを相互接続レベル上で相互接続する第1の相互接続部を通じて流れる。ステップ1704において、第2の電流は、長さ方向で延在し、NMOSドレインを相互接続レベル上で相互接続する第2の相互接続部を通じて流れる。ステップ1706において、第3の電流は、第1の相互接続部と第2の相互接続部とを少なくとも1つのさらなる相互接続レベル上で相互接続する相互接続部のセットを通じて流れる。ステップ1708において、第4の電流は、長さ方向と垂直に延在し相互接続部のセットからオフセットした、第1の相互接続部と第2の相互接続部とを相互接続レベル上で相互接続する第3の相互接続部を通じて流れる。ステップ1710において、第5の電流は、第1の相互接続部と第2の相互接続部とを相互接続レベル上で相互接続し、長さ方向と垂直に延在し、相互接続部のセットからオフセットした第4の相互接続部を通じて流れる。第3の相互接続部および第4の相互接続部は、相互接

続部のセットの両側にある。

【 0 0 5 3 】

[0072]たとえば、図 9 A、図 9 B を参照すると、第 1 の電流  $i_1 + i_3$  または  $i_5 + i_7$  は、長さ方向で延在し、PMOS ドレインを第 1 の金属層 M 1 上で相互接続する第 1 の相互接続部 7 0 2 を通じて流れる。第 2 の電流  $i_2 + i_4$  または  $i_6 + i_8$  は、長さ方向で延在し、NMOS ドレインを第 1 の金属層 M 1 上で相互接続する第 2 の相互接続部 7 0 4 を通じて流れる。第 3 の電流  $i_1 + i_2 + i_3 + i_4$  または  $i_5 + i_6 + i_7 + i_8$  は、第 1 の相互接続部 7 0 2 と第 2 の相互接続部 7 0 4 とを第 2 の金属層 M 2 および第 3 の金属層 M 3 の上で相互接続する相互接続部 7 0 6、7 0 8、7 1 0 のセットを通じて流れる。第 4 の電流  $i_2$  または  $i_5$  は、長さ方向と垂直に延在し、相互接続部 7 0 6、7 0 8、7 1 0 のセットからオフセットし、第 1 の相互接続部 7 0 2 と第 2 の相互接続部 7 0 4 とを第 1 の金属層 M 1 上で相互接続する第 3 の相互接続部 7 2 0 を通じて流れる。第 5 の電流  $i_4$  または  $i_8$  は、第 1 の相互接続部 7 0 2 と第 2 の相互接続部 7 0 4 とを第 1 の金属層 M 1 上で相互接続し、長さ方向と垂直に延在し、相互接続部 7 0 6、7 0 8、7 1 0 のセットからオフセットした第 4 の相互接続部 7 3 0 を通じて流れる。第 3 の相互接続部 7 2 0 および第 4 の相互接続部 7 3 0 は、相互接続部 7 0 6、7 0 8、7 1 0 のセットの両側にある。

10

【 0 0 5 4 】

[0073]CMOS デバイスが低入力を受け取ると、第 1 の電流  $i_1 + i_3$  は、第 1 の相互接続部 7 0 2 を通じて相互接続部 7 0 6、7 0 8、7 1 0 のセットの第 1 のサブセット 7 0 6、7 1 0 へ流れ、第 2 の電流  $i_2 + i_4$  は、第 3 の相互接続部 7 2 0 および第 4 の相互接続部 7 3 0 から第 2 の相互接続部 7 0 4 を通じて相互接続部 7 0 6、7 0 8、7 1 0 のセットの第 2 のサブセット 7 0 8、7 1 0 へ流れ、第 3 の電流  $i_1 + i_2 + i_3 + i_4$  は、第 1 の相互接続部 7 0 2 および第 2 の相互接続部 7 0 4 から相互接続部 7 0 6、7 0 8、7 1 0 のセットを通じて流れ、第 4 の電流  $i_2$  は、第 1 の相互接続部 7 0 2 から第 3 の相互接続部 7 2 0 を通じて第 2 の相互接続部 7 0 4 へ流れ、第 5 の電流  $i_4$  は、第 1 の相互接続部 7 0 2 から第 4 の相互接続部 7 3 0 を通じて第 2 の相互接続部 7 0 4 へ流れる。CMOS デバイ스가高入力を受け取ると、第 1 の電流  $i_5 + i_7$  は、相互接続部 7 0 6、7 0 8、7 1 0 のセットの第 1 のサブセット 7 0 6、7 1 0 から第 1 の相互接続部 7 0 2 を通じて第 3 の相互接続部 7 2 0 および第 4 の相互接続部 7 3 0 へ流れ、第 2 の電流  $i_6 + i_8$  は、相互接続部 7 0 6、7 0 8、7 1 0 のセットの第 2 のサブセット 7 0 8、7 1 0 から第 2 の相互接続部 7 0 4 を通じて流れ、第 3 の電流  $i_5 + i_6 + i_7 + i_8$  は、相互接続部 7 0 6、7 0 8、7 1 0 のセットから第 1 の相互接続部 7 0 2 および第 2 の相互接続部 7 0 4 へ流れ、第 4 の電流  $i_5$  は、第 1 の相互接続部 7 0 2 から第 3 の相互接続部 7 2 0 を通じて第 2 の相互接続部 7 0 4 へ流れ、第 5 の電流  $i_8$  は、第 1 の相互接続部 7 0 2 から第 4 の相互接続部 7 3 0 を通じて第 2 の相互接続部 7 0 4 へ流れる。

20

30

【 0 0 5 5 】

[0074]少なくとも 1 つのさらなる相互接続レベルは、第 2 の相互接続レベル（たとえば、第 2 の金属層 M 2）と第 3 の相互接続レベル（たとえば、第 3 の金属層 M 3）とを含んでよく、相互接続部 7 0 6、7 0 8、7 1 0 のセットは、第 2 の相互接続レベル上の、第 1 の相互接続部 7 0 2 に結合されている第 5 の相互接続部 7 0 6 と、第 2 の相互接続レベル上の、第 2 の相互接続部 7 0 4 に結合されている第 6 の相互接続部 7 0 8 と、第 3 の相互接続レベル上の、第 5 の相互接続部 7 0 6 と第 6 の相互接続部 7 0 8 とを互いに結合する第 7 の相互接続部 7 1 0 とを含んでよい。第 7 の相互接続部 7 1 0 は、デバイスの出力部であってよい。

40

【 0 0 5 6 】

[0075]一構成では、CMOS デバイスは、PMOS ドレインを各々有する複数の PMOS トランジスタと、NMOS ドレインを各々有する複数の NMOS トランジスタとを含む。デバイスは、PMOS ドレインの第 1 のサブセットを相互接続レベル（たとえば、第 1 の金属層 M 1）上の第 1 の相互接続部（たとえば、相互接続部 4 0 2）と相互接続するための手段を含む。デバイスは、PMOS ドレインの第 2 のサブセットを相互接続レベル上

50

の第2の相互接続部（たとえば、相互接続部404）と相互接続するための手段をさらに含む。PMOSドレインの第2のサブセットは、相互接続レベル上でPMOSドレインの第1のサブセットから分離されている。デバイスは、NMOSドレインの第1のサブセットを相互接続レベル上の第3の相互接続部（たとえば、相互接続部406）と相互接続するための手段をさらに含む。デバイスは、NMOSドレインの第2のサブセットを相互接続レベル上の第4の相互接続部（たとえば、相互接続部408）と相互接続するための手段をさらに含む。NMOSドレインの第2のサブセットは、相互接続レベル上でNMOSドレインの第1のサブセットから分離されている。第1の相互接続部、第2の相互接続部、第3の相互接続部、および第4の相互接続部は、少なくとも1つの他の相互接続レベルを通じて互いに結合されている。デバイスは、第1の相互接続部と第2の相互接続部とを第2の相互接続レベル（たとえば、第2の金属層M2）上の第5の相互接続部（たとえば、相互接続部410）と相互接続するための手段と、第3の相互接続部と第4の相互接続部とを第2の相互接続レベル上の第6の相互接続部（たとえば、相互接続部420）と相互接続するための手段とをさらに含み得る。デバイスは、第5の相互接続部と第6の相互接続部とを第3の相互接続レベル（たとえば、第3の金属層M3）上の第7の相互接続部（たとえば、相互接続部430）と相互接続するための手段をさらに含み得る。CMOSデバイスは、インバータであってよく、PMOSTランジスタは、PMOSゲートとPMOSSソースとを各々有し得、NMOSTランジスタは、NMOSゲートとNMOSSソースとを各々有し得る。デバイスは、NMOSTランジスタのNMOSSソースを互いに結合するための手段と、PMOSTランジスタのPMOSSソースを互いに結合するための手段と、PMOSTランジスタのPMOSゲートとNMOSTランジスタのNMOSゲートとを互いに結合するための手段とをさらに含み得る（たとえば、図2を参照）。

#### 【0057】

[0076]一構成では、CMOSデバイスは、PMOSドレインを各々有する複数のPMOSTランジスタと、NMOSドレインを各々有する複数のNMOSTランジスタとを含む。デバイスは、PMOSドレインを相互接続レベル（たとえば、第1の金属層M1）上の、長さ方向で延在する第1の相互接続部（たとえば、相互接続部702）と相互接続するための手段を含む。デバイスは、NMOSドレインを相互接続レベル上の、長さ方向で延在する第2の相互接続部（たとえば、相互接続部704）と相互接続するための手段をさらに含む。デバイスは、第1の相互接続部と第2の相互接続部とを少なくとも1つのさらなる相互接続レベル（たとえば、第2の金属層M2および第3の金属層M3）上の相互接続部のセット（たとえば、相互接続部706、708、710）と相互接続するための手段をさらに含む。デバイスは、第1の相互接続部と第2の相互接続部とを、相互接続レベル上の、長さ方向と垂直に延在し相互接続部のセットからオフセットする第3の相互接続部（たとえば、相互接続部720）と相互接続するための手段をさらに含む。デバイスは、第1の相互接続部と第2の相互接続部とを、相互接続レベル上の、長さ方向と垂直に延在し相互接続部のセットからオフセットする第4の相互接続部（たとえば、相互接続部730）と相互接続するための手段をさらに含み得る。第3の相互接続部および第4の相互接続部は、相互接続部のセットの両側にある。

#### 【0058】

[0077]EMに対処するためのCMOSデバイスをレイアウトする方法、およびEMに対処するためのレイアウト構造を備えたCMOSデバイスが、上記で提供されている。例示的な方法およびCMOSデバイスは、相互接続部のセットの長さを制限する（機械的ストレスビルドアップ/バックストレスを増大させる）ことによって、および/または相互接続部のセットを通る双方向の電流フロー（双方向の電子風）をもたらすさらなる電流経路を形成することによって、相互接続部のセットにおけるEMを低減する。

#### 【0059】

[0078]開示されたプロセス中のステップの特定の順序または階層は、例示的な手法の一例であることを理解されたい。設計上の選好に基づいて、プロセスにおけるステップの特定の順序または階層は再構成され得ることを理解されたい。さらに、いくつかのステップ

10

20

30

40

50

が組み合わされてもよく、省略されてもよい。添付の方法クレームは、様々なステップの要素を例示的な順序で提示したものであり、提示された特定の順序または階層に限定されるものではない。

【 0 0 6 0 】

[0079]以上の説明は、当業者が本明細書で説明された様々な態様を実行できるようにするために提供される。これらの態様に対する様々な修正は当業者には容易に明らかであり、本明細書で定義された一般原理は他の態様に適用され得る。したがって、特許請求の範囲は、本明細書に示された態様に限定されるものではなく、特許請求の範囲の文言に矛盾しない最大限の範囲を与えられるべきであり、単数形の要素への言及は、そのように明記されていない限り、「ただ1つの」を意味するものではなく、「1つまたは複数の」を意味するものである。「例示的」という単語は、本明細書では「例、事例、または例示の働きをすること」を意味するために使用される。「例示的」として本明細書で説明するいかなる態様も、必ずしも他の態様よりも好ましいまたは有利であると解釈されるべきであるとは限らない。別段に明記されていない限り、「いくつか」という用語は1つまたは複数の指す。「A、B、またはCのうちの少なくとも1つ」、「A、B、およびCのうちの少なくとも1つ」および「A、B、C、またはそれらの任意の組合せ」などの組合せは、A、B、および/またはCの任意の組合せを含み、複数のA、複数のB、または複数のCを含んでよい。詳細には、「A、B、またはCのうちの少なくとも1つ」「A、B、およびCのうちの少なくとも1つ」および「A、B、C、またはそれらの任意の組合せ」などの組合せは、Aのみ、Bのみ、Cのみ、AおよびB、AおよびC、BおよびC、またはAおよびBおよびCであってよく、その場合、そのような任意の組合せは、A、B、またはCの、1つのメンバーまたは複数のメンバーを含み得る。当業者に知られているまたは後で知られるようになる、本開示全体にわたって説明される様々な態様の要素のすべての構造上および機能上の等価物は、参照により本明細書に明確に組み込まれ、特許請求の範囲によって包含されるべきものとする。その上、本明細書で開示するいかなることも、そのような開示が特許請求の範囲に明示的に具陳されているかどうかにかかわらず、公に供するものではない。いかなるクレーム要素も、その要素が「ための手段」という語句を使用して明確に具陳されていない限り、ミーンズプラスファンクションとして解釈されるべきではない。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C 1] p型金属酸化物半導体(PMOS)ドレインを各々有する複数のPMOSトランジスタと、n型金属酸化物半導体(NMOS)ドレインを各々有する複数のNMOSトランジスタとを含む相補型金属酸化物半導体(CMOS)デバイスであって、

相互接続レベル上の、前記PMOSドレインの第1のサブセットを互いに接続する第1の相互接続部と、

前記相互接続レベル上の、前記PMOSドレインの第2のサブセットを互いに接続する第2の相互接続部、前記PMOSドレインの前記第2のサブセットは、前記PMOSドレインの前記第1のサブセットと異なり、前記第1の相互接続部および前記第2の相互接続部は、前記相互接続レベル上で分離される、と、

前記相互接続レベル上の、前記NMOSドレインの第1のサブセットを互いに接続する第3の相互接続部と、

前記相互接続レベル上の、前記NMOSドレインの第2のサブセットを互いに接続する第4の相互接続部、前記NMOSドレインの前記第2のサブセットは、前記NMOSドレインの前記第1のサブセットと異なり、前記第3の相互接続部および前記第4の相互接続部は、前記相互接続レベル上で分離され、前記第1の相互接続部、前記第2の相互接続部、前記第3の相互接続部、および前記第4の相互接続部は、少なくとも1つの他の相互接続レベルを通じて互いに結合される、と

を備える、CMOSデバイス。

[C 2] 前記第1の相互接続部、前記第2の相互接続部、前記第3の相互接続部、および前記第4の相互接続部は、各々、長さが2マイクロメートルよりも短い、

C 1 に記載のデバイス。

[ C 3 ] 第 2 の相互接続レベル上の第 5 の相互接続部、前記第 5 の相互接続部は、前記第 1 の相互接続部と前記第 2 の相互接続部とを互いに結合し、と、

前記第 2 の相互接続レベル上の第 6 の相互接続部、前記第 6 の相互接続部は、前記第 3 の相互接続部と前記第 4 の相互接続部とを互いに結合する、と

をさらに備える、C 1 に記載のデバイス。

[ C 4 ] 前記第 5 の相互接続部および前記第 6 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、

C 3 に記載のデバイス。

[ C 5 ] 第 3 の相互接続レベル上の第 7 の相互接続部をさらに備え、前記第 7 の相互接続部は、前記第 5 の相互接続部と前記第 6 の相互接続部とを互いに結合する、

C 3 に記載のデバイス。

[ C 6 ] 前記デバイスの出力部は、前記第 7 の相互接続部に接続される、

C 5 に記載のデバイス。

[ C 7 ] 前記 C M O S デバイスは、インバータであり、前記 P M O S トランジスタは、P M O S ゲートと P M O S ソースとを各々有し、前記 N M O S トランジスタは、N M O S ゲートと N M O S ソースとを各々有し、前記 N M O S トランジスタの前記 N M O S ソースは、互いに結合され、前記 P M O S トランジスタの前記 P M O S ソースは、互いに結合され、前記 P M O S トランジスタの前記 P M O S ゲートおよび前記 N M O S トランジスタの前記 N M O S ゲートは、互いに結合される、

C 1 に記載のデバイス。

[ C 8 ] 前記相互接続レベル上の、前記 P M O S ドレインの異なるサブセットを互いに接続する相互接続部の第 1 のセット、前記相互接続部の第 1 のセットは、前記第 1 の相互接続部、前記第 2 の相互接続部、および 1 つまたは複数のさらなる相互接続部を含み、前記相互接続部の第 1 のセットの中の各相互接続部は、前記相互接続レベル上で前記相互接続部の第 1 のセットの中の他の相互接続部から分離される、と、

前記相互接続レベル上の、前記 N M O S ドレインの異なるサブセットを互いに接続する相互接続部の第 2 のセット、前記相互接続部の第 2 のセットは、前記第 3 の相互接続部、前記第 4 の相互接続部、および 1 つまたは複数のさらなる相互接続部を含み、前記相互接続部の第 2 のセットの中の各相互接続部は、前記相互接続レベル上で前記相互接続部の第 2 のセットの中の他の相互接続部から分離される、と

をさらに備える、C 1 に記載のデバイス。

[ C 9 ] 前記相互接続部の第 1 のセットおよび前記相互接続部の第 2 のセットの中の各相互接続部は、長さが 2 マイクロメートルよりも短い、

C 8 に記載のデバイス。

[ C 1 0 ] 第 2 の相互接続レベル上の相互接続部の第 3 のセット、前記相互接続部の第 3 のセットの中の各相互接続部は、前記相互接続部の第 1 のセットの中の相互接続部の隣接する異なるペアを互いに結合する、と、

前記第 2 の相互接続レベル上の相互接続部の第 4 のセット、前記相互接続部の第 4 のセットの中の各相互接続部は、前記相互接続部の第 2 のセットの中の相互接続部の隣接する異なるペアを互いに結合する、と

をさらに備える、C 8 に記載のデバイス。

[ C 1 1 ] 前記相互接続部の第 3 のセットおよび前記相互接続部の第 4 のセットの中の各相互接続部は、長さが 2 マイクロメートルよりも短い、

C 1 0 に記載のデバイス。

[ C 1 2 ] 第 3 の相互接続レベル上の相互接続部の第 5 のセットをさらに備え、前記相互接続部の第 5 のセットの中の各相互接続部は、前記相互接続部の第 3 のセットの中からの相互接続部と、前記相互接続部の第 4 のセットの中からの相互接続部とを含む、相互接続部の隣接する異なるペアを結合し、前記相互接続部の第 5 のセットの中の各相互接続部は、互いに結合される、

10

20

30

40

50



C 1 0 に記載のデバイス。

[ C 1 3 ] 第 2 の相互接続レベル上の相互接続部の第 3 のセット、前記相互接続部の第 3 のセットの第 1 のサブセットは、前記相互接続部の第 1 のセットの第 1 のサブセットの中の相互接続部の隣接する異なるペアを互いに結合し、前記相互接続部の第 3 のセットの第 2 のサブセットは、前記相互接続部の第 1 のセットの第 2 のサブセットの中の相互接続部の隣接する異なるペアを互いに結合する、と、

前記第 2 の相互接続レベル上の相互接続部の第 4 のセット、前記相互接続部の第 4 のセットの第 1 のサブセットは、前記相互接続部の第 2 のセットの第 1 のサブセットの中の相互接続部の隣接する異なるペアを互いに結合し、前記相互接続部の第 4 のセットの第 2 のサブセットは、前記相互接続部の第 2 のセットの第 2 のサブセットの中の相互接続部の隣接する異なるペアを互いに結合する、と

10

をさらに備える、C 8 に記載のデバイス。

[ C 1 4 ] 前記相互接続部の第 3 のセットおよび前記相互接続部の第 4 のセットの中の各相互接続部は、長さが 2 マイクロメートルよりも短い、

C 1 3 に記載のデバイス。

[ C 1 5 ] 第 3 の相互接続レベル上の第 5 の相互接続部をさらに備え、前記第 5 の相互接続部は、前記相互接続部の第 3 のセットの中の前記相互接続部の各々を、前記相互接続部の第 4 のセットの中の前記相互接続部の各々に結合する、

C 1 3 に記載のデバイス。

[ C 1 6 ] p 型金属酸化物半導体 ( P M O S ) ドレインを各々有する複数の P M O S トランジスタと、相補型金属酸化物半導体 ( C M O S ) ドレインを各々有する複数の N M O S トランジスタとを含むデバイスであって、

20

P M O S ドレインの第 1 のサブセットを、相互接続レベル上の第 1 の相互接続部と相互接続するための手段と、

P M O S ドレインの第 2 のサブセットを、前記相互接続レベル上の第 2 の相互接続部と相互接続するための手段、前記 P M O S ドレインの第 2 のサブセットは、前記相互接続レベル上で前記 P M O S ドレインの第 1 のサブセットから分離される、と、

N M O S ドレインの第 1 のサブセットを、前記相互接続レベル上の第 3 の相互接続部と相互接続するための手段と、

N M O S ドレインの第 2 のサブセットを、前記相互接続レベル上の第 4 の相互接続部と相互接続するための手段、前記 N M O S ドレインの第 2 のサブセットは、前記相互接続レベル上で前記 N M O S ドレインの第 1 のサブセットから分離され、前記第 1 の相互接続部、前記第 2 の相互接続部、前記第 3 の相互接続部、および前記第 4 の相互接続部は、少なくとも 1 つの他の相互接続レベルを通じて互いに結合される、と

30

を備える、C M O S デバイス。

[ C 1 7 ] 前記第 1 の相互接続部、前記第 2 の相互接続部、前記第 3 の相互接続部、および前記第 4 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、

C 1 6 に記載のデバイス。

[ C 1 8 ] 前記第 1 の相互接続部と前記第 2 の相互接続部とを、第 2 の相互接続レベル上の第 5 の相互接続部と相互接続するための手段と、

40

前記第 3 の相互接続部と前記第 4 の相互接続部とを、前記第 2 の相互接続レベル上の第 6 の相互接続部と相互接続するための手段と

をさらに備える、C 1 6 に記載のデバイス。

[ C 1 9 ] 前記第 5 の相互接続部および前記第 6 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、

C 1 8 に記載のデバイス。

[ C 2 0 ] 前記第 5 の相互接続部と前記第 6 の相互接続部とを、第 3 の相互接続レベル上の第 7 の相互接続部と相互接続するための手段をさらに備える、

C 1 8 に記載のデバイス。

[ C 2 1 ] 前記デバイスの出力部は、前記第 7 の相互接続部に接続される、

50

C 2 0 に記載のデバイス。

[ C 2 2 ] 前記 C M O S デバイスは、インバータであり、前記 P M O S トランジスタは P M O S ゲートと P M O S ソースとを各々有し、前記 N M O S トランジスタは、N M O S ゲートと N M O S ソースとを各々有し、前記デバイスは、

前記 N M O S トランジスタの前記 N M O S ソースを互いに結合するための手段と、

前記 P M O S トランジスタの前記 P M O S ソースを互いに結合するための手段と、

前記 P M O S トランジスタの前記 P M O S ゲートと前記 N M O S トランジスタの前記 N M O S ゲートとを互いに結合するための手段と

をさらに備える C 1 6 に記載のデバイス。

[ C 2 3 ] p 型金属酸化物半導体 ( P M O S ) ドレインを各々有する複数の P M O S トランジスタと、n 型金属酸化物半導体 ( N M O S ) ドレインを各々有する複数の N M O S トランジスタとを含む相補型金属酸化物半導体 ( C M O S ) デバイスをレイアウトする方法であって、

P M O S ドレインの第 1 のサブセットを、相互接続レベル上の第 1 の相互接続部と相互接続することと、

P M O S ドレインの第 2 のサブセットを、前記相互接続レベル上の第 2 の相互接続部と相互接続すること、前記 P M O S ドレインの第 2 のサブセットは、前記相互接続レベル上で前記 P M O S ドレインの第 1 のサブセットから分離される、と、

N M O S ドレインの第 1 のサブセットを、前記相互接続レベル上の第 3 の相互接続部と相互接続することと、

N M O S ドレインの第 2 のサブセットを、前記相互接続レベル上の第 4 の相互接続部と相互接続すること、前記 N M O S ドレインの第 2 のサブセットは、前記相互接続レベル上で前記 N M O S ドレインの第 1 のサブセットから分離され、前記第 1 の相互接続部、前記第 2 の相互接続部、前記第 3 の相互接続部、および前記第 4 の相互接続部は、少なくとも 1 つの他の相互接続レベルを通じて互いに結合される、と

を備える、方法。

[ C 2 4 ] 前記第 1 の相互接続部、前記第 2 の相互接続部、前記第 3 の相互接続部、および前記第 4 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、

C 2 3 に記載の方法。

[ C 2 5 ] 前記第 1 の相互接続部と前記第 2 の相互接続部とを、第 2 の相互接続レベル上の第 5 の相互接続部と相互接続することと、

前記第 3 の相互接続部と前記第 4 の相互接続部とを、前記第 2 の相互接続レベル上の第 6 の相互接続部と相互接続することと

をさらに備える、C 2 3 に記載の方法。

[ C 2 6 ] 前記第 5 の相互接続部および前記第 6 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、

C 2 5 に記載の方法。

[ C 2 7 ] 前記第 5 の相互接続部と前記第 6 の相互接続部とを、第 3 の相互接続レベル上の第 7 の相互接続部と相互接続することをさらに備える、

C 2 5 に記載の方法。

[ C 2 8 ] 前記デバイスの出力部は、前記第 7 の相互接続部に接続される、

C 2 7 に記載の方法。

[ C 2 9 ] 前記 C M O S デバイスは、インバータであり、前記 P M O S トランジスタは、P M O S ゲートと P M O S ソースとをそれぞれ有し、前記 N M O S トランジスタは、N M O S ゲートと N M O S ソースとをそれぞれ有し、前記方法は、

前記 N M O S トランジスタの前記 N M O S ソースを互いに結合することと、

前記 P M O S トランジスタの前記 P M O S ソースを互いに結合することと、

前記 P M O S トランジスタの前記 P M O S ゲートと前記 N M O S トランジスタの前記 N M O S ゲートとを互いに結合することと

をさらに備える、C 2 3 に記載の方法。

10

20

30

40

50

[C 3 0] p 型金属酸化物半導体 ( P M O S ) ドレインを各々有する複数の P M O S トランジスタと、 n 型金属酸化物半導体 ( N M O S ) ドレインを各々有する複数の N M O S トランジスタを含む相補型金属酸化物半導体 ( C M O S ) デバイスの動作の方法であって

、  
第 1 の電流を、相互接続レベル上の第 1 の相互接続部と相互接続されている P M O S ドレインの第 1 のサブセットから流すことと、

第 2 の電流を、前記相互接続レベル上の第 2 の相互接続部と相互接続されている P M O S ドレインの第 2 のサブセットから流すことと、前記 P M O S ドレインの第 2 のサブセットは、前記相互接続レベル上で前記 P M O S ドレインの第 1 のサブセットから分離される

、  
第 3 の電流を、前記相互接続レベル上の第 3 の相互接続部と相互接続されている N M O S ドレインの第 1 のサブセットへ流すことと、

第 4 の電流を、前記相互接続レベル上の第 4 の相互接続部と相互接続されている N M O S ドレインの第 2 のサブセットへ流すこと、前記 N M O S ドレインの第 2 のサブセットは、前記相互接続レベル上で前記 N M O S ドレインの第 1 のサブセットから分離され、前記第 1 の相互接続部、前記第 2 の相互接続部、前記第 3 の相互接続部、および前記第 4 の相互接続部は、少なくとも 1 つの他の相互接続レベルを通じて互いに結合され、前記第 1 の電流および前記第 2 の電流は、前記 C M O S デバイスが低入力を受け取ると前記少なくとも 1 つの他の相互接続レベルを通じて前記 C M O S デバイスの出力部へ流れ、前記第 3 の電流および前記第 4 の電流は、前記 C M O S デバイ스가高入力を受け取ると、前記 C M O S デバイスの前記出力部から前記少なくとも 1 つの他の相互接続レベルを通じて流れる、と

を備える、方法。

[C 3 1] 前記第 1 の相互接続部、前記第 2 の相互接続部、前記第 3 の相互接続部、および前記第 4 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、

C 3 0 に記載の方法。

[C 3 2] 前記第 1 の相互接続部および前記第 2 の相互接続部は、第 2 の相互接続レベル上の第 5 の相互接続部と相互接続され、前記第 3 の相互接続部および前記第 4 の相互接続部は、前記第 2 の相互接続レベル上の第 6 の相互接続部と相互接続される、

C 3 0 に記載の方法。

[C 3 3] 前記第 5 の相互接続部および前記第 6 の相互接続部は、各々、長さが 2 マイクロメートルよりも短い、

C 3 2 に記載の方法。

[C 3 4] 前記第 5 の相互接続部および前記第 6 の相互接続部は、第 3 の相互接続レベル上の第 7 の相互接続部と相互接続される、

C 3 2 に記載の方法。

[C 3 5] 前記デバイスの出力部は、前記第 7 の相互接続部に接続される、

C 3 4 に記載の方法。

[C 3 6] 前記 C M O S デバイスは、インバータであり、前記 P M O S トランジスタは、P M O S ゲートと P M O S ソースとを各々有し、前記 N M O S トランジスタは、N M O S ゲートと N M O S ソースとを各々有し、前記 N M O S トランジスタの前記 N M O S ソースは、互いに結合され、前記 P M O S トランジスタの前記 P M O S ソースは、互いに結合され、前記 P M O S トランジスタの前記 P M O S ゲートおよび前記 N M O S トランジスタの前記 N M O S ゲートは、互いに結合される、

C 3 0 に記載の方法。

10

20

30

40

【図 1】

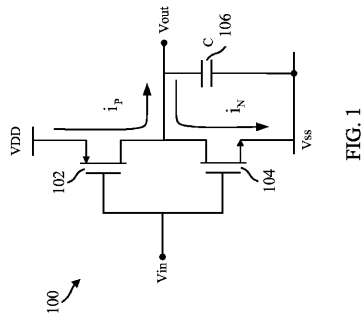


FIG. 1

【図 2】

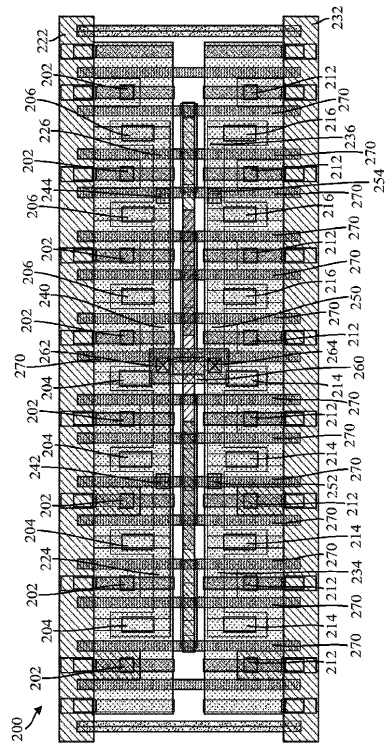


FIG. 2

【図 3】

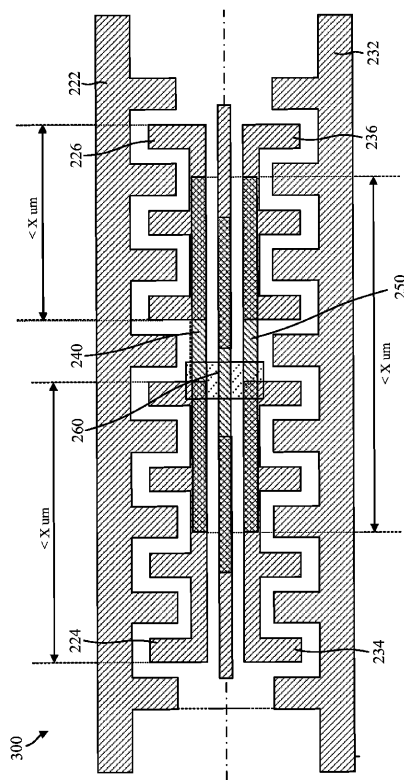


FIG. 3

【図 4】

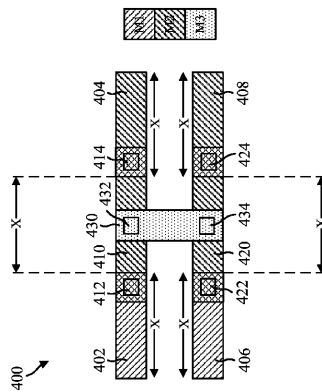


FIG. 4

【図 5】

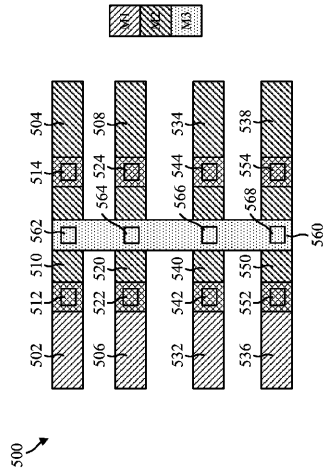


FIG. 5

【図 6】

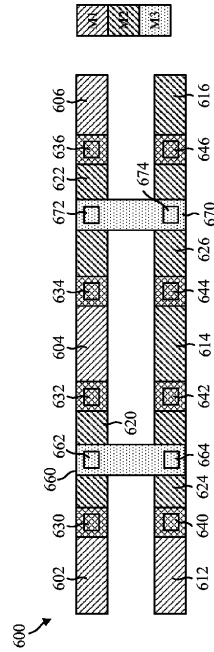


FIG. 6

【図 7】

図 7

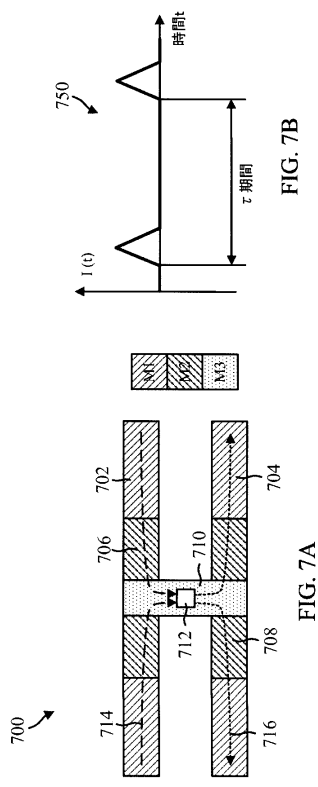


FIG. 7B

FIG. 7A

【図 8】

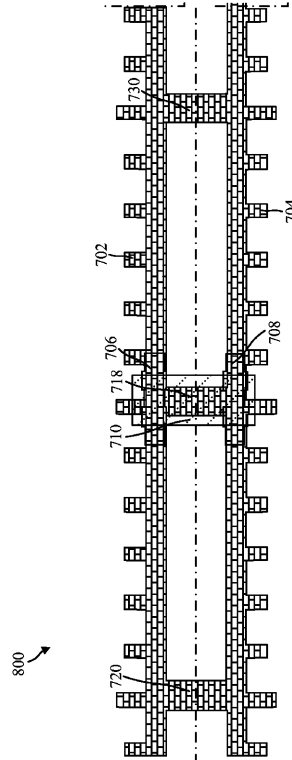
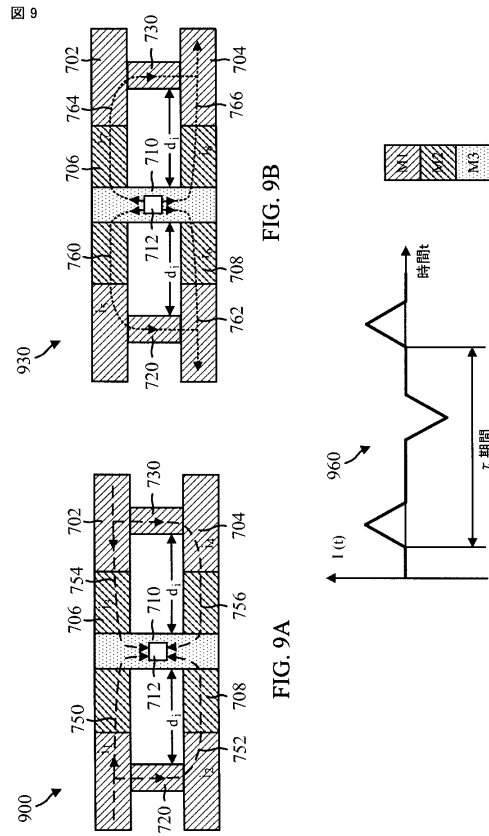
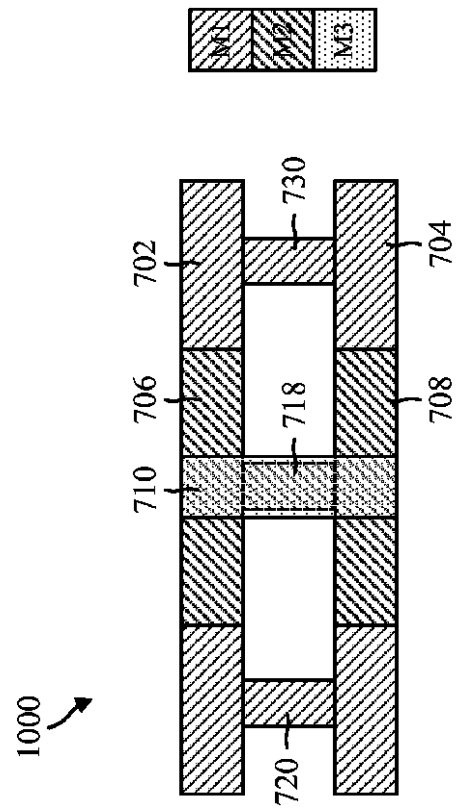


FIG. 8

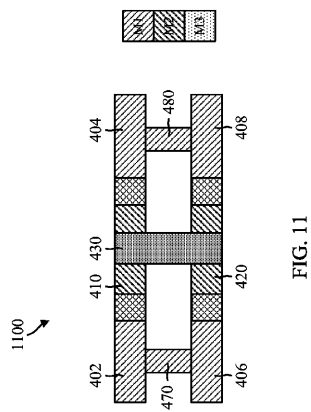
【図 9】



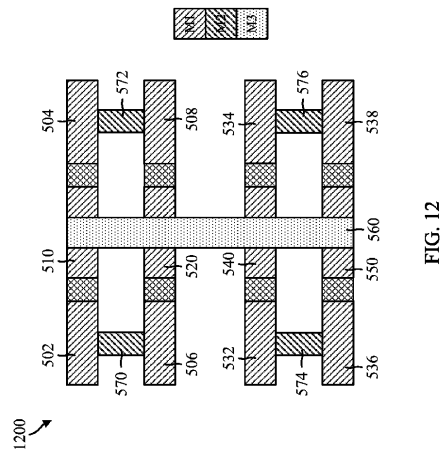
【図 10】



【図 11】



【図 12】



【図 13】

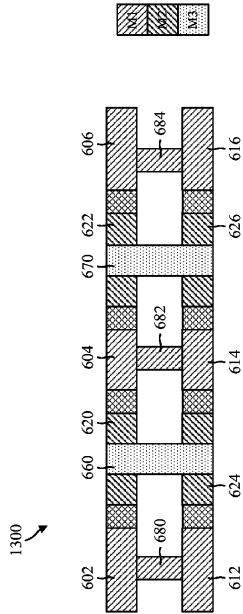


FIG. 13

【図 14】

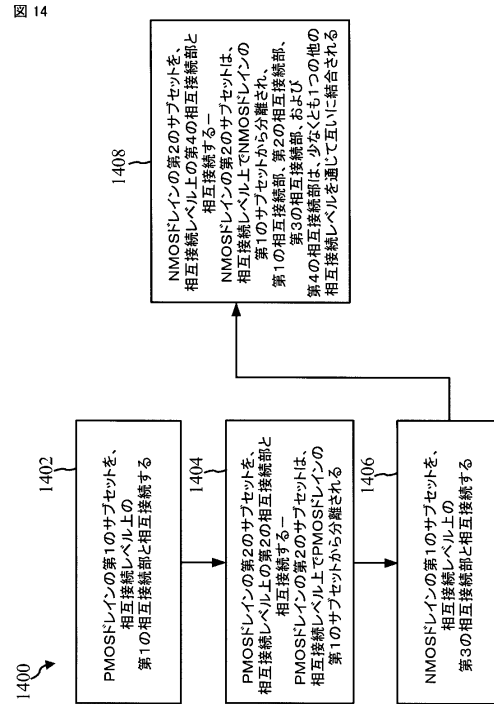


FIG. 14

【図 15】

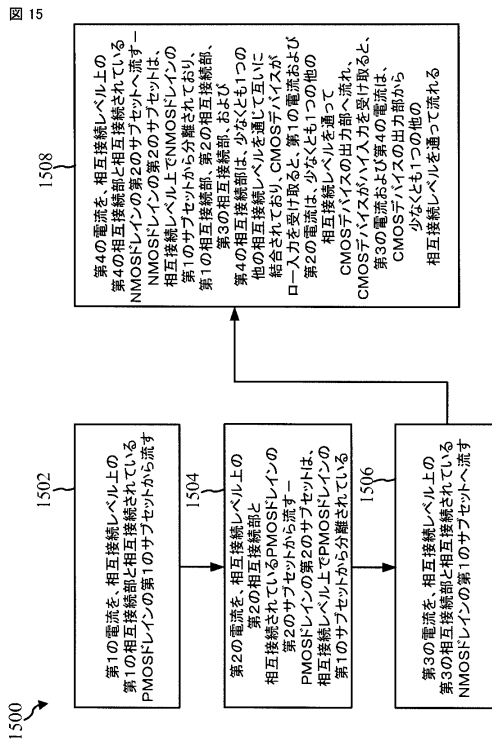


FIG. 15

【図 16】

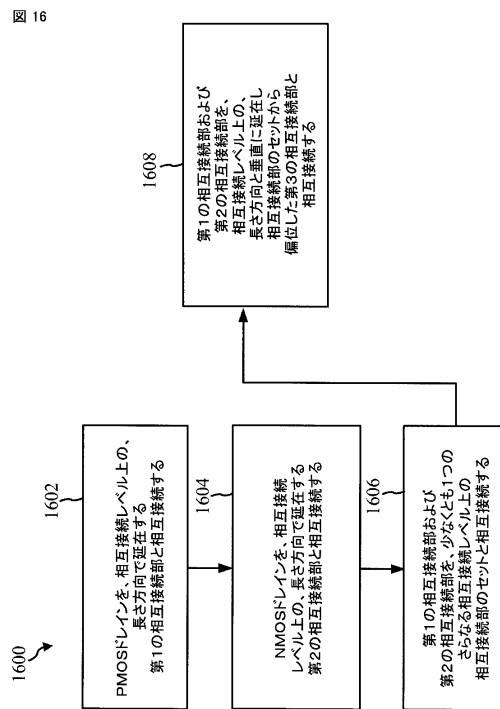


FIG. 16

【図 17】

図 17

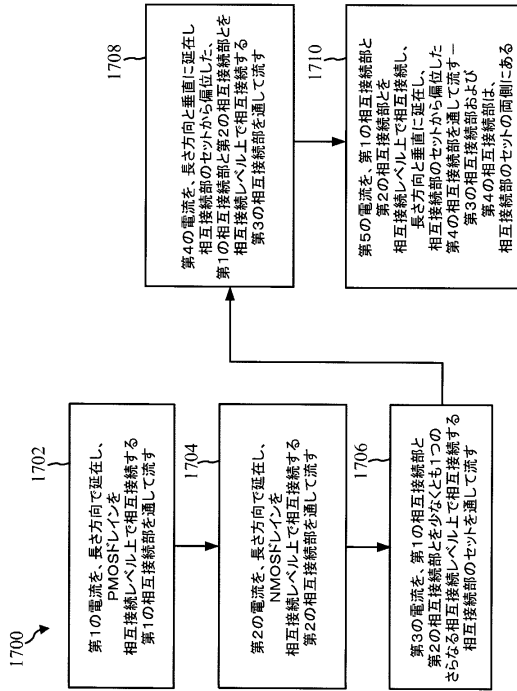


FIG. 17



## フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/092 (2006.01)

(72)発明者 ラソウリ、セッド・ハディ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72)発明者 ダッタ、アニメシュ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

(72)発明者 クウォン、オーサン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5、クゥアルコム・インコーポレイテッド気付

審査官 戸次 一夫

(56)参考文献 特開平 0 9 - 1 2 9 7 3 6 ( J P , A )

特開 2 0 0 5 - 3 1 0 9 2 3 ( J P , A )

特開 2 0 0 7 - 1 4 1 9 1 6 ( J P , A )

特開 2 0 1 2 - 1 8 2 2 2 3 ( J P , A )

実開昭 5 6 - 1 1 2 9 5 4 ( J P , U )

特表 2 0 1 1 - 5 2 4 0 7 9 ( J P , A )

特開平 1 0 - 0 9 8 1 0 8 ( J P , A )

国際公開第 2 0 1 0 / 0 1 6 0 0 8 ( W O , A 1 )

米国特許出願公開第 2 0 1 2 / 0 1 7 6 1 9 3 ( U S , A 1 )

米国特許出願公開第 2 0 1 1 / 0 2 4 1 1 2 6 ( U S , A 1 )

米国特許第 5 3 2 5 0 9 ( U S , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2

H 0 1 L 2 1 / 3 2 0 5

H 0 1 L 2 1 / 7 6 8

H 0 1 L 2 3 / 5 2 2