(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2013 年 11 月 21 日 (21.11.2013)

WIPO | PCT

(10) 国际公布号
WO 2013/170477 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 国际申请号: PCT/CN2012/075713

(22) 国际申请日: 2012 年 5 月 18 日 (18.05.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210150203.X 2012 年 5 月 15 日 (15.05.2012) CN

(71) 申请人 (对除美国外的所有指定国): **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **朱慧珑 (ZHU, Huilong)** [US/US]; 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 **梁擎擎 (LIANG, Qingqing)** [CN/US]; 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 **钟汇才 (ZHONG, Huicai)** [CN/US]; 美国加利福尼亚州圣荷西市威尔明顿大道 1089 号, California 95129 (US)。

(74) 代理人: **中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.)**; 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称 : 半导体器件及其制造方法

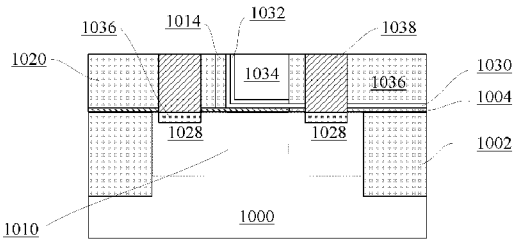


图17 / Fig. 17

(57) Abstract: Provided are a semiconductor device and a manufacturing method therefor. The method may comprise: forming a first mask layer (106) on a substrate (100), and forming a first side wall (112) on a side wall of the first mask layer (106); using the first mask layer (106) and the first side wall (112) as masks to form one of a source region and a drain region; forming a second mask layer (120) on the substrate (100), and removing the first mask layer (106); using the second mask layer (120) and the first side wall (112) as masks to form the other one of the source region and the drain region; removing at least a part of the first side wall (112); and forming a gate dielectric layer (130), and forming a gate conductor (134) on the second mask layer (120) or the remaining part of the first side wall (112) in a side wall form.

(57) 摘要: 提供一种半导体器件及其制造方法，该方法可以包括：在衬底（100）上形成第一掩蔽层（106），并在第一掩蔽层（106）的侧壁上形成第一侧墙（112）；以第一掩蔽层（106）、第一侧墙（112）为掩模，形成源区和漏区之一；在衬底（100）上形成第二掩蔽层（120），并去除第一掩蔽层（106）；以第二掩蔽层（120）、第一侧墙（112）为掩模，形成源区和漏区中的另一个；去除第一侧墙（112）的至少一部分；以及形成栅介质层（130），并在第二掩蔽层（120）或者第一侧墙（112）的剩余部分的侧壁上以侧墙的形式形成栅导体（134）。

WO 2013/170477 A1

半导体器件及其制造方法

本申请要求了2012年5月15日提交的、申请号为201210150203.X、发明名称为“半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及半导体领域，更具体地，涉及一种半导体器件及其制造方法。

背景技术

随着半导体器件的尺寸越来越小，短沟道效应愈加明显。为此，提出了使用包括高K栅介质和金属栅导体的栅堆叠。为避免栅堆叠的性能退化，包括这种栅堆叠的半导体器件通常利用替代栅工艺来制造。替代栅工艺涉及在栅侧墙之间限定的孔隙中形成高K栅介质和金属栅导体。然而，由于器件尺寸的缩小，要在如此小的孔隙中形成高K栅介质和金属导体越来越困难。

发明内容

本公开的目的至少部分地在于提供一种半导体器件及其制造方法。

根据本公开的一个方面，提供了一种制造半导体器件的方法，包括：在衬底上形成第一掩蔽层，并在该第一掩蔽层的侧壁上形成第一侧墙；以第一掩蔽层、第一侧墙为掩模，形成源区和漏区之一；在衬底上形成第二掩蔽层，并去除第一掩蔽层；以第二掩蔽层、第一侧墙为掩模，形成源区和漏区中另一个；去除第一侧墙的至少一部分；以及形成栅介质层，并在第二掩蔽层或者第一侧墙的剩余部分的侧壁上以侧墙的形式形成栅导体。

根据本公开的另一方面，提供了一种制造半导体器件的方法，包括：在衬底上形成第一掩蔽层；以第一掩蔽层为掩模，形成源区和漏区之一；在衬底上形成第二掩蔽层，并去除第一掩蔽层的至少一部分；在第二掩蔽层或者在第一掩蔽层的剩余部分（如果存在的话）的侧壁上形成第一侧墙；以第二掩蔽层、第一掩蔽层的剩余部分（如果存在的话）、第一侧墙为掩模，形成源区和漏区中另一个；去除第一侧墙；以及形成

栅介质层，并在第二掩蔽层或者在第一掩蔽层的剩余部分的侧壁上以侧墙的形式形成栅导体。

根据本公开的又一方面，提供了一种半导体器件，包括：衬底；以及在衬底上形成的源区和漏区以及栅堆叠，其中，所述栅堆叠包括：栅介质；和栅导体，所述栅导体以侧墙形式形成于位于栅堆叠一侧的电介质层或者栅侧墙的侧壁上。

附图说明

通过以下参照附图对本公开实施例的描述，本公开的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1-9 是示出了根据本公开实施例的制造半导体器件流程的示意图；

图 10 是示出了根据本公开另一实施例的半导体器件的示意图；

图 11-17 是示出了根据本公开另一实施例的制造半导体器件流程的示意图；

图 18-20 是示出了根据本公开另一实施例的制造半导体器件流程的示意图；

图 21 是示出了根据本公开另一实施例的半导体器件的示意图；以及

图 22-26 是示出了根据本公开另一实施例的制造半导体器件的部分流程的示意图。

具体实施方式

以下，将参照附图来描述本公开的实施例。但是应该理解，这些描述只是示例性的，而并非要限制本公开的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本公开的概念。

在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的，其中为了清楚表达的目的，放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

在本公开的上下文中，当将一层/元件称作位于另一层/元件“上”时，该层/元件可以直接位于该另一层/元件上，或者它们之间可以存在居中层/元件。另外，如果在一种朝向中一层/元件位于另一层/元件“上”，那么当调转朝向时，该层/元件可以位于该另一层/元件“下”。

在常规工艺中，在利用“伪”栅堆叠以及该伪栅堆叠两侧的侧墙在衬底中制造出源区和漏区之后，保留两侧的侧墙而在侧墙之间限定出孔隙，通过填充孔隙来形成真正的栅堆叠。与此不同，在本公开中，提出了一种“替代侧墙”工艺。在形成源区和漏区之后，保留位于源区和漏区之一一侧的材料层，并在该保留的材料层的侧壁上以侧墙的形式形成栅堆叠（特别是，栅导体）。从而可以在较大的空间（具体地，大致为栅区+源区和漏区中另一个的区域）上来形成栅堆叠，相比于仅在侧墙之间的小孔隙中形成栅堆叠的常规工艺，可以使得工艺更加容易进行。

本公开可以各种形式呈现，以下将描述其中一些示例。

首先，参照图1-9，描述根据本公开一实施例的制造半导体器件的流程。

如图1所示，提供衬底100。该衬底100可以是各种形式的衬底，例如但不限于体半导体材料衬底如体Si衬底、绝缘体上半导体（SOI）衬底、SiGe衬底等。在以下的描述中，为方便说明，以体Si衬底为例进行描述。在衬底100上，可以形成有浅沟槽隔离（STI）102，用以隔离单独器件的有源区。STI 102例如可以包括氧化物（例如，氧化硅）。这里需要指出的是，在以下描述的示例中，为方便说明，仅描述了形成单个器件的情况。但是本公开不局限于此，而是可以应用于形成两个或更多器件的情况。

接下来，如图2所示，可选地在衬底100的表面上例如通过沉积形成一薄氧化物层（例如，氧化硅）104。该氧化物层104例如具有5-10nm的厚度，可以在随后用来形成界面层（IL）。在衬底100上（在形成氧化物层104的情况下，在氧化物层104的表面上）例如通过沉积形成厚度约为100-200nm的第一掩蔽层106。例如，第一掩蔽层1006可以包括氮化物（例如，氮化硅），且可以通过例如反应离子刻蚀（RIE）被构图为覆盖有源区的一部分（该部分大致对应于随后形成的源区或漏区）。

在形成氧化物层104的情况下，如图3所示，可以相对于第一掩蔽层106（例如，氮化物）和衬底100（例如，体Si），选择性刻蚀氧化物层104，以形成例如厚度约为0.5-1nm的IL 108。这里，为了图示方便，并没有示出IL 108的厚度与氧化物层104的厚度之间的差异。

另外，如图3所示，在第一掩蔽层106的侧壁上形成第一侧墙112。例如，该第一侧墙112被形成为具有约15nm-60nm的宽度，以覆盖有源区的一部分（该部分大致对应于随后形成的栅区）。第一侧墙112例如可以包括多晶硅或非晶硅。存在多种手段来形成侧墙，在此不对侧墙的形成进行详细描述。

这样，第一掩蔽层106和第一侧墙112露出了有源区的一部分。此时，可以进行源

/漏形成工艺，来在该露出的有源区部分中形成源区和漏区之一。例如，这可以如下进行。

具体地，如图3（其中的竖直箭头）所示，可以进行延伸区（extension）注入，以形成延伸区116。例如，对于p型器件，可以通过注入p型杂质如In、BF_2或B；对于n型器件，可以通过注入n型杂质如As或P，来形成延伸区。这里需要指出的是，图3中的虚线框116仅仅是为了图示方便而示出为规则的矩形形状。实际上，延伸区116的形状由注入工艺决定，并且可能没有明确的边界。另外，为了优化性能，可以在延伸区注入之前，进行晕圈（halo）注入，如图3中的倾斜箭头所示。例如，对于p型器件，可以通过注入n型杂质如As或P；对于n型器件，可以通过注入p型杂质如In、BF_2或B，来形成晕圈（未示出）。

然后，如图4中的箭头所示，可以进行源/漏注入，形成源/漏注入区118。对于p型器件，可以通过注入p型杂质如In、BF_2或B；对于n型器件，可以通过注入n型杂质如As或P，来形成源/漏注入区。这里需要指出的是，图4中的虚线框118仅仅是为了图示方便而示出为规则的矩形形状。实际上，源/漏注入区118的形状由注入工艺决定，并且可能没有明确的边界。

接下来，如图5所示，在衬底100上形成第二掩蔽层120，以至少覆盖上述形成的源区和漏区之一。第二掩蔽层120例如可以包括氧化物（如氧化硅）。然后可以进行平坦化处理例如化学机械抛光（CMP），以露出第一掩蔽层106、第一侧墙112，以便随后进行处理。

随后，如图6所示，可以通过相对于第一侧墙112（例如，多晶硅或非晶硅）以及第二掩蔽层120、氧化物层104（例如，氧化硅），选择性刻蚀第一掩蔽层106（例如，氮化硅），以去除第一掩蔽层106。这种选择性刻蚀例如可以通过热磷酸来进行。

此时，如图6所示，第二掩蔽层120和第一侧墙112露出了有源区的一部分。此时，可以进行源/漏形成工艺，来在该露出的有源区部分中形成源区和漏区中另一个。例如，这可以如下进行。

具体地，如图6所示，可以进行延伸区（extension）注入，以形成延伸区124。例如，对于p型器件，可以通过注入p型杂质如In、BF_2或B；对于n型器件，可以通过注入n型杂质如As或P，来形成延伸区。这里需要指出的是，图6中的虚线框124仅仅是为了图示方便而示出为规则的矩形形状。实际上，延伸区124的形状由注入工艺决定，并且可能没有明确的边界。另外，为了优化性能，可以在延伸区注入之前，进行晕圈

（halo）注入。例如，对于p型器件，可以通过注入n型杂质如As或P；对于n型器件，可以通过注入p型杂质如In、BF_2或B，来形成晕圈（未示出）。然后，可以进行源/漏注入，形成源/漏注入区126。对于p型器件，可以通过注入p型杂质如In、BF_2或B；对于n型器件，可以通过注入n型杂质如As或P，来形成源/漏注入区。这里需要指出的是，图6中的虚线框126仅仅是为了图示方便而示出为规则的矩形形状。实际上，源/漏注入区126的形状由注入工艺决定，并且可能没有明确的边界。

接下来，如图7所示，可以进行退火处理例如尖峰退火、激光退火、快速退火等，以激活注入的杂质，形成最终的源/漏区128。然后，可以通过选择性刻蚀，去除第一侧墙112。例如，第一侧墙112（例如，多晶硅或非晶硅）可以通过TMAH溶液来选择性去除。这样，就在第二掩蔽层120的一侧留下了较大的空间（大致对应于栅区+源区和漏区中另一个的区域），从而可以容易地进行栅堆叠的形成。

然后，如图8所示，形成栅堆叠。具体地，例如可以通过沉积形成栅介质层130。例如，栅介质层130可以包括高K栅介质材料如HfO_2，厚度可以为约2-4nm。可选地，在形成栅介质130之前，可以重构IL。例如，如以上参考附图3所述，可以通过对氧化物层104进行选择性刻蚀，来形成IL（未示出）。在栅介质层130上，可以以侧墙的形式形成栅导体134。在形成栅导体时，例如可以通过控制侧墙形成工艺中的参数如沉积厚度、RIE参数等，使得所形成的侧墙形式的栅导体134基本上位于下方已经形成的源区和漏区之间。例如，栅导体134可以包括金属栅导体材料如Ti 、Co、Ni、Al、W及其合金等。优选地，在栅介质层130和栅导体134之间还可以形成功函数调节层132。功函数调节层132例如可以包括TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTa、NiTa、MoN、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSi、Ni_3Si、Pt、Ru、Ir、Mo、HfRu、RuO_x及其组合，厚度可以约为2-10nm。

此后，如图9所示，可以通过沉积形成电介质层136，并进行平坦化处理如CMP。电介质层136可以包括氧化物（例如，氧化硅）、氮化物或其组合。然后，可以形成接触部等外围部件，在此不再赘述。

这样，就得到了根据本公开的示例半导体器件。如图9所示，该半导体器件可以包括在衬底上形成的源区和漏区（128）以及栅堆叠（130，132，134）。栅堆叠，尤其是其中的栅导体134，以侧墙的形式形成于栅堆叠一侧（图13中的左侧）的掩蔽层（或者说，电介质层）120的侧壁上。

图10是示出了根据本公开另一实施例的半导体器件的示意图。图10所示的半导体

器件与图9所示的半导体器件的不同之处在于：栅堆叠，尤其是其中的栅导体134，以侧墙的形式形成于栅堆叠一侧（图13中的左侧）的第二侧墙114的侧壁上。

图10所示的器件可以按以上结合图1-9所述的工艺来制造。其中，第二侧墙114例如可以是在去除第一侧墙112（参见以上结合图7的描述）之后，在第二掩蔽层120的侧壁上另外形成的。例如，该第二侧墙114可以包括氮化物（例如，氮化硅），其厚度可以为5-20nm。或者，第二侧墙114例如可以是在去除第一侧墙112（参见以上结合图7的描述）的过程中，通过保留第一侧墙112的一部分而形成的。或者，第二侧墙114例如可以是形成在第一侧墙112的侧壁上（参见图4），然后在该第二侧墙114的侧壁上再形成第二掩蔽层120（参见图5）。

接下来，参照图11-17，描述根据本公开另一实施例的制造半导体器件的流程。图11-17与图1-9中相似的附图标记表示相似的部件。在以下描述中，主要说明该实施例与上述实施例之间的不同。

如图11所示，提供衬底1000，该衬底1000上可以形成有STI 1002。在衬底1000的表面上，可选地可以形成薄氧化物层1004。关于衬底1000和氧化物层1004的详情，可以参见以上结合图1-2对于衬底100和氧化物层104的描述。

在衬底1000上（在形成氧化物层1004的情况下，在氧化物层1004的表面上）例如通过沉积形成厚度约为100-200nm的第一掩蔽层1006。例如，第一掩蔽层1006可以包括氮化物（例如，氮化硅），且可以通过例如RIE被构图为覆盖有源区的一部分（该部分大致对应于随后形成的源区或漏区）。

根据本公开的一个实施例，为更好地控制短沟道效应以及抑制带间泄露，如图11所示，可以通过离子注入（图中箭头所示），形成超陡后退阱（SSWR）1010。例如，对于p型器件，可以通过注入n型杂质如As或P或Sb；对于n型器件，可以通过注入p型杂质如In、BF_2或B，来形成SSWR。这里需要指出的是，图11中的虚线框1010仅仅是为了图示方便而示出为规则的矩形形状。实际上，SSWR 1010的形状由注入工艺决定，并且可能没有明确的边界。

随后，如图12所示，在掩蔽层1006的侧壁上形成第一子侧墙1012。例如，该第一子侧墙1012被形成为具有约5-50nm的宽度，以覆盖有源区的一部分（该部分大致对应于随后形成的栅区）。第一子侧墙1012例如可以包括多晶硅或非晶硅。在第一子侧墙1012的侧壁上，可以形成第二子侧墙1014。例如，第二子侧墙1014可以包括氧化物（例如，氧化硅），其尺寸可以与半导体器件的栅侧墙相对应（例如，宽度为约5-20nm）。

存在多种手段来形成侧墙，在此不对侧墙的形成进行详细描述。

这样，第一掩蔽层1006和第一侧墙（包括第一子侧墙1012和第二子侧墙1014）露出了有源区的一部分。此时，可以进行源/漏形成工艺，来在该露出的有源区部分中形成源区和漏区之一。例如，可以利用以上结合图3和4所述的工艺，形成晕圈（未示出）、延伸区1016和源/漏注入区1018。关于晕圈、延伸区1016和源/漏注入区1018的详情，可以参见以上结合图3和4的描述。

接下来，如图13所示，在衬底上形成第二掩蔽层1020，以至少覆盖上述形成的源区和漏区之一。第二掩蔽层1020例如可以包括氧化物（例如，氧化硅）。然后可以进行平坦化处理例如化学机械抛光（CMP），以露出第一掩蔽层1006、第一侧墙（包括第一子侧墙1012和第二子侧墙1014），以便随后进行处理（如以上结合图5所述）。

然后，如图14所示，可以通过选择性刻蚀，去除第一掩蔽层1006（如以上结合图6所述）。然后，可以在第一子侧墙1012的侧壁上形成第二侧墙1022。例如，第二侧墙1022可以包括氮化物（如，氮化硅），其尺寸可以与半导体器件的栅侧墙相对应（例如，宽度为约5-20nm）。

这样，如图14所示，第二掩蔽层120、第一侧墙（包括第一子侧墙1012和第二子侧墙1014）和第二侧墙1022露出了有源区的一部分。此时，可以进行源/漏形成工艺，来在该露出的有源区部分中形成源区和漏区中另一个。例如，可以利用以上结合图6所述的工艺，形成晕圈（未示出）、延伸区1024和源/漏注入区1026。关于晕圈、延伸区1024和源/漏注入区1026的详情，可以参见以上结合图6的描述。

接下来，如图15所示，可以进行退火处理例如尖峰退火、激光退火、快速退火等，以激活注入的杂质，形成最终的源/漏区1028。

随后，可以通过选择性刻蚀，去除第二侧墙1022和第一侧墙的一部分（具体地，第一子侧墙1012），使得留下第二子侧墙1014。例如，第二侧墙1022（例如，氮化硅）可以通过热磷酸来选择性去除，第一子侧墙1012（例如，多晶硅或非晶硅）可以通过TMAH溶液来选择性去除。这样，就在第二子侧墙1014的一侧留下了较大的空间（大致对应于栅区+所述源区和漏区中另一个的区域），从而可以容易地进行栅堆叠的形成。

然后，如图16所示，形成栅堆叠。例如，可以依次形成栅介质层1030、功函数调节层1032以及侧墙形式的栅导体1034（如以上结合图8所述）。此后，可以通过沉积形成电介质层1036，并进行平坦化处理如CMP。电介质层1036可以包括氧化物（例如，

氧化硅）、氮化物或其组合（如以上结合图9所述）。

然后，如图17所示，可以形成与源区和漏区相对应的接触部1038。接触部1038例如可以包括金属如W、Cu等。根据一实施例，为了增强接触，还可以在源区和漏区中形成金属硅化物层1036，从而接触部1038通过金属硅化物层1036与源区和漏区接触。金属硅化物层1036例如可以包括NiPtSi。存在多种手段来形成金属硅化物层1036和接触部1038，在此不再赘述。

这样，就得到了根据本公开的示例半导体器件。如图17所示，该半导体器件可以包括在衬底上形成的源区和漏区（1028）以及栅堆叠（1030，1032，1034）。栅堆叠的一侧（图17中的左侧），存在栅侧墙1014。栅堆叠，尤其是其中的栅导体1034，以侧墙的形式形成于第二子侧墙（或者说，栅侧墙）1014的侧壁上。该半导体器件可以包括非对称的SSWR 1010，该SSWR 1010大致在栅堆叠下方的半导体衬底中延伸，并延伸至栅堆叠一侧的源/漏区中。

以下，参照图18-20，描述根据本公开另一实施例的制造半导体器件的流程。图18-20与图1-10中相似的附图标记表示相似的部件。在以下描述中，主要说明该实施例与上述实施例之间的不同。

如图18所示，提供衬底200，该衬底200上可以形成有STI 202。在衬底200的表面上，可选地可以形成薄氧化物层204。关于衬底200和氧化物层204的详情，可以参见以上结合图1-2对于衬底100和氧化物层104的描述。

在衬底200上（在形成氧化物层204的情况下，在氧化物层204的表面上）例如通过沉积形成厚度约为100-200nm的第一掩蔽层206。例如，掩蔽层206可以包括氮化物（例如，氮化硅），且可以通过例如RIE被构图为露出有源区的一部分（该部分大致对应于随后形成的源区或漏区）。此时，可以进行源/漏形成工艺，来在该露出的有源区部分中形成源区和漏区之一。例如，可以利用以上结合图3和4所述的工艺，形成晕圈（未示出）、延伸区216和源/漏注入区218。关于晕圈、延伸区216和源/漏注入区218的详情，可以参见以上结合图3和4的描述。

接下来，如图19所示，在衬底上形成第二掩蔽层220，以至少覆盖与上述形成的源区和漏区之一。第二掩蔽层220例如可以包括氧化物（例如，氧化硅）。然后可以进行平坦化处理例如CMP，以露出第一掩蔽层206，以便通过选择性刻蚀，去除第一掩蔽层206。然后，在第二掩蔽层220的侧壁上形成第一侧墙212。例如，该第一侧墙212被形成为具有约15nm-60nm的宽度，以覆盖有源区的一部分（该部分大致对应于随后

形成的栅区）。第一侧墙212例如可以包括多晶硅或非晶硅。

这样，第二掩蔽层220和第一侧墙212露出了有源区的一部分。此时，可以进行源/漏形成工艺，来在该露出的有源区部分中形成源区和漏区中另一个。例如，可以利用以上结合图6所述的工艺，形成晕圈（未示出）、延伸区224和源/漏注入区226。关于晕圈、延伸区224和源/漏注入区226的详情，可以参见以上结合图6的描述。

接下来，如图20所示，可以进行退火处理例如尖峰退火、激光退火、快速退火等，以激活注入的杂质，形成最终的源/漏区228。

随后，可以通过选择性刻蚀，去除第一侧墙212。例如，第一侧墙212（例如，多晶硅或非晶硅）可以通过TMAH溶液来选择性去除。这样，就在第二掩蔽层220的一侧留下了较大的空间（大致对应于栅区+所述源区和漏区中另一个的区域），从而可以容易地进行栅堆叠的形成。例如，可以依次形成栅介质层230、功函数调节层232以及侧墙形式的栅导体234（如以上结合图8所述）。图20所示的器件与图8所示的器件在结构上基本一致。之后可以沉积电介质（例如，参见图21所示的236）并进行平坦化，形成接触部等外围部件，在此不再赘述。

尽管在对图18-20所示的实施例进行描述时并未提及IL，但是可以如上述实施例一样进行形成IL的工艺。

图21是示出了根据本公开另一实施例的半导体器件的示意图。图21所示的半导体器件与图20所示的半导体器件的不同之处在于：栅堆叠，尤其是其中的栅导体234，以侧墙的形式形成于栅堆叠一侧（图13中的左侧）的第二侧墙214的侧壁上。

图21所示的器件可以按以上结合图18-20所述的工艺来制造。其中，第二侧墙214例如可以是在去除第一侧墙212（参见以上结合图20的描述）之后，在第二掩蔽层220的侧壁上另外形成的。例如，该第二侧墙214可以包括氮化物（例如，氮化硅），其厚度可以为5-20nm。或者，第二侧墙214例如可以是在去除第一掩蔽层206（参见以上结合图19的描述）的过程中，通过保留第一掩蔽层206的一部分而形成的。或者，第二侧墙214可以形成在第二掩蔽层220的侧壁上，然后在第二侧墙214的侧壁上形成第一侧墙212（参见图19）。

以下，参照图22~26，描述根据本公开另一实施例的制造半导体器件的流程。图22-26与图1-10中相似的附图标记表示相似的部件。在以下描述中，主要说明该实施例与上述实施例之间的不同。

如图22所示，提供衬底2000，该衬底2000上可以形成有STI 2002。在衬底2000的

表面上，可选地可以形成薄氧化物层2004。关于衬底2000和氧化物层2004的详情，可以参见以上结合图1-2对于衬底100和氧化物层104的描述。

在衬底2000上（在形成氧化物层2004的情况下，在氧化物层2004的表面上）例如通过沉积形成厚度约为100-200nm的第一子掩蔽层2006。例如，第一子掩蔽层2006可以包括氮化物（例如，氮化硅）。在第一子掩蔽层2006的侧壁上，可以形成第一子侧墙2014。例如，第一子侧墙2014可以包括氧化物（例如，氧化硅），其尺寸可以与半导体器件的栅侧墙相对应（例如，宽度为约5-20nm）。这样，第一子掩蔽层2006和第一子侧墙2014露出有源区的一部分（大致对应于随后形成的源区或漏区）。此时，可以进行源/漏形成工艺，来在该露出的有源区部分中形成源区和漏区之一。例如，可以利用以上结合图3和4所述的工艺，形成晕圈（未示出）、延伸区2016和源/漏注入区2018。关于晕圈、延伸区2016和源/漏注入区2018的详情，可以参见以上结合图3和4的描述。

接下来，如图23所示，在衬底上形成第二掩蔽层2020，以至少覆盖与上述形成的源区和漏区之一。第二掩蔽层2020例如可以包括氧化物（例如，氧化硅）。然后可以进行平坦化处理例如CMP，以露出第一子掩蔽层2006、第一子侧墙2014，之后通过选择性刻蚀，去除第一子掩蔽层2006。

根据本公开的一实施例，为更好地控制短沟道效应以及抑制带间泄露，如图23所示，可以通过离子注入，形成SSWR 2010。关于SSWR 2010的详情，可以参见以上结合图11的描述。

然后，如图24所示，在第一子侧墙2014的侧壁上形成第二子侧墙2012。第二子侧墙2012被形成为具有约5-50nm的宽度，以覆盖有源区的一部分（大致对应于随后形成的栅区）。第二子侧墙2012例如可以包括多晶硅或非晶硅。在第二子侧墙2012的侧壁上，可以形成第三子侧墙2022。例如，第三子侧墙2022可以包括氮化物（例如，氮化硅），其尺寸可以与半导体器件的栅侧墙相对应（例如，宽度为约5-20nm）。这样，第二掩蔽层2020、第一子侧墙214、第二子侧墙2012和第三子侧墙2022露出了有源区的一部分。此时，可以进行源/漏形成工艺，来在该露出的有源区部分中形成源区和漏区中另一个。例如，可以利用以上结合图6所述的工艺，形成晕圈（未示出）、延伸区2024和源/漏注入区2026。关于晕圈、延伸区2024和源/漏注入区2026的详情，可以参见以上结合图6的描述。

接下来，如图25所示，可以进行退火处理例如尖峰退火、激光退火、快速退火等，以激活注入的杂质，形成最终的源/漏区2028。

随后，可以通过选择性刻蚀，去除第二子侧墙2012和第三子侧墙2022，使得留下第一子侧墙2014。例如，第二子侧墙2012（例如，多晶硅或非晶硅）可以通过TMAH溶液来选择性去除，第三子侧墙2022（例如，氮化硅）可以通过热磷酸来选择性去除。这样，就在第一子侧墙2014的一侧留下了较大的空间（大致对应于栅区+所述源区和漏区中另一个的区域），从而可以容易地进行栅堆叠的形成。

接下来的操作可以与图16所示的操作相同，在此不再赘述。例如，形成栅堆叠（包括栅介质层2030、功函数调节层2032和侧墙形式的栅导体2034），并形成电介质层2036。得到的器件与图16所示的器件也基本上类似，除了SSWR 2010偏向不同一侧之外。

尽管在对图22-26所示的实施例进行描述时并未提及IL，但是可以如上述实施例一样进行形成IL的工艺。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过各种技术手段，来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外，尽管在以上分别描述了各实施例，但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本公开的实施例进行了描述。但是，这些实施例仅仅是为了说明的目的，而并非为了限制本公开的范围。本公开的范围由所附权利要求及其等价物限定。不脱离本公开的范围，本领域技术人员可以做出多种替代和修改，这些替代和修改都应落在本公开的范围之内。

权 利 要 求

1．一种制造半导体器件的方法，包括：

在衬底上形成第一掩蔽层，并在该第一掩蔽层的侧壁上形成第一侧墙；

以第一掩蔽层、第一侧墙为掩模，形成源区和漏区之一；

在衬底上形成第二掩蔽层，并去除第一掩蔽层；

以第二掩蔽层、第一侧墙为掩模，形成源区和漏区中另一个；

去除第一侧墙的至少一部分；以及

形成栅介质层，并在第二掩蔽层或者第一侧墙的剩余部分的侧壁上以侧墙的形式形成栅导体。

2．根据权利要求 1 所述的方法，其中，形成第一侧墙的操作包括：

在第一掩蔽层的侧壁上形成第一子侧墙；以及

在第一子侧墙的侧壁上形成第二子侧墙。

3．根据权利要求 2 所述的方法，其中，形成源区和漏区中另一个的操作包括：

在第一侧墙的侧壁上形成第二侧墙；

以第二掩蔽层、第一侧墙和第二侧墙为掩模，形成所述源区和漏区中另一个。

4．根据权利要求 3 所述的方法，其中，去除第一侧墙的至少一部分包括：

去除第二侧墙和第一子侧墙。

5．根据权利要求 3 所述的方法，其中，

第一掩蔽层包括氮化物，

第二掩蔽层包括氧化物，

第一子侧墙包括多晶硅或非晶硅，

第二子侧墙包括氧化物，

第二侧墙包括氮化物。

6．根据权利要求 1 所述的方法，还包括：

以第一掩蔽层为掩模，在衬底中形成超陡后退阱。

7．根据权利要 1 所述的方法，其中，形成源区或漏区包括：

执行延伸区注入；和

执行源/漏注入。

8．根据权利要求 8 所述的方法，其中，形成源区或漏区还包括：

执行晕圈注入。

9．根据权利要求 1 所述的方法，还包括：

在衬底上形成界面层。

10．一种制造半导体器件的方法，包括：

在衬底上形成第一掩蔽层；

以第一掩蔽层为掩模，形成源区和漏区之一；

在衬底上形成第二掩蔽层，并去除第一掩蔽层的至少一部分；

在第二掩蔽层或者在第一掩蔽层的剩余部分的侧壁上形成第一侧墙；

以第二掩蔽层、可能的第一掩蔽层的剩余部分、第一侧墙为掩模，形成源区和漏区中另一个；

去除第一侧墙；以及

形成栅介质层，并在第二掩蔽层或者在第一掩蔽层的剩余部分的侧壁上以侧墙的形式形成栅导体。

11．根据权利要求 10 所述的方法，其中，形成第一掩蔽层的操作包括：

形成第一子掩蔽层；以及

在第一子掩蔽层的侧壁上形成第一子侧墙。

12．根据权利要求 11 所述的方法，其中，去除第一掩蔽层的至少一部分的操作包括：

去除第一子掩蔽层。

13．根据权利要求 12 所述的方法，其中，形成第一侧墙的操作包括：

在第一子侧墙的侧壁上形成第二子侧墙；以及

在第二子侧墙的侧壁上形成第三子侧墙。

14．根据权利要求 13 所述的方法，其中，

第一掩蔽层包括氮化物，

第二掩蔽层包括氧化物，

第一子侧墙包括氧化物，

第二子侧墙包括多晶硅或非晶硅，

第三子侧墙包括氮化物。

15．根据权利要求 11 所述的方法，还包括：

以第二掩蔽层和第一子侧墙为掩模，在衬底中形成超陡后退阱。

16．一种半导体器件，包括：

衬底；以及

在衬底上形成的源区和漏区以及栅堆叠，

其中，所述栅堆叠包括：

栅介质；和

栅导体，所述栅导体以侧墙形式形成于位于栅堆叠一侧的电介质层或者栅侧墙的侧壁上。

17．根据权利要求 16 所述的半导体器件，其中，栅介质层包括高 K 电介质材料，栅导体包括金属栅导体材料。

18．根据权利要求 16 所述的半导体器件，还包括：设置在栅介质层和栅导体之间的功函数调节层。

19．根据权利要求 18 所述的半导体器件，其中，所述功函数调节层包括 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTa、NiTa、MoN、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSi、Ni_3Si、Pt、Ru、Ir、Mo、HfRu、RuO_x及其组合。

20．根据权利要求 16 所述的半导体器件，还包括：

在衬底中形成的非对称超陡后退阱，该超陡后退阱延伸至源区或漏区一侧。

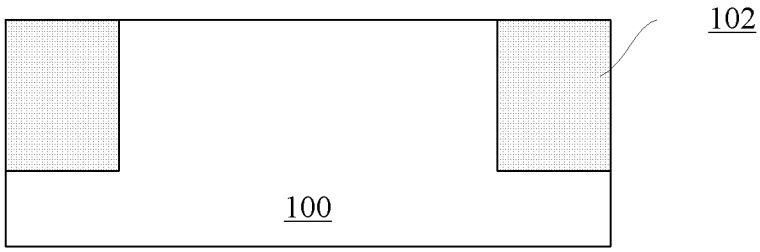


图1

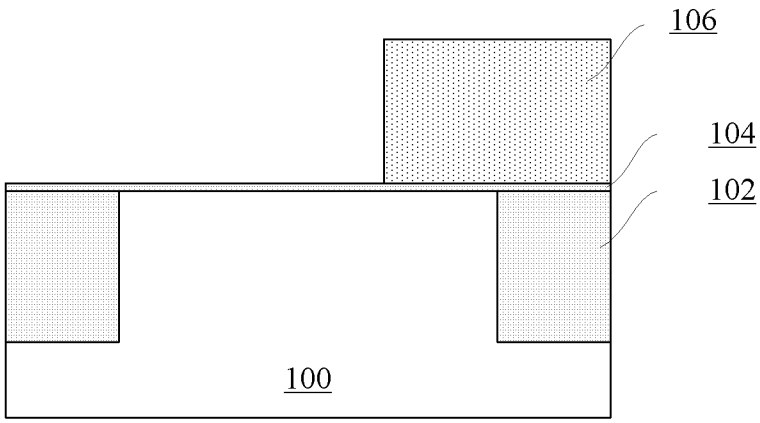


图2

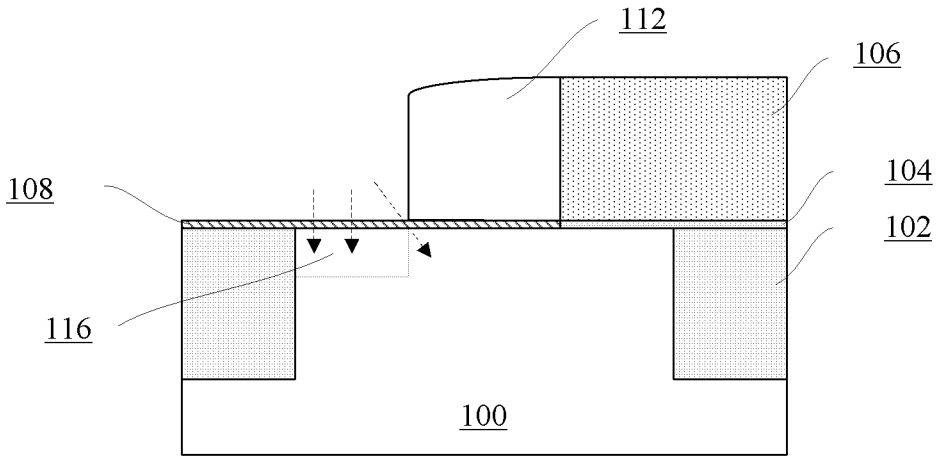


图3

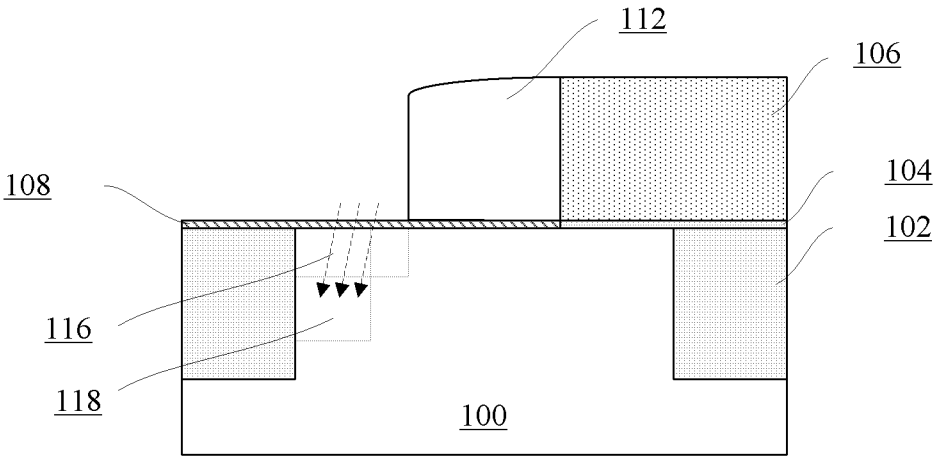


图4

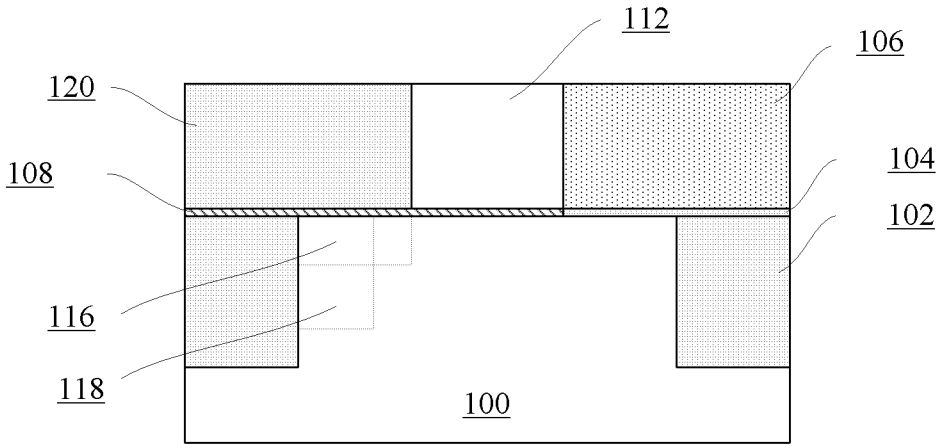

112
106
120
104
108
102
116
118
100

图5

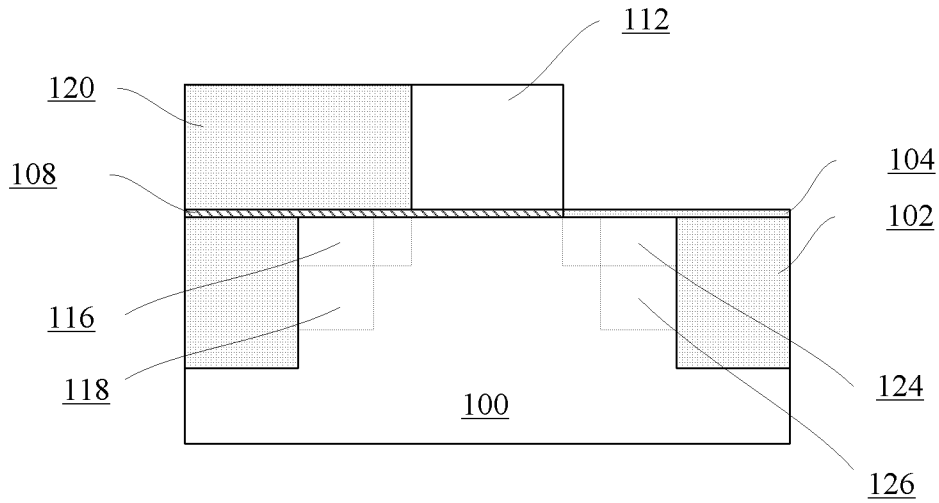

112
120
104
108
102
116
124
118
100
126

图6

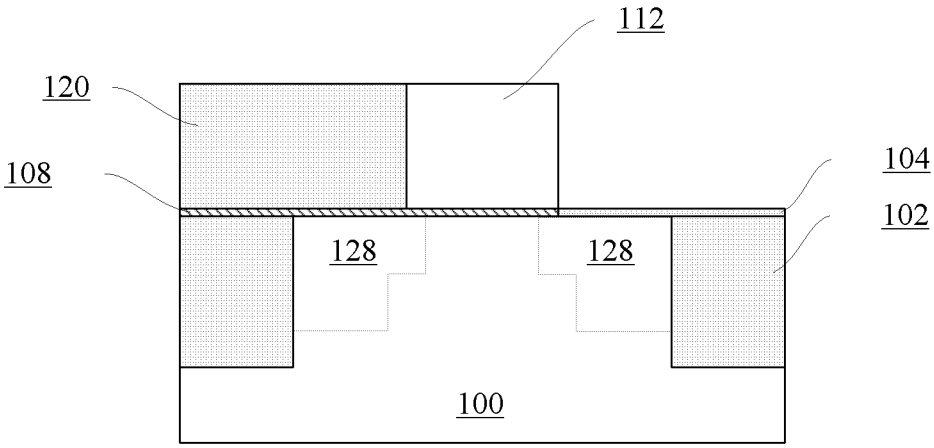

112
120
108
104
102
128
128
100

图7

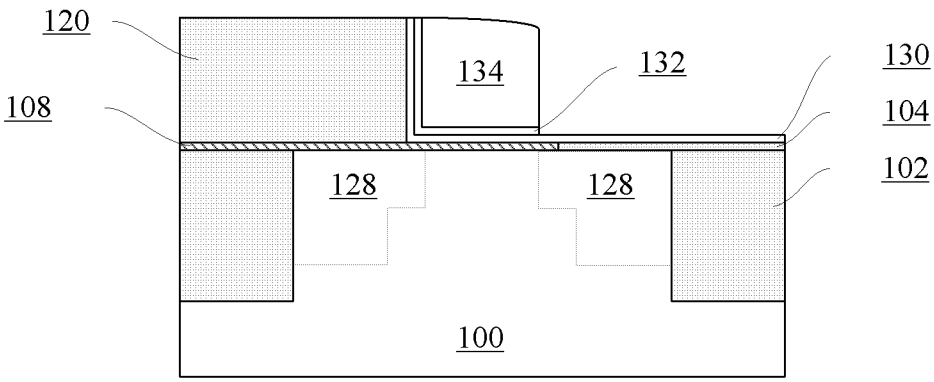

120
134
132
130
108
104
102
128
128
100

图8

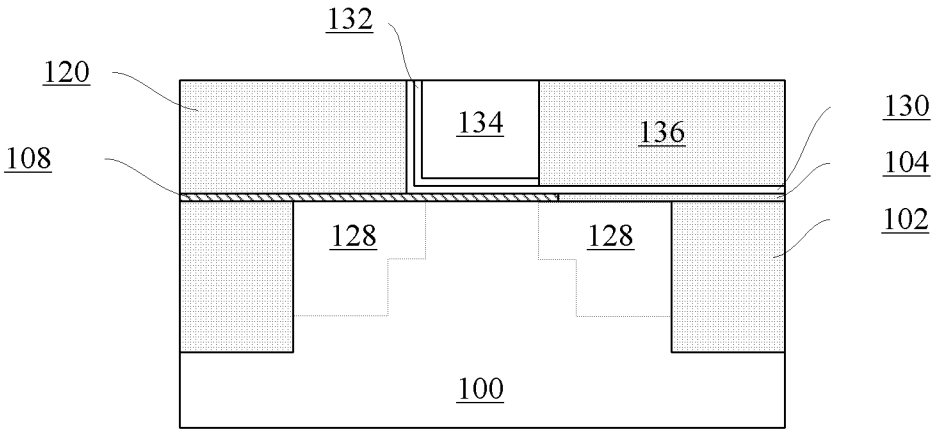

132
120
134
136
130
108
104
102
128
128
100

图9

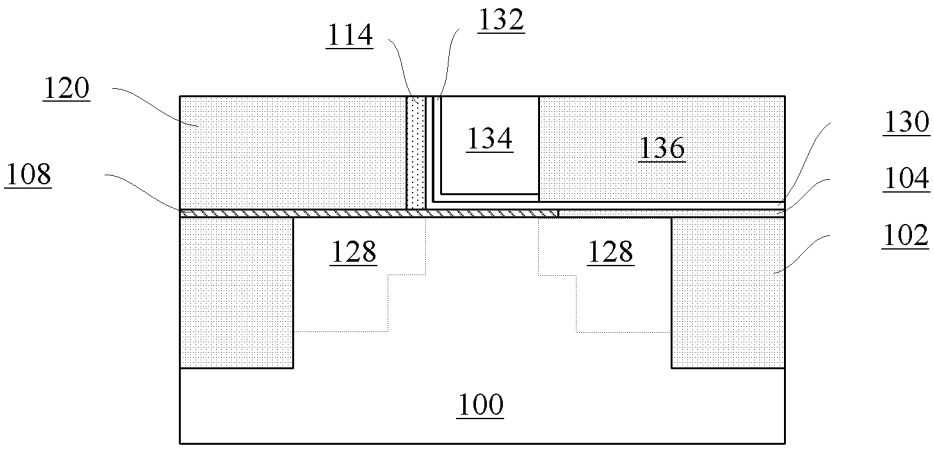

114
132
120
134
136
130
108
104
102
128
128
100

图10

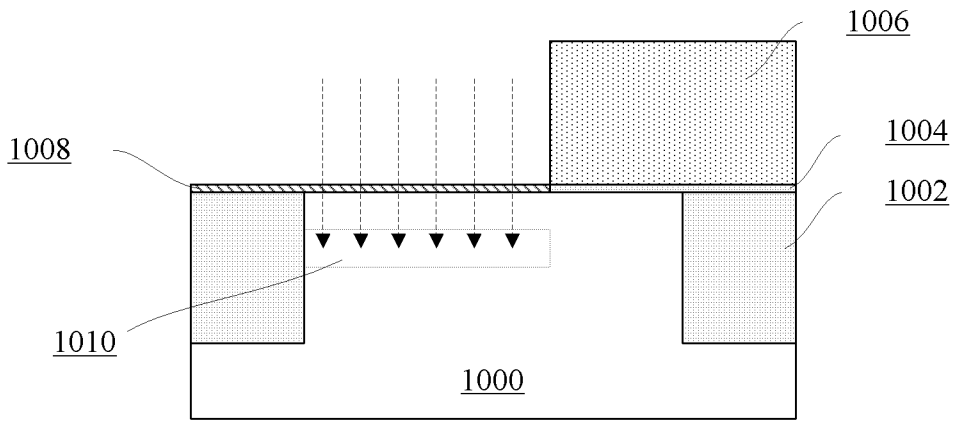

1006
1004
1008
1002
1010
1000

图11

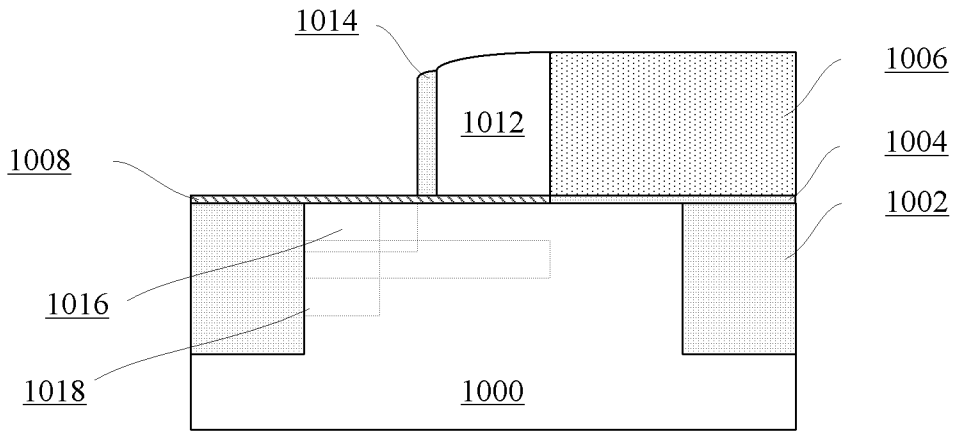

1014
1006
1012
1004
1008
1002
1016
1018
1000

图12

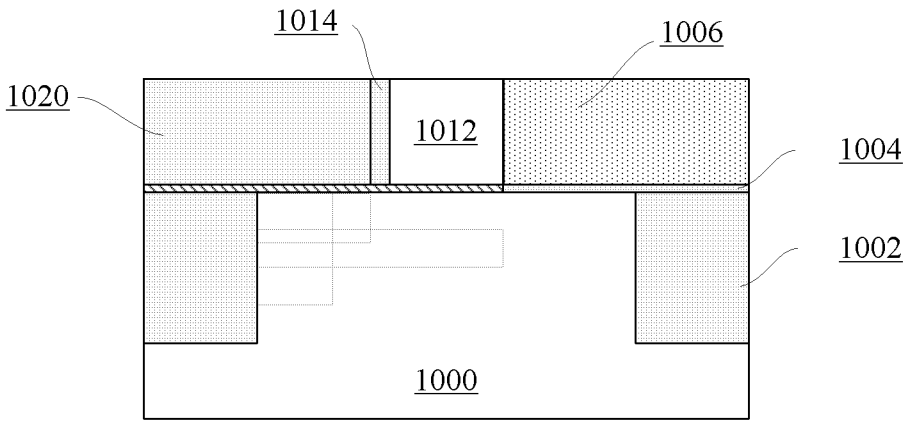

1014
1006
1020
1012
1004
1002
1000

图13

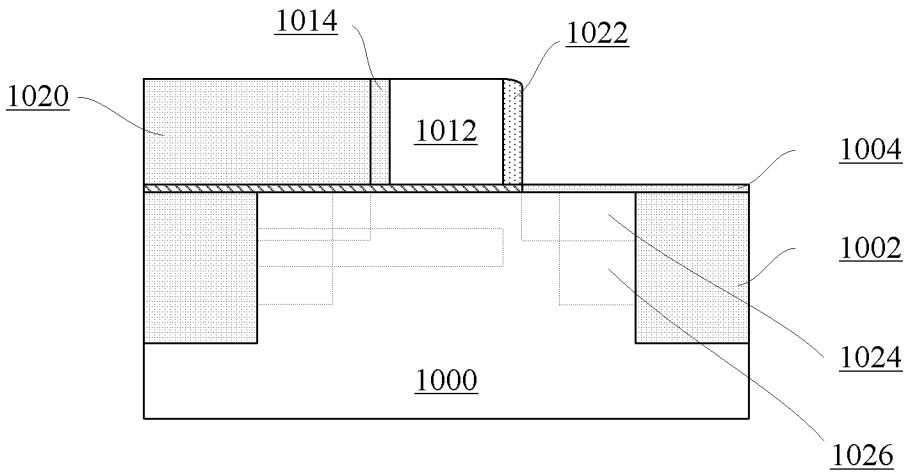

1014
1022
1020
1012
1004
1002
1024
1000
1026

图14

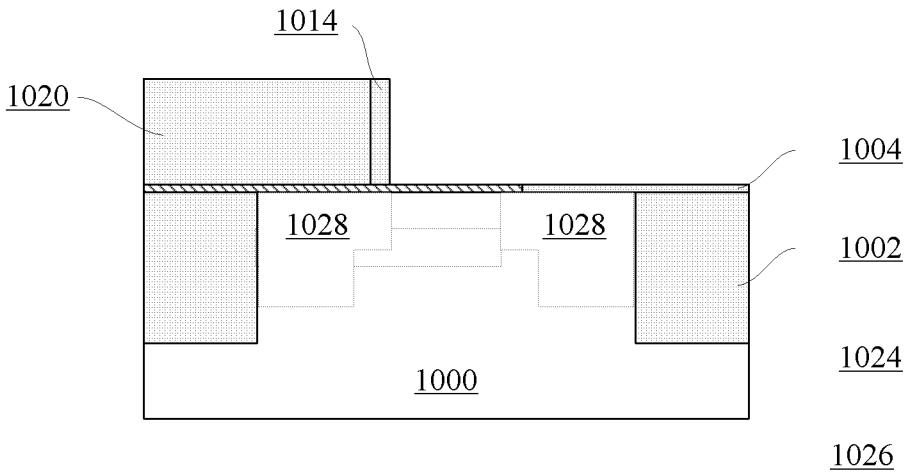

1014
1020
1004
1028
1028
1002
1024
1000
1026

图15

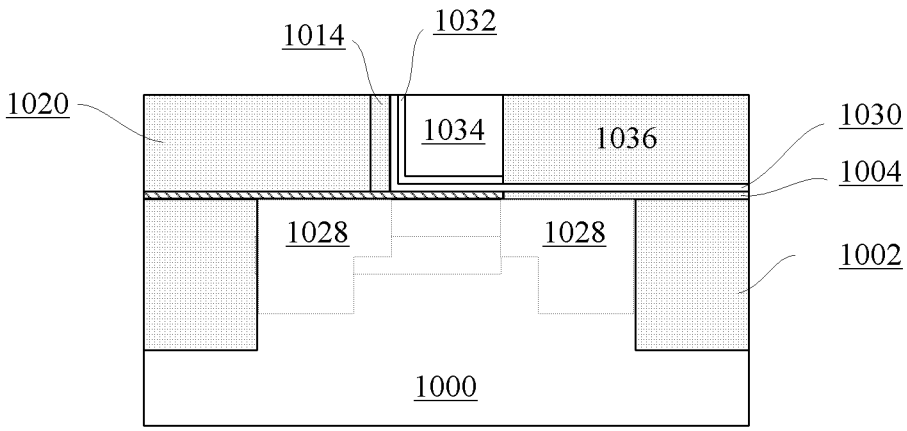

1014
1032
1020
1034
1036
1030
1004
1028
1028
1002
1000

图16

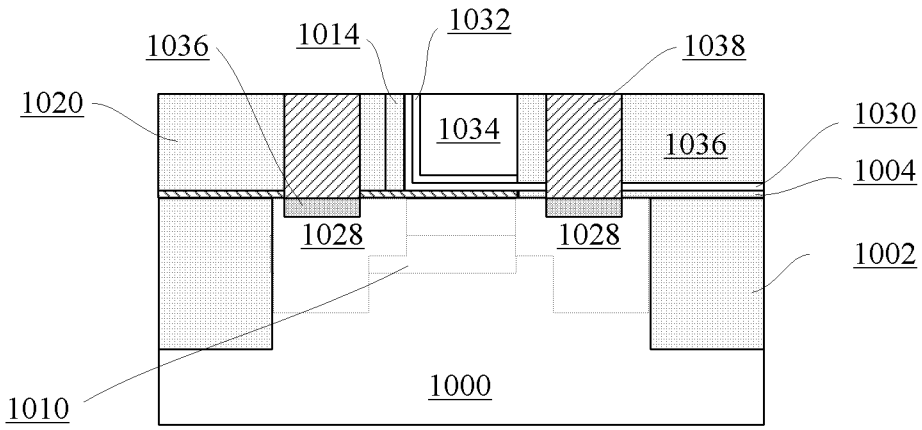

1036
1014
1032
1038
1020
1034
1036
1030
1004
1028
1028
1002
1010
1000

图17

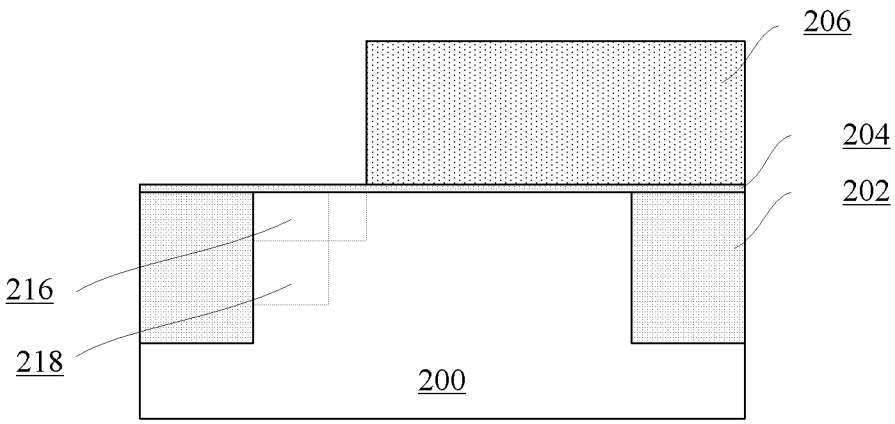

206
204
202
216
218
200

图18

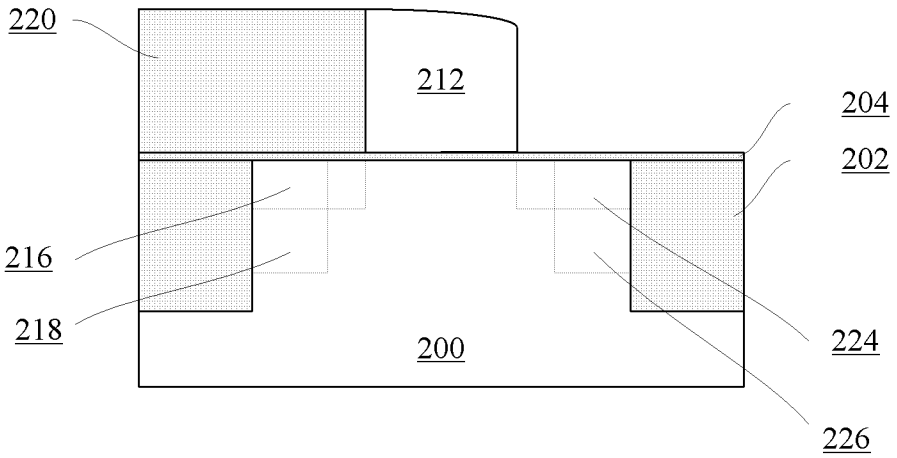

220
212
204
202
216
218
224
200
226

图19

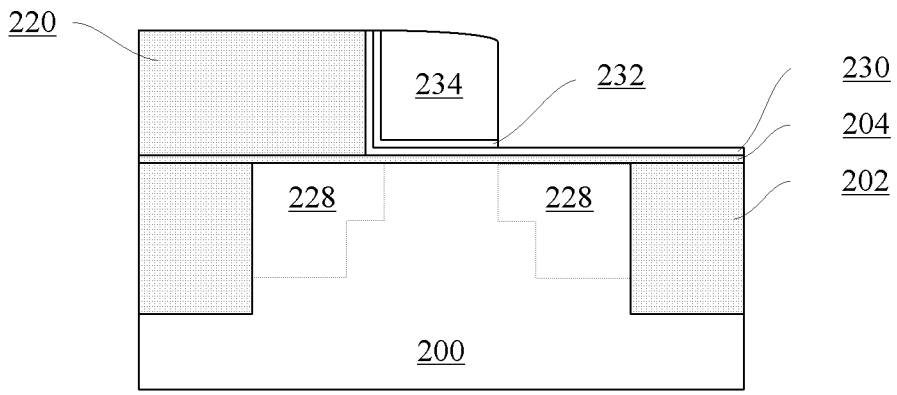

220
234
232
230
204
228
228
202
200

图20

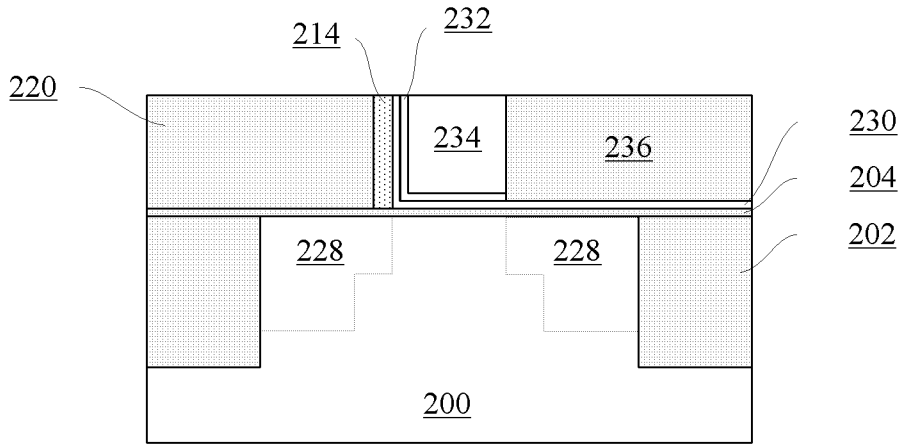

214
232
220
234
236
230
204
202
228
228
200

图21

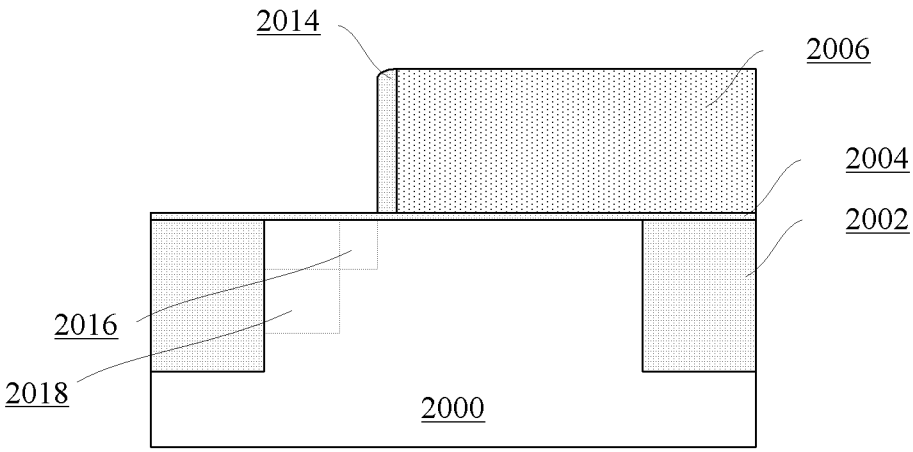

2014
2006
2004
2002
2016
2018
2000

图22

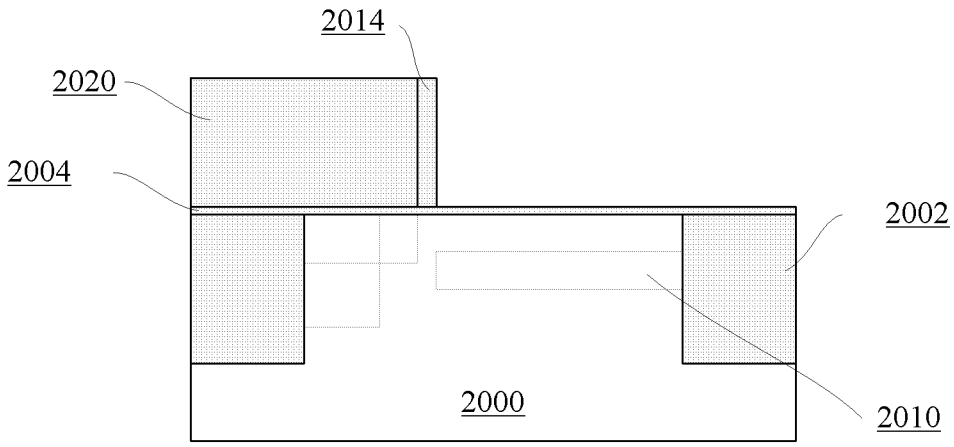

2014
2020
2004
2002
2000
2010

图23

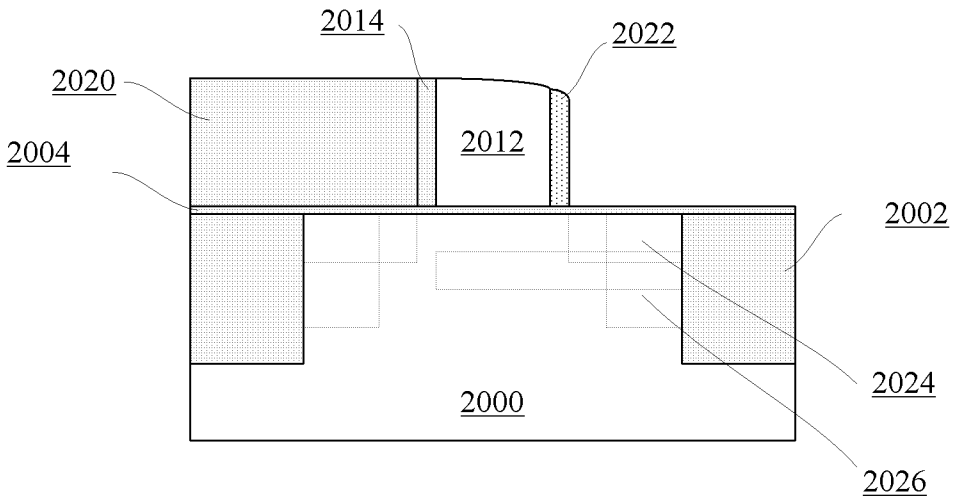

2014
2022
2020
2012
2004
2002
2024
2000
2026

图24

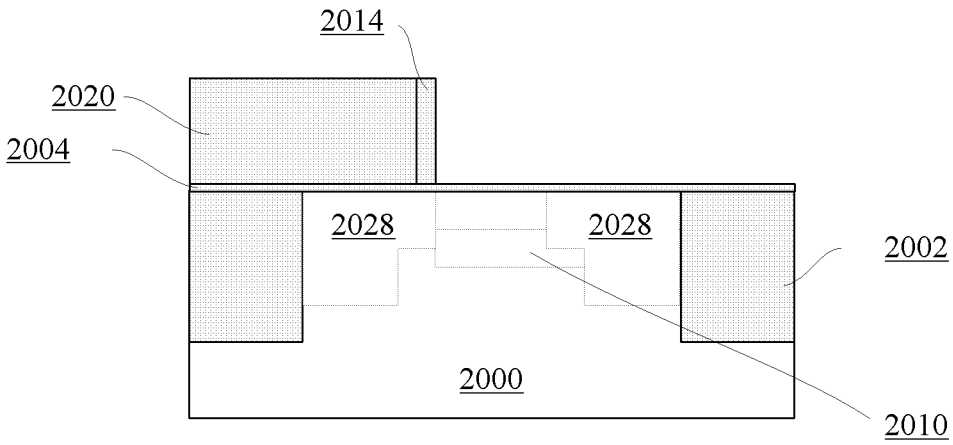

2014
2020
2004
2028
2028
2002
2000
2010

图25

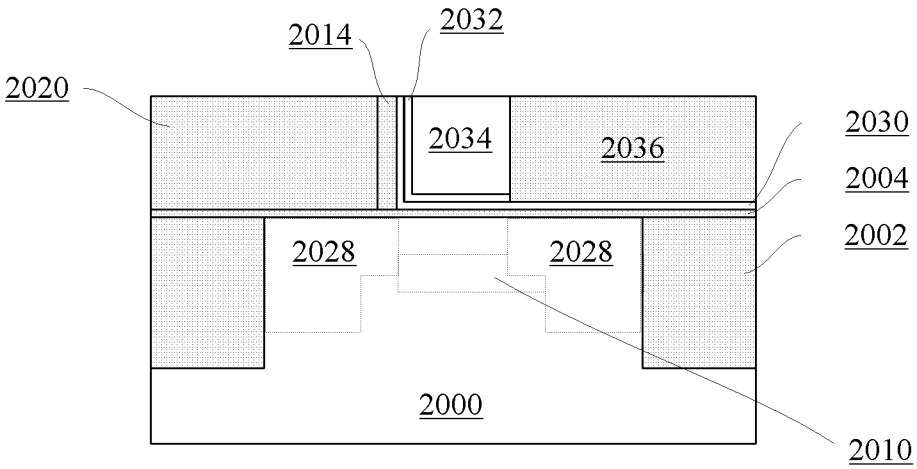

2014
2032
2020
2034
2036
2030
2004
2028
2028
2002
2000
2010

图26

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/075713

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: sidewall, work function, dummy, gate, spacer, source, drain, fill, work, function

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2009/0294873 A1 (ZHU et al.), 03 December 2009 (03.12.2009), description, paragraphs [0023]-[0051], and figures 1-7	16-17
Y		18-20
A		1-15
X	CN 101887916 A (INTERNATIONAL BUSINESS MACHINES CORP.), 17 November 2010 (17.11.2010), description, paragraphs [0027]-[0055], and figures 1-9	16-17
Y	CN 101840862 A (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES), 22 September 2010 (22.09.2010), description, paragraphs [0009]-[0021], and figures 1-7	18-20
A	US 2002/0001930 A1 (LEE), 03 January 2002 (03.01.2002), the whole document	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 February 2013 (06.02.2013)	**28 February 2013 (28.02.2013)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **WANG, Dan** Telephone No.: (86-10) **62411811**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/075713

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2009/0294873 A1	03.12.2009	US 7768006 B2	03.08.2010
CN 101887916 A	17.11.2010	US 2010289085 A1	18.11.2010
		JP 2010267964 A	25.11.2010
		KR 20100123595 A	24.11.2010
		US 7999332 B2	16.08.2011
CN 101840862 A	22.09.2010	WO 2011044776 A1	21.04.2011
		US 2011256683 A1	20.10.2011
		US 8329566 B2	11.12.2012
US 2002/0001930 A1	03.01.2002	KR 20020002093 A	09.01.2002
		US 6627488 B2	30.09.2003
		KR 372641 B	17.02.2003

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/075713

CONTINUATION: A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 29/78 (2006.01) i

国际检索报告

国际申请号
PCT/CN2012/075713

A. 主题的分类

见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC：H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI, CNPAT, WPI, EPODOC: 伪, 栅, 闸, 虚, 假, 源, 漏, 间隙壁, 侧墙, 填充, 功函数, dummy, gate, spacer, source, drain, fill, work, function

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US2009/0294873A1（ZHU et al.）03.12 月 2009（03.12.2009） 说明书第[0023]段-[0051] 段，附图 1-7	16-17
Y		18-20
A		1-15
X	CN101887916A（国际商业机器公司）17.11 月 2010（17.11.2010） 说明书第[0027]段-[0055]段，附图 1-9	16-17
Y	CN101840862A（中国科学院微电子研究所）22.9 月 2010（22.09.2010） 说明书第[0009]段-[0021]段，附图 1-7	18-20
A	US2002/0001930A1（LEE）03.1 月 2002（03.01.2002） 全文	1-20

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
06.2 月 2013（06.02.2013）	**28.2 月 2013 (28.02.2013)**
ISA/CN 的名称和邮寄地址： 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号：　(86-10)62019451	受权官员 王丹 电话号码：(86-10) **62411811**

国际检索报告

关于同族专利的信息

国际申请号
PCT/CN2012/075713

检索报告中引用的专利文件	公布日期	同族专利	公布日期
US2009/0294873A1	03.12.2009	US7768006B2	03.08.2010
CN101887916A	17.11.2010	US2010289085A1	18.11.2010
		JP2010267964A	25.11.2010
		KR20100123595A	24.11.2010
		US7999332B2	16.08.2011
CN101840862A	22.09.2010	WO2011044776A1	21.04.2011
		US2011256683A1	20.10.2011
		US8329566B2	11.12.2012
US2002/0001930A1	03.01.2002	KR20020002093A	09.01.2002
		US6627488B2	30.09.2003
		KR372641B	17.02.2003

续： **A. 主题的分类**

H01L 21/336(2006.01)i

H01L 29/78(2006.01)i