

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成18年6月29日(2006.6.29)

【公開番号】特開2003-346475(P2003-346475A)

【公開日】平成15年12月5日(2003.12.5)

【出願番号】特願2003-138724(P2003-138724)

【国際特許分類】

<b>G 11 C</b>	<b>11/15</b>	<b>(2006.01)</b>
<b>H 01 L</b>	<b>43/08</b>	<b>(2006.01)</b>
<b>H 01 L</b>	<b>27/105</b>	<b>(2006.01)</b>
<b>H 01 L</b>	<b>21/8246</b>	<b>(2006.01)</b>

【F I】

<b>G 11 C</b>	<b>11/15</b>	<b>1 5 0</b>
<b>G 11 C</b>	<b>11/15</b>	<b>1 1 0</b>
<b>G 11 C</b>	<b>11/15</b>	<b>1 4 0</b>
<b>H 01 L</b>	<b>43/08</b>	<b>Z</b>
<b>H 01 L</b>	<b>27/10</b>	<b>4 4 7</b>

【手続補正書】

【提出日】平成18年5月11日(2006.5.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

データ記憶デバイスであって、  
行および列を有する抵抗性メモリセルのアレイと、  
前記アレイ内の複数の抵抗性メモリセルに電気的に直列に接続される1組のダイオード  
と、

前記アレイの前記行に沿って延在する複数のワード線と、  
前記アレイの前記列に沿って延在する複数のビット線と、

前記アレイ内の第1の選択された抵抗性メモリセルであって、前記複数のワード線のうちの第1のワード線と前記複数のビット線のうちの第1のビット線との間に配置される、  
第1の選択された抵抗性メモリセルと、

前記アレイに電気的に接続され、前記第1のワード線に第1の電圧を印加し、前記第1のビット線に第2の電圧を印加し、及び、前記複数のワード線のうちの第2のワード線と前記複数のビット線のうちの第2のビット線との少なくとも一方に第3の電圧を印加する  
ことができる回路

とを含む、データ記憶デバイス。

【請求項2】

抵抗性メモリセルの前記アレイは、磁気ランダムアクセスメモリ(MRAM)セルを含む、請求項1のデバイス。

【請求項3】

前記MRAMセルはトンネル接合を含む、請求項2のデバイス。

【請求項4】

前記1組のダイオードは薄膜ダイオードから構成される、請求項1のデバイス。

【請求項5】

前記アレイ内に第2の抵抗性メモリセルをさらに含み、前記第2の抵抗性メモリセルは前記第1の選択された抵抗性メモリセル上に積重される、請求項1のデバイス。

【請求項6】

前記回路は、前記第1のワード線および前記第1のビット線に対して、前記第1の選択された抵抗性メモリセルを第1の抵抗状態から第2の抵抗状態に変化させるだけの十分なエネルギーを加えることにより、前記第1の選択された抵抗性メモリセルに書き込みを行うことができる、請求項1のデバイス。

【請求項7】

前記回路が、前記第1の選択された抵抗性メモリセルを流れる電流を読み取ることができる、請求項1のデバイス。

【請求項8】

前記第1の電圧の値と前記第3の電圧の値はほぼ等しい、請求項1のデバイス。

【請求項9】

前記回路は、前記第2のワード線と前記第2のビット線の少なくとも一方を接地することができる、請求項1のデバイス。

【請求項10】

データ記憶デバイスが、

抵抗性メモリセルのアレイと、

前記アレイの行に沿って延在する複数のワード線と、

前記アレイの列に沿って延在する複数のビット線と、

前記アレイ内の第1の選択された抵抗性メモリセルであって、前記複数のワード線のうちの第1のワード線と前記複数のビット線のうちの第1のビット線との間に配置される、第1の選択された抵抗性メモリセルと、

前記アレイに電気的に接続される回路

とを含み、前記データ記憶デバイス内の前記第1の選択された抵抗性メモリセルの抵抗状態を読み取る方法であって、

前記アレイ内の複数の抵抗性メモリセルに電気的に接続される1組のダイオードを設けるステップと、

前記第1のワード線に第1の電圧を印加し、前記第1のビット線に第2の電圧を印加し、前記複数のワード線のうちの第2のワード線と前記複数のビット線のうちの第2のビット線との少なくとも一方に第3の電圧を印加するステップと、

前記第1の選択された抵抗性メモリセルに流れる信号電流を読み取るステップを含む、方法。

【請求項11】

前記信号電流を基準電流値と比較することにより、前記第1の選択された抵抗性メモリセルの特定の抵抗状態を判定するステップをさらに含む、請求項10の方法。

【請求項12】

前記設けるステップが、1組の薄膜ダイオードを設けるステップを含む、請求項10の方法。

【請求項13】

前記読み取るステップは、磁気ランダムアクセスメモリ(MRAM)セルを流れる信号電流を読み取るステップを含む、請求項10の方法。

【請求項14】

前記印加するステップが、前記第3の電圧を前記第1のワード線以外の複数のワード線に印加するステップを含む、請求項10の方法。

【請求項15】

前記印加するステップが、前記第3の電圧を前記第1のビット線以外の複数のビット線に印加するステップを含む、請求項10の方法。

【請求項16】

前記第1の選択された抵抗性メモリセルに対して積重された構成をなすように配置され

た第2の抵抗性メモリセルを流れる信号電流を読み取るステップをさらに含む、請求項10の方法。

【請求項17】

前記印加するステップは、ほぼ等しい値を有する前記第1の電圧と前記第3の電圧とを印加するステップを含む、請求項10の方法。

【請求項18】

前記印加するステップが、前記第2のワード線と前記第2のビット線の少なくとも一方を接地するステップを含む、請求項10の方法。

【請求項19】

前記第1の電圧および前記第2の電圧が前記第1の選択された抵抗性メモリセルを第1の抵抗状態から第2の抵抗状態に変更するように前記第1の電圧および前記第2の電圧を選択することにより、前記第1の選択された抵抗性メモリセルにデータを書き込むステップをさらに含む、請求項10の方法。

【請求項20】

前記設けるステップが、前記1組のダイオードが前記複数の抵抗性メモリセルに電気的に直列に接続されるようにするステップを含む、請求項10の方法。