

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 18 年 6 月 29 日 (2006.6.29)

【公開番号】特開 2003-346475 (P2003-346475A)

【公開日】平成 15 年 12 月 5 日 (2003.12.5)

【出願番号】特願 2003-138724 (P2003-138724)

【国際特許分類】

G 1 1 C 11/15 (2006.01)

H 0 1 L 43/08 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 21/8246 (2006.01)

【F I】

G 1 1 C 11/15 1 5 0

G 1 1 C 11/15 1 1 0

G 1 1 C 11/15 1 4 0

H 0 1 L 43/08 Z

H 0 1 L 27/10 4 4 7

【手続補正書】

【提出日】平成 18 年 5 月 11 日 (2006.5.11)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

データ記憶デバイスであって、
行および列を有する抵抗性メモリセルのアレイと、
前記アレイ内の複数の抵抗性メモリセルに電氣的に直列に接続される 1 組のダイオードと、

前記アレイの前記行に沿って延在する複数のワード線と、
前記アレイの前記列に沿って延在する複数のビット線と、
前記アレイ内の第 1 の選択された抵抗性メモリセルであって、前記複数のワード線のうちの第 1 のワード線と前記複数のビット線のうちの第 1 のビット線との間に配置される、第 1 の選択された抵抗性メモリセルと、

前記アレイに電氣的に接続され、前記第 1 のワード線に第 1 の電圧を印加し、前記第 1 のビット線に第 2 の電圧を印加し、及び、前記複数のワード線のうちの第 2 のワード線と前記複数のビット線のうちの第 2 のビット線との少なくとも一方に第 3 の電圧を印加することができる回路
とを含む、データ記憶デバイス。

【請求項 2】

抵抗性メモリセルの前記アレイは、磁気ランダムアクセスメモリ (M R A M) セルを含む、請求項 1 のデバイス。

【請求項 3】

前記 M R A M セルはトンネル接合を含む、請求項 2 のデバイス。

【請求項 4】

前記 1 組のダイオードは薄膜ダイオードから構成される、請求項 1 のデバイス。

【請求項 5】

前記アレイ内に第２の抵抗性メモリセルをさらに含み、前記第２の抵抗性メモリセルは前記第１の選択された抵抗性メモリセル上に積重される、請求項１のデバイス。

【請求項６】

前記回路は、前記第１のワード線および前記第１のビット線に対して、前記第１の選択された抵抗性メモリセルを第１の抵抗状態から第２の抵抗状態に変化させるだけの十分なエネルギーを加えることにより、前記第１の選択された抵抗性メモリセルに書込みを行うことができる、請求項１のデバイス。

【請求項７】

前記回路が、前記第１の選択された抵抗性メモリセルを流れる電流を読み取ることができる、請求項１のデバイス。

【請求項８】

前記第１の電圧の値と前記第３の電圧の値はほぼ等しい、請求項１のデバイス。

【請求項９】

前記回路は、前記第２のワード線と前記第２のビット線の少なくとも一方を接地することができる、請求項１のデバイス。

【請求項１０】

データ記憶デバイスが、
抵抗性メモリセルのアレイと、
前記アレイの行に沿って延在する複数のワード線と、
前記アレイの列に沿って延在する複数のビット線と、
前記アレイ内の第１の選択された抵抗性メモリセルであって、前記複数のワード線のうちの第１のワード線と前記複数のビット線のうちの第１のビット線との間に配置される、第１の選択された抵抗性メモリセルと、
前記アレイに電氣的に接続される回路
とを含み、前記データ記憶デバイス内の前記第１の選択された抵抗性メモリセルの抵抗状態を読み取する方法であって、
前記アレイ内の複数の抵抗性メモリセルに電氣的に接続される１組のダイオードを設けるステップと、
前記第１のワード線に第１の電圧を印加し、前記第１のビット線に第２の電圧を印加し、前記複数のワード線のうちの第２のワード線と前記複数のビット線のうちの第２のビット線との少なくとも一方に第３の電圧を印加するステップと、
前記第１の選択された抵抗性メモリセルに流れる信号電流を読み取るステップ
を含む、方法。

【請求項１１】

前記信号電流を基準電流値と比較することにより、前記第１の選択された抵抗性メモリセルの特定の抵抗状態を判定するステップをさらに含む、請求項１０の方法。

【請求項１２】

前記設けるステップが、１組の薄膜ダイオードを設けるステップを含む、請求項１０の方法。

【請求項１３】

前記読み取るステップは、磁気ランダムアクセスメモリ（ＭＲＡＭ）セルを流れる信号電流を読み取るステップを含む、請求項１０の方法。

【請求項１４】

前記印加するステップが、前記第３の電圧を前記第１のワード線以外の複数のワード線に印加するステップを含む、請求項１０の方法。

【請求項１５】

前記印加するステップが、前記第３の電圧を前記第１のビット線以外の複数のビット線に印加するステップを含む、請求項１０の方法。

【請求項１６】

前記第１の選択された抵抗性メモリセルに対して積重された構成をなすように配置され

た第 2 の抵抗性メモリセルを流れる信号電流を読み取るステップをさらに含む、請求項 10 の方法。

【請求項 17】

前記印加するステップは、ほぼ等しい値を有する前記第 1 の電圧と前記第 3 の電圧とを印加するステップを含む、請求項 10 の方法。

【請求項 18】

前記印加するステップが、前記第 2 のワード線と前記第 2 のビット線の少なくとも一方を接地するステップを含む、請求項 10 の方法。

【請求項 19】

前記第 1 の電圧および前記第 2 の電圧が前記第 1 の選択された抵抗性メモリセルを第 1 の抵抗状態から第 2 の抵抗状態に変更するように前記第 1 の電圧および前記第 2 の電圧を選択することにより、前記第 1 の選択された抵抗性メモリセルにデータを書き込むステップをさらに含む、請求項 10 の方法。

【請求項 20】

前記設けるステップが、前記 1 組のダイオードが前記複数の抵抗性メモリセルに電氣的に直列に接続されるようにするステップを含む、請求項 10 の方法。