



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0077758
(43) 공개일자 2009년07월15일

(51) Int. Cl.

H01L 29/788 (2006.01) H01L 27/105 (2006.01)

(21) 출원번호 10-2009-7006400

(22) 출원일자 2007년05월07일

심사청구일자 없음

(85) 번역문제출일자 2009년03월27일

(86) 국제출원번호 PCT/US2007/068339

(87) 국제공개번호 WO 2008/045589

국제공개일자 2008년04월17일

(30) 우선권주장

11/548,231 2006년10월10일 미국(US)

(71) 출원인

월커 앤드류 제이.

미국 캘리포니아주 (우편번호 94040) 마운틴 뷰
코넬 드라이브 1638

(72) 발명자

월커 앤드류 제이.

미국 캘리포니아주 (우편번호 94040) 마운틴 뷰
코넬 드라이브 1638

(74) 대리인

김명신, 박장규, 김민철

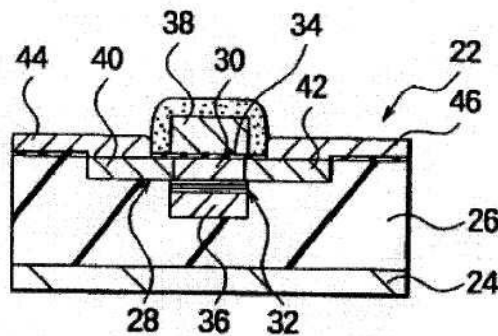
전체 청구항 수 : 총 41 항

(54) 듀얼-게이트 장치 및 그 제조 방법

(57) 요약

듀얼-게이트 메모리 셀을 포함하는 메모리 회로와 그러한 메모리 회로를 제작하는 방법이 개시되다. 듀얼-게이트 메모리 셀은 반도체 레이어의 상이한 표면에 제공되는 각각의 1열 영역을 구비하는 반도체 레이어를 공유하는 액세스 장치와 메모리 장치를 각각 포함한다. 반도체 레이어는 메모리 장치와 액세스 장치의 게이트 전극 사이의 전기적 상호작용에 비례하는 민감도 파라미터가 기설정된 값 이하가 되도록 하는 두께를 가진다. 듀얼-게이트 메모리 셀은 NAND 스트링에 의해 형성되는 메모리 어레이와 같은 비휘발성 메모리 어레이에 대한 빌딩 블록으로 사용될 수 있다. 그러한 어레이 내에서, NAND 스트링 내의 가까운 메모리 장치의 프로그래밍 동안, 프로그래밍되지 않아야 할 NAND 스트링에서, 역전 영역이 반도체 레이어에 형성되는 것이 허용되거나, 반도체 레이어의 전기적 플로팅이 허용되면, 메모리 장치의 프로그래밍을 억제하도록 메모리 장치와 액세스 장치 사이에 전기적 상호작용이 존재한다.

대표도 - 도1



특허청구의 범위

청구항 1

듀얼-게이트 메모리 셀에 있어서,

반도체 레이어의 제 1 표면에 제공되는 채널 영역을 포함한 메모리 장치; 및

상기 반도체 레이어의 제 2 표면에 제공되는 채널 영역을 포함한 액세스 장치;를 포함하고,

상기 채널 영역의 두께는 상기 액세스 장치와 상기 메모리 장치 사이의 민감도 파라미터가 기설정된 값 이하가 되도록 제공되는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 2

제 1 항에 있어서,

상기 반도체 레이어의 상기 제 2 표면이 전기적 플로팅이 허용될 때, 전기적 상호작용이 상기 액세스 장치와 상기 메모리 장치 사이에 존재하여 상기 메모리 장치의 프로그래밍을 억제하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 3

제 1 항에 있어서,

상기 반도체 레이어는 다결정질 반도체 물질을 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 4

제 1 항에 있어서,

상기 다결정질 반도체 물질은 다결정질 실리콘, 다결정질 게르마늄, 및 다결정질 실리콘과 다결정질 게르마늄의 화합물을 포함하는 그룹으로부터 선택되는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 5

제 1 항에 있어서,

상기 메모리 장치는 비휘발성 메모리 장치를 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 6

제 5 항에 있어서,

상기 메모리 장치는 실리콘 옥사이드와 실리콘 나이트라이드 물질을 포함하는 합성 유전체 레이어를 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 7

제 6 항에 있어서,

상기 실리콘 나이트라이드 물질은 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 실리콘-리치 실리콘 나이트라이드, 및 상기 실리콘과 산소 성분의 공간적 변이를 가지는 실리콘 나이트라이드를 포함하는 그룹으로부터 선택되는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 8

제 5 항에 있어서,

상기 메모리 장치는 플로팅 도전체를 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 9

제 8 항에 있어서,

상기 플로팅 도전체는 게이트 전극과 상기 반도체 레이어 사이에 위치하는 나노-결정을 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 10

제 9 항에 있어서,

상기 나노-결정은 실리콘, 게르마늄, 텅스텐, 및 텅스텐 나이트라이드를 포함하는 그룹으로부터 선택된 물질을 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 11

제 1 항에 있어서,

상기 듀얼-게이트 메모리 셀은 절연체 상에 형성되는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 12

제 1 항에 있어서,

상기 민감도 파라미터는 0.8 이하인 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 13

NAND-타입 메모리 스트링을 포함하는 메모리 회로에 있어서,

상기 NAND-타입 메모리 스트링은,

비트 라인 접촉;

소스 접촉; 및

소스/드레인 영역에 의해 직렬로 연결된 복수의 듀얼-게이트 메모리 셀을 포함하고,

(a) 상기 직렬로 연결된 듀얼-게이트 메모리 셀의 일 종단의 제 1 소스/드레인 영역은 선택 가능하게 전기적으로 상기 비트 라인 접촉에 연결되고, 상기 직렬로 연결된 듀얼-게이트 메모리 셀의 타 종단의 제 2 소스/드레인 영역은 선택 가능하게 전기적으로 상기 소스 접촉에 연결되고,

(b) 상기 듀얼-게이트 메모리 셀 각각은,

반도체 레이어의 제 1 표면에 제공되는 채널 영역을 포함한 메모리 장치; 및

상기 반도체 레이어의 제 2 표면에 제공되는 채널 영역을 구비한 액세스 장치;를 포함하고, 상기 반도체 레이어의 두께는 상기 액세스 장치와 상기 메모리 장치 사이의 민감도 파라미터가 기설정된 값 이하가 되도록 제공되는 것을 특징으로 하는 메모리 회로.

청구항 14

제 13 항에 있어서,

상기 비트 라인 접촉과 상기 제 1 소스/드레인 영역은 선택 장치를 통해 연결되는 것을 특징으로 하는 메모리 회로.

청구항 15

제 14 항에 있어서,

상기 소스 접촉과 상기 제 2 소스/드레인 영역은 선택 장치를 통해 연결되는 것을 특징으로 하는 메모리 회로.

청구항 16

제 13 항에 있어서,

상기 반도체 레이어의 제 2 표면이 전기적 플로팅이 허용될 때,

전기적 상호작용이 상기 액세스 장치와 상기 메모리 장치 사이에 존재하여 상기 메모리 장치의 프로그래밍을 억제하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

청구항 17

제 13 항에 있어서,

상기 듀얼-게이트 메모리 셀 중 하나를 프로그래밍 시,

제 1 반전 채널 영역이 상기 듀얼-게이트 메모리 셀의 상기 메모리 장치의 상기 채널 영역에 형성되고,

제 2 반전 채널 영역이 프로그래밍될 상기 듀얼-게이트 메모리 셀과 상기 비트라인 접촉 사이의 액세스 장치에 형성되며,

상기 제 1 반전 채널은 상기 제 2 반전 채널을 통해 기설정된 전압으로 전기적으로 연결되는 것을 특징으로 하는 메모리 회로.

청구항 18

제 13 항에 있어서,

상기 듀얼-게이트 메모리 셀 중 하나를 판독할 때,

반전 채널 영역이 판독될 상기 듀얼-게이트 메모리 셀과 상기 비트 라인 접촉 사이의 액세스 장치의 상기 채널 영역에 형성되고,

판독될 상기 듀얼-게이트 메모리 셀에 인접하는 상기 소스/드레인 영역 중 하나는 상기 반전 채널을 통해 기설정된 전압으로 전기적으로 연결되는 것을 특징으로 하는 메모리 회로.

청구항 19

제 13 항에 있어서,

제 1 NAND-타입 메모리 스트링과 실질적으로 동일한 제 2 NAND-타입 메모리 스트링을 추가로 포함하고,

상기 제 1 및 제 2 NAND-타입 메모리 스트링 내의 상기 메모리 장치의 상응하는 게이트 전극은 워드 라인에 의해 연결되는 것을 특징으로 하는 메모리 회로.

청구항 20

제 19 항에 있어서,

상기 제 1 및 제 2 NAND-타입 메모리 스트링 내의 상기 액세스 장치의 상응하는 게이트 전극은 워드 라인에 의해 연결되는 것을 특징으로 하는 메모리 회로.

청구항 21

제 19 항에 있어서,

상기 제 1 NAND-타입 메모리 스트링 내의 듀얼-게이트 메모리 셀을 프로그래밍 할 때,

제 1 기설정된 전압이 상기 제 1 NAND-타입 메모리 스트링의 상기 비트 라인 접촉에 인가되고,

상기 기설정된 전압 범위 내의 전압이 상기 비트 라인 접촉과 상기 듀얼-게이트 메모리 셀 사이의 액세스 장치로 연결하는 상기 워드 라인에 인가되는 것을 특징으로 하는 메모리 회로.

청구항 22

제 21 항에 있어서,

상기 제 1 및 제 2 NAND-타입 메모리 스트링 내의 메모리 장치의 상기 상응하는 게이트 전극을 연결하는 상기 워드 라인에 프로그래밍 전압이 인가되어, 반전 영역이 상기 제 2 NAND-타입 메모리 스트링의 상기 메모리 장치의 상기 채널 영역 안에 형성되며, 상기 반전 영역은 전기적으로 플로팅하게 하는 것을 특징으로 메모리 회로

청구항 23

제 21 항에 있어서,

상기 제 1 NAND-타입 메모리 스트링 내의 상기 듀얼-게이트 메모리 셀과 상기 비트 라인 접촉과의 사이의 듀얼-게이트 메모리 셀에 상응하는 상기 듀얼-게이트 장치에 인접하는 상기 제 2 NAND-타입 메모리 스트링의 상기 소스/드레인 영역은 전기적으로 플로팅하도록 허용되는 것을 특징으로 하는 메모리 회로.

청구항 24

제 21 항에 있어서,

상기 제 1 NAND-타입 메모리 스트링의 듀얼-게이트 메모리 셀을 프로그래밍할 때,

상기 제 2 NAND 타입 메모리 스트링의 상기 비트 라인 접촉은 전기적으로 플로팅하도록 허용되는 것을 특징으로 하는 메모리 회로.

청구항 25

제 21 항에 있어서,

상기 제 1 NAND-타입 메모리 스트링의 듀얼-게이트 메모리 셀을 프로그래밍할 때,

상기 제 2 NAND 타입 메모리 스트링의 상기 비트 라인 접촉이 기설정된 전압으로 연결되는 것을 특징으로 하는 메모리 회로.

청구항 26

제 21 항에 있어서,

상기 제 1 NAND-타입 메모리 스트링의 듀얼-게이트 메모리 셀을 프로그래밍할 때,

상기 제 1 NAND 타입 메모리 스트링의 상기 비트 라인 접촉은 기설정된 범위의 전압 내의 전압이 인가되는 것을 특징으로 하는 메모리 회로.

청구항 27

제 13 항에 있어서,

상기 듀얼-게이트 메모리 셀은 기판 상에 제공되는 절연체에 제조되는 것을 특징으로 하는 메모리 회로.

청구항 28

제 27 항에 있어서,

상기 기판은 상기 NAND-타입 메모리 스트링을 제어하기 위한 제어 회로를 포함하는 것을 특징으로 하는 메모리 회로.

청구항 29

제 13 항에 있어서,

상기 반도체 레이어는 다결정질 반도체 물질을 포함하는 것을 특징으로 하는 메모리 회로.

청구항 30

제 29 항에 있어서,

상기 다결정질 반도체 물질은 다결정질 실리콘, 다결정질 게르마늄, 및 다결정질 실리콘과 다결정질 게르마늄의 화합물을 포함하는 그룹에서 선택되는 것을 특징으로 하는 메모리 회로.

청구항 31

듀얼-게이트 메모리 셀 제조 방법에 있어서,

제 1 도전체를 절연체 레이어에 형성하는 단계;

트렌치의 바닥이 상기 도전체를 노출시키는 상기 트렌치를 상기 절연체 레이어에 형성하는 단계;

제 1 유전체 레이어를 상기 노출된 도전체에 인접하게 제공하는 단계;

반도체 레이어를 상기 제 1 유전체 레이어 상에 제공하는 단계;

제 2 유전체 레이어를 상기 반도체 레이어 상에 제공하는 단계; 및

제 2 도전체를 상기 제 2 유전체 레이어에 인접하게 제공하는 단계를 포함하고,

상기 제 1 및 제 2 유전체 레이어 중 하나는 전하를 저장하고, 상기 제 1 및 제 2 유전체 레이어 중 다른 하나는 비전하를 저장하며,

상기 반도체 레이어는 상기 제 1 및 제 2 도전체 사이의 전기적 상호 작용이 기설정된 값 이하가 되도록 하는 두께로 제공되는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 32

제 31 항에 있어서,

소스/드레인 영역을 상기 반도체 레이어 내에 제공하는 단계를 추가로 포함하고,

전압이 상기 비-전하를 저장하는 유전체 레이어에 인접하는 상기 도전체 레이어에 인가되고 상기 소스/드레인 영역의 플로팅이 허용될 때,

상기 비-전하를 저장하는 유전체에 인접하는 상기 도전체 레이어는 상기 전하를 저장하는 유전체 레이어 내의 상기 전하와 전기적으로 상호작용을 하는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 33

제 31 항에 있어서,

상기 반도체 레이어는 다결정질 반도체 물질을 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 34

제 33 항에 있어서,

상기 다결정질 반도체 물질은 다결정질 실리콘, 다결정질 게르마늄, 및 다결정질 실리콘과 다결정질 게르마늄의 화합물을 포함하는 그룹에서 선택되는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 35

제 31 항에 있어서,

상기 전하를 저장하는 유전체 레이어는 실리콘 옥사이드 및 실리콘 나트라이드 물질을 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 36

제 35 항에 있어서,

상기 실리콘 나이트라이드 물질은 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 실리콘-리치 실리콘 나이트라이드, 및 실리콘과 산소 성분의 공간적 변이를 가지는 실리콘 나이트라이드를 포함하는 그룹으로부터 선택되는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 37

제 36 항에 있어서,

상기 전하를 저장하는 유전체 레이어는 플로팅 도전체를 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 38

제 37 항에 있어서,

상기 플로팅 도전체는 게이트 전극과 상기 반도체 레이어 사이에 위치하는 나노-결정을 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 39

제 38 항에 있어서,

상기 나노-결정은 실리콘, 게르마늄, 텅스텐, 및 텅스텐 나이트라이드를 포함하는 그룹으로부터 선택된 물질을 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 40

제 31 항에 있어서,

기설정된 범위의 전압으로부터 선택된 전압이 인가될 때,

상기 반도체 레이어를 기설정된 전압으로 연결하는 단계를 추가로 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀 제조 방법.

청구항 41

듀얼-게이트 메모리 셀에 있어서,

반도체 레이어의 제 1 표면 상에 제공되는 채널 영역을 포함한 메모리 장치; 및

상기 반도체 레이어의 제 2 표면 상에 제공되는 채널 영역을 포함하고, 상기 채널 영역의 두께는 상기 메모리 장치의 채널 영역의 부분과 액세스 장치 사이의 상호 작용에 관한 민감도 파라미터가 기설정된 값 이하가 되도록 선택되는 액세스 장치;를 포함하는 것을 특징으로 하는 듀얼-게이트 메모리 셀.

명세서

기술 분야

<1> 본 발명의 기술적 사상은 2004년 11월 29일에 출원된 “듀얼-게이트 장치 및 방법”, 미국 특허 출원 제 11/000,114(“114 출원이라 칭함”), 및 2005년 8월 3일에 출원된 “듀얼-게이트 장치 및 방법”, 미국 특허 출원 제 11/197,462(“이하 ‘462 출원이라 칭함”)와 관련된다. ‘114 및 ‘462 출원에 개시된 사항은 그 전체가 참조로서 여기 포함되고, 또한 본 출원은 참조로 여기 포함되는 2006년 10월 10일에 출원된 “듀얼-게이트 장치 및 방법”, 미국 특허 출원 제 11/548,231의 우선권을 주장한다.

<2> 본 발명은 반도체 장치에 관한 것이다. 특히, 듀얼-게이트 전극을 구비한 반도체 장치에 관한 것이다.

배경 기술

<3> 듀얼-게이트 반도체 장치는 비휘발성 메모리 장치로 사용되어 왔다. 예를 들어, K. Yanagidaira 등은 IEEE Electron Device Letters, vol.26, pp.473-475, July 2005("Yanagidaira의 논문")에 듀얼-게이트 장치의 일면에 저장된 전하듀얼-게이트 장치의 다른 면 상의 장치의 임계 전압에 강하게 영향을 미치는 경우의 듀얼-게이트 실리콘 나노결정 메모리를 보고하였다. 듀얼-게이트 반도체 장치는 NAND-타입 반도체 비 휘발성 메모리(“플래시 메모리”) 셀에도 사용되어 왔다. 예를 들어, Aozasa 등의 1997년 11월 5일에 출원되고 2000년 4월 25일에 등록된 “듀얼-게이트 전극을 구비한 비휘발성 메모리 셀”, 미국 특허 제 6,054,734호(‘734 특허)는 듀얼-게이트 방식이 관독 방해를 감소시키고 최소 특정 사이즈 축소로 프로그래밍 상태 및 삭제 상태에서 임계 전압 분산에 대한 제어를 향상시키는 것을 개시한다.

<4> 도 1은 종래 기술의 메모리 셀 내의 듀얼-게이트 반도체 장치를 도시한 '734 특허의 도 4를 재생한다. 도 1에 도시된 바와 같이, 영역(24)은 지지 기판(예를 들어 실리콘 웨이퍼), 영역(26)은 상기 지지 기판에서 듀얼-게이트 장치를 분리하는 절연 레이어다. 영역(36)은 듀얼-게이트 장치 내의 첫번째 2개의 장치의 게이트 전극이다. 영역(32)은 상기 제 1 장치의 전하-저장 게이트 유전체 레이어다. '734 특허에 개시된 일 실시예에서, 유전체

영역(32)은 두 산화물 레이어 사이에 끼인 실리콘 나이트라이드의 레이어를 포함하는 합성 레이어로 설명된다. 그러한 합성 레이어(“ONO”로 일컬어지곤함)가 전하를 저장한다. 게이트 유전체 영역(32)은 게이트 전극 영역(36)으로부터 반도체 채널 영역(30)을 분리한다. 상기 제 2 장치를 위한 게이트 전극인 제 2 게이트 전극(38)은 게이트 유전체 레이어(34)에 의해 레이어(30)로부터 분리된다. 유전체 레이어(34)는 전하를 저장하지 않는다. 상호 연결 레이어(44,46)는 소스 및 드레인 영역(40,42)을 다른 회로에 연결한다.

<5> 전술한 바와 같이, 듀얼-게이트 메모리 셀(22)은 제 1 게이트 전극(36)을 구비한 메모리 장치와 제 2 게이트 전극(38)을 구비한 비메모리 장치를 포함한다. 메모리 장치와 비메모리 장치는 전계 효과 장치이다. 전계 효과 장치에서, 게이트 전극에 인가된 전압이 그 크기가 “임계” 전압(소스 전극에 관한) 보다 크면, 전도 채널이 소스 전극과 드레인 전극 사이에 형성된다. 게이트 전극과 채널 사이에 전하를 위치시키는 것에 의해, 이 임계 전압은 저장된 전하의 함수로 변경될 수 있다. 도 1의 듀얼-게이트 장치에서, 게이트 유전체(32)에 트랩된 전하는 메모리 장치와 비메모리 장치 모두의 임계 전압에 영향을 준다. 그러한 효과는 메모리 장치와 비메모리 장치 사이에서 매우 가까운 전기적 상호작용에 의한 것이고, 특히 채널 영역(30)의 두께를 계산하기 위해, '734 특허는 이 반도체 채널 영역이 등방성이고 단결정임을 가정한다. 유전체(32) 안에 트랩된 전하의 양은 소스 및 드레인 영역(40,42) 내의 전압에 비례 하는 게이트 전극(36) 상의 기설정된 전압 레벨을 인가하는 것에 의해 달성되는 프로그래밍 및 삭제 동작에 의해 변화된다.

<6> 도 2는 NAND 구성 내의 듀얼-게이트 반도체 메모리 셀을 도시한 '734 특허의 도 7을 재현한 것이다. 도 2에 도시된 바와 같이, 비휘발성 반도체 메모리 장치(202)는 각각 도 1의 단일 듀얼-게이트 메모리 셀(22)을 이용하여 형성되는 8개의 직렬 연결된 듀얼-게이트 메모리 장치를 포함한다. 절연 레이어(206)는 MN1에서 MN8까지의 듀얼-게이트 메모리 장치를 지지 기판(204)으로부터 절연한다. 도 2의 각각의 듀얼-게이트 메모리 장치는 ONO 필름과 같이 형성된 게이트 유전체 레이어(212)에 의해 채널 영역(210)으로부터 분리되는 제 1 게이트 전극(216)을 포함한다. 각각의 듀얼-게이트 장치는 게이트 유전체 레이어(214)에 의해 채널 영역(210)으로부터 분리되는 제 2 게이트 전극(218)을 포함한다. 도 1의 듀얼-게이트 메모리 셀(22) 내의 유전체 필름(32)과 유사하게, 게이트 유전체 레이어(212)는 전하를 저장하는 게이트 유전체 레이어이다. 도 2의 NAND 구성은 직렬 연결된 서로 접한 듀얼-게이트 장치 사이에서 사용되는 이온 임플란트에 의해 제 2 게이트 전극(218)로 자체 정렬되는 소스 및 드레인 영역(220,222)을 도시한다.

<7> '734 특허는 듀얼-게이트 구조체 내의 비메모리 장치가 동일한 듀얼-게이트 구조체의 상응하는 메모리 장치에 전하가 있는 지 없는지 판독하기 위해 사용된다는 것을 알려준다. 메모리 장치에서 전하를 검출하는 비메모리 장치에 대하여 채널 영역(210)(도2)의 두께는 일 표면의 전기장이 다른 표면에 영향을 미치도록 선택된다. 이 효과를 달성하기 위한 한 방법은 선택된 전압이 듀얼-게이트 장치의 소스 전극에 인가되는 경우, 일 표면이 다른 표면의 공핍 영역 안에서 균일하도록 하는 것이다. 그러한 폐쇄 전기 상호 작용은 도 2의 게이트 유전체(212) 내에 저장되는 전하가 비메모리 장치의 임계 전압에 영향을 미치는 것을 의미하고, 상기 임계 전압은 채널 영역(210)을 통해 전류가 흐르는 것을 허용하는 소스 전극(220,222) 중 하나에 비례하는 게이트 전극(218)에 인가되어야 하는 전압에 의해 측정된다.

<8> '734 특허는 듀얼-게이트 장치의 메모리 장치가 다른 메모리 장치를 통해 메모리 게이트 전극(216)으로 기설정된 전압을 인가하는 것에 의해 프로그래밍되는 반면에 비메모리 장치는 이 프로그래밍 동작에서 아무런 역할을 하지 않는다는 것을 알려주고 있다. 도 2의 NAND 비-휘발성 메모리는 그것과 결합되는 데 몇가지 불이익이 있다.

<9> 첫번째, 메모리 장치의 게이트 유전체 내에 저장된 전하가 듀얼-게이트 장치내의 결합된 비메모리 장치의 임계 전압에 영향을 미치기 위한 필요 조건은 이 두 장치 사이에 강한 전기적 상호 작용이 있다는 것을 확실히 하는 것이다. 이 접근법은 '734 특허와 야나기다이라는 논문 모두에서 취해진다. 또한, 도 2의 채널 영역(210)에서 결정 실리콘을 사용하는 것은 이 강한 전기적 상호 작용이 각 장치의 채널 영역의 전체 표면을 가로질러 동일하다는 것을 확실하게 한다. '734 특허에 개시된 셀 판독 방법은 NAND 스트링 내의 비메모리 장치에 인접한 그 표면 근처의 채널 영역을 통해 전류가 흐르는 것을 필요로 한다. 판독될 장치의 실제 임계 전압을 판정하기 위해 이 전류를 사용하는 것은 그러한 판정이 스트링 내의 모든 다른 메모리 셀의 프로그래밍된 및 삭제된 상태에 의해 영향받는 기초 전류 레벨로부터 전류를 식별할 수 있느냐에 따라 좌우되는 것과 같이 용이하지 않다. 이 방법은 저장된 전하가 이 임계전압에 영향을 미치도록 작용해야만 하는 것 이상의 비교적 큰 거리 때문에 장치의 프로그래밍된 상태와 삭제된 상태 사이의 임계 전압 내의 작은 차이로 보다 불확실해진다.

<10> 비메모리 장치와 그 관련된 메모리 장치 사이에서의 강하고 일정한 전기적 상호작용은 단일 셀이 판독될 때마다

NAND 직렬 스트링 내의 메모리 셀 안에서 관독 방해도 가져온다. 이 관독 방해는 NAND 스트링의 모든 비메모리 게이트 전극에 관독 전압을 인가한 결과로 각 메모리 셀 내에 저장된 전하 중의 전하 때문이다.

<11> '734 특허에서 개시된 구조체의 다른 단점은 메모리 장치가 NAND 스트링 내의 다른 메모리 장치를 통해 프로그래밍 되는 필요조건으로부터 생긴다. 이 필요조건 때문에, 비트 라인 접촉(예를 들어 도 2의 비트 라인 접촉(224))과 선택된 메모리 장치(즉, 프로그래밍 될 메모리 장치) 사이의 메모리 장치의 각 게이트 전극은 비트 라인 접촉과 선택된 메모리 장치의 반전된 채널 사이에 양호한 전기적 연결을 보장하도록 비트라인 접촉 전압에 비례하는 큰 인가 전압을 구비해야 한다. 이 “프로그램 패스 전압”은 선택된 메모리 장치의 게이트 전극에 인가될 프로그램 전압보다 낮지만, 프로그램 통과 전압은 반복 적용 후 선택되지 않은 메모리 장치 내의 전하량을 변화시키는 충분한 심각한 프로그램 장애로 여전히 이끌 수 있다.

<12> '734 특허에서 사용된 접근법의 다른 단점이 '114 및 '462 출원에서 논의되고 여기서는 간결성을 위해 반복되지 않는다.

<13> '734 특허에서, 채널 실리콘의 두께는 공핍 영역의 두께가 채널 실리콘이 완전히 단결정이고 채널 내의 도펀트 농도에 의해 결정된다는 가정에서 계산된다. 이 두께를 결정하기 위한 법칙은 예를 들어, IEEE Trans. Elect. Dev., vol.30, no.10 (Oct. 1983), pp.1244-1251에 게재된 LIM과 Fossum의 "Threshold Voltage of Thin-Film Silicon-on-Insulator (SOI) MOSFET's" (이하 "Lim의 논문"이라 함)에서 찾을 수도 있다. Lim의 논문에 따르면, 메모리 장치의 프로그래밍된 상태가 비메모리 장치에서 관독되는 것을 허용하기 위하여 전기적 상호작용 필요조건을 제공하기 위하여, 메모리 장치와 비메모리 장치의 전도 채널을 형성하기 위한 반도체 재료의 두께 d는 다음과 같이 주어진다.

수학식 1

$$d \leq \sqrt{\frac{4\epsilon\Phi_F}{qN_B}}$$

<14>

$$\Phi_F = \frac{kT}{q} \ln \frac{N_B}{n_i}$$

<15> 여기서, Φ_F 이고, ϵ 은 반도체 재료의 유전율, q는 전자의 전하, N_B 는 전도 채널이 형성되는 반도체 재료 내의 불순물 농도, n_i 는 열 평형 시 고유 소수 캐리어 농도, k는 볼트만 상수, T는 켈빈 단위의 절대 온도이다. 이 두께의 범위에 대하여, 메모리 장치가 반전될 때, 채널 반도체 영역이 완전히 공핍된다. 도 10은 수학식 1의 조건을 만족시키는 도계를 가지는 반도체 내의 백 게이트에서 부과된 전압의 함수로 프론트 게이트 장치의 임계 전압을 나타낸다. 도 10은 Lim의 논문 내의 도 3에서 가져온 것이다. 도 10에 도시된 바와 같이, V_{gb}^A 이하 또는 V_{gb}^I 이상의 부과된 전압에 대하여, 프론트 게이트 임계 전압은 백 게이트에 부과된 전압에 의해 영향받지 않는다. 도 11은 프론트 게이트 장치의 소스-드레인 전류 I_D 내의 상응하는 변화로 표시되는 바와 같이, 백 게이트 전압 V_{gb} 의 함수로, 프론트 게이트 임계 전압에서의 변화를 실험적으로 보여준다. 도 11은 Lim의 논문 내의 도 7에서 가져온 것이다.

<16> 그 종래 기술의 단점을 극복하기 위하여, '114 출원은 메모리 장치와 반대의 비메모리 장치 사이의 전기적 상호작용이 없다는 것을 보여주는 듀얼-게이트 장치를 개시한다. '114 출원에 따른 듀얼-게이트 장치에서, 메모리 장치와 비메모리 장치 사이의 반도체 물질의 두께는 실질적으로 완전한 전기적 차폐가 전도 채널의 두께의 반대 반도체 표면 사이에 제공되도록 선택된다. 메모리 장치의 게이트는 메모리 장치의 프로그래밍된 상태를 검출하기 위해 사용된다.

<17> '462 출원은 비메모리 장치 게이트 전압의 기설정된 범위를 넘어서는 전도 채널의 2개의 반대되는 반도체 표면 사이에 실질적으로 완전한 차폐를 달성하는 듀얼-게이트 장치를 개시한다. 이 기설정된 범위 이외에, 메모리 장치와 비메모리 장치 사이에서의 전기적 상호작용은 존재하지만 듀얼-게이트 장치의 동작과 간섭하지 않는다. '462 출원의 듀얼-게이트 장치에서 메모리 장치의 게이트는 이 '체로' 전기적 상호작용 범위 안에 있는 전압을 사용하여, 메모리 장치의 프로그래밍된 상태를 검출하도록 사용된다.

발명의 상세한 설명

- <18> 본 발명은 프로그래밍 및 관독 동작 동안 전하 방해를 최소화하면서, 고 밀도의 메모리 회로를 제조하는데 사용될 수 있는 듀얼-게이트 구조체를 사용하는 비휘발성 반도체 메모리 장치를 제공한다.
- <19> 본 발명의 일 실시예에 따라, 듀얼-게이트 메모리 장치가 듀얼-게이트 메모리 장치에 상호 연결되는 추가 기능 회로를 포함할 수 있는 반도체 기판 위에 절연되어 형성된다. 듀얼-게이트 장치는 공동 활성 반도체 영역의 반대 표면에 형성되는 2개의 반도체 장치를 포함한다. 일 실시예에서, 제 1 조건하에서, 듀얼-게이트 구조체 내의 두 장치 사이의 전기적 상호작용은 전기적 상호 작용을 특징하는 민감도 파라미터가 기설정된 값 이하일 경우에 수용될 수 있다. 본 발명의 일 실시예에서, 듀얼-게이트 구조체 내의 메모리 장치는 실리콘 산화물, 실리콘 나이트라이드, 및 실리콘 산화물(ONO)의 합성 레이어를 포함하는 게이트 유전체를 포함한다. 그러한 듀얼-게이트 메모리는 NAND-타입 비휘발성 메모리 어레이 내에 적절한 빌딩 블록이다.
- <20> 본 발명의 일 실시예에 따라, 활성 반도체 레이어는 다결정 실리콘(polycrystalline silicon, 폴리실리콘), 다결정 게르마늄(polycrystalline germanium), 또는 폴리실리콘과 다결정 게르마늄의 합성물과 같은 다결정 반도체 물질을 포함한다. 다결정 반도체 물질은 또는 예를 들어 레이저 조사 또는 열처리를 사용하여 비결정성 반도체 물질의 결정화에 의해 또는 피착에 의해 얻어진다.
- <21> 본 발명은 제 1 게이트 전극, 상기 제 1 게이트 전극 위에 형성되는 제 1 유전체 레이어, 상기 제 1 유전체 레이어 위에 형성되는 반도체 레이어, 상기 반도체 레이어 위에 형성되는 제 2 유전체 레이어, 및 상기 제 2 유전체 레이어 위에 형성되는 제 2 게이트 전극을 포함하는 듀얼-게이트 장치를 제공한다. 듀얼-게이트 장치에서, 기설정된 범위의 전하가 듀얼-게이트 장치 내의 상기 장치 중 첫번째 것의 임계 전압에 영향을 미치도록 그리고 다른 장치의 임계 전압 상의 효과를 최소화하도록 상기 제 1 게이트 전극과 상기 반도체 레이어 사이, 또는 상기 제 2 게이트 전극과 상기 반도체 레이어 사이 중 하나에 저장된다.
- <22> 바람직하게, 상기 듀얼-게이트 장치는 절연 레이어에 의해 기판으로부터 분리된다. 기판은 상기 듀얼-게이트 장치와 상호 연결되는 회로를 포함할 수도 있다.
- <23> 바람직하게, 듀얼-게이트 장치의 상기 두 장치 내의 하나의 게이트 유전체 레이어는 듀얼-게이트 메모리 장치를 형성하도록 전하를 저장한다. 상기 게이트 유전체 레이어는 실리콘 산화물, 실리콘 나이트라이드, 및 실리콘 산화물(ONO)을 포함하는 합성 유전체 층으로 형성된다. 다른 유전체 레이어는 상기 게이트 유전체 레이어 내의 플로팅 도전체를 임베딩하는 것에도 사용될 수 있다. 그러한 플로팅 도전체는 메모리 장치의 게이트 전극과 활성 반도체 레이어 사이에 배치되고 상기 게이트 유전체 레이어 내에 임베디드된 반도체 또는 도전체의 나노 결정을 포함한다.
- <24> 본 발명의 일 실시예에 따라, 복수의 듀얼-게이트 메모리 장치는 동일한 활성 반도체 영역을 공유하고 NAND 스트링에 직렬로 연결된다. 각각의 듀얼-게이트 장치 안에서, 일 장치는 전하를 저장하도록 최적화된 게이트 유전체를 구비한 메모리 장치이다. 상기 활성 반도체 레이어의 반대면 상의 다른 장치는 액세스 장치로 사용된다. 본 발명의 일 실시예에 따라, 메모리 장치는 상기 게이트 전극에 프로그래밍 전압을 인가하는 것에 의해 프로그래밍되고, 동일한 NAND 스트링 내의 다른 메모리 장치의 게이트 전극은 전기적으로 플로팅 상태로 남겨나 작은 전압이 인가된다. 프로그래밍 전압이 상기 메모리 장치의 상기 게이트 전극에 인가되는 반면에, 더 작은 "프로그래밍 패스 전압" 이 프로그래밍된 상기 메모리 장치와 상기 NAND 스트링의 접지된 비트 라인 접촉 사이에 위치하는 상기 액세스 장치의 모든 상기 게이트 전극에 인가된다. 프로그램 패스 전압이 액세스 장치의 상기 전극에 인가되는 최고 동작 전압이다. 이 NAND-타입 메모리 장치의 동작에서, 상기 액세스 장치와 상기 메모리 장치 사이의 상기 전기적 상호작용은, NAND 스트링 내의 상기 메모리 장치 중 하나가 프로그래밍되는 동안, 상기 액세스 장치의 상기 게이트 전극에 인가되는 상기 전압이 상기 프로그램 통과 전압 이거나 이하일 때 최소화된다. 전기적 상호 작용은, 프로그래밍되는 상기 메모리 장치와 상기 비트 라인 접촉 사이의 상기 활성 반도체 레이어 내의 모든 소스 및 드레인 영역이 상기 접지 전위에 가깝게 홀드된 상기 비트 라인 접촉을 구비한 액세스 장치 반전 채널을 통해 상기 비트 라인 접촉에 연결될 때, 최소화된다.
- <25> 프로그래밍되는 NAND 스트링을 구비한 액세스 게이트 전극 워드 라인 및 상기 동일한 메모리 게이트 전극 워드 라인을 공유하고 인접하는 NAND 스트링에 대하여, 액세스 장치와 메모리 장치 사이의 상기 활성 반도체 레이어에서의 강한 전기적 상호작용이 프로그래밍되지 않는 이들 NAND 스트링에 저장된 전하의 방해를 강화하도록 이웃 NAND 스트링 내의 프로그래밍 동작 동안 최소화된다. 방해는 프로그래밍이 억제된 이들 NAND 스트링의 활성 반도체 레이어 내의 모든 소스와 드레인의 전기적 플로팅이 허용될 때 최소화된다. 비트 라인 접촉에 직접 연결

된 소스/드레인 영역 또한 플로팅이 허용된다.

<26> 본 발명의 NAND 스트링 내의 메모리 셀이 판독될 때, “판독 패스 전압”이 액세스 게이트 전극에 인가되는 반면에, 메모리 게이트 전극은 메모리 장치가 판독되는 경우를 제외하고 낮은 전압이 인가되거나 플로팅 상태로 남게 된다. 판독되는 메모리 장치의 게이트 전극은 보통 판독 패스 전압보다 더 낮은 판독 전압이 인가되고, 그 결합 액세스 장치는 비 도전체이다.

<27> 그러므로 저장된 전하의 프로그래밍 및 판독 방해가 본 발명에 따라 모두 최소화된다.

<28> 본 발명은 아래 상세한 설명과 참조되는 도면에 의해 더 잘 이해될 것이다.

실시예

<45> 본 발명은 기설정된 값(예를 들어, 0.8) 보다 작은 “민감도 파라미터(이하에서 설명됨)”를 가지는 반도체 채널 물질을 포함하는 듀얼-게이트 반도체 메모리 장치를 제공한다. 듀얼-게이트 반도체 메모리 장치는 높은 회로 밀도를 달성하도록 3차원으로 스택된 메모리 회로에서 사용하기에 적합하다. 또한, NAND-타입 비휘발성 반도체 메모리 장치에 사용될 때, 본 발명의 메모리 장치는 프로그래밍 및 판독 동안 저장된 전하의 사소한 방해만 경험한다.

<46> 도 3A-3L은 본 발명의 일 실시예에 따른 NAND-타입 비휘발성 반도체 메모리 장치 형성에 적합한 방법을 도시한다.

<47> 도 3A는 기판(100) 상에 제공되는 절연 레이어(101)를 도시한다. 기판(100)은 비휘발성 메모리를 제어하는 집적 회로를 포함하는 반도체 웨이퍼가 된다. 반도체 웨이퍼는, 기판이 실리콘 또는 절연체 상의 실리콘(SOI)과 같은 절연체 상의 반도체 타입과 같은 단결정 반도체로 만들어지는 경우, 집적 회로가 얇은 상부 실리콘 레이어로만 들어지는 경우, 어느 한쪽이 벌크 타입이 된다. 절연 레이어는 종래의 CMP를 사용하여 평탄화 된다. 절연 레이어(101) 내부는 비휘발성 메모리 장치와 집적 회로를 연결하는 수직 상호 연결(도 3에 미도시)이 임베디드된다. 그러한 상호 연결은 접촉 홀을 생성하는 종래의 포토리소그래피 및 에칭 기술을 사용하여 만들어지고, 티타늄 나트라이드(TiN) 및 텅스텐(W), 또는 강하게 도핑된 폴리실리콘의 화합물과 같은 적절한 타입의 도전체로 접촉 홀을 충전하는 것이 뒤따른다.

<48> 다음, 도전체 물질(102)이 종래의 피착 기술을 이용하여 절연 레이어(101)의 상부에 제공된다. 물질(102)은 연속하여 형성되는 둘 또는 그 이상의 도전체 물질의 스택 또한 포함한다. 물질(102)에 적절한 물질은 강하게 도핑된 폴리실리콘, 티타늄 이규화물(TiSi₂), 텅스텐(W), 텅스텐 나이트라이드(WN), 코발트 이규화물(CoSi₂), 니켈 규화물(NiSi), 또는 이들 물질의 화합물을 포함한다. 종래의 포토리소그래피 및 에칭 기술은 도 3B에 도시된, 게이트 전극 워드 라인(102a, 102b, 102c)의 패터닝에 사용된다. 이 워드 라인은 본 발명의 일 실시예에 따라 형성될 액세스 장치를 위한 게이트 전극 워드 라인을 형성한다.

<49> 다음, 절연 레이어(103)가 워드 라인(102a, 102b, 102c) 위에 제공된다. 절연 레이어(103)는 HDP(high density plasma), CVD(chemical vapor deposition), PECVD(plasma enhanced CVD), PVD(physical vapor deposition)을 사용하여 제공되거나 SOG(spin on glass) 된다. 표면은 그 다음 어느 한쪽은 절연 레이어(103)를 워드 라인(102a, 102b, 102c) 표면까지 아래로 폴리싱하는 종래의 CMP 단계를 사용하여 평탄화되거나, 제어된 두께는 워드 라인(102a, 102b, 102c)의 표면과 절연 레이어(103)의 폴리싱된 표면 사이에 절연 레이어(103)가 남도록 시간이 맞춰진다. 이전 케이스에서, CMP 후, 제어된 두께의 절연 물질이 전술된 기술중 하나를 사용해 피착된다. 어느 한쪽의 접근에 따라, 결과는 도 3C에 도시된다.

<50> 다음, 트렌치(105)는 종래의 포토리소그래피와 에칭 기술을 사용하여 절연 레이어(103) 안으로 에칭된다. 에칭은 적어도 워드 라인(102a, 102b, 102c)의 표면을 노출하고 절연 레이어(103)의 일부를 제거한다. 오버-에칭 또한, 최후의 완성된 구조체의 전기 작업으로 손해가 만들어지지 않는 한 일어날 수도 있다. 도 3D는 형성 후의 트렌치(105)를 도시한다. 트렌치는 워드 라인(102a, 102b, 102c)에 수직 방향에 형성된다. 도 3E는 도 3E의 평면을 따라 나아가는 워드 라인(102)과 트렌치(105) 모두를 통과하는 절단면을 도시한다. 트렌치(105)는 50 Å-3000 Å, 바람직하게 약 500 Å의 두께가 된다. 트렌치(105)는 각 워드 라인(102)의 일부 또한 제거하는 트렌치 에칭 내에 형성된다. 그러한 에칭은 워드 라인(102)의 일부 안으로 절연 물질(105)의 오버 에칭(예를 들어 플라즈마 에칭을 사용하여)에 의해 달성될 수도 있다. 그러므로, 트렌치(105)의 바닥은 각 워드 라인(102)의 상면 아래에 위치된다.

<51> 다음, 얇은 유전체 레이어(106)가 도 3E에 도시된 구조체의 상부에 형성된다. 얇은 유전체 레이어(106)는 액세스

스 장치의 게이트 유전체를 형성하고 산화 환경 내의 열 산화, 실리콘 디옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, HTO, PECVD 유전체(예를 들어, 실리콘 옥사이드 또는 실리콘 나이트라이드), 실리콘 산화물의 ALD, 또는 조금 높은-k 유전체 물질과 같은, 유전 물질의 저압 CVD(LPCVD) 증착과 같은 종래 방법을 사용하여 형성된다. 유효 옥사이드 두께는 10Å~400Å의 범위 내에 있다.

<52> 다음, 활성 반도체 레이어(107)는 다결정질 실리콘(폴리실리콘), 다결정질 게르마늄, 비결정질 실리콘, 비결정질 게르마늄, 또는 실리콘과 게르마늄의 화합물과 같은 반도체 물질을 LPCVD 또는 PECVD와 같은 종래 기술을 사용하여 피착하는 것에 의해 형성된다. 다결정질 물질은 제 1 단계로 비결정질 물질로 피착된다. 비결정질 물질은 그 다음 열처리 또는 레이저 조사를 사용하여 결정화된다. 물질은 트렌치(105)를 완전하게 충전하도록 충분한 두께로 형성된다(예를 들어 적어도 트렌치(105) 폭의 1/2). 피착 후, 트렌치(105) 상의 반도체 물질은 예를 들어 CMP 또는 플라즈마 에칭 중 하나를 사용하여 제거된다. 어느 한쪽 기술을 사용하여, 반도체 물질은 절연 레이어(103)로에 비해 매우 높은 분리감도로 제거될 수 있다. 예를 들어, 폴리실리콘의 CMP는 몇 백대 일의 실리콘 옥사이드에 관한 분리 감도로 달성될 수 있다. 어느 한 기술을 사용한 대표 결과가 도 3F에 도시된다.

<53> 도 3G는 트렌치(105)와 워드 라인(102)을 통해 만들어진 단면이다. 워드 라인(102)은 도 3G의 단면에 평행한 방향으로 나아간다. 얇은 유전체 레이어(106)는 액세스 장치의 게이트 유전체 레이어를 형성하고, 물질(107)은 물질이 절연 레이어(103)의 표면에서 실질적으로 제거된 후 트렌치(105)내에 남는 반도체 물질이다. 물질(107)은 듀얼-게이트 장치의 액세스 장치와 메모리 장치 모두를 위한 활성 반도체 레이어를 형성한다. 물질(107)은 도핑되지 않거나 이온 임플란트 또는 물질 피착과 관련하여 수행되는 인시투 도핑과 같은 종래 방법을 사용하여 도핑된다. 적절한 도핑 농도는 0(비도핑)과 $5 \times 10^{18}/\text{cm}^3$ 사이이고, NMOS 수행을 위한 p-타입 또는 PMOS 수행을 위한 n-타입이 된다. 물질(107)의 두께는 민감도 파라미터가 기설정된 값(예를 들어, 0.8) 이하가 되도록 선택된다.

<54> 다음, 유전체 레이어(108)가 도 3H에 도시된 바와 같이 제공된다. 듀얼-게이트 장치 내의 메모리 장치를 위한 유전체 레이어인 유전체 레이어(108)은, 바닥이 10Å~80Å 두께의 얇은 실리콘 옥사이드, 중간이 20Å~200Å 실리콘 나이트라이드 레이어, 및 상부 20Å~100Å 실리콘 옥사이드 레이어를 포함하는 화합물 ONO 레이어가 된다(다른 물질이 실리콘 옥시나이트라이드, 실리콘-리치 실리콘 나이트라이드, 또는 실리콘 및 산소 성분의 공간적 변동이 있는 실리콘 나이트라이드 레이어와 같은 실리콘 나이트 레이어를 대신할 수도 있다). 종래 기술이 이 레이어를 형성하기 위해 사용된다. 바닥 얇은 실리콘 옥사이드 레이어는 산화 환경 내의 열 산화, 증기 환경 내의 저압 산화, 또는 고온 옥사이드(HTO)와 같은 실리콘 옥사이드의 얇은 레이어를 피착하는 LPCVD 기술을 사용하여 형성된다. ALD(Atomic layer deposition)가 바닥 얇은 실리콘 옥사이드 레이어를 형성하기 위해 사용될 수도 있다. 중간 레이어는 LPCVD 기술 또는 PECVD 기술을 사용하여 형성되기도 한다. 상부 실리콘 옥사이드 레이어는 예를 들어, HTO, 또는 얇은 비결정질 실리콘 레이어의 피착과 같은 LPCVD 기술을 이용하여 형성되고, 산화 환경 내의 실리콘 산화다 뒤따른다.

<55> 한편, 유전체 레이어(108)는 전술된 기술을 사용하는 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥사이드, 실리콘 나이트라이드 및 실리콘 옥사이드(ONONO)를 포함하는 합성 레이어가 된다. 전술된 바와 같이, 실리콘 나이트라이드는 실리콘과 산소 성분에 공간적 변동을 가지는 실리콘 나이트라이드 레이어 또는 실리콘 옥시나이트라이드, 실리콘-리치 실리콘 나이트라이드로 대체될 수 있다. 한편, ONONONO 레이어가 사용될 수도 있다. 그러한 멀티플레이어 화합물은 유전체 레이어(108) 내에 저장된 전하가 더 긴 기간동안 지속하도록 맞춰진다.

<56> 한편, 유전체 레이어(108)는 형성될 메모리 장치의 게이트 전극과 활성 반도체 레이어 모두로부터 전기적으로 절연되는 전하 저장소를 위한 플로팅 게이트 전도체를 포함한다. 플로팅 게이트 전도체는 게이트 전극과 활성 반도체 레이어(107) 사이에 위치하는 나노-결정을 포함한다. 적절한 도전체는 실리콘, 게르마늄, 텅스텐, 또는 텅스텐 나이트라이드이다.

<57> 한편, 유전체 레이어(108) 내에 전하 저장을 위해, 임계 전압 시프트는 그 전기적 극성 벡터가 적절한 전기장을 인가하는 것에 의해 기설정된 방향으로 정렬될 수 있는 강유전체 물질을 임베딩하는 것에 의해 달성될 수도 있다.

<58> 한편, 유전체 레이어(108)는 알루미늄 옥사이드와 같은 고-k(고 유전상수) 유전체와, 실리콘 옥사이드, 실리콘 나이트라이드, 또는 옥시나이트라이드의 합성레이어가 된다.

<59> 도 3I는 유전체 레이어(108)를 형성하는 단계 다음의, 워드 라인(102)을 통해 듀얼-게이트 구조체를 형성한 단면을 도시한다.

- <60> 다음, 전도 물질(109)이 종래 피착 기술을 사용하여 유전체 레이어(108) 상에 제공된다. 전도 물질(109)은 돌 또는 그 이상의 전도 물질의 스택을 포함한다. 전도 물질(109)로 적절한 물질은 강하게 도핑된 폴리실리콘, 티타늄 이규화물(TiSi₂), 텅스텐(W), 텅스텐 나이트라이드(WN), 코발트 이규화물(CoSi₂), 니켈 규화물(NiSi), 또는 이들 물질의 화합물을 포함한다. 종래의 포토리소그래피 및 에칭 기술은 도 3J에 도시된, 게이트 전극 워드 라인(109a, 109b, 109c)의 형성에 사용된다. 이 워드 라인은 형성하는 메모리 장치의 게이트 전극 워드 라인을 형성하고, 밑에 놓인 액세스 게이트 전극 워드 라인(102a, 102b, 102c)에 실질적으로 평행하게 연장한다. 도 3K는 워드 라인(109a, 109b, 109c) 형성 단계 다음에, 워드 라인(102, 109)을 통과하는 단면을 도시한다.
- <61> 다음, 소스 및 드레인 영역이 이온 임플란트와 같은 종래의 방법을 사용하여 활성 반도체 레이어(107) 안에 형성된다. NMOS 실행에 대하여, n-타입 이온은 비소, 인, 또는 안티몬과 같은 이온 종류를 사용하여 $1 \times 10^{14} / \text{cm}^2$ 과 $1 \times 10^{16} / \text{cm}^2$ 사이의 용량으로 임플란트된다. PMOS 이행을 위해, p-타입 이온이 실질적으로 동일한 용량 범위에서 임플란트된다. p-타입 이온 종류는 붕소, 붕소 디플루오라이드, 갈륨 또는 인듐을 포함한다. 이온 임플란트는 게이트 전극 워드 라인(109a, 109b, 109c)에 자체 정렬되는 소스 및 드레인 영역을 제공한다. 영역(110)이 강하게 도핑된 소스와 드레인 영역을 나타내는 도 3L에 결과가 도시된다. 일 실시예에서, 이 소스 및 드레인 영역은 활성 반도체 레이어(107)의 상면에서 그 바닥면으로 연장한다. 소스와 드레인 영역은 이온 임플란트와 도입된 도펀트 원자를 확산시키는 후속 열처리단계를 이용하여 형성된다.
- <62> 다음, 절연 레이어(111)는 HDP(high density plasma), CVD, PEVCD, SOG를 이용하여 제공된다. 표면은 그 다음 종래의 CMP 단계를 사용하여 평탄화된다. 결과는 도 3L에 도시된다.
- <63> 수직 상호연결(112)이 그 다음에 게이트 전극(109a, 109b, 109c)으로 작은 홀들, 강하게 도핑된 반도체 활성 영역(110), 및 게이트 전극(102a, 102b, 102c)을 형성하는 종래의 포토리소그래피 및 플라즈마 에칭 기술을 사용하여 형성된다. 결과 홀은 텅스텐 피착(티타늄 나이트라이드의 부착 레이어가 형성된 후) 및 CMP와 같은 종래 방법을 사용하여 도전체, 또는 강하게 도핑된 폴리실리콘으로 충전되고, 그 다음 플라즈마 에칭백 또는 CMP가 뒤따른다. 결과는 도 3L에 도시된다.
- <64> 다음 방법은 동일 레이어 또는 상이한 레이어 안에서 듀얼-게이트 장치와 다른 듀얼-게이트 장치 및 기판(100)에 형성된 회로를 추가로 상호 연결하도록 수행된다.
- <65> 도 3이 메모리 장치 형성 전 액세스 장치(즉, 비메모리 장치)를 형성하는 방법을 도시하지만, 전하-저장 유전체 레이어(108)와 비전하-저장 유전체 레이어(106)의 생성에 의해, 메모리 장치가 비메모리 장치 전에 형성된다. 어떠한 순서가 선택되는 지에 상관없이, 메모리 장치와 비메모리 장치의 동작은 실질적으로 동일하다.
- <66> 도 3은 그러므로 액세스 게이트(102), 액세스 게이트 유전체(106), 반도체 활성 영역(107), 메모리 유전체(108), 메모리 게이트 전극(109), 및 소스 및 드레인 영역(110)을 구비한 듀얼-게이트 메모리 장치를 형성하는 것을 도시한다.
- <67> 도 4A는 이 듀얼-게이트 장치에 대한 전기적 개요 기호를 도시한다. 도 4B는 본 발명의 일 실시예에 따라 NMOS 방법을 사용하여 실행되는 듀얼-게이트 메모리 셀의 개략적 구조를 나타낸다.
- <68> 도 5A는 각각의 듀얼-게이트 장치에 대한 도 4A의 전기적 회로 기호를 사용하여, NAND 스트링(501, 502)를 도시한다. 도 5A에 도시된 바와같이, NAND 스트링(501, 502)은 동일한 액세스 게이트 전극 워드 라인과 메모리 게이트 전극 워드 라인을 공유하는 NAND 스트링(501, 502)에서 상응하는 듀얼-게이트 메모리 셀과 함께 각각 다수의 듀얼-게이트 메모리 셀에 의해 형성된다. 워드 라인을 공유하는 NAND 스트링은 서로 인접하여 위치하거나 사이에 있는 하나 이상의 평행하는 NAND 스트링에 의해 서로 분리된다. 각각의 NAND 스트링은 비트 라인 접촉과 듀얼-게이트 메모리 셀 사이의 NAND 스트링 내의 하나 이상의 선택 듀얼-게이트 장치(예를 들어, 워드 라인(SG1b, SG2b)에 의해 제어되는 장치), 및 하나 이상의 선택 듀얼-게이트 장치(예를 들면, 워드 라인(SG3b, SG4b)에 의해 제어되는 장치)를 구비한다.
- <69> 도 5B는 본 발명의 일 실시예에 따른 NAND 스트링 부분의 개략적 구성을 나타낸다. 도 5C는 그것과 동일한 게이트 전극 워드 라인을 공유하는 다른 NAND가 프로그래밍될 때, 프로그래밍을 억제하는 NAND 스트링(502)을 도시한다. 이것은 스트링(501) 내의 셀의 프로그래밍 동안 모든 다른 중요한 노드의 전압 파형과 함께 도 5C에 도시된 바와 같이 노드(502x) 상의 전압을 모니터링하는 것에 의해 보여질 수 있다. 노드(502x)는 최소화 되고 그리하여 프로그래밍을 억제하는 메모리 워드 라인(WL(m)b)으로 셀의 메모리 유전체를 가로질러 전압을 야기하는 전압에서 일어난다. 프로그래밍, 판독, 및 삭제를 위한 이 NAND 스트링의 전기적 동작이 각 NAND 스트링 내의

메모리 장치와 액세스 장치 사이에 요구되는 전기적 상호작용을 설명하도록, 아래에서 설명된다.

- <70> 도 8 은 듀얼-게이트 메모리 셀의 복수의 레이어를 포함하는, 도 3과 관련하여 위에서 설명된 방법 단계를 사용하여 형성된 구조체(800)를 도시한다. 도 8에 도시된 바와 같이, 레이어(801-1,801-2,801-3)는 도 3에 도시된 방법 시퀀스를 사용하여 각각 형성된다.
- <71> 도 9 는 듀얼-게이트 메모리 셀의 복수의 레이어 또한 포함하는 구조체(900)를 도시한다. 구조체(900)에서, 그러나, 각 메모리 게이트 전극이 두 별개의 장치에 제공한다. 도 10 은 복수 레이어의 듀얼-게이트 메모리 셀을 허용하는 다른 구조체인 구조체(1000)를 도시한다. 구조체(1000)에서, 각 액세스 게이트 전극이 두 별개의 장치에 제공한다. 구조체(900,1000)는 도 3에 도시되고 전술된 관련 방법 시퀀스를 적절하게 수정하는 것에 의해 형성된다.
- <72> 도 5A로 돌아가, NAND 스트링(501) 내의 하나의 메모리 장치가 프로그래밍 되는 경우를 고려한다. NAND 스트링(501)은 비트 라인 접촉(비트1) 및 소스 접촉(소스1) 을 구비한다. 프로그래밍될 듀얼-게이트 메모리는 메모리 게이트 전극 워드 라인으로 WL(m)b 및 액세스 게이트 전극 워드 라인으로 ,WL(m)a를 가지는 것으로 가정한다. 이 메모리 셀을 프로그래밍하도록, 접지 전압 또는 작은 전압이 비트라인 접촉()에 인가되고, 소스 접촉()은 전기적으로 플로팅하는 것이 허용되거나 0과 10볼트 사이의 양의 전압이 인가되고, 본 발명의 일 실시예에서, NAND 스트링(501,502)의 소스 접촉 (소스1) 및 (소스2)은 함께 연결된다. 선택 게이트 전극(SG1a,SG2a)은 1V와 13V 사이의 양의 선택 게이트 프로그래밍 패스 전압이 인가된다. 실험을 통해 결정된 최적 전압으로, 예시 전압은 7V이다. 워드 라인(SG1b,SG2b) 또한 이 전압, 작은 전압이 인가되거나 전기적 플로팅 상태로 남는다. 액세스 게이트 전극 워드 라인(WL1a~WL(m-1)a)은 1V와 10V 사이의, 바람직하게 7V의 양의 프로그래밍 패스 전압이 각각 적용된다. 다시, 최적 전압 값은 실험을 통해 결정된다. 모든 다른 액세스 게이트 전극 워드 라인(WL(m)a ~ WL(n)a) 및 선택 게이트 전극 워드 라인(SG3a, SG4a, SG3b, SG4b)은 플로팅 상태에 있게 된다. 9V와 18V 사이의(바람직하게 15V) 프로그래밍 전압이 워드라인(WL(m)b)에 인가된다. 또한, 최적 값은 실험을 통해 결정된다. 모든 다른 메모리 셀 워드 라인(WL1b ~ WL(m-1)b)은 작은 전압이 인가되거나 전기적 플로팅이 허용될 수 있다. 이 방식으로, 전하 역전 레이어는 프로그래밍되는 메모리 장치의 게이트 전극에 가까운 활성 반도체 레이어(예를 들어 활성 반도체 레이어(107)) 내에 형성된다. 또한, 역전 채널은 비트라인 접촉(비트1)과 프로그래밍될 메모리 장치의 역전 채널 사이의 활성 선택 장치와 모든 액세스 장치의 소스와 드레인 영역과 역전 채널을 통해 역전 채널을 비트 라인 접촉(비트1)으로 연결하는 것에 의해, 프로그래밍 동작 동안 비트 라인 접촉(비트1)에 인가되는 전압에 가깝게 한정된다. 프로그래밍은 프로그래밍될 메모리 장치의 역전 채널에서 메모리 장치의 게이트 유전체 레이어(도 3의 유전체 레이어(108)과 같은) 내의 전하 트랩핑 사이트로 전하를 터널링하는 것에 의해 달성된다.
- <73> 프로그래밍 될 메모리 셀을 구비한 동일한 NAND 스트링 내의 메모리 셀 상에서 “프로그램 패스 방해”를 감소시키기 위하여, 프로그램 패스 전압이 비트라인 접촉과 프로그래밍 될 메모리 사이의 NAND 스트링의 메모리 장치 내에 저장된 전하에 거의 영향을 미치지 않는 전압 레벨로 설정된다. 허용 가능한 프로그램 패스 전압은 실험적으로 결정된다(예를 들어 듀얼-게이트 메모리 장치를 취득하고, 액세스 게이트 전극으로 고려중인 프로그램 패스 전압을 적용하는 것이 프로그램 패스 전압의 인가 후 결합 메모리 장치의 임계 전압에 좀처럼 영향을 미치지 않는다는 것을 확인하는 것에 의해).
- <74> 도 6 은 본 발명의 일 실시예에 따라 동일한 듀얼-게이트 장치 내의 메모리 장치의 임계 전압에 대한 액세스 게이트 전극 전압의 영향을 도시한다, 액세스 장치의 게이트 전극에 인가되는 프로그램 패스 전압의 작동 범위 내에서, 결합 메모리 장치의 임계 전압은 액세스 게이트 전극 전압과 선형 관계를 부담한다. 이 관계는 채널 물질이 임의 두께의 단결정질(예를 들어 비결정질 실리콘 또는 폴리실리콘)이 아니고 다음으로 표시되는 박막 듀얼-게이트 트랜지스터에 있다.

수학식 2

$$V_{T1} = V_{T0} - \beta \cdot V_{G2}$$

- <75> V_{T1} 은 채널 물질(제1장치)의 제 1 면 상의 장치의 임계 전압, V_{G2} 는 채널 물질(제2장치)의 제 2면 상의 장치 상의 게이트 전압, V_{T0} 는 제 2 장치의 게이트 전극 상에 0V가 부가될 때 제 1 장치의 임계 전압, 및 β 는 비례 상수 (“민감도 파라미터”)이다. P. Servati 등의 논문 "Static Characteristics of a-Si:H Dual-Gate TFT" s"

(이하 “Servati 논문”이라 함), IEEE Trans. Elect. Dev., vol.50, no.4 (2003년 4월), pp.926-932,는 수학식2의 특성을 보이는 물질을 개시한다. 도 12는 Servati 논문의 도 4를 재현하는 것으로 50nm 두께의 비결정질 실리콘 채널 물질에 대한 수학식 2의 임계 전압 관계를 도시하는 도면이다. 도 12에서, 탭-게이트는 제 2 장치이고 VT는 약 0.14가 되는 β 의 양을 나타내는 제 1 장치의 임계 전압이다. 도 10의 단결정질 실리콘 채널 물질과 달리, 도 12의 비결정질 실리콘 채널 물질은 상호 작용 평탄역을 보이지 않는다.

<77> 도 13은 두께의 함수로 비결정질 실리콘 박막 트랜지스터에 대하여 측정되는 민감도 파라미터의 값을 도시한다. 도 13의 데이터는 Y. Kaneko 등의 논문 "Back-bias effect on the current-voltage characteristics of amorphous silicon thin-film transistors," Journal of Non-Crystalline Solids, vol.149 (1992), pp.264-268,의 도 5에서 보고된다. 다결정질 채널 물질은 유사한 특성을 보일 것이 기대된다.

<78> 그러므로, 민감도 파라미터가 선택된 한계(예를 들어 0.8 미만, 바람직하게 0.2 미만) 이내이면, 활성 반도체 물질(107)의 반대 표면 상의 액세스 장치와 메모리 사이의 전기적 상호작용이 서로 안에서 임계 전압 변화에 영향을 미치더라도, 여러 비-단결정질 채널 물질의 실제 두께와 여러 실제 동작 전압이 듀얼-게이트 메모리 장치에서 사용된다. 그러나, 그러한 전기적 상호작용이 최대화되는 ' 734 특허의 장치와 달리, 본 발명의 듀얼-게이트 메모리 장치(예를 들어 NAND 구성 내의)-비메모리 장치가 액세스 장치로 사용되고 판독 장치로 사용되지 않는 경우-전기적 상호작용을 수용하는 실제 두께가 제공된다. 도 13에 도시된 바와 같이, 0.2 또는 그 이하의 민감도 파라미터는 넓은 범위의 두께(예를 들어, 0.1~1.0 μm)에서 달성될 수 있다.

<79> 그러므로, NAND 스트링 내의 임의의 소스 또는 드레인이 도 6의 민감도 파라미터를 고려하여 결정된 범위 내의 선택된 전압으로 구속되고 전기적 플로팅이 허용되지 않을 때, 전기적 상호작용이 액세스 장치와 그 결합 메모리 장치 사이에서 발생하더라도, 허용된 프로그램 패스 전압은 액세스 게이트 전극에 인가된다.

<80> 프로그래밍 될 메모리 장치와 동일 워드 라인을 공유하는 인접 NAND 스트링 내의 메모리 장치의 프로그래밍을 억제하기 위하여(예를 들어, 도 5A, 5C에서, NAND 스트링(501)이 프로그래밍되는 동안, NAND 스트링(502)에서 프로그래밍을 억제), 두 가지 주요 접근 방향이 있다. 먼저, NAND 스트링(502)(억제된 NAND 스트링)에서 형성된 역전 채널은 전기적 플로팅이 허용된다. 한편, NAND 스트링(502) 내의 메모리 장치에 공통된 활성 반도체 레이어는 전기적 플로팅이 허용된다. 어느 방법 하에서, NAND 스트링(502) 내의 메모리 장치와 액세스 장치 사이의 결과 강 전기적 상호작용은 메모리 장치 내의 게이트 유전체(108)를 가로지르는 전기장 감소를 보이므로 프로그래밍을 억제한다. 그 결과, 훨씬 감소된 전하 터널링이 억제된 메모리 장치의 게이트 전극과 활성 반도체 레이어 사이에서 발생한다. NAND 스트링(502) 안에서 프로그래밍을 억제하는 다른 기술은 비트 라인 접촉(비트2)의 전압을 5V~15V(대표적으로, 9V) 사이로 한정하는 것이다. 비트라인 접촉에 인가되는 이 전압의 적절한 값은 실험으로 결정될 수 있다.

<81> 도 5A, 5C는 억제된 NAND 스트링(502)에 형성된 역전 채널의 전기적 플로팅을 허용하는 것을 도시한다. 프로그래밍 동작 동안 NAND 스트링(501)에 인가되는 전압은 이미 위에서 논의되었다. 프로그래밍 동안, 양 워드 라인(SG1a, SG2a)에 인가되는 전압에 가까운 전압이 NAND 스트링(502) 내의 비트라인 접촉(비트2)(도 5C의 BL2)에 인가된다. 그러므로, 도 5A의 노드(502x)는 비트라인 접촉(비트2)에 인가되는 것보다 약간 낮은 전압에 근접하는 것이 허용된다. 프로그램 패스 전압이 각각의 액세스 게이트 전극 워드라인(WL1a ~ WL(m-1)a)에 인가되는 경우(WL(n)a까지의 나머지 액세스 게이트 전극 또한 도 5C에 도시된 바와 같이 노드(502x)에 의해 경험된 전압 부스트를 증가시키도록 인가된 프로그램 패스 전압을 구비함), 역전 레이어가 NAND 스트링(502) 내의 모든 결합 액세스 장치에 형성되는 것이 허용된다. 프로그래밍 전압을 워드 라인(WL(m)b)에 인가하는 것 또한 억제된 스트링(502)의 듀얼-게이트 장치의 메모리 장치 내의 역전 채널을 형성한다. 이 방식으로, 이 역전 채널이 다른 역전 채널과 소스 및 드레인을 통해 노드(502x)에 연결된다. 한편으로는 액세스 게이트 전극 워드 라인 사이의, 다른 한편으로는 역전 채널과 소스 및 드레인 영역 사이의 강한 용량 결합 때문에, 노드(502x) 및 모든 역전 채널과 소스 및 드레인 영역은 전압이 상승하고 비트 라인 접촉(비트2)에 인가되는 전압에 독립적으로 전기적으로 플로팅한다. 프로그래밍 동안, NAND 스트링(502)의 소스 접촉(소스2)은 전기적 플로팅이 허용되거나 0V와 10V 사이의 양의 전압에 한정된다. 본 발명의 일 실시예에서, 소스 접촉 “소스1”과 “소스2”는 함께 묶인다. 이 노드는 도 5C에서 CSL(common source line)로 불린다. 액세스 장치와 메모리 장치 사이의 이 강한 전기적 상호작용은 그 메모리 게이트 전극 워드 라인(WL(m)b)을 구비한 NAND 스트링(502)의 메모리 셀의 프로그래밍을 억제한다. 이것은 전압이 상승하고 그리하여 워드 라인(WL(m)b)을 구비한 메모리 장치의 메모리 유전체를 가로지르는 전압 강하를 제한하는 노드(502x)를 도시한 도 5C에서 볼 수 있다.

<82> NAND 스트링(502)에서 프로그래밍을 억제하는 것은 프로그래밍 동안 비트라인 접촉(비트1)을 전기적으로 플로팅

하는 것에 의해 달성될 수도 있다. 이 방식으로, NAND 스트링(502)의 활성 반도체 레이어 내의 임의의 듀얼-게이트 장치에서 역전이 거의 또는 전혀 발생하지 않으므로, 활성 반도체 레이어(예를 들어, 활성 반도체 레이어(107))의 전기적 플로팅을 추가로 허용한다. 그 결과, 용량 결합이 이 NAND 스트링(502) 내의 메모리 장치와 액세스 장치 사이에서 일어난다. 이 용량 결합은 그 메모리 장치 게이트 전극으로 WL(m)b를 구비한 NAND 스트링(502) 내의 메모리 셀에서 필요한 프로그래밍 역제를 가져온다. 이 방법 하에서, 워드 라인(SG1a, SG1b, SG2a, SG2b)을 구비한 선택 듀얼-게이트 장치가 NAND 메모리 장치의 동작에 필요하지 않게 되므로, 추가로 달성가능한 메모리 밀도를 증가시킨다.

<83> 요약하면, 프로그래밍동안, 도5A의 NAND 스트링(501)의 메모리 셀 내의 프로그램 패스 방해 면제는, 동작 범위 내의 프로그램 패스 전압이 액세스 장치에 인가될 때, 액세스 장치와 메모리 장치 사이의 양호한 전기적 절연에 의해 달성된다. 이 전기적 절연은 도 6,12,13,에 주어진 민감도 파라미터에 의해 특징지워진다. 인접 NAND 스트링(502)에서 양호한 프로그래밍 역제를 달성하도록, 양호한 전기적 상호작용이 액세스 장치와 메모리 장치 사이에서 요구된다. 프로그램 방해 및 프로그램 패스 방해는 비 선택 메모리 게이트 전극 워드 라인(WL1b~WL(m-1)b)에 인가되는 전압에 관련된다. 이 워드 라인은 이 방해 메커니즘을 감소시키도록 이전에 최적화된 기설정된 전압으로 한정되거나 플로팅이 허용된다. 일 실시예에서, 이 전압은 0V와 5V 사이이다.

<84> 판독 동작은 도 5A를 참조로 설명된다. 판독될 메모리 셀이 메모리 게이트 전극 워드 라인(WL(m)b)을 구비한 NAND 스트링(501) 내의 것이라 가정한다. 이 셀을 판독하기 위하여, 프로그래밍된 임계 전압과 삭제된 임계 전압 사이의 작은 판독 전압(예를 들어, 1V)이 워드 라인에 인가된다(WL(m)b) 선택 전압은 경험적으로 결정된다. 동시에, 작은 전압(예를 들어 0.5V와 4V 사이, 바람직하게 1V)이 NAND 스트링(501)의 비트 라인 접촉(비트1)에 인가된다. NAND 스트링(501)의 소스 접촉(소스1)은 비트 라인 접촉(비트1)보다 더 낮은 전압(예를 들어 접지 전압)에 홀드된다. 워드 라인(WL(m)a)은 제외하지만 선택 장치(SG1a,SG2a,SG3a,SG4a)의 워드라인은 포함하는, 소스 접촉(소스1)과 비트 라인 접촉(비트1) 사이의 모든 액세스 게이트 전극 워드 라인은 일반적으로 판독 전압보다 더 높지만 이전에 설명된 프로그램 패스 전압보다 더 낮은 판독 패스 전압이 인가된다. 민감도 파라미터에 따라, 판독 패스 전압은 1V와 8V 사이에서, 예를 들어 대표적으로 4V가 제공된다. 모든 다른 메모리 셀 게이트 전극 워드 라인은 전기적 플로팅 상태로 남겨나 작은 전압으로 한정된다. 특정 전압이 인가되는 활성 반도체 레이어 내의 노드를 구비한 NAND 스트링의 프로그래밍 동안 양호한 전기적 절연에 대한 필요는 NAND 스트링(501) 내의 결합 메모리 장치 내의 저장된 전하 상에 훨씬 더 적은 영향을 가지는 인가된 더 낮은 판독 패스 전압 또한 가져온다. 전술된 민감도 파라미터는 프로그래밍을 위해 선택되는 NAND 스트링 내의 판독 패스 및 프로그램 패스 동안 그 결합 메모리 장치와 액세스 장치 사이의 전기적 상호작용의 양이다. 더 작은 민감도 파라미터는 이 어려운 NAND 전기적 동작 동안 더 작은 전기적 상호작용을 의미한다.

<85> 판독 동작 동안, 도 5A의 NAND 스트링(502)의 비트 라인 접촉(비트2)은 전기적 플로팅 상태로 있을수 있거나 접지 전압에 가까운 전압에 한정될 수 있다. 어느 한쪽의 접근 방법 하에서, NAND 스트링에서의 판독 패스 방해가 최소화된다. 또한, 동일한 워드 라인을 공유하는 NAND 스트링 가까이에서 판독 방해와 판독 패스 방해도 최소화된다.

<86> 삭제 동작은 도 5A를 참조로 다음에 설명된다. 삭제는 보통 동시에 삭제될 여러 NAND 스트링과 함께 두가지 방법 중 하나를 사용하여 수행된다. 제 1 삭제 방법은 NAND 스트링의 메모리 블록 내의 모든 메모리 셀 워드 라인으로 접지 전압 또는 음의 전압을 인가하는 것을 필요로하고 도 5A의 선택 장치에 접지 또는 음의 전압을 인가하는 것을 포함한다. 동시에, 커다란 양의 전압이 모든 비트 라인 접촉과 소스에 인가된다. 도 5A에 도시된 바와 같이, 비트 라인 접촉과 소스 라인 접촉은 각각 "비트1", "비트2", "소스1", "소스2"이다. 이 노드들 상의 전압은 7V와 15V사이에 있다. 이 방식으로, 전하가 메모리 장치에서 터널 아웃할 수 있다.

<87> 제 2 삭제 방법은 NAND 스트링의 메모리 블록 내의 모든 메모리 셀 워드 라인에 접지 전압 또는 음의 전압을 인가하는 것 또한 필요로 하고 선택 장치를 포함한다. 동시에, 커다란 양의 전압(예를 들어 7~20V 사이)이 NAND 스트링의 동일한 블록 내의 모든 액세스 게이트 전극 워드 라인에 인가되는 반면에 비트 라인 접촉과 소스 영역은 모두 전기적으로 플로팅한다. 액세스 장치와 메모리 장치 사이의 강한 전기적 상호작용은 메모리 장치에서 전하 터널링을 강화하고 삭제가 일어나는 것을 허용한다.

<88> 상기 기술에 기초하여, 초고밀도 반도체 장치가, 도7의 구조체(800)에 의해 예시되는 바와 같은, 전술된 듀얼-게이트 장치의 반복성 구조체에 의해 형성된다. 도 8,9는 반복성 방식으로 높은 회로 밀도를 달성하도록 스택되는 추가 듀얼-게이트 장치 구조체를 도시한다. 특히, 도 8은 게이트 전극 레이어(109)의 양 사이드 상의 전하 저장 게이트 유전체 레이어(108)를 포함하는(즉, 1 이상의 메모리 장치를 제어하는 동일한 게이트 전극을 사용

하는) 구조체(900)를 도시한다. 도 9는 게이트 전극 레이어(102)의 양 사이드 상의 전하 저장 게이트 유전체 레이어(106)를 포함하는(즉, 1 이상의 액세스 장치를 제어하는 동일한 게이트 전극을 사용하는) 구조체(1000)를 도시한다.

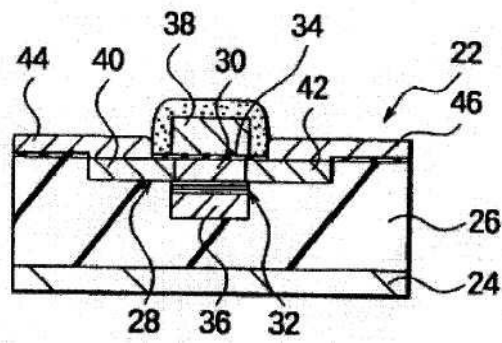
<89> 상술한 설명은 여기 개시된 본 발명의 실시예를 설명하기 위하여 제공되고, 제한하고자 하는 것이 아니다. 본 발명의 여러 변형과 수정이 본 발명의 범위 안에서 가능하다. 본 발명은 다음 청구범위에 개시된다.

도면의 간단한 설명

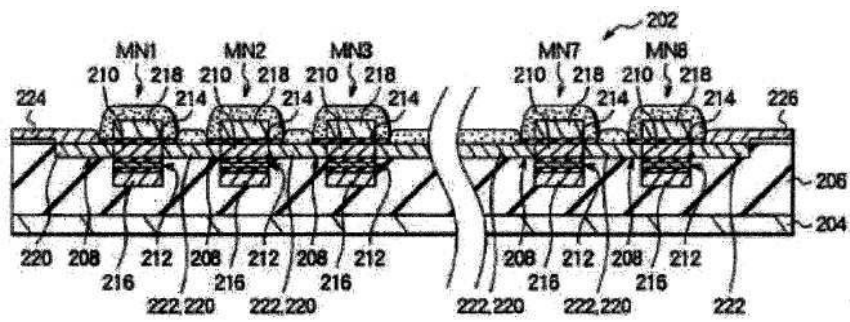
- <29> 도 1 은 종래 기술의 듀얼-게이트 메모리 셀(22)의 도면,
- <30> 도 2 는 종래 기술의 듀얼-게이트 NAND 스트링(202)의 도면,
- <31> 도 3A-3L은 본 발명의 일 실시예에 따른 NAND-타입 비휘발성 메모리 장치 형성에 적용가능한 방법을 나타낸 흐름도,
- <32> 도 4A는 본 발명의 듀얼-게이트 메모리 셀을 나타낸 개략도,
- <33> 도 4B는 본 발명의 듀얼-게이트 메모리 셀의 구성을 나타낸 개략도,
- <34> 도 5A는 본 발명의 일 실시예에 따른 복수의 듀얼-게이트 메모리 셀을 각각 포함하는 2개의 NAND 스트링을 나타낸 회로도,
- <35> 도 5B는 본 발명의 일 실시예에 따른 NAND 스트링 부분의 구성을 나타낸 개략도,
- <36> 도 5C는 본 발명의 일 실시예에 따라 하나의 메모리 셀이 프로그래밍 될 때, 프로그래밍을 억제하도록 제공되는 메모리 장치와 액세스 장치 사이의 강한 전기적 상호작용을 나타내는, 듀얼-게이트 NAND 스트링(501,502)의 여러 노드에서 전압 파형에 따라 도 5A의 NAND 스트링 부분의 구성을 나타내는 개략도,
- <37> 도 6은 본 발명의 일 실시예에 따라 액세스 게이트 전극 전압의 기능으로 메모리 장치의 임계 전압을 나타내는 도표,
- <38> 도 7 은 본 발명의 일 실시예에 따라 듀얼-게이트 NAND 타입 비휘발성 메모리 장치를 도 3A-3L에서 반복적으로 도시된 방법 단계를 적용하는 것에 의해 달성되는 스택에 의해 형성되는 구조체(800)를 나타낸 도면,
- <39> 도 8 은 본 발명의 일 실시예에 따른 듀얼-게이트 NAND 타입 비휘발성 메모리 장치를 스택하는 것에 의해 또한 형성되는 각각의 메모리 게이트 전극이 2개의 게이트 유전체 레이어를 구비하는 구조체(900)를 나타낸 도면,
- <40> 도 9 는 본 발명의 일 실시예에 따른 듀얼-게이트 NAND 타입 비휘발성 메모리 장치를 스택하는 것에 의해 또한 형성되는, 각각의 액세스 게이트 전극이 2개의 게이트 유전체 레이어를 구비하는 구조체(1000)를 나타낸 도면,
- <41> 도 10은 수학식 1의 조건을 만족시키는 두께를 가지는 반도체 내의 백 게이트에서 부과된 전압의 함수로 프론트 게이트 장치의 임계 전압을 나타내는 표,
- <42> 도 11 은 백 게이트 전압 V_{gb} 의 함수로, 프론트 게이트 장치의 소스-드레인 전류 I_D 내의 상응하는 변화로 표시되는, 프론트 게이트 임계 전압에서의 변화를 실험적으로 도시한 도면,
- <43> 도 12는 Servati 논문의 도 4를 재현하는 것으로 50nm 두께의 비결정질 실리콘 채널 물질에 대한 도 6의 관련 임계 전압을 도시하는 도면, 및
- <44> 도 13은 Kaneko 논문의 도 5를 재현한 것으로, 비결정질 실리콘 박막 트랜지스터에 대하여 측정된 민감도 파라미터의 값을 두께의 함수로 나타낸 도면이다.

도면

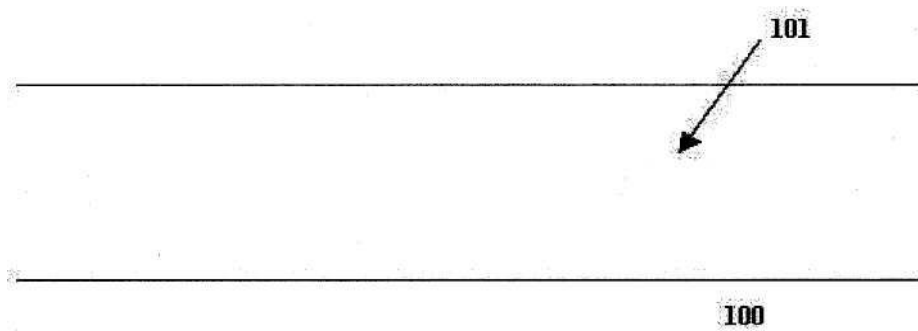
도면1



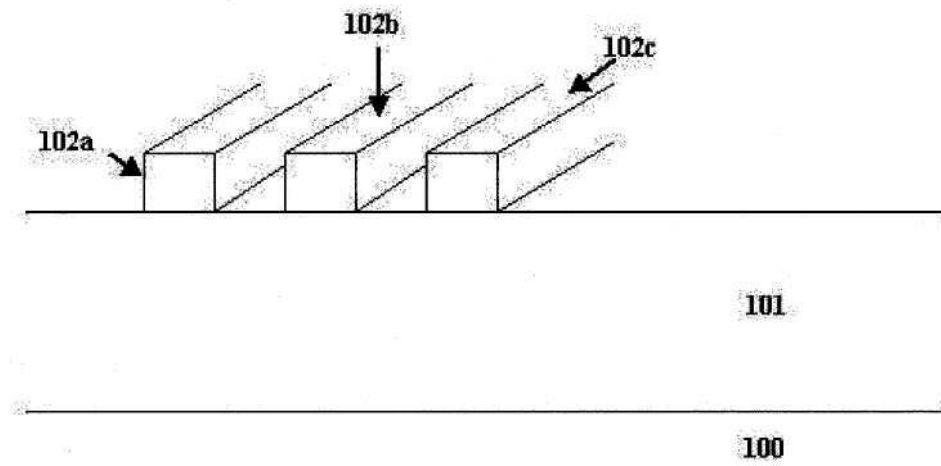
도면2



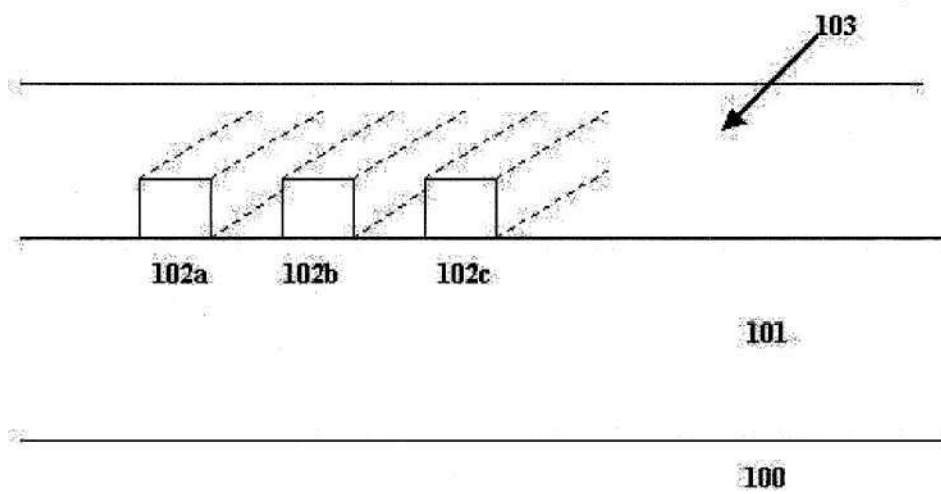
도면3A



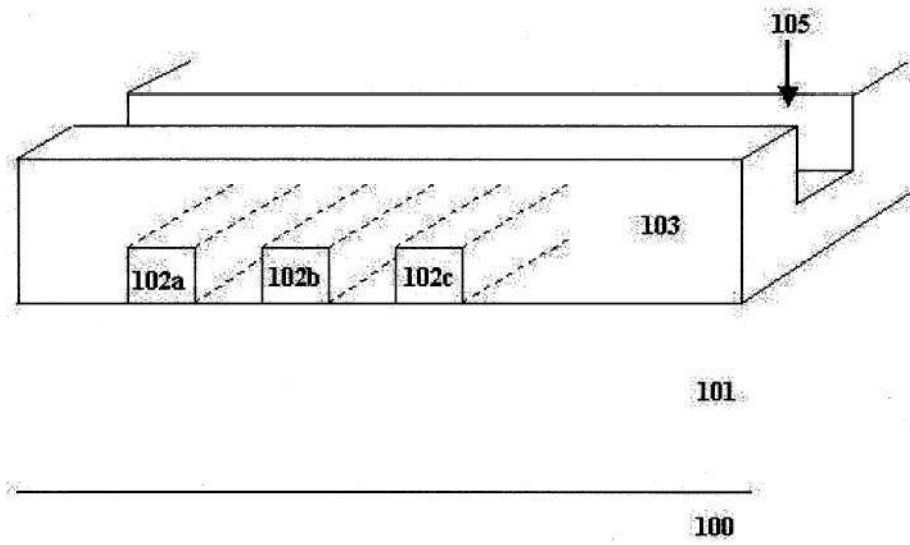
도면3B



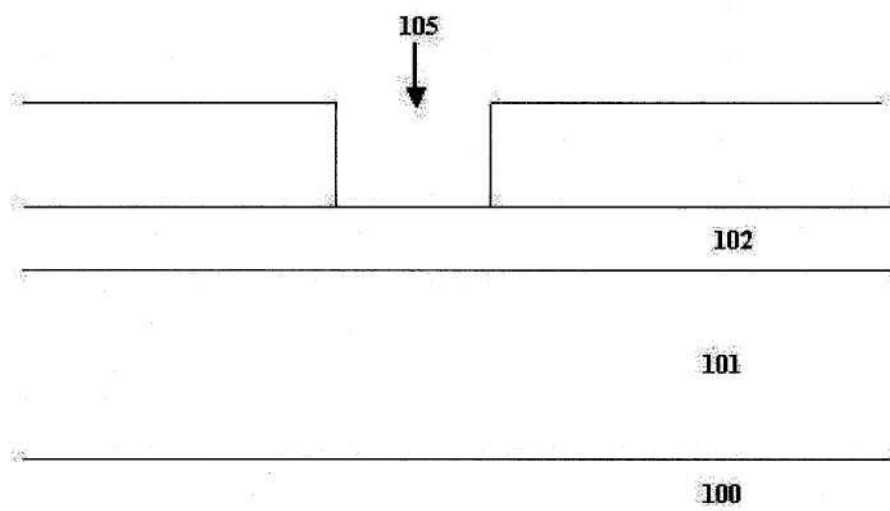
도면3C



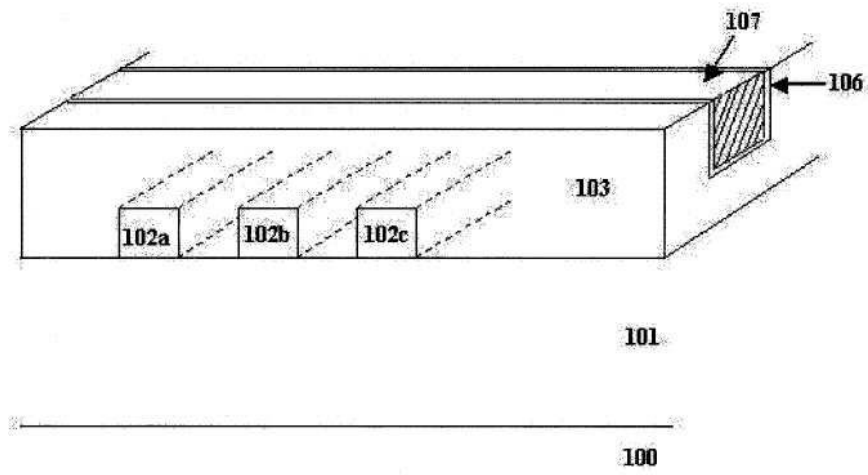
도면3D



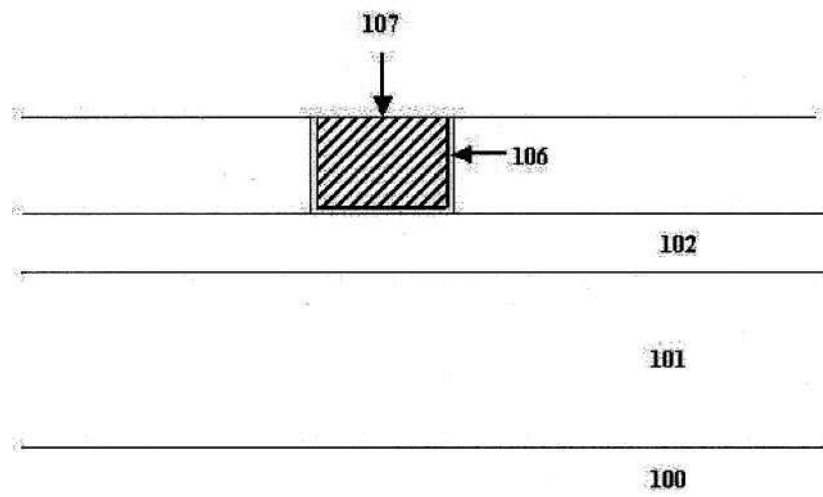
도면3E



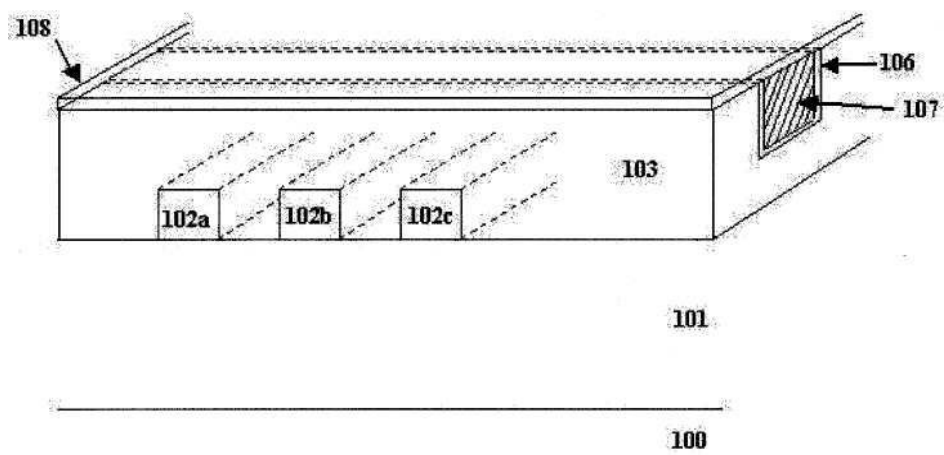
도면3F



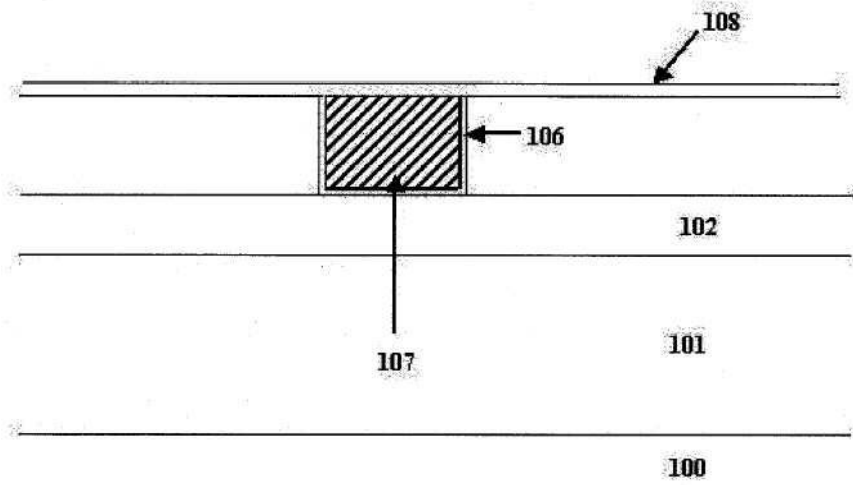
도면3G



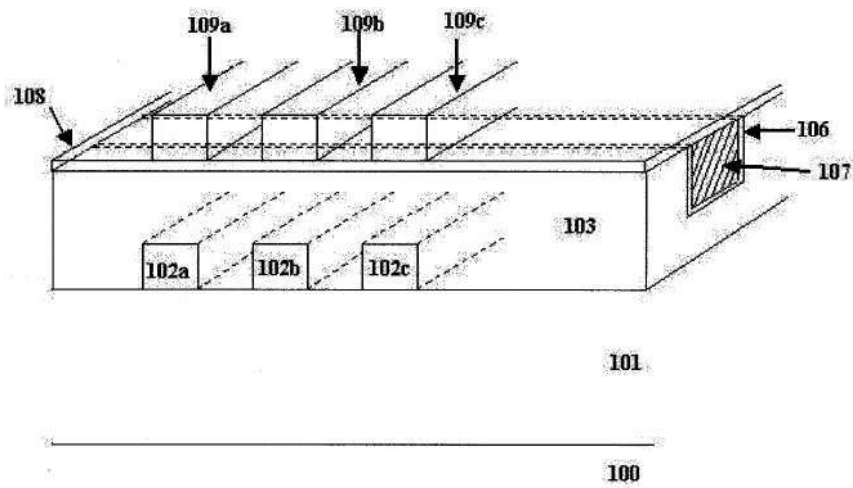
도면3H



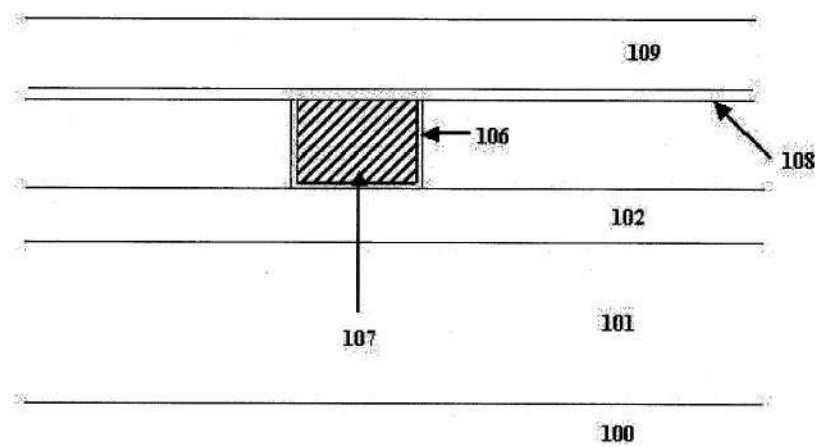
도면3I



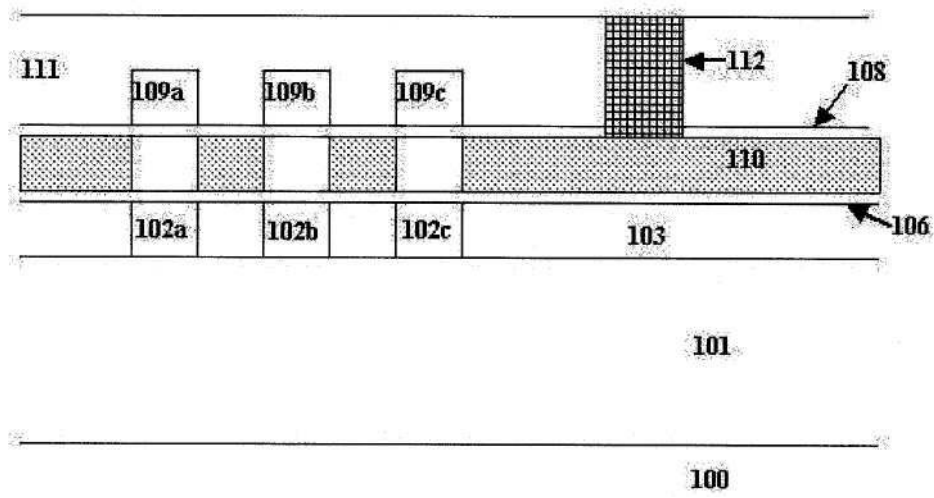
도면3J



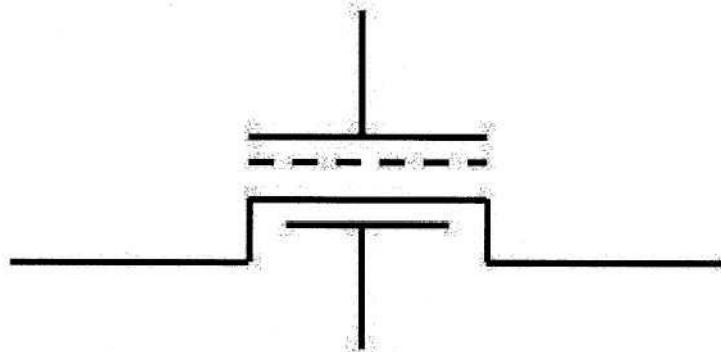
도면3K



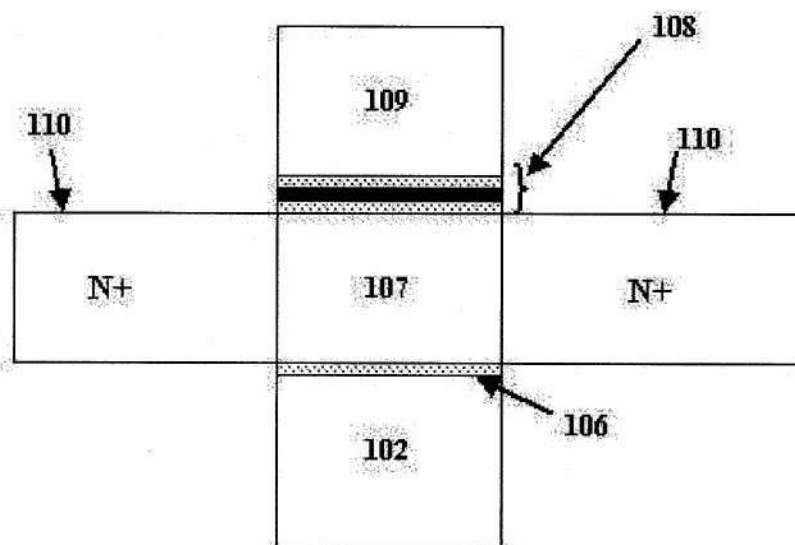
도면3L



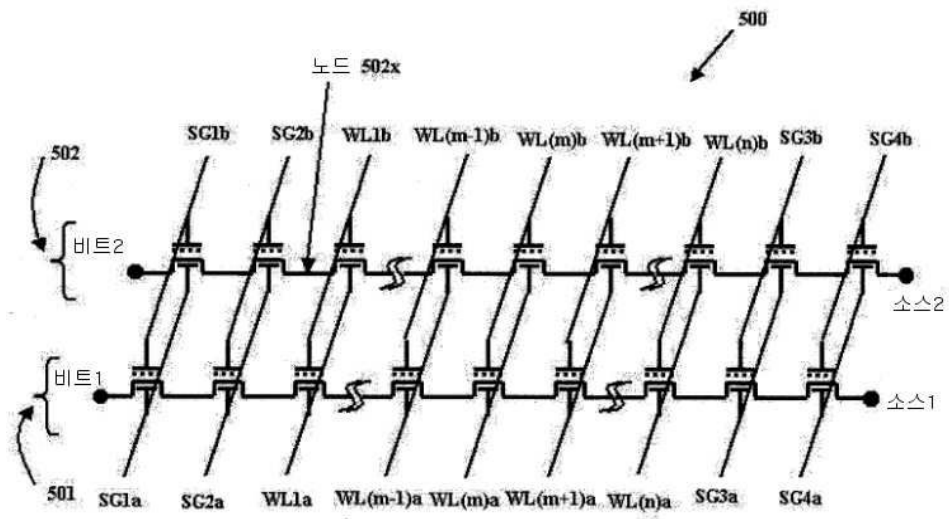
도면4A



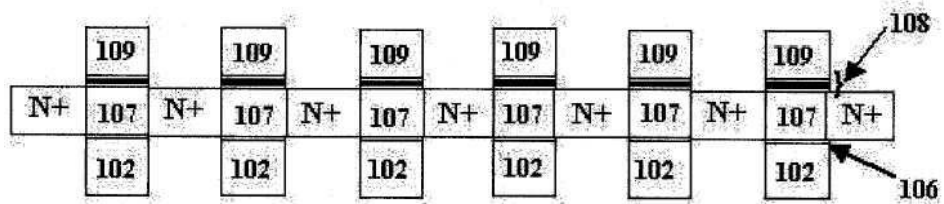
도면4B



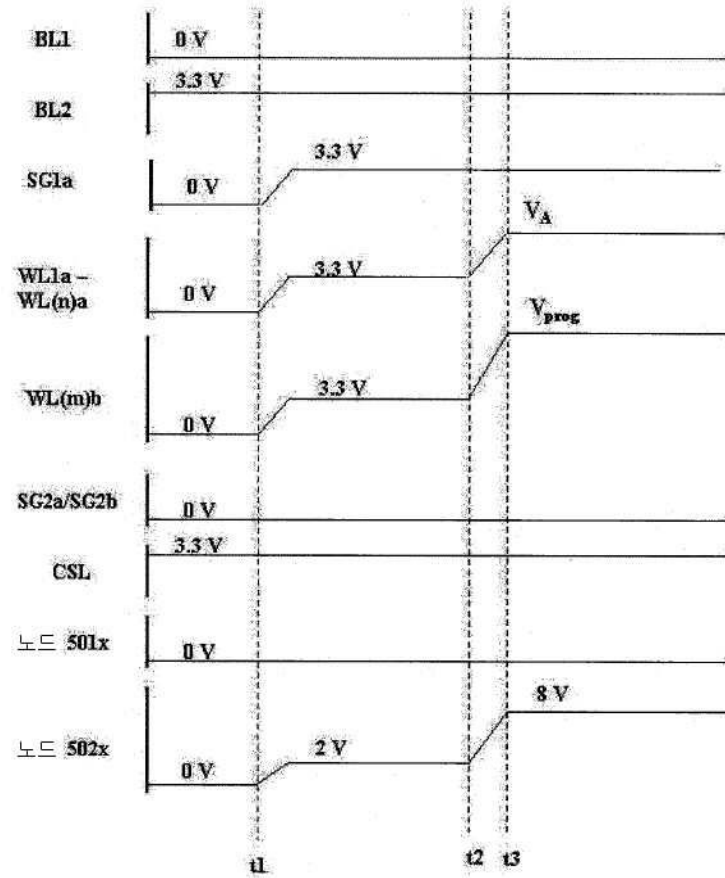
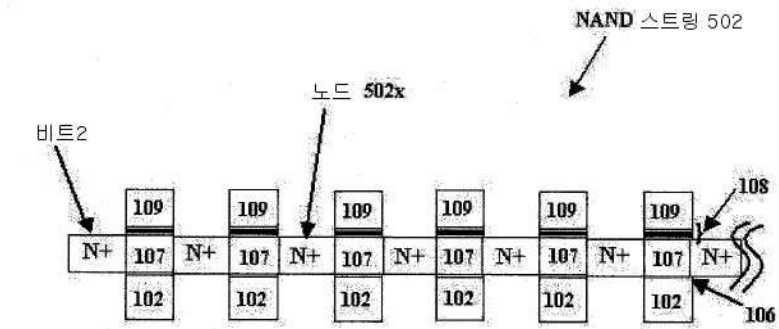
도면5A



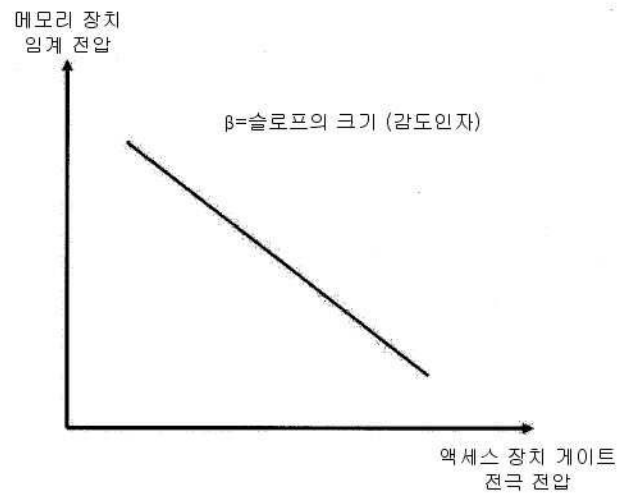
도면5B



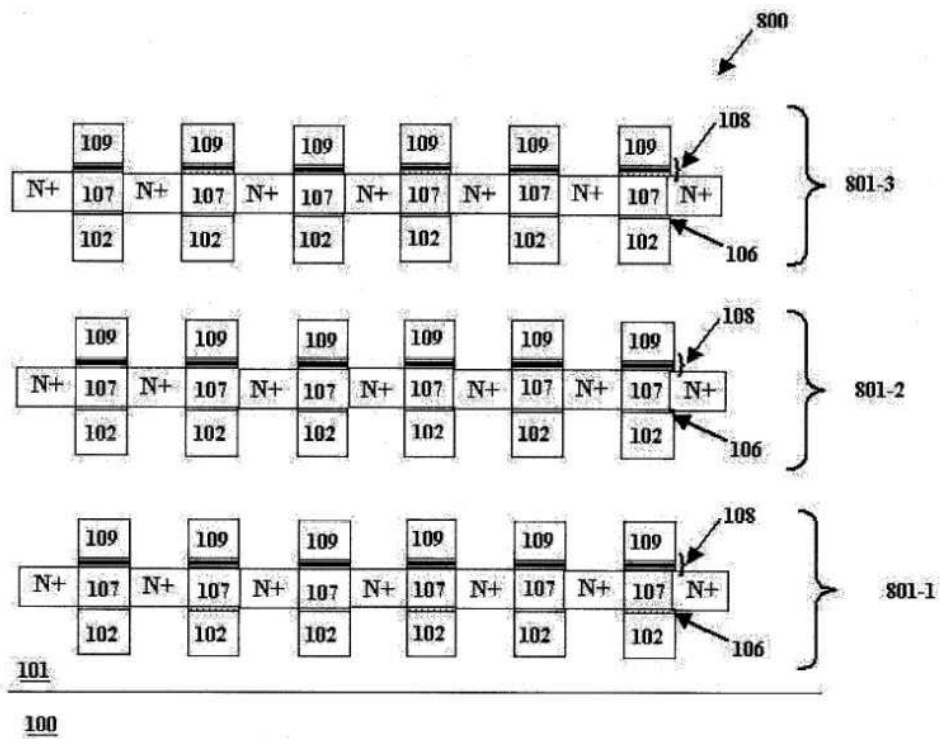
도면5C



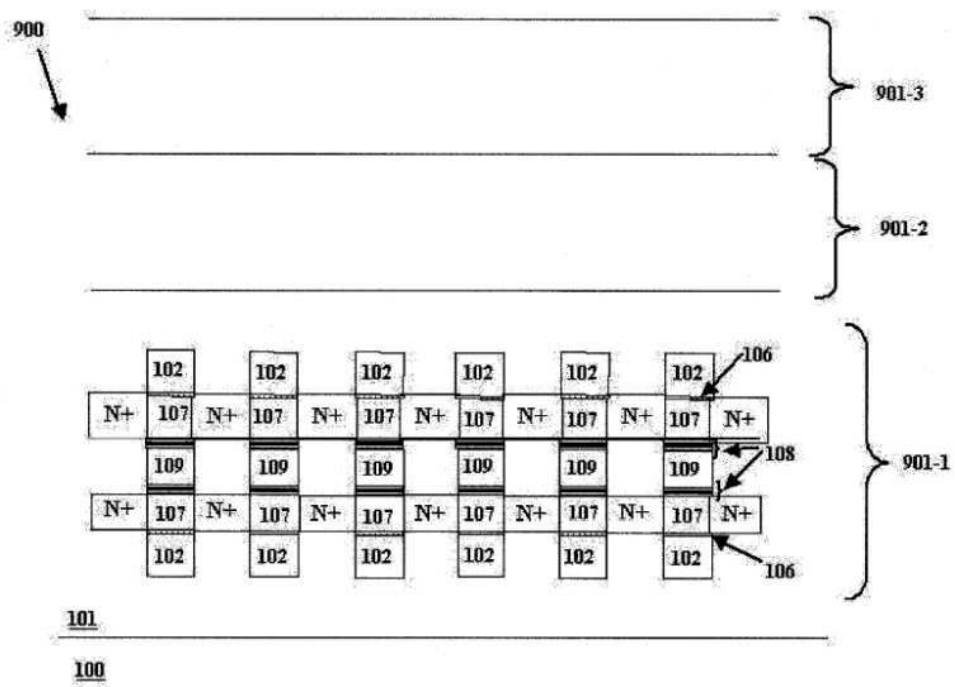
도면6



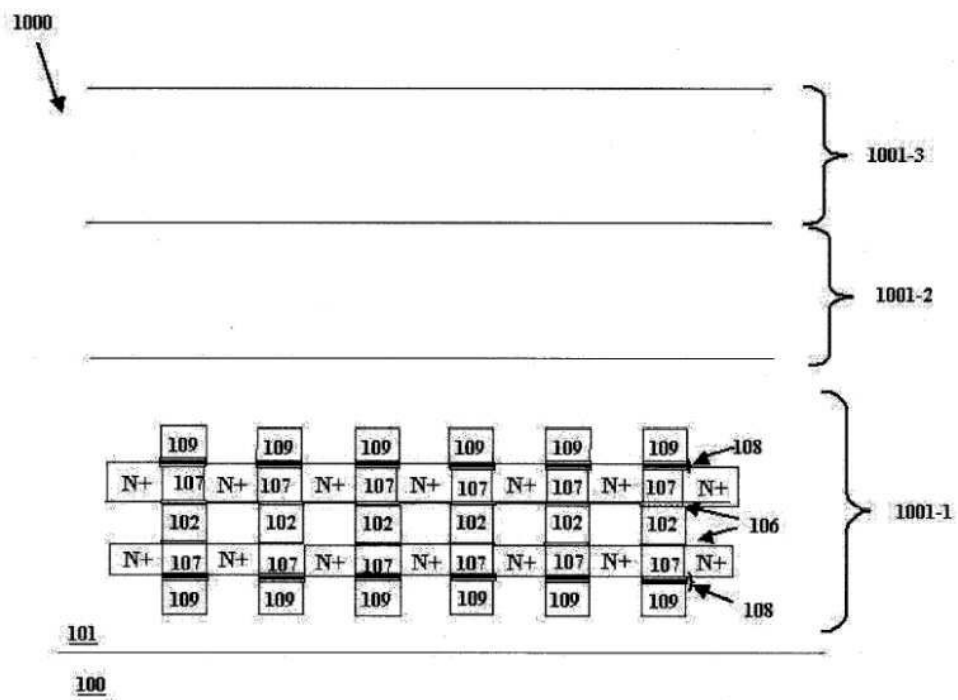
도면7



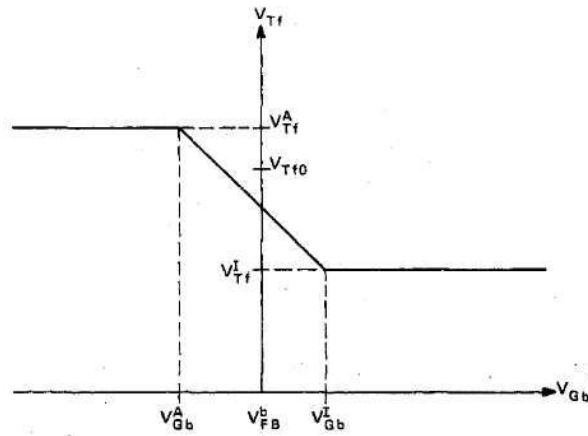
도면8



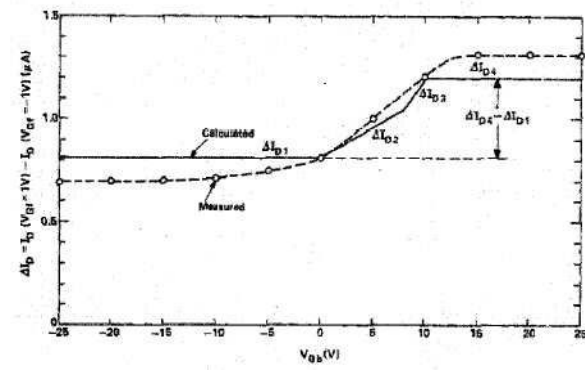
도면9



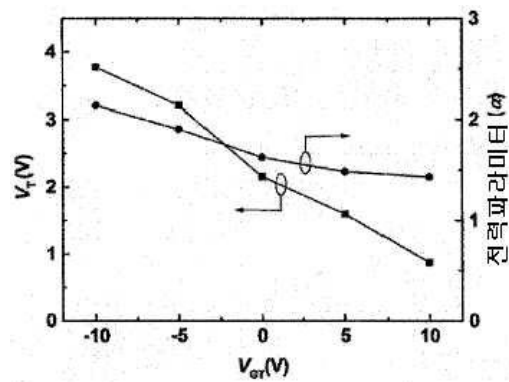
도면10



도면11



도면12



도면13

