

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4197647号
(P4197647)

(45) 発行日 平成20年12月17日 (2008.12.17)

(24) 登録日 平成20年10月10日 (2008.10.10)

(51) Int.Cl.

F I

G 0 9 G 3 / 3 0 (2006.01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 (2006.01)

G 0 9 G 3 / 3 0 H

H 0 1 L 5 1 / 5 0 (2006.01)

G 0 9 G 3 / 2 0 6 1 1 H

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 E

請求項の数 32 (全 85 頁) 最終頁に続く

(21) 出願番号 特願2003-531449 (P2003-531449)
 (86) (22) 出願日 平成14年9月12日 (2002.9.12)
 (86) 国際出願番号 PCT/JP2002/009354
 (87) 国際公開番号 W02003/027997
 (87) 国際公開日 平成15年4月3日 (2003.4.3)
 審査請求日 平成17年9月2日 (2005.9.2)
 (31) 優先権主張番号 特願2001-289983 (P2001-289983)
 (32) 優先日 平成13年9月21日 (2001.9.21)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (74) 代理人 100082669
 弁理士 福田 賢三
 (74) 代理人 100095337
 弁理士 福田 伸一
 (74) 代理人 100061642
 弁理士 福田 武通
 (74) 代理人 100095061
 弁理士 加藤 恭介
 (72) 発明者 木村 肇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 表示装置及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の電流を電圧に変換する機能を有する手段と、
 前記電圧を第2の電流に変換する機能を有する手段と、
 デジタルの映像信号によって、前記第2の電流を発光素子に流すか否かを制御する機能を有する手段と、
 を有する画素を含み、
 前記画素に入力される前記デジタルの映像信号は1ビットの信号であることを特徴とする表示装置。

【請求項2】

第1の電流を電圧に変換する機能を有する手段と、
 前記電圧を第2の電流に変換する機能を有する手段と、
 デジタルの映像信号によって、前記第2の電流を発光素子に流すか否かを制御する機能を有する手段と、
 を有する画素を含み、
 前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、多階調表示を行うことを特徴とする表示装置。

【請求項3】

第1の電流を電圧に変換する機能を有する手段と、
 前記電圧を第2の電流に変換する機能を有する手段と、

10

20

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、

1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることを特徴とする表示装置
。

【請求項 4】

第 1 の電流を電圧に変換する機能を有する手段と、

前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、

1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることによって多階調表示を行うことを特徴とする表示装置。

【請求項 5】

第 1 の電流を電圧に変換する機能を有する手段と、

変換された前記電圧を保持する機能を有する手段と、

保持された前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であることを特徴とする表示装置。

【請求項 6】

第 1 の電流を電圧に変換する機能を有する手段と、

変換された前記電圧を保持する機能を有する手段と、

保持された前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、多階調表示を行うことを特徴とする表示装置。

【請求項 7】

第 1 の電流を電圧に変換する機能を有する手段と、

変換された前記電圧を保持する機能を有する手段と、

保持された前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、

1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることを特徴とする表示装置
。

【請求項 8】

第 1 の電流を電圧に変換する機能を有する手段と、

変換された前記電圧を保持する機能を有する手段と、

保持された前記電圧を第 2 の電流に変換する機能を有する手段と、

10

20

30

40

50

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、

1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることによって多階調表示を行うことを特徴とする表示装置。

【請求項 9】

第 1 の電流を電圧に変換し、前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であることを特徴とする表示装置。

【請求項 10】

第 1 の電流を電圧に変換し、前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、多階調表示を行うことを特徴とする表示装置。

【請求項 11】

第 1 の電流を電圧に変換し、前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、

1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることを特徴とする表示装置。

【請求項 12】

第 1 の電流を電圧に変換し、前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、

1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることによって多階調表示を行うことを特徴とする表示装置。

【請求項 13】

第 1 の電流を電圧に変換し、変換された前記電圧を保持し、保持された前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第 2 の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であることを特徴とする表示装置。

【請求項 14】

第 1 の電流を電圧に変換し、変換された前記電圧を保持し、保持された前記電圧を第 2 の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第2の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、多階調表示を行うことを特徴とする表示装置。

【請求項15】

第1の電流を電圧に変換し、変換された前記電圧を保持し、保持された前記電圧を第2の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第2の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、

1フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることを特徴とする表示装置

。

【請求項16】

第1の電流を電圧に変換し、変換された前記電圧を保持し、保持された前記電圧を第2の電流に変換する機能を有する手段と、

デジタルの映像信号によって、前記第2の電流を発光素子に流すか否かを制御する機能を有する手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、

1フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることによって多階調表示を行うことを特徴とする表示装置。

【請求項17】

第1の電流を電圧に変換する機能を有する第1の手段と、

前記電圧を第2の電流に変換する機能を有する第2の手段と、

デジタルの映像信号によって、前記第2の手段を画素電極と導通させるか否かを制御する機能を有する第3の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であることを特徴とする半導体装置。

【請求項18】

第1の電流を電圧に変換する機能を有する第1の手段と、

前記電圧を第2の電流に変換する機能を有する第2の手段と、

デジタルの映像信号によって、前記第2の手段を画素電極と導通させるか否かを制御する機能を有する第3の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、多階調表示を行うことを特徴とする半導体装置。

【請求項19】

第1の電流を電圧に変換する機能を有する第1の手段と、

前記電圧を第2の電流に変換する機能を有する第2の手段と、

デジタルの映像信号によって、前記第2の手段を画素電極と導通させるか否かを制御する機能を有する第3の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、

1フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることを特徴とする半導体装

10

20

30

40

50

置。

【請求項 2 0】

第 1 の電流を電圧に変換する機能を有する第 1 の手段と、
前記電圧を第 2 の電流に変換する機能を有する第 2 の手段と、
デジタルの映像信号によって、前記第 2 の手段を画素電極と導通させるか否かを制御する機能を有する第 3 の手段と、
を有する画素を含み、
前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、
1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることによって多階調表示を行うことを特徴とする半導体装置。

10

【請求項 2 1】

第 1 の電流を電圧に変換する機能を有する第 1 の手段と、
変換された前記電圧を保持する機能を有する第 2 の手段と、
保持された前記電圧を第 2 の電流に変換する機能を有する第 3 の手段と、
デジタルの映像信号によって、前記第 3 の手段を画素電極と導通させるか否かを制御する機能を有する第 4 の手段と、
を有する画素を含み、
前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であることを特徴とする半導体装置。

20

【請求項 2 2】

第 1 の電流を電圧に変換する機能を有する第 1 の手段と、
変換された前記電圧を保持する機能を有する第 2 の手段と、
保持された前記電圧を第 2 の電流に変換する機能を有する第 3 の手段と、
デジタルの映像信号によって、前記第 3 の手段を画素電極と導通させるか否かを制御する機能を有する第 4 の手段と、
を有する画素を含み、
前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、多階調表示を行うことを特徴とする半導体装置。

30

【請求項 2 3】

第 1 の電流を電圧に変換する機能を有する第 1 の手段と、
変換された前記電圧を保持する機能を有する第 2 の手段と、
保持された前記電圧を第 2 の電流に変換する機能を有する第 3 の手段と、
デジタルの映像信号によって、前記第 3 の手段を画素電極と導通させるか否かを制御する機能を有する第 4 の手段と、
を有する画素を含み、
前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、
1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることを特徴とする半導体装置。

40

【請求項 2 4】

第 1 の電流を電圧に変換する機能を有する第 1 の手段と、
変換された前記電圧を保持する機能を有する第 2 の手段と、
保持された前記電圧を第 2 の電流に変換する機能を有する第 3 の手段と、
デジタルの映像信号によって、前記第 3 の手段を画素電極と導通させるか否かを制御する機能を有する第 4 の手段と、
を有する画素を含み、
前記画素に入力される前記デジタルの映像信号は 1 ビットの信号であり、
1 フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることによって多階調表示を

50

行うことを特徴とする半導体装置。

【請求項 25】

第1の電流を電圧に変換し、前記電圧を第2の電流に変換する機能を有する第1の手段と、

デジタルの映像信号によって、前記第1の手段を画素電極と導通させるか否かを制御する機能を有する第2の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であることを特徴とする半導体装置。

【請求項 26】

第1の電流を電圧に変換し、前記電圧を第2の電流に変換する機能を有する第1の手段と、

デジタルの映像信号によって、前記第1の手段を画素電極と導通させるか否かを制御する機能を有する第2の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、多階調表示を行うことを特徴とする半導体装置。

【請求項 27】

第1の電流を電圧に変換し、前記電圧を第2の電流に変換する機能を有する第1の手段と、

デジタルの映像信号によって、前記第1の手段を画素電極と導通させるか否かを制御する機能を有する第2の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、

1フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることを特徴とする半導体装置。

【請求項 28】

第1の電流を電圧に変換し、前記電圧を第2の電流に変換する機能を有する第1の手段と、

デジタルの映像信号によって、前記第1の手段を画素電極と導通させるか否かを制御する機能を有する第2の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、

1フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることによって多階調表示を行うことを特徴とする半導体装置。

【請求項 29】

第1の電流を電圧に変換し、変換された前記電圧を保持し、保持された前記電圧を第2の電流に変換する機能を有する第1の手段と、

デジタルの映像信号によって、前記第1の手段を画素電極と導通させるか否かを制御する機能を有する第2の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であることを特徴とする半導体装置。

【請求項 30】

第1の電流を電圧に変換し、変換された前記電圧を保持し、保持された前記電圧を第2の電流に変換する機能を有する第1の手段と、

デジタルの映像信号によって、前記第1の手段を画素電極と導通させるか否かを制御する機能を有する第2の手段と、

10

20

30

40

50

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、多階調表示を行うことを特徴とする半導体装置。

【請求項31】

第1の電流を電圧に変換し、変換された前記電圧を保持し、保持された前記電圧を第2の電流に変換する機能を有する第1の手段と、

デジタルの映像信号によって、前記第1の手段を画素電極と導通させるか否かを制御する機能を有する第2の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、

1フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることを特徴とする半導体装置。

【請求項32】

第1の電流を電圧に変換し、変換された前記電圧を保持し、保持された前記電圧を第2の電流に変換する機能を有する第1の手段と、

デジタルの映像信号によって、前記第1の手段を画素電極と導通させるか否かを制御する機能を有する第2の手段と、

を有する画素を含み、

前記画素に入力される前記デジタルの映像信号は1ビットの信号であり、

1フレーム期間は複数のサブフレーム期間を有し、前記複数のサブフレーム期間それぞれにおいて、前記デジタルの映像信号が前記画素に入力されることによって多階調表示を行うことを特徴とする半導体装置。

【発明の詳細な説明】

技術分野

本発明は、表示装置及びその駆動方法に関する。特に、画素毎にトランジスタが設けられ、画素の発光を制御するアクティブマトリクス型の表示装置及びその駆動方法に関する。

背景技術

画素毎に発光素子及び発光素子の発光を制御するトランジスタを配置したアクティブマトリクス型の表示装置が提案されている。発光素子とは、第1の電極と、第2の電極を有し、第1の電極と第2の電極の間に流れる電流量によって輝度が制御される素子を示す。発光素子としてOLED(Organic Light Emitting Diode)素子を用いた表示装置(以下、OLED表示装置と表記する)が注目されている。OLED表示装置は、応答性に優れ、低電圧で動作し、また視野角が広い等の利点を有するため、次世代のフラットパネルディスプレイとして注目されている。

アクティブマトリクス型のOLED表示装置において、各画素への輝度情報の書き込みを電圧信号で行う手法と、電流信号で行う手法とがある。前者を電圧書き込み型、後者を電流書き込み型アナログ方式と呼ぶ。これらの駆動方法について、以下に例を挙げて説明する。

従来の電圧書き込み型のOLED表示装置の画素の構成例を第30図に示す。第30図において、各画素それぞれに2つのTFT(第1のTFT及び第2のTFT)と、容量素子と、OLEDとが配置される。第1のTFT(以下、選択TFTと表記する)3001のゲート電極は、ゲート信号線3002に接続され、ソース端子とドレイン端子の一方の端子は、ソース信号線3003に接続されている。選択TFT3001のソース端子とドレイン端子の他方は、第2のTFT(以下、駆動TFTと表記する)3004のゲート電極及び容量素子(以下、保持容量と表記する)3007の一方の電極に接続されている。保持容量3007の他方の電極は、電源線3005に接続されている。駆動TFT3004のソース端子とドレイン端子の一方は、電源線3005に接続され、他方は、OLED3006の第1の電極3006aに接続されている。OLED3006の第2の電極3006bは、一定の電位が与えられている。ここで、OLED3006の駆動TFT3004

10

20

30

40

50

と接続されている側の電極、つまり第1の電極3006aを画素電極と呼び、第2の電極3006bを対向電極と呼ぶ。

第30図において、選択TFT3001をnチャネル型TFT、駆動TFT3004をpチャネル型TFT、OLEDの第1の電極3006aを陽極、第2の電極3006bを陰極とし、第2の電極3006bの電位を0(V)とした場合の駆動方法について以下に説明する。

ゲート信号線3002に信号が入力され、導通状態となった選択TFT3001において、ソース信号線3003より信号電圧が入力される。ソース信号線3003に入力される信号電圧によって、保持容量3007に電荷が蓄積される。保持容量3007に保持された電圧に応じて、電源線3005から駆動TFT3004のソース・ドレイン間を介して、OLED3006に電流が流れて発光する。

10

第30図に示した構成の画素を有する電圧書き込み型の表示装置には、アナログ方式と、デジタル方式の2つの駆動方法がある。以下、この2つの方式を、電圧書き込み型アナログ方式、電圧書き込み型デジタル方式と呼ぶ。

電圧書き込み型アナログ方式の駆動方法では、各画素の駆動TFT3004のゲート電圧(ゲート・ソース間電圧)を変化させることによって、駆動TFT3004のドレイン電流を変化させる。こうして、OLED3006を流れる電流を変化させ輝度を変化させる方式である。中間調を表現するためには、ゲート電圧に対して、ドレイン電流の変化が大きな領域で駆動TFT3004を動作させる。

上述の電圧書き込み型アナログ方式の場合、各画素に同じ電位を有する信号をソース信号線3003より入力した場合に、駆動TFT3004の電流特性のばらつきによるドレイン電流の変動を受けて、OLED3006を流れる電流が大きくばらつくという問題がある。駆動TFT3004の電流特性のばらつきは、閾値電圧やキャリア移動度等のパラメータに影響されている。その一例として第31図を用いて、駆動TFT3004の閾値電圧のばらつきによる、電流特性のばらつきについて説明する。

20

第31図(A)は、第30図における駆動TFT3004とOLED3006のみを示した図である。駆動TFT3004のソース端子が電源線3005に接続されている。駆動TFT3004のゲート電圧を図中 V_{gs} で示す。また、駆動TFT3004のドレイン電流を図中矢印 I_d で示す。第31図(B)は、駆動TFT3004のゲート電圧の絶対値 $|V_{gs}|$ とドレイン電流 I_d の関係(電流特性)を示す。3101aは、駆動TFT3004の閾値電圧の絶対値が V_{th1} の場合の、ゲート電圧とドレイン電流の関係を示す曲線である。一方、3101bは、駆動TFTの閾値電圧の絶対値が V_{th2} の場合の、ゲート電圧とドレイン電流の関係を示す曲線である。ここで、 $V_{th1} > V_{th2}$ である。図中に示す動作領域(1)が、電圧書き込み型アナログ方式の場合の駆動TFT3004の動作領域に相当する。動作領域(1)において駆動TFT3004の閾値がばらつくと、ゲート電圧が同じ V_{gs1} であってもドレイン電流が I_{d1} と I_{d2} となり大きく異なる。ここで、OLED3006の輝度は、OLED3006を流れる電流量に比例するため、閾値電圧のバラツキによって、OLED3006の輝度はバラつく。

30

上述の駆動TFT3004の電流特性のばらつきの影響を低減するため、電圧書き込み型デジタル方式の駆動方法が提案されている。電圧書き込み型デジタル方式の駆動方法では、各画素のOLED3006は一定の輝度で発光/非発光の2つの状態が選択される。このとき、第30図における駆動TFT3004は、各画素の電源線3005とOLED3006の画素電極3006aの接続を選択するスイッチとして働く。電圧書き込み型デジタル方式において、OLED3006が発光している際、駆動TFT3004は、ソース・ドレイン間電圧 V_{ds} の絶対値がゲート電圧 V_{gs} から閾値電圧 V_{th} を引いた電圧 $V_{gs} - V_{th}$ の絶対値より小さな動作領域である線型領域、特に、ゲート電圧の絶対値が大きな領域で動作する。

40

第31図(B)において、電圧書き込み型デジタル方式での駆動TFT3004の動作領域を動作領域(2)で示す。動作領域(2)は、線型領域であり、この領域で動作する駆動TFT3004は、同じゲート電圧 V_{gs2} が印加されている場合に、閾値電圧等のば

50

らつきによるドレイン電流のばらつきは小さく、ほぼ一定の電流 I_{d3} を流す。このため、 $OLED3006$ を流れる電流のばらつきを抑え、発光輝度の変動を抑えることができる。

線型領域で動作する駆動 $TFT3004$ と、 $OLED3006$ とそれぞれに印加される電圧の関係を、第32図を用いて説明する。第32図(A)は、説明のため、第30図における駆動 $TFT3004$ と $OLED3006$ のみを示した図である。ここでは、駆動 $TFT3004$ のソース端子が電源線3005に接続されている。駆動 $TFT3004$ のソース・ドレイン間電圧を V_{ds} で示す。 $OLED3006$ の陰極と陽極間の電圧を V_{OLED} で示す。 $OLED3006$ を流れる電流を I_{OLED} で示す。電流 I_{OLED} は、駆動 $TFT3004$ のドレイン電流 I_d に等しい。電源線3005の電位を V_{dd} で示す。 $OLED3006$ の対向電極の電位は $0V$ とする。第32図(B)において、3202aは、 $OLED3006$ の V_{OLED} と I_{OLED} の関係 ($I-V$ 特性) を示す曲線である。また、3201は、第31図(B)におけるゲート電圧が V_{gs2} の場合の駆動 $TFT3004$ のソース・ドレイン間電圧 V_{ds} とドレイン電流 I_d (I_{OLED}) の関係を示す曲線である。駆動 $TFT3004$ 及び $OLED3006$ の動作条件 (動作点) は、この2つの曲線の交点によって定まる。なお、駆動 $TFT3004$ は線型領域で動作しているので、図中に示す線型領域での曲線3201と曲線3202aの交点3203aが動作点となる。つまり、 $OLED3006$ の陽極と陰極の間の電圧は V_{A1} で電流は I_{OLED1} となる。

一方、電流書き込み型アナログ方式の画素を有する表示装置では、各画素に信号線 (ソース信号線) より信号電流が入力される。ここで信号電流は、ビデオ信号の輝度情報に線型に対応する電流信号である。入力された信号電流をドレイン電流とする TFT のゲート電圧が、容量部に保持される。こうして画素には、ソース信号線より信号電流が入力されなくなった後も、容量部によって記憶された電流を $OLED$ に流し続ける。このようにソース信号線に入力する信号電流を変化させることで $OLED$ に流れる電流を変化させ、 $OLED$ の発光輝度を制御し階調を表現する。

電流書き込み型アナログ方式の画素の例として、第33図に「 $IDW'00$ p235: Active Matrix PolyLED Displays」に開示されている画素構造を示し、その駆動方法を説明する。第33図において、画素は $OLED3306$ 、選択 $TFT3301$ 、駆動 $TFT3303$ 、容量素子 (保持容量) 3305、保持 $TFT3302$ 、発光 $TFT3304$ 、ソース信号線3307、第1のゲート信号線3308、第2のゲート信号線3309、第3のゲート信号線3310、電源線3311によって構成される。

選択 $TFT3301$ のゲート電極は、第1のゲート信号線3308に接続されている。選択 $TFT3301$ のソース端子とドレイン端子は、一方はソース信号線3307に接続され、他方は、駆動 $TFT3303$ のソース端子又はドレイン端子、保持 $TFT3302$ のソース端子又はドレイン端子及び発光 $TFT3304$ のソース端子又はドレイン端子に接続されている。保持 $TFT3302$ のソース端子とドレイン端子で、選択 $TFT3301$ と接続されていない側は、保持容量3305の一方の電極及び駆動 $TFT3303$ のゲート電極に接続されている。保持容量3305の保持 $TFT3302$ と接続されていない側は、電源線3311に接続されている。保持 $TFT3302$ のゲート電極は、第2のゲート信号線3309に接続されている。駆動 $TFT3303$ のソース端子とドレイン端子で、選択 $TFT3301$ と接続されていない側は、電源線3311に接続されている。発光 $TFT3304$ のソース端子とドレイン端子で、選択 $TFT3301$ と接続されていない側は、 $OLED3306$ の一方の電極3306aと接続されている。発光 $TFT3304$ のゲート電極は、第3のゲート信号線3310に接続されている。 $OLED3306$ の他方の電極3306bは、一定の電位に保たれている。なお、 $OLED3306$ の2つの電極3306a及び3306bのうち、発光 $TFT3304$ に接続されている側の電極3306aを画素電極と呼び、他方の電極3306bを対向電極と呼ぶ。

第33図に示す構成の画素において、ソース信号線に入力する信号電流の電流値は、ビデ

10

20

30

40

50

オ信号入力電流源 3312 により制御される構成とする。なお実際には、複数の画素列に対応する複数のビデオ信号入力電流源 3312 は、ソース信号線駆動回路の一部に相当する。ここでは、選択 T F T 3301、保持 T F T 3302 及び発光 T F T 3304 を n チャネル型 T F T とし、駆動 T F T 3303 を p チャネル型 T F T とし、画素電極 3306 a を陽極とした構成の画素を例に示す。

第 33 図の構成の画素の駆動方法を第 34 図及び第 35 図を用いて説明する。なお、第 34 図において選択 T F T 3301、保持 T F T 3302 及び発光 T F T 3304 は、導通状態・非導通状態がわかりやすいように、スイッチで表記した。また、(T A 1) ~ (T A 4) それぞれの画素の状態は、第 35 図のタイミングチャートにおける期間 T A 1 ~ T A 4 の状態に対応している。

10

第 35 図において、G₁、G₂、G₃ はそれぞれ、第 1 のゲート信号線 3308、第 2 のゲート信号線 3309、第 3 のゲート信号線 3310 の電位を示す。また、|V_{gs}| は、駆動 T F T 3303 のゲート電圧 (ゲート・ソース間電圧) の絶対値である。I_{oled} は、O L E D 3306 を流れる電流である。I_{vide} は、ビデオ信号入力電流源 3312 によって定められた電流値である。

期間 T A 1 において、第 1 のゲート信号線 3308 に入力された信号によって、選択 T F T 3301 が導通状態となり、また第 2 のゲート信号線 3309 に入力された信号によって、保持 T F T 3302 が導通状態となると、電源線 3311 が駆動 T F T 3303 及び選択 T F T 3301 を介して、ソース信号線 3307 と接続される。ソース信号線 3307 には、ビデオ信号入力電流源 3312 によって定められた電流量 I_{vide} が流れるため、十分に時間が経過し定常状態となると、駆動 T F T 3303 のドレイン電流は I_{vide} となり、ドレイン電流 I_{vide} に対応するゲート電圧が、保持容量 3305 に保持される。このとき、発光 T F T 3304 は非導通状態である。保持容量 3305 に電圧が保持され、駆動 T F T 3303 のドレイン電流が I_{vide} に定まった後、期間 T A 2 において、第 2 のゲート信号線 3309 の信号が変化し、保持 T F T 3302 が非導通状態となる。

20

次に期間 T A 3 において、第 1 のゲート信号線 3308 の信号が変化し、選択 T F T 3301 が非導通状態となる。また期間 T A 4 において、第 3 のゲート信号線 3310 に入力された信号によって、発光 T F T 3304 が導通状態となると、信号電流 I_{vide} が、電源線 3311 より駆動 T F T 3303 のソース・ドレイン間を介して O L E D 3306 に入力される。こうして、O L E D 3306 は、信号電流 I_{vide} に応じた輝度で発光する。

30

期間 T A 1 ~ T A 4 の一連の動作を信号電流 I_{vide} の書き込み動作と呼ぶ。その際、信号電流 I_{vide} をアナログ的に変化させることによって、O L E D 3306 の輝度を変化させ、階調を表現する。

なお第 35 図のタイミングチャートにおいて、期間 T A 1 では駆動用 T F T 3303 のゲート電圧の絶対値 |V_{gs}| は、時間の経過と共に増加し、ドレイン電流 I_{vide} に対応するゲート電圧を保持する動作を示している。これは、保持容量 3305 に電荷が保持されていない状態からの書き込み動作を行う場合や、直前の書き込み動作において保持された駆動 T F T 3303 のゲート電圧の絶対値 |V_{gs}| が、次の書き込み動作において、ビデオ信号入力電流源 3312 により定められる所定のドレイン電流を流す際の駆動 T F T 3303 のゲート電圧の絶対値 |V_{gs}| より小さい場合に相当する。

40

これに限らず、直前の書き込み動作において保持された駆動 T F T 3303 のゲート電圧の絶対値 |V_{gs}| が、次の書き込み動作においてビデオ信号入力電流源 3312 により定められる所定のドレイン電流を流す際の駆動 T F T 3303 のゲート電圧の絶対値 |V_{gs}| より大きい場合は、期間 T A 1 では駆動用 T F T 3303 のゲート電圧の絶対値 |V_{gs}| は、時間の経過と共に減少し、ドレイン電流 I_{vide} に対応するゲート電圧を保持する動作となる。

上記のような、電流書き込み型アナログ方式の表示装置では、駆動 T F T 3303 は飽和領域で動作する。駆動 T F T 3303 のドレイン電流は、ソース信号線 3307 より入力

50

される信号電流によって定められている。つまり、駆動TFT3303は、閾値電圧や移動度等のバラツキがあっても、一定のドレイン電流を流し続ける様にゲート電圧が自動的に変化する。

次に、電流書き込み型アナログ方式の画素の別の例として、第29図に特開2001-147659公報に記載されている画素構造を示し、その駆動方法を詳細に説明する。第29図において、画素はOLED2906、選択TFT2901、駆動TFT2903、カレントTFT2904、容量素子(保持容量)2905、保持TFT2902、ソース信号線2907、第1のゲート信号線2908、第2のゲート信号線2909、電源線2911によって構成される。

選択TFT2901のゲート電極は、第1のゲート信号線2908に接続されている。選択TFT2901のソース端子とドレイン端子は、一方はソース信号線2907に接続され、他方は、カレントTFT2904のソース端子又はドレイン端子及び保持TFT2902のソース端子又はドレイン端子に接続されている。カレントTFT2904のソース端子とドレイン端子で選択TFT2901と接続されていない側は、電源線2911に接続されている。保持TFT2902のソース端子とドレイン端子で、選択TFT2901と接続されていない側は、保持容量2905の一方の電極及び駆動TFT2903のゲート電極に接続されている。保持容量2905の他方の側は電源線2911に接続されている。保持TFT2902のゲート電極は、第2のゲート信号線2909に接続されている。駆動TFT2903のソース端子とドレイン端子の一方は、電源線2911に接続され、他方はOLED2906の一方の電極2906aと接続されている。OLED2906の他方の電極2906bは、一定の電位に保たれている。なお、OLED2906の駆動TFT2903に接続されている側の電極2906aを画素電極と呼び、他方の電極2906bを対向電極と呼ぶ。

第29図に示す構成の画素において、ソース信号線2907に入力する信号電流の電流値は、ビデオ信号入力電流源2912により制御される構成とする。なお実際には、複数の画素列に対応する複数のビデオ信号入力電流源2912は、ソース信号線駆動回路の一部に相当する。

第29図では、選択TFT2901、保持TFT2902をnチャンネル型TFTとし、駆動TFT2903、カレントTFT2904をpチャンネル型TFTで構成し、画素電極2906aを陽極とした構成の画素を例に示す。ここで簡単のため、駆動TFT2903の電流特性は、カレントTFT2904の電流特性と等しいものとして考える。第29図の構成の画素の駆動方法を第28図及び第27図を用いて説明する。なお、第28図において選択TFT2901及び保持TFT2902は、導通状態・非導通状態がわかりやすいように、スイッチで表記した。また、(TA1)~(TA3)それぞれの画素の状態は、第27図のタイミングチャートにおける期間TA1~TA3の状態に対応している。

第27図において、G₁、G₂はそれぞれ、第1のゲート信号線2908、第2のゲート信号線2909の電位を示す。また、|V_{gs}|は、駆動TFT2903のゲート電圧(ゲート・ソース間電圧)の絶対値である。I_{OLED}は、OLED2906を流れる電流を示す。I_{video}は、ビデオ信号入力電流源2912によって定められた電流値である。

期間TA1において、第1のゲート信号線2908に入力された信号によって、選択TFT2901が導通状態となり、また第2のゲート信号線2909に入力された信号によって保持TFT2902が導通状態となると、電源線2911が、カレントTFT2904、保持TFT2902及び選択TFT2901を介して、ソース信号線2907と接続される。ソース信号線2907には、ビデオ信号入力電流源2912によって定められた電流量I_{video}が流れるため、定常状態となるとカレントTFT2904のドレイン電流はI_{video}となり、それに対応するゲート電圧が保持容量2905に保持される。保持容量2905に電圧が保持され、カレントTFT2904のドレイン電流がI_{video}に定まった後、期間TA2において、第2のゲート信号線2909の信号が変化し、保持TFT2902が非導通状態となる。このとき、駆動TFT2903にはI_{video}

。のドレイン電流が流れている。こうして信号電流 $I_{vid eo}$ が、電源線 2911 より駆動 TFT 2903 を介して OLED 2906 に入力される。OLED 2906 は信号電流 $I_{vid eo}$ に応じた輝度で発光する。

次に期間 TA3 において、第 1 のゲート信号線 2908 の信号が変化し、選択 TFT 2901 が非導通状態となる。選択 TFT 2901 が非導通状態となった後も、信号電流 $I_{vid eo}$ は、電源線 2911 より駆動 TFT 2903 を介して OLED 2906 に供給され OLED 2906 は発光を継続する。

期間 TA1 ~ TA3 の一連の動作を信号電流 $I_{vid eo}$ の書き込み動作と呼ぶ。その際、信号電流 $I_{vid eo}$ をアナログ的に変化させることによって、OLED 2906 の輝度を変化させ、階調を表現する。

10

上記のような、電流書き込み型アナログ方式の表示装置では、駆動 TFT 2903 は飽和領域で動作する。駆動 TFT 2903 のドレイン電流は、ソース信号線 2907 より入力される信号電流によって定められている。つまり、同じ画素内の駆動 TFT 2903 とカレント TFT 2904 の電流特性が揃っていれば、駆動 TFT 2903 は、閾値電圧や移動度等のバラツキがあっても、一定のドレイン電流を流し続ける様にゲート電圧が自動的に変化する。

OLED に印加する電圧と流れる電流量の関係 ($I - V$ 特性) は、周囲の環境温度や、OLED の劣化等の影響によって変化する。そのため、従来の電圧書き込み型のデジタル方式に代表される駆動 TFT を線型領域で動作させる表示装置では、OLED の両電極間に一定の電圧を印加している場合でも、実際に流れる電流が変化することが問題となる。

20

第 36 図に、従来の電圧書き込み型でデジタル方式の駆動方法を用いる表示装置において、OLED の $I - V$ 特性が劣化等により変化した場合の動作点の変化について示す。

第 36 図 (A) は、第 30 図における駆動 TFT 3004 と OLED 3006 のみを示した図である。ここでは、駆動 TFT 3004 のソース端子が電源線 3005 に接続されている。駆動 TFT 3004 のソース・ドレイン間電圧を V_{ds} で示す。OLED 3006 の陰極と陽極間の電圧を V_{OLED} で示し、電流を I_{OLED} で示す。電流 I_{OLED} は、駆動 TFT 3004 のドレイン電流 I_d に等しい。電源線 3005 の電位を V_{dd} で示す。また、OLED 3006 の対向電極の電位は 0 V とする。

第 36 図 (B) において、曲線 3202a は劣化前の OLED 3006 の $I - V$ 特性を示し、曲線 3202b は劣化後の $I - V$ 特性を示す。劣化前の駆動 TFT 3004 及び OLED 3006 の動作条件は、曲線 3202a と曲線 3201 の交点 3203a で定まる。劣化後の駆動 TFT 3004 及び OLED 3006 の動作条件は、曲線 3202b と曲線 3201 の交点 3203b で定まる。

30

発光状態を選択された画素において駆動 TFT 3004 は、導通状態となるようなゲート電位が入力されている。このとき OLED 3006 の両電極間の電圧は V_A1 である。OLED 3006 が劣化し、その $I - V$ 特性が変化すると、同じゲート電圧が入力されていても動作点に変化し、OLED 3006 の両電極間の電圧が V_A1 とほぼ同じであっても、流れる電流が I_{OLED1} から I_{OLED2} に変化する。こうして、各画素の OLED 3006 の劣化の度合いによって、OLED 3006 の発光輝度が変化する。

一方、第 33 図や第 29 図に示したような画素構成を有する、従来の電流書き込み型アナログ方式の駆動方法を用いる表示装置においては、一定電流を OLED に流すことによって輝度を表現する。このときの OLED の $I - V$ 特性が、劣化等によって変化した場合の影響について第 37 図を用いて説明する。なお、第 33 図と同じ部分は同じ符号を用いて示し、説明は省略する。また第 33 図では、発光 TFT 3304 は単にスイッチと考え、そのソース・ドレイン間電圧は無視する。

40

第 37 図 (A) は、第 33 図における駆動 TFT 3303 と OLED 3306 のみを示した図である。ここでは、駆動 TFT 3303 のソース端子が電源線 3305 に接続されている。駆動 TFT 3303 のソース・ドレイン間電圧を V_{ds} で示す。OLED 3306 の陰極と陽極間の電圧を V_{OLED} で示す。OLED 3306 を流れる電流を I_{OLED} で示す。電流 I_{OLED} は、駆動 TFT 3303 のドレイン電流 I_d に等しい。電源線 3

50

305の電位を V_{dd} で示す。また、OLED3306の対向電極の電位は、0Vとする。

第37図(B)において、3701は、駆動TFT3303のソース・ドレイン間電圧とドレイン電流の関係を示す曲線である。3702aは劣化する前のOLED3306のI-V特性を示す曲線とし、3702bは劣化後のOLED3306のI-V特性と示す曲線とする。劣化前の駆動TFT3303及びOLED3306の動作条件は、曲線3702aと曲線3701の交点3203aで定まる。劣化後の駆動TFT3303及びOLED3306の動作条件は、曲線3702bと曲線3701の交点3703bで定まる。電流書き込み型アナログ方式の画素では、駆動TFT3303は飽和領域で動作している。OLED3306の劣化前後において、OLED3306の両電極間の電圧は V_{B1} から V_{B2} に変化するが、OLED3306を流れる電流はほぼ一定の I_{OLED1} に保たれる。ここで示したOLEDのI-V特性の変化に対応する駆動TFT及びOLEDの動作条件の変化は、第29図に示した画素構成における、駆動TFT2903とOLED2906についても同様である。

10

しかし、電流書き込み型アナログ方式の駆動方法では、各画素で表示を行う毎に、信号電流に応じた電荷を各画素の容量部(保持容量)に保持し直す必要がある。この時、信号電流が小さな場合ほど配線の交差容量などが原因となり、画素に信号を書き込む際に、保持容量に所定の電荷を保持するための時間が長く必要となるため、信号電流の素早い書き込みが困難である。

また、信号電流が小さな場合は、信号電流の書き込みが行われる画素以外の、同じソース信号線に接続された複数の画素による漏れ電流等のノイズの影響が大きく、正確な輝度で画素を発光させることができない危険性が高い。

20

また、第29図に示したような画素に代表されるカレントミラー回路を有する画素構成では、カレントミラー回路においてゲート電極が接続される1組のTFTの電流特性が揃っていないなければならない。しかし実際には、これらの対となるTFTの電流特性を完全に揃えることは難しくばらつきが生じる。

ここで、第29図において駆動TFT2903とカレントTFT2904の閾値をそれぞれ $V_{th a}$ 、 $V_{th b}$ とする。これらの閾値がばらつき、 $V_{th a}$ の絶対値 $|V_{th a}|$ が $V_{th b}$ の絶対値 $|V_{th b}|$ より小さい際に、黒表示を行う場合を考察する。カレントTFT2903を流れるドレイン電流は、ビデオ信号入力電流源2912によって定められた電流値 I_{vide} に相当しゼロであるとする。しかし、カレントTFT2903にドレイン電流が流れなくても、保持容量2905には、 $|V_{th b}|$ よりやや小さい程度の電圧が保持されている可能性がある。ここで、 $|V_{th b}| > |V_{th a}|$ であるため、駆動TFT2903のドレイン電流はゼロではない可能性がある。こうして、黒表示を行う場合においても、駆動TFT2903をドレイン電流が流れ、OLED2906が発光してしまう。そのため、コントラストが低下するという問題がある。

30

更に、従来の電流書き込み型アナログ方式の表示装置において、各画素に信号電流を入力するビデオ信号入力電流源は各画素列毎に設けられるが、それら全ての電流特性を揃えて、かつ、アナログ的に正確に電流値を変化させて制御する必要がある。そのため、多結晶半導体薄膜を用いたトランジスタでは、電流特性の揃ったビデオ信号入力電流源を作製するのは困難である。よって、ビデオ信号入力電流源は、ICチップで作製される。一方、画素が形成される基板は、コスト等の面から、ガラス等の絶縁基板(絶縁表面を有する基板)上に作製されるのが一般的である。そこで、ICチップはガラス等の絶縁基板に貼り付ける必要がある。そのため貼り付けの際に必要な面積が大きく画素領域周辺の額縁の面積を小さくすることができない問題がある。

40

そこで本発明は、上記を鑑み提案されたもので、発光素子を、劣化等による電流特性の変化によらず一定の輝度で発光させることが可能で、且つ、各画素への信号の書き込み速度が速く、正確な階調が表現可能で、また、低コストで、小型化可能な表示装置及びその駆動方法を提供することを目的とする。

発明の開示

50

この発明に依る表示装置は、画素を含み、第 1 の電流を電圧に変換する手段と、変換された前記電圧を保持する手段と、保持された前記電圧を第 2 の電流に変換する手段と、デジタルの映像信号によって、前記第 2 の電流を発光素子に流す手段と、を有することから成る。

前記保持された前記電圧を第 2 の電流に変換する手段は、前記第 1 の電流と電流値の等しい第 2 の電流、又は、前記第 1 の電流と電流値が比例する第 2 の電流へ変換する手段であることを含む。

この発明に依る表示装置は、前記デジタルの映像信号とは別の信号によって、前記第 2 の電流を前記発光素子に流さないようにする手段を有することを含む。

また、この発明は、一定電流を流す電流源回路と、デジタルの映像信号によってオン・オフが切り替えられるスイッチ部と、を有する画素を含み、発光素子の発光を制御する表示装置であって、前記スイッチ部と前記電流源回路と発光素子とが直列に接続されていることを含む。

10

更に、この発明の表示装置は、第 1 の端子と第 2 の端子とを有し前記第 1 の端子と前記第 2 の端子間を流れる電流を一定に定める電流源回路と、第 3 の端子と第 4 の端子とを有しデジタルの映像信号によって前記第 3 の端子と前記第 4 の端子間の導通状態・非導通状態を切り替えるスイッチ部と、電源線と、電源基準線と、を有する画素を含み、前記第 3 の端子と前記第 4 の端子間の導通状態が選択されたとき、前記第 1 の端子と前記第 2 の端子間を流れる電流が発光素子の陽極と陰極間に流れるように、前記電源線と前記電源基準線の間に、前記電流源回路、前記スイッチ部及び前記発光素子が接続されていることを含む。

20

また、この発明に依る表示装置は、画素を含み、第 1 の電流を第 1 のトランジスタのドレイン電流とする手段と、前記第 1 のトランジスタのゲート電圧を保持する手段と、前記ゲート電圧を前記第 1 のトランジスタと極性が等しい第 2 のトランジスタのゲート電圧とする手段と、デジタルの映像信号によって、前記第 2 のトランジスタのドレイン電流を発光素子に流す手段と、を有することから成る。

前記表示装置に於いて、前記第 1 のトランジスタのゲート長とゲート幅の比は、前記第 2 のトランジスタのゲート長とゲート幅の比と異なることと共に、前記第 1 のトランジスタのゲート電極とドレイン端子を電氣的に接続する手段を有することを含む。

また、前記表示装置は、前記デジタルの映像信号とは別の信号によって、前記第 2 のトランジスタのドレイン電流を前記発光素子に流さないようにする手段を有することを含む。

30

この発明に依る表示装置は、画素を含み、第 1 の電流をトランジスタに入力して前記トランジスタのドレイン電流とする手段と、前記トランジスタのゲート電圧を保持する手段と、デジタルの映像信号によって前記トランジスタのソース・ドレイン端子間に電圧を印加して、保持された前記ゲート電圧によって定まる前記トランジスタのドレイン電流を発光素子に流す手段と、を有することから成る。

前記表示装置は、更に、前記トランジスタのゲート電極とドレイン端子を電氣的に接続する手段を有することを含むと共に、前記デジタルの映像信号とは別の信号によって、前記トランジスタのドレイン電流を前記発光素子に流さないようにする手段を有することを含む。

40

前記表示装置に於いて、前記第 1 の電流は、前記デジタルの映像信号によって変化しないことを含む。

前記表示装置に於いて、前記画素は、当該画素への前記デジタルの映像信号の入力を選択する手段と、前記デジタルの映像信号を保持する手段と、を有することを含む。

また、前記表示装置は、前記画素を複数有し、前記第 1 の電流の電流値は、複数の前記画素の少なくとも一部において同じであることを含む。

更に、この発明の表示装置は、前記画素に一定の電流を入力する駆動回路を有することを含む。

この発明に依る表示装置の駆動方法は、画素において、入力された第 1 の電流を電圧に変換し、変換された前記電圧を保持する第 1 の動作と、入力されたデジタルの映像信号によ

50

って、保持された前記電圧を第２の電流に変換し、前記第２の電流を発光素子に流す第２の動作と、を行うことを含む。

前記駆動方法に於いて、前記第２の動作は、前記画素への前記デジタルの映像信号の入力を選択し、入力された前記デジタルの映像信号を保持する動作を含み、前記第１の動作と前記第２の動作とは独立に行われることを含む。

前記駆動方法に於いて、１フレーム期間における前記発光素子に前記第２の電流が流れる期間の割合を変化させることによって、階調を表現することを含む。

また、前記駆動方法は、１フレーム期間を複数のサブフレーム期間に分割し、前記複数のサブフレーム期間のそれぞれにおいて、前記第２の動作を行い、階調を表現することを含み、前記複数のサブフレーム期間の少なくとも１つにおいて、前記デジタルの映像信号とは別の信号によって前記第２の電流を前記発光素子に流さないようにする、非表示期間を設けることを含み、前記非表示期間において前記第１の動作を行うことを含む。

次に、上記に開示した本発明に依る表示装置及びその駆動装置を第１図を用いて説明する。

第１図は、本発明の表示装置の画素の構成を示す模式図である。本発明の表示装置の各画素は電流源回路とスイッチ部と発光素子とを有する。発光素子と電流源回路とスイッチ部とは、電源基準線と電源線との間に直列に接続されている。なお、電流源回路とは、定められた一定電流を流す回路であるとする。また、発光素子は電流や電圧などによって状態を制御する素子であれば何でもよい。例としてはＥＬ素子（特に、有機材料を用いたものをＯＬＥＤなどと呼ぶ）やＦＥ（Ｆｉｅｌｄ　Ｅｍｉｓｓｉｏｎ）素子などが挙げられる。これら以外にも、電流や電圧などによって状態を制御する素子であれば本発明に適用することが可能である。

ＯＬＥＤは、陽極と陰極と、その間に挟まれた有機化合物層などを有する構成である。陽極と陰極がそれぞれ第１の電極及び第２の電極に対応し、これらの電極間に電圧を印加することによってＯＬＥＤは発光する。有機化合物層は、通常積層構造である。代表的には、「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。その他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、又は正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。陰極と陽極の間に設けられる全ての層を総称して有機化合物層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て有機化合物層に含まれる。上記構造でなる有機化合物層に、一対の電極（陽極及び陰極）から所定の電圧をかけると、発光層においてキャリアの再結合が起こって発光する。なお、ＯＬＥＤは、一重項励起子からの発光（蛍光）を利用するものでも、三重項励起子からの発光（燐光）を利用するものでも、どちらでも良い。

第１図では、電源基準線と電源線との間に、発光素子、スイッチ、電流源回路の順に直列に接続された構成を代表で示す。本発明はこれに限定されず、例えば、発光素子、電流源回路、スイッチ部の順に電源基準線と電源線との間に直列に接続された構成であっても構わない。つまり、発光素子、電流源回路、スイッチ部は、電源基準線と電源線との間に直列にどのような順序で接続されていてもよい。更に、スイッチ部は複数設けられていても良い。例えば、電源基準線と電源線との間に、発光素子と、第１のスイッチ部と第２のスイッチ部と電流源回路とが直列に接続された構成とすることができる。また、スイッチ部は、電流源回路とその一部を共有した構成であっても良い。つまり、電流源回路を構成する素子の一部をスイッチ部として利用する構成であっても良い。

デジタルの映像信号を用いることによって、スイッチ部のオン・オフ（導通・非導通）を切り替える。また、電流源回路を流れる一定電流の大きさは、画素外部より入力される制御信号によって定められる。スイッチ部がオン状態の場合は、発光素子には、電流源回路によって定まる一定電流が流れ発光する。スイッチ部がオフ状態の場合、発光素子には電流が流れず発光しない。このように、スイッチ部のオン・オフを映像信号によって制御し階調を表現する。

複数のスイッチ部を設けた場合、それら複数のスイッチ部それぞれのオン・オフを切り替

10

20

30

40

50

える信号は、映像信号であっても、その他の任意の信号であっても、また、映像信号とその他の任意の信号の両方であっても良い。ただし、複数のスイッチ部のうち少なくとも1つのスイッチ部は、映像信号によってオン・オフが切り替えられる必要がある。例えば、電源基準線と電源線との間に、発光素子と、第1のスイッチ部と第2のスイッチ部と電流源回路とが直列に接続された構成の場合、第1のスイッチ部は、映像信号によってオン・オフを切り替え、第2のスイッチ部は、映像信号とは異なる信号によってオン・オフを切り替えられる構成とすることができる。又は、第1のスイッチ部、第2のスイッチ部が共に、映像信号によってオン・オフが切り替えられるような構成とすることもできる。

本発明の表示装置では、スイッチ部を駆動する映像信号とは別に、電流源回路を流れる一定電流を定めるための制御信号を入力する。制御信号としては、電圧信号でも電流信号でもどちらでもよい。また、電流源回路に制御信号を入力するタイミングは、任意に定めることができる。電流源回路への制御信号の入力は、スイッチ部への映像信号の入力に同期させて行っても良いし非同期で行っても良い。

本発明の表示装置では、画像表示を行う際に発光素子に流れる電流は一定に保たれるため、発光素子を劣化等による電流特性の変化によらず一定の輝度で発光させることが可能である。

本発明の表示装置では、各画素に配置した電流源回路を流れる電流の大きさは、映像信号とは別の信号によって制御され、常に一定である。また、デジタルの映像信号を用いてスイッチ部を駆動し、発光素子に一定電流を流すか流さないかを選択して、発光状態・非発光状態を切り替え、デジタル方式で階調を表現する点に特徴を有する。

本発明の表示装置の画素構成では、映像信号により発光状態が選択されなかった画素においては、スイッチ部によって発光素子に流入される電流は完全に遮断されるので、正確な階調表現が可能である。つまり、黒を表示させたいのに、少し発光してしまうということを経験することができる。そのため、コントラスト低下を抑制することができる。また、デジタルの映像信号でスイッチ部のオン・オフ状態を選択することによって、各画素の発光状態又は非発光状態を選択するため、画素への映像信号の書き込みを速くすることができる。

従来の電流書き込み型アナログ方式の画素構成では、画素に流入する電流を輝度に応じて小さくする必要があり、ノイズの影響が大きいという問題があった。一方、本発明の表示装置の画素構成では、電流源回路を流れる一定電流の電流値をある程度大きく設定すれば、ノイズの影響を低減することができる。

また、従来の電流書き込み型アナログ方式の画素の場合、映像信号が電流であった。そのため、映像情報を書き換えるためには、必ず、その輝度に合わせた電流値で、画素が保持していた映像情報を書き換える必要があった。その場合、1フレーム期間は1/60秒なので、その時間内で毎フレームごとに、全画素の映像情報を書き換える必要があった。そのため、表示装置の仕様（例えば、画素数など）が決まれば、1画素あたりに決まった時間内に、映像情報を書き換えなければならなかった。よって、特に信号電流の値が小さいとき、配線の負荷（交差容量や配線抵抗など）の影響により、決まった時間内に正確に映像情報を書き換えることが困難になってくる。

しかし、本発明では、映像信号とは別に制御信号を入力して、画素の電流源回路を流れる電流値を定める。そして、制御信号を入力するタイミングや、入力する期間や、入力する周期は、任意である。よって、従来の場合のような状態になることを避けることができる。

更に、従来の電流書き込み型アナログ方式の表示装置では、各画素に配置された電流源回路に映像信号に対応したアナログの信号電流を入力するための駆動回路を必要とした。この駆動回路は、各画素に対して正確にアナログの信号電流を出力することが望まれるため、ICチップで作製する必要があった。そのため、コストが高く、小型化が難しいといった問題があった。一方、本発明の表示装置では、各画素に配置した電流源回路を流れる電流の値を映像信号にあわせて変化させるための駆動回路を必要としない。つまり、ICチップで作製された外付けの駆動回路が必要ない構成であるため、低コスト及び小型化を実

10

20

30

40

50

現することができる。

こうして、発光素子を劣化等による電流特性の変化によらず一定の輝度で発光させることが可能で、且つ、各画素への信号の書き込み速度が速く、正確な階調が表現可能で、また、低コストで、小型化可能な表示装置及びその駆動方法を提供することができる。

発明を実施するための最良の形態

第3図(A)に、本発明の表示装置の画素の構成の模式図を示す。第3図(A)において、各画素100は、走査線G、映像信号入力線S、電源線W、スイッチ部101、電流源回路102及び発光素子106によって構成される。

各画素100において、スイッチ部101は端子C及び端子Dを有する。発光素子106の画素電極106aは、スイッチ部の端子Dと接続される。スイッチ部の端子Cは、電流源回路102の端子Bと接続される。電流源回路102の端子Aは電源線Wと接続されている。電流源回路102は、円の中に矢印を配置した記号によって模式的に示す。電流源回路102はこの記号の矢印の方向、つまり端子Aから端子Bの方向に、正の一定電流を流す回路であるとする。端子A又は端子Bの一方を電流源回路102の入力端子、他方を電流源回路102の出力端子と呼ぶ。

発光状態を選択する信号が映像信号入力線Sより入力された画素100では、スイッチ部101の端子Cと端子D間が導通状態となる。こうして、スイッチ部101の端子Cと端子D間及び電流源回路102の端子Aと端子B間を介して、発光素子106の画素電極106aと電源線Wが接続される。

スイッチ部101は、走査線Gより入力される信号によって映像信号入力線S上の映像信号の画素への入力を切り替える第1のスイッチと、画素に入力された映像信号によってオン・オフが切り替えられる第2のスイッチとを有する。第2のスイッチのオン・オフを切り替えることによって、スイッチ部の端子Cと端子Dの間の導通及び非導通状態が切り替えられる。端子C又は端子Dの一方をスイッチ部101の入力端子、他方をスイッチ部101の出力端子と呼ぶ。

発光素子106は、画素電極106aから対向電極106bへ、又はその逆の方向に電流を流し、その電流に応じて輝度が変化する素子を示す。

第3図(A)では、電流源回路102の端子Aが電源線Wに接続され、端子Bがスイッチ部101の端子Cと端子D間を介して、発光素子106の画素電極106aに接続されているので、発光素子106の画素電極106aは陽極となり、対向電極は106bは陰極となる。このとき、発光素子106の対向電極106bに与えられている電位 $V_{c.m}$ は、電源線Wの電位より低く設定されている。電位 $V_{c.m}$ は、電源基準線(図示せず)によって与えられている。

一方、電流源回路102の端子Aが、スイッチ部101の端子Cに接続され、端子Bが電源線Wに接続される構造としてもよい。このとき、発光素子106の画素電極106aは陰極となり、対向電極は106bは陽極となる。発光素子106の対向電極106bに与えられている電位 $V_{c.m}$ は、電源線Wの電位より高く設定されている。

また、電流源回路102とスイッチ部101と発光素子106の接続順序は任意でよい。例えば、電流源回路102は、スイッチ部101と発光素子106の間に配置されていてもよい。つまり、電流源回路102の端子Bが発光素子106の画素電極106aと接続され、電流源回路102の端子Aがスイッチ部101の端子Dと接続され、スイッチ部101の端子Cが電源線Wに接続された構成であってもよい。更に、電流源回路102の端子Aと端子Bとが反転した構成であってもよい。つまり、電流源回路102の端子Aが発光素子106の画素電極106aと接続され、電流源回路102の端子Bがスイッチ部101の端子Dと接続され、スイッチ部101の端子Cが電源線Wと接続された構成であってもよい。この場合、発光素子106の画素電極106aは陰極となり、対向電極は106bは陽極となる。このとき、発光素子106の対向電極106bに与えられている電位 $V_{c.m}$ は、電源線Wの電位より高く設定されている。

スイッチ部101において、端子Cと端子Dの間が導通状態となった画素100では、電流源回路102によって定まる一定電流が発光素子106に入力され、発光素子106は

10

20

30

40

50

発光する。

電流源回路 102 の基本構造の例を第 3 図 (B) 及び第 3 図 (C) に示す。各画素の電流源回路を流れる一定電流が、電流信号によって定められる電流源回路の例を挙げる。このような構成の電流源回路を、電流制御型電流源回路と呼ぶ。第 3 図 (B) 及び第 3 図 (C) 中の端子 A 及び端子 B は、第 3 図 (A) 中、端子 A 及び端子 B に対応する。

第 3 図 (B) 及び第 3 図 (C) において、電流源回路 102 はトランジスタ (電流源トランジスタ) 112 と容量素子 (電流源容量) 111 とを有する。飽和領域で動作する電流源トランジスタ 112 のドレイン電流が、画素の外部より入力された一定電流 (以下、基準電流と表記する) に対応する一定電流 (以下、画素基準電流と表記する) となる。つまり、画素の外部より一定電流 (基準電流) が入力される。このときのゲート電圧 V_{gs} (以下、画素対応基準電圧と表記する) が、電流源容量 111 によって保持されると、電流源トランジスタ 112 が飽和領域で動作する場合には、基準電流に対応した一定電流 (画素基準電流) がドレイン電流として電流源トランジスタ 112 及び発光素子 106 に流れる。こうして、外部の電流源より基準電流が入力されなくなった後も、電流源トランジスタ 112 はソース・ドレイン間に電圧が印加されると、電流源容量 111 に保持された画素対応基準電圧に応じて画素基準電流を流す。なお、電流源容量 111 は、他のトランジスタのゲート容量などを利用することにより省略することも可能である。

各画素に配置された電流源容量 111 において、電流源トランジスタ 112 が画素基準電流を流すのに必要なゲート電圧を取得し保持する動作を、画素の設定動作と呼ぶ。なお、本発明におけるトランジスタとしては、薄膜トランジスタ (TFT) でも、単結晶トランジスタ等のトランジスタでもどちらでも良い。

また、有機物を利用したトランジスタでもよい。例えば、単結晶トランジスタとしては、SOI 技術を用いて形成されたトランジスタとすることができる。薄膜トランジスタとしては、活性層として多結晶半導体を用いたものでも、非晶質半導体を用いたものでもよい。例えば、ポリシリコンを用いた TFT や、アモルファスシリコンを用いた TFT とすることができる。

電流源回路 102 において、電流源トランジスタ 112 にドレイン電流が流れる場合、電流源容量 111 の一方の電極は電流源トランジスタ 112 のゲート電極と接続され、他方 (図中、端子 A' で示す) は一定電位が与えられる。電流源容量 111 に保持された電荷によって、電流源トランジスタ 112 のゲート電極の電位 (ゲート電位) が保存される。ここで、端子 A' の電位と電流源トランジスタ 112 のソース端子の電位とは、同じであっても良いし異なっても良いが、電流源トランジスタに画素基準電流が流れる際はいつも、それぞれの端子の間の電位差は、同じとする。こうして、電流源トランジスタ 112 に画素基準電流が流れる際のゲート電圧 V_{gs} (画素対応基準電圧) は保持される。飽和領域で動作するトランジスタでは、ゲート電圧 V_{gs} に応じてドレイン電流も変化する。従って、ソース端子の電位が変化しても、ゲート電圧 V_{gs} は一定であるように、端子 A' はソース端子に接続されていることが望ましい。なお、第 3 図 (B) と第 3 図 (C) では、電流源トランジスタ 112 の極性が異なる。第 3 図 (B) では、電流源トランジスタ 112 は、p チャネル型であり、第 3 図 (C) では n チャネル型である。

第 3 図 (A) のように接続されている場合には、電流源トランジスタ 112 が p チャネル型の場合、電流源トランジスタ 112 はソース端子からドレイン端子に電流を流す。また、電流源トランジスタ 112 が n チャネル型の場合、電流源トランジスタ 112 のドレイン端子からソース端子に電流を流す。よって、電流源トランジスタ 112 が p チャネル型の場合、電流源トランジスタ 112 のソース端子は端子 A に接続され、ドレイン端子は端子 B に接続される。一方、電流源トランジスタ 112 が n チャネル型の場合、電流源トランジスタ 112 のドレイン端子は端子 A に接続され、ソース端子は端子 B に接続される。画素基準電流を、画素外部より入力される電流信号 (基準電流) によって制御する手段としては、大きく分けて 2 つの方法がある。

1 つは、カレントミラー方式と名付けた方式である。カレントミラー回路は、ゲート電極が電氣的に接続された 1 対のトランジスタを有し、一方のトランジスタのゲート電極とド

10

20

30

40

50

レイン端子が電氣的に接続された構成を有する。カレントミラー方式では、カレントミラー回路を構成する１対のトランジスタのうち、一方のトランジスタを電流源トランジスタ１１２とし、他方のトランジスタをカレントトランジスタとする。カレントトランジスタのドレイン端子とゲート電極を電氣的に接続して、そのソース・ドレイン間に基準電流を入力する手法である。

もう１つは、同一トランジスタ方式と名づけた方式である。同一トランジスタ方式は、ドレイン端子とゲート電極が電氣的に接続された電流源トランジスタ１１２のソース・ドレイン間に、基準電流を直接入力する手法である。なお、同一トランジスタ方式の変形として、マルチゲート方式と呼ぶものもある。

カレントミラー方式を用いる電流源回路を、カレントミラー方式の電流源回路と呼び、同一トランジスタ方式を用いる電流源回路を、同一トランジスタ方式の電流源回路と呼び、マルチゲート方式を用いる電流回路をマルチゲート方式の電流源回路と呼ぶ。電流源回路１０２は、一旦、基準電流を入力し画素対応基準電圧を電流源容量１１１に保持する、画素の設定動作を行った後は、電流源容量１１１に保持された電荷が放電しない限り、再び基準電流を入力する動作を必要としない。

電流源容量１１１に保持された電荷は、実際には、漏れ電流の影響や様々なノイズによって時間が経過すると変化してしまう。そこで、定期的に、画素の設定動作を繰り返す必要がある。しかし、一旦、画素の設定動作を行った後に、定期的に行う画素の設定動作では、漏れ電流によって電流源容量１１１に保持された電荷が変化した分のみ、電荷を保持し直せばよい。そのため、はじめの画素の設定動作と比較して、その後定期的に行う画素の設定動作に要する時間は短くてすむ。

(実施の形態１)

本発明の表示装置の画素構成の一例を示す。各画素に配置した電流源回路の構成例を第４図に示す。なお、第４図において、第３図と同じ部分は同じ符号を用いて示す。第４図ではカレントミラー方式の電流源回路の例を示す。電流源回路１０２は、電流源容量１１１、電流源トランジスタ１１２、カレントトランジスタ１４０５、電流入力トランジスタ１４０３、電流保持トランジスタ１４０４、電流線ＣＬ、信号線ＧＮ、信号線ＧＨとによって構成される。電流源トランジスタ１１２とカレントトランジスタ１４０５は一对でカレントミラー回路を構成するので、極性は等しくなくてはならない。また、同一画素内のこれら２つのトランジスタの電流特性は等しいことが望まれる。ここで本実施の形態１では、簡単のため、電流源トランジスタ１１２とカレントトランジスタ１４０５の電流特性は等しいとする。

第４図において、電流源トランジスタ１１２及びカレントトランジスタ１４０５を、ｐチャンネル型とした例を示す。なお、電流源トランジスタ１１２及びカレントトランジスタ１４０５をｎチャンネル型とする場合も、第３図(Ｃ)に示した構造に従って、容易に応用することができる。その場合の例を第２３図に示す。第２３図において第４図と同じ部分は同じ符号を用いて示す。第２３図において、追加トランジスタ１８０１及び１８０３は、画素の設定動作の際に電流源トランジスタ１１２に電流が流れるのを防ぐために設けられる。つまり、画素の設定動作時には、追加トランジスタ１８０１及び１８０３は非導通状態である。一方、画像表示を行う際は導通状態となる。また、追加トランジスタ１８０２は、画像表示を行う際にカレントトランジスタ１４０５に電流が流れるのを防ぐために設けられる。つまり、画素の設定動作時には、追加トランジスタ１８０２は導通状態である。一方、画像表示を行う際は非導通状態となる。

以下、第４図を例に説明する。電流入力トランジスタ１４０３、電流保持トランジスタ１４０４はｎチャンネル型とするが、単なるスイッチとして動作するためｐチャンネル型としてもかまわない。

電流源トランジスタ１１２のゲート電極とカレントトランジスタ１４０５のゲート電極及び、電流源容量１１１の一方の電極は接続されている。また、電流源容量１１１の他方の電極は、電流源トランジスタ１１２のソース端子及びカレントトランジスタ１４０５のソース端子と接続され、電流源回路１０２の端子Ａに接続されている。カレントトランジス

10

20

30

40

50

タ 1 4 0 5 のゲート電極とドレイン端子は、電流保持トランジスタ 1 4 0 4 のソース・ドレイン端子間を介して、接続されている。電流保持トランジスタ 1 4 0 4 のゲート電極は、信号線 G H に接続されている。カレントトランジスタ 1 4 0 5 のドレイン端子と電流線 C L は、電流入力トランジスタ 1 4 0 3 のソース・ドレイン端子間を介して接続されている。電流入力トランジスタ 1 4 0 3 のゲート電極は信号線 G N に接続されている。また、電流源トランジスタ 1 1 2 のドレイン端子は端子 B に接続されている。

なお上記構成において、電流入力トランジスタ 1 4 0 3 を、カレントトランジスタ 1 4 0 5 と端子 A の間に配置しても良い。つまり、カレントトランジスタ 1 4 0 5 のソース端子が電流入力トランジスタ 1 4 0 3 のソース・ドレイン端子間を介して端子 A に接続され、カレントトランジスタ 1 4 0 5 のドレイン端子が電流線 C L に接続された構成であってもよい。

10

また、上記構成において、カレントトランジスタ 1 4 0 5 及び電流源トランジスタ 1 1 2 のゲート電極は、電流入力トランジスタ 1 4 0 3 のソース・ドレイン端子間を介さず、電流線 C L に接続されていても良い。つまり、電流保持トランジスタ 1 4 0 4 のソース端子及びドレイン端子の、カレントトランジスタ 1 4 0 5 及び電流源トランジスタ 1 1 2 のゲート電極と接続されていない側が、電流線 C L に直接接続されている構成でも良い。その場合、電流線 C L の電位を調整することにより、電流保持トランジスタ 1 4 0 4 のソース・ドレイン間電圧を小さくすることができる。その結果、電流保持トランジスタ 1 4 0 4 が非導通状態のときに、電流保持トランジスタ 1 4 0 4 のもれ電流を小さくすることができる。

20

これに限定されず、電流保持トランジスタ 1 4 0 4 は、導通状態となった際に、カレントトランジスタ 1 4 0 5 のゲート電極の電位を電流線 C L の電位と等しくするように接続されていれば良い。つまり、画素の設定動作時には第 6 1 図 (a) のようになり、発光時には第 6 1 図 (b) のようになっていればよい。つまり、そのように、配線やスイッチが接続されていればよい。従って第 6 7 図のようになっていてもよい。なお、第 6 7 図において、第 4 図と同じ部分は同じ符号を用いて示し、説明は省略する。

次に、第 3 図 (A) におけるスイッチ部の構成例を、第 1 3 図に示す。なお、第 1 3 図において、第 3 図と同じ部分は同じ符号を用いて示す。第 1 3 図において、スイッチ部 1 0 1 は 3 つのトランジスタ (選択トランジスタ 3 0 1 、駆動トランジスタ 3 0 2 、消去トランジスタ 3 0 4) と、 1 つの容量素子 (保持容量 3 0 3) によって構成される。保持容量 3 0 3 は、トランジスタのゲート容量などを利用することにより省略することも可能である。

30

第 1 3 図では、駆動トランジスタ 3 0 2 を p チャネル型とし、選択トランジスタ 3 0 1 及び消去トランジスタ 3 0 4 を n チャネル型とするが、この構成に限定されない。単なるスイッチとして動作するので、選択トランジスタ 3 0 1 、駆動トランジスタ 3 0 2 、消去トランジスタ 3 0 4 は、それぞれ n チャネル型でも p チャネル型でもどちらでもかまわない。

なお、駆動トランジスタ 3 0 2 は、飽和領域で動作させてもよい。駆動トランジスタ 3 0 2 を飽和領域で動作させることによって、駆動トランジスタ 3 0 2 と直列に接続された電流源回路の電流源トランジスタ 1 1 2 の飽和領域特性を補うことが可能である。飽和領域特性とは、ソース・ドレイン間電圧に対してドレイン電流が一定に保たれる特性を示すものである。また、飽和領域特性を補うとは、飽和領域で動作する電流源トランジスタ 1 1 2 においても、ソース・ドレイン間電圧が増加するに従ってドレイン電流が増加するのを抑制することを意味する。なお、上記効果を得るためには、駆動トランジスタ 3 0 2 と電流源トランジスタ 1 1 2 は同極性でなくてはならない。

40

上記の飽和領域特性を補う効果について以下に説明する。例えば、電流源トランジスタ 1 1 2 のソース・ドレイン間電圧が増加する場合に注目する。電流源トランジスタ 1 1 2 と駆動トランジスタ 3 0 2 は直列に接続されている。よって、電流源トランジスタ 1 1 2 のソース・ドレイン間電圧の変化によって、駆動トランジスタ 3 0 2 のソース端子の電位が変化する。こうして駆動トランジスタ 3 0 2 のソース・ゲート間電圧の絶対値は小さくな

50

ると、駆動トランジスタ302のI-V曲線が変化する。この変化の方向はドレイン電流が減少する方向である。こうして、駆動トランジスタ302に直列に接続された電流源トランジスタ112のドレイン電流は減少する。同様に、電流源トランジスタ112のソース・ドレイン間電圧が減少すると、電流源トランジスタ112のドレイン電流は増加する。このようにして、電流源トランジスタ112を流れる電流を一定に保つような効果が得られる。

第13図のスイッチ部の構成について以下に詳細に説明する。選択トランジスタ301のゲート電極は、走査線Gに接続されている。選択トランジスタ301のソース端子とドレイン端子は、一方は映像信号入力線Sに接続され、他方は、駆動トランジスタ302のゲート電極に接続されている。駆動トランジスタ302のソース端子とドレイン端子は、一方は端子Dに接続され、他方は端子Cに接続される。保持容量303の一方の電極は駆動トランジスタ302のゲート電極に接続され、他方の電極は配線W_cに接続されている。消去トランジスタ304のソース端子とドレイン端子は、一方は駆動トランジスタ302のゲート電極と接続され、他方は、配線W_cに接続されている。消去トランジスタ304のゲート電極は消去用信号線RGに接続されている。

なお、消去トランジスタ304のソース端子及びドレイン端子は、上記接続構造に限定されない。消去トランジスタ304を導通状態とすることによって、保持容量303に保持された電荷が放出されるように様々な接続構造とすることが可能である。つまり、消去トランジスタ304を導通又は非導通させることによって、駆動トランジスタ302が非導通となるような接続構造とすればよい。

次いで、第13図に示したスイッチ部と、消去トランジスタ304の配置の仕方が異なる構成について説明する。第43図(A)にスイッチ部の一例を示す。第13図と同じ部分は同じ符号を用いて示し説明は省略する。第43図(A)では、消去トランジスタ304を発光素子に入力される電流の経路上に直列に配置し、消去トランジスタ304を非導通状態とすることによって、強制的に発光素子に電流が流れないようにする。この条件を満たせば、消去トランジスタ304はどこに配置してもよい。消去トランジスタ304を非導通状態とすることによって、画素を一律に非発光の状態とすることができる。

第43図(B)に、スイッチ部101の別の構成を示す。第43図(B)では、消去トランジスタ304のソース・ドレイン端子間を介して駆動トランジスタ302のゲート電極に所定の電圧を印加し、駆動トランジスタ302を非導通状態とする手法である。第13図と同じ部分は同じ符号を用いて示し説明は省略する。この例では、消去トランジスタ304のソース端子又はドレイン端子の一方は、駆動トランジスタ302のゲート電極に接続され、他方は配線W_rに接続される。配線W_rの電位を適当に定める。こうして、配線W_rの電位が消去トランジスタ304を介して駆動トランジスタ302のゲート電極に入力された際に、駆動トランジスタ302が非導通状態となるようにする。

また、第43図(B)に示す構成において、消去トランジスタ304の代わりにダイオードを用いても良い。この構成を第43図(C)に示す。配線W_rの電位を変化させ、ダイオード3040の2つの電極のうち、駆動トランジスタ302のゲート電極に接続されていない側の電極の電位を変化させる。これによって、駆動トランジスタ302のゲート電圧を変化させ、駆動トランジスタ302を非導通状態とすることができる。なお、ダイオード3040はダイオード接続(ゲート電極とドレイン端子を電氣的に接続)したトランジスタを用いてもよい。この際、トランジスタとしてはnチャネル型でもpチャネル型でもよい。なお、配線W_rの代わりに走査線Gを用いてもよい。第43図(D)に、第43図(B)において配線W_rの代わりに走査線Gを用いた構成を示す。この場合、走査線Gの電位を考慮して、選択トランジスタ301の極性に注意する必要がある。

上述した構成の電流源回路及びスイッチ部を有する画素について、以下に説明する。第4図に示す構成の電流源回路102と、第13図に示す構成のスイッチ部101を有する画素100が、x列y行のマトリクス状に配置した画素領域の一部の回路図を第5図に示す。第5図において、第i(iは自然数)行j(jは自然数)列、第(i+1)行j列、第i行(j+1)列、第(i+1)行(j+1)列の4画素のみを代表的に示す。第4図及

10

20

30

40

50

び第13図と同じ部分は同じ符号を用いて示し説明は省略する。

なお、第 i 行、第 $(i+1)$ 行それぞれの画素行に対応する、走査線 G を G_i 、 G_{i+1} 、消去用信号線を RG_i 、 RG_{i+1} 、信号線 GN を GN_i 、 GN_{i+1} 、信号線 GH を GH_i 、 GH_{i+1} と表記する。また、第 j 列、第 $(j+1)$ 列それぞれの画素列に対応する、映像信号入力線 S を S_j 、 S_{j+1} 、電源線 W を W_j 、 W_{j+1} 、電流線 CL を CL_j 、 CL_{j+1} 、配線 W_c を W_{cj} 、 $W_{c(j+1)}$ と表記する。電流線 CL_j 、 CL_{j+1} には、画素領域外部より基準電流が入力される。

第5図では、発光素子の画素電極を陽極とし、対向電極を陰極とした構成について示した。つまり、電流源回路の端子 A が電源線 W に接続され、端子 B がスイッチ部101の端子 C に接続された構成を示した。しかし、発光素子106の画素電極を陰極とし、対向電極を陽極とした構成の表示装置にも、本実施の形態1の構成を容易に応用することもできる。以下に第5図に示した構成の画素において、発光素子106の画素電極を陰極とし、対向電極を陽極に変えた例を第26図に示す。このように、トランジスタの極性を変えるだけで容易に対応できる。第26図において、第5図と同じ部分は同じ符号を用いて示し、説明は省略する。第5図では電流源トランジスタ112及びカレントトランジスタ140は p チャネル型とした。一方第26図では、電流源トランジスタ112及びカレントトランジスタ140を n チャネル型とする。こうして、流れる電流の方向を逆の方向にすることができる。このとき、第26図における端子 A はスイッチ部の端子 C と接続され、端子 B は電源線 W と接続される。

また第5図及び第26図において、駆動トランジスタ302は、単なるスイッチとして機能するので、 n チャネル型でも p チャネル型でもどちらでも良い。ただし、駆動トランジスタ302は、そのソース端子の電位が固定された状態で動作するのが好ましい。そのため、第5図に示すような発光素子106の画素電極を陽極とし、対向電極を陰極とした構成では、駆動トランジスタ302は p チャネル型のほうが好ましい。一方、第26図に示すような、発光素子106の画素電極を陰極とし、対向電極を陽極とした構成では、駆動トランジスタ302は n チャネル型のほうが好ましい。

なお、第5図において、各画素の配線 W_c と電源線 W とは、同じ電位に保たれていてもよいので、共用することができる。また、異なる画素間の配線 W_c 同士、電源線 W 同士、配線 W_c と電源線 W も共用することができる。 GN_i と GH_i も共用できる。更に、配線 W_c や配線 W_j のかわりに他の画素行の走査線を使用してもよい。これは、映像信号の書き込みを行っていない間、走査線の電位が一定の電位に保たれることを利用している。例えば電源線のかわりに、1つ前の画素行の走査線 G_{i-1} を用いてもいい。ただしこの場合、走査線 G の電位を考慮して、選択トランジスタ301の極性に注意する必要がある。

第5図では図示しないが、走査線 G に信号を入力する駆動回路（以下、走査線駆動回路と表記する）や、消去用信号線 RG に信号を入力する駆動回路（以下、消去用信号線駆動回路と表記する）及び映像信号入力線 S に信号を入力する駆動回路（以下、信号線駆動回路と表記する）は、公知の構成の電圧信号出力型の駆動回路を自由に用いることができる。また、その他の信号線に信号を入力する駆動回路も、公知の構成の電圧信号出力型の駆動回路を自由に用いることができる。

電流線 CL_j 、 CL_{j+1} に流れる基準電流を定めるために基準電流出力回路の外部に設けられた電流源回路（以下、参照電流源回路と表記する）を模式的に404で示す。1つの参照電流源回路404からの出力電流を用いて、複数の電流線 CL に流れる基準電流を定めることができる。こうして、各電流線に流れる電流のばらつきを抑え、全ての電流線に流れる電流を正確に基準電流に定めることができる。

なお本実施の形態1では、全ての電流線 $CL_1 \sim CL_x$ に流れる基準電流を定める参照電流源回路404を共有した例について示す。参照電流源回路404によって定められる電流を用いて、各電流線 $CL_1 \sim CL_x$ に基準電流を出力するための回路を、基準電流出力回路と呼び第5図中405で示す。

基準電流出力回路405の構成を第8図に示す。基準電流出力回路405は、シフトレジ

10

20

30

40

50

スタ等のパルス出力回路 711 を有する。パルス出力回路 711 からのサンプリングパルスが入力されるサンプリングパルス線 710₁ ~ 710_x が、各電流線 CL₁ ~ CL_x に対応して設けられている。ある 1 本の電流線 CL_j に対応する構成を代表的に説明する。サンプリングパルス線 710_j の信号が入力される電流入力スイッチ 701_j 及び電流源回路 700_j と、サンプリングパルス線 710_j の信号がインバータ 703_j を介して入力される電流出力スイッチ 702_j とが設けられている。電流源回路 700_j は、電流入力スイッチ 701_j を介して参照電流源回路 404 と接続され、電流出力スイッチ 702_j を介して電流線 CL_j と接続される。

第 8 図に示す基準電流出力回路 405 において、電流源回路 700₁ ~ 700_x の構成を具体的に示した例を第 9 図に示す。第 9 図において、第 8 図と同じ部分は、同じ符号を用いて示す。なお、基準電流出力回路 405 は、第 8 図、第 9 図のような回路には限定されない。電流源回路 700₁ ~ 700_x はそれぞれ、電流源トランジスタ 720_j と、電流源容量 721_j と、電流保持スイッチ 722_j とを有する。電流源トランジスタ 720_j は、ゲート電極とソース端子が、電流源容量 721_j を介して接続され、ゲート電極とドレイン端子が、電流入力スイッチ 722_j を介して接続される。電流入力スイッチ 722_j には、サンプリングパルス線 710_j の信号が入力されている。電流源トランジスタ 720_j のソース端子は、一定の電位に保たれ、ドレイン端子は、電流入力スイッチ 701_j を介して参照電流源回路 404 と接続され、また、電流出力スイッチ 702_j を介して電流線 CL_j と接続されている。

なお、電流源容量 721_j の電極の一方が、一定の電位に保たれ、他方が、電流入力スイッチ 701_j を介して参照電流源回路 404 と接続され、且つ、電流出力スイッチ 702_j を介して電流線 CL_j と接続された構成であってもよい。

なお第 9 図において電流源トランジスタ 720_j は、n チャネル型でも p チャネル型でもどちらでもかまわない。ただし、電流源トランジスタ 720_j は、ソース端子の電位が固定された状態で動作することが望ましい。そのため、電流源回路 700_j から電流線 CL_j の方へ電流が流れていく場合は電流源トランジスタ 720_j は p チャネル型であることが望ましく、電流線 CL_j から電流源回路 700_j の方へ電流が流れていく場合は電流源トランジスタ 720_j は n チャネル型が望ましい。どちらの極性であっても、ゲート・ソース間に電流源容量 721_j が接続されていることが望ましい。

第 9 図に示した構成の基準電流出力回路 405 の駆動方法について、第 10 図及び第 11 図を用いて説明する。第 10 図は、基準電流出力回路 405 の駆動方法を示すタイミングチャートである。また、第 11 図は、基準電流出力回路 405 の駆動方法を模式的に示した図である。なお、第 10 図において、期間 TD₁、期間 TD₂ それぞれの際の基準電流出力回路 405 における各スイッチ（電流入力スイッチ、電流出力スイッチ、電流保持スイッチ）のオン・オフの状態を模式的に示した図が、第 11 図（TD₁）、第 11 図（TD₂）である。

期間 TD₁ において、パルス出力回路 711 よりサンプリングパルス線 710₁ にパルスが出力されると、電流入力スイッチ 701₁ 及び電流保持スイッチ 722₁ がオンの状態となる。一方電流出力スイッチ 702₁ は、サンプリングパルス線 710₁ に出力された信号がインバータ 703₁ を介して入力され、オフの状態である。このとき、参照電流源回路 404 によって定められる基準電流が、電流入力スイッチ 701₁ 及び電流保持スイッチ 722₁ を介して、電流源回路 700₁ の電流源容量 721₁ に入力される。なお、このとき他のサンプリングパルス線 710₂ ~ 710_x には、パルスが出力されていない。そのため、電流入力スイッチ 701₂ ~ 701_x 及び電流保持スイッチ 722₂ ~ 722_x は、オフの状態である。一方、電流出力スイッチ 702₂ ~ 702_x は、オンの状態である。時間が経過すると、電流源回路 700₁ の電流源容量 721₁ に電荷が保持され、電流源トランジスタ 720₁ に、基準電流が流れる。第 10 図において、電流源容量 721₁ の両電極間に保持された電荷量すなわち電圧の変化を示す。

この後期間 TD₂ が始まる。期間 TD₂ においてパルス出力回路 711 の出力が変化し、

サンプリングパルス線 710__1 にパルスが出力されなくなる。すると、電流保持スイッチ 722__1 及び電流入力スイッチ 701__1 がオフの状態となり、電流出力スイッチ 702__1 がオンの状態となる。こうして、電流線 CL_1 には、電流源トランジスタ 720__1 のドレイン電流が流れる状態となる。ここで電流源トランジスタ 720__1 のドレイン電流は、電流源容量 721__1 に保持された電荷によって定まる。よって、電流線 CL_1 を流れる電流が基準電流に定まる。第 10 図において、 $CL_1 \sim CL_x$ は、電流線 $CL_1 \sim CL_x$ を流れる電流を示す。同時にサンプリングパルス線 710__2 にパルスが出力される。こうして、電流源回路 700__2 を流れる電流を基準電流に定める動作が開始される。同様の動作を、全てのサンプリングパルス線 710__1 ~ 710__x に対応する電流源回路 700__1 ~ 700__x について行い、期間 $TD_1 \sim TD_x$ が終了する。こうして、全ての電流線 $CL_1 \sim CL_x$ に流れる電流が、参照電流源回路 404 によって決められた基準電流に定まる。

10

ここで、基準電流出力回路 405 に電流を入力し、各電流線 $CL_1 \sim CL_x$ に流れる電流を基準電流に定める動作を、基準電流出力回路 405 の設定動作と呼ぶ。

第 9 図に示した構成の基準電流出力回路 405 の構成では、一旦、参照電流源回路 404 によって、各電流源回路 700__1 ~ 700__x に流れる電流を基準電流に定めた後は、電流源容量 721__1 ~ 721__x に保持された電荷が放電しない限り、各電流源回路 700__1 ~ 700__x を流れる電流は基準電流に保たれる。なお、第 9 図のように電流源回路 700 の部分が同一トランジスタ方式の電流源回路の場合は、参照電流源回路 404 から入力した電流と、各電流線 CL を流れる基準電流とでは、大きさが同じになる。もし、電流源回路 700 の部分がカレントミラー方式やマルチゲート方式の電流源の場合は、参照電流源回路 404 から入力した電流と CL に流れる基準電流とでは、大きさを異ならせることができる。

20

なお第 10 図では、電流源容量 721__1 ~ 721__x に電荷が保持されていない状態から、期間 $TD_1 \sim TD_x$ の動作を一回行うことで、電流源トランジスタ 720__1 ~ 720__x が基準電流を流すように、所定の電荷を各電流源容量 721__1 ~ 721__x に保持させる手法を示した。この手法を一括書き込み方式と呼ぶ。

一方、電流源容量 721__1 ~ 721__x に電荷が保持されていない状態から、期間 $TD_1 \sim TD_x$ までの動作を繰り返し、少しずつ電流源容量 721__1 ~ 721__x に電荷を保持させる手法を用いることもできる。この手法では、期間 $TD_1 \sim TD_x$ までの動作を複数回繰り返した後、初めて、電流源トランジスタ 720__1 ~ 720__x が基準電流を流すような、所定の電荷が各電流源容量 721__1 ~ 721__x に保持される。この手法を、分割書き込み方式と呼ぶ。分割書き込み方式において、各電流源容量 721__1 ~ 721__x が電荷を保持しない状態から、所定の電荷を保持するまでに、期間 $TD_1 \sim TD_x$ を繰り返した回数を分割書き込み方式の分割数と呼ぶ。

30

分割書き込み方式の場合の期間 $TD_1 \sim TD_x$ にそれぞれにおける各スイッチ（電流入力スイッチ 701__1 ~ 701__x、電流出力スイッチ 702__1 ~ 702__x、電流保持スイッチ 722__1 ~ 722__x）の状態は、一括書き込み方式と同様である。しかし、分割書き込み方式において期間 $TD_1 \sim TD_x$ を 1 回行うのに要する時間は、一括書き込み方式において期間 $TD_1 \sim TD_x$ を行うのに要する時間と比較して短くすることができる。

40

なお、基準電流出力回路 405 の設定動作は、1 フレーム期間に何回行っても良いし、数フレーム期間で 1 回行っても良い。また、1 水平期間で何回行っても良いし、何回か水平期間を繰り返す毎に 1 回行っても良い。基準電流出力回路 405 の設定動作を繰り返す間隔は、基準電流出力回路の有する電流源容量 721 が電荷を保持し続ける能力に応じて、任意に選択することができる。

なお、基準電流出力回路 405 に入力する基準電流は、第 5 図、第 8 図、第 9 図、第 11 図に示したように参照電流源回路 404 より入力する構成であってもよいし、参照電流源回路 404 は設けず、表示装置の外部より入力した一定電流を電流として入力する構成であっても良い。あるいは、第 8 図や第 9 図の電流源回路 700 に相当する電流源回路が表

50

示装置の外部にあってもよい。また、トランジスタのばらつきが小さい場合は基準電流出力回路405における各々の電流源回路700に、必ずしも設定動作を行わなくてもよい。しかし設定動作を行う方が、より正確な電流値を出力できる。

次に、第5図に示した構成の画素を有する表示装置の駆動方法を説明する。ここで、実施の形態1の構成の画素では、画像表示動作（スイッチ部の駆動動作）と、電流源回路の設定動作（画素の設定動作）は、非同期で行うことができる。つまり、スイッチ部の端子Cと端子Dが導通・非導通状態に関わらず、画素の設定動作を行うことができる。

また、基準電流出力回路405の設定動作も、画像表示動作や画素の設定動作と同期して行うこともできるし、非同期に行うこともできる。ただし、第9図に示したような基準電流出力回路405の設定動作は、画素の設定動作を行っていない期間に行うのが望ましい。なぜなら、第9図のような基準電流出力回路405では、その設定動作を行っている最中には、電流線CLjに電流を出力できないからである。そこで、各電流線CLjに、電流源回路700を2個配置すれば、一方の電流源回路が電流線CLjに電流を出力する間に、他方の電流源回路に対して基準電流出力回路405の設定動作を行うことができる。そのため、基準電流出力回路405の設定動作と画素の設定動作を同時に行うことができる。あるいは、電流源回路700__jの回路として、カレントミラー回路を用いて、カレントミラー回路を構成する1対のトランジスタの一方のトランジスタが電流線CLjに電流を出力し、もう一方のトランジスタが基準電流出力回路405の設定動作を行えば、基準電流出力回路405の設定動作と画素の設定動作を同時に行うことができる。

簡単のため、まず画素の設定動作と画像表示動作とを別々に説明する。画像表示動作について、第7図(A)、第7図(B)のタイミングチャート及び第5図の回路図を用いて説明する。走査線Giに信号が入力され、第i行の画素の選択トランジスタ301が導通状態となる。このとき、映像信号入力線Si~Sxに映像信号が入力され、第i行の各画素に映像信号が入力される。そして、映像信号によって駆動トランジスタ302が導通状態となった画素において、端子Dと端子Cが導通状態となる。駆動トランジスタ302のゲート電圧は保持容量303によって保持される。つまり、駆動トランジスタ302の導通又は非導通状態は、保持される。なおこのとき、消去トランジスタ304は非導通状態であるとする。こうして、スイッチ部101の端子Dと端子Cが導通状態となった画素においては、電流源回路102より画素基準電流が発光素子106に入力されて発光する。

このように、各画素の発光状態及び非発光状態を選択し、デジタル方式によって階調を表現する。多階調化の方法としては、一定期間毎に、各画素の発光又は非発光状態が選択される期間を複数設定し、発光状態が選択された時間の累計を制御する階調方式（時間階調方式）や、1画素を複数のサブ画素に分割し、発光状態が選択されたサブ画素の面積の累計を制御する階調方式（面積階調方式）等を用いることができる。また、公知の手法を用いることができる。ここでは、多階調化の手法としては時間階調方式を用いる。

ここで、消去トランジスタ304を導通状態とすることによって、保持容量303の両電極の電位を同じにし、保持容量303に保持された電荷を放電することによって、駆動トランジスタ302を一律に非導通状態とすることができる。これにより、ある行の画素に映像信号を入力している最中であっても、別の行の画素を非発光状態とすることができる。こうして、各行の画素の発光期間を任意に設定することができる。

第13図で示した構成のスイッチ部は、第1のスイッチとして、選択トランジスタ301、第2のスイッチとして、駆動トランジスタ302を有し、その他に消去トランジスタ304を有する構成である。消去トランジスタ304のゲート電極は、映像信号入力線S及び走査線Gとは別の配線、消去用信号線RGに接続されている。こうして、消去トランジスタ304は、選択トランジスタ301や駆動トランジスタ302に入力される信号に関わらず、消去用信号線RGに入力された信号によって、導通・非導通状態が切り替えられる。こうして、第1のスイッチや第2のスイッチの状態に関わらず、スイッチ部の端子Cと端子D間を非導通状態とすることができる。以上が、基本的な画像表示動作である。

次に、第7図において、階調表示方法の具体例として、時分割階調方式を用い場合の駆動方法の一例を示す。1画面分の画像を表示する期間を、1フレーム期間Fと呼ぶ。1フレ

10

20

30

40

50

ーム期間 F を複数のサブフレーム期間 $SF_1 \sim SF_n$ (n は自然数) に分割する。

第 1 のサブフレーム期間 SF_1 において、第 1 行の走査線 G_1 が選択され、走査線 G_1 にゲート電極が接続された選択トランジスタ 301 は導通状態となる。ここで、映像信号入力線 $S_1 \sim S_x$ に一斉に信号が入力される。なおこのとき、消去トランジスタ 304 は、非導通状態である。映像信号入力線 $S_1 \sim S_x$ に入力された信号によって、第 1 行の各画素の駆動トランジスタ 302 の導通・非導通状態が選択され、各画素の発光・非発光状態が選択される。また、駆動トランジスタ 302 のゲート電圧は、保持容量 303 によって保持される。ここで、各画素の駆動トランジスタ 302 の導通・非導通状態を選択するために、映像信号を入力することを、画素に映像信号を書き込むと表現することにする。

導通状態を選択された駆動トランジスタ 302 は、映像信号入力線 S より新たな信号が駆動トランジスタ 302 のゲート電極に入力されるまで、又は、保持容量 303 の電荷が消去トランジスタ 304 によって放電されるまで、導通状態が保たれる。発光状態が選択された画素において、スイッチ部の端子 C と端子 D の間が導通状態となり、電流源回路 102 から画素基準電流が発光素子 106 に入力されて発光する。そして、第 1 行の画素の映像信号の書き込み動作が終了すると直ちに、第 2 行の画素に対応する走査線 G_2 が選択され、第 2 行に対応する画素への映像信号の書き込み動作が開始される。画素への映像信号の書き込み動作は、第 1 行の画素の動作と同様である。

上記動作を全ての走査線 $G_1 \sim G_y$ に対して繰り返し、全ての画素に映像信号を書き込む。全ての画素に映像信号を書き込む期間を、アドレス期間 T_a と表記する。第 m (m は、 n 以下の自然数) のサブフレーム期間 SF_m に対応するアドレス期間を T_{a_m} と表記する。

映像信号が書き込まれた画素行は、それぞれ発光又は非発光状態が選択されている。書き込まれた映像信号に応じて、各画素行の各画素が発光又は非発光する期間を表示期間 T_s と表記する。同じサブフレーム期間において、各画素行の表示期間 T_s は、タイミングは異なるがその長さは全て同じである。第 m (m は、 n 以下の自然数) のサブフレーム期間 SF_m に対応する表示期間を T_{s_m} と表記する。

第 1 のサブフレーム期間 SF_1 から第 $k-1$ (k は n より小さな自然数) のサブフレーム期間 SF_{k-1} までは、表示期間 T_s はアドレス期間 T_a より長く設定されているとする。所定の長さの表示期間 T_{s_1} の後、第 2 のサブフレーム期間 SF_2 が開始される。この後、第 2 のサブフレーム期間 SF_2 から第 $k-1$ のサブフレーム期間 SF_{k-1} についても、第 1 のサブフレーム期間 SF_1 と同様に、表示装置は動作する。ここで、複数の画素行に同時に映像信号の書き込みを行うことができないため、各サブフレーム期間のアドレス期間 T_a はそれぞれ重複しないように設定されている。

一方、第 k のサブフレーム期間 SF_k から第 n のサブフレーム期間 SF_n は、表示期間 T_s がアドレス期間 T_a より短く設定されているとする。以下に、第 k のサブフレーム期間 SF_k から第 n のサブフレーム期間 SF_n までの表示装置の駆動方法を詳細に説明する。

第 k のサブフレーム期間 SF_k において、第 1 行の走査線 G_1 が選択され、走査線 G_1 にゲート電極が接続された選択トランジスタ 301 は導通状態となる。ここで、映像信号入力線 $S_1 \sim S_x$ に一斉に信号が入力される。なおこのとき、消去トランジスタ 304 は、非導通状態である。映像信号入力線 $S_1 \sim S_x$ に入力された信号によって、第 1 行の各画素の駆動トランジスタ 302 の導通・非導通状態が選択され、各画素の発光・非発光状態が選択される。また、駆動トランジスタ 302 のゲート電圧は、保持容量 303 によって保持される。発光状態が選択された画素において、スイッチ部の端子 C と端子 D の間が導通状態となり、電流源回路 102 から画素基準電流が発光素子 106 に入力され、発光素子 106 は発光する。第 1 行の画素の映像信号の書き込み動作が終了すると、次に第 2 行の画素に対応する走査線 G_2 が選択され、第 2 行に対応する画素への映像信号の書き込み動作が開始される。画素への映像信号の書き込み動作は、第 1 行の画素の動作と同様である。

上記動作を全ての走査線 $G_1 \sim G_y$ に対して繰り返し、全ての画素に映像信号を書き込みアドレス期間 T_{a_k} が終了する。

10

20

30

40

50

上記の第 k のサブフレーム期間 SF_k のアドレス期間 Ta_k の動作方法は、第 1 のサブフレーム期間 SF_1 から第 $k-1$ のサブフレーム期間 SF_{k-1} と同様である。異なるのは、アドレス期間 Ta_k が終了する前に、消去用信号線 RG_1 などの選択が始まることである。つまり、走査線 G_1 が選択されてから、所定の期間（この期間が表示期間 Ts_k に相当する）が経過したあと、消去用信号線 RG_1 が選択される。そして、消去用信号線 $RG_1 \sim RG_y$ を順に選択し、各画素行の消去トランジスタ 304 を順に導通状態とし、各行の画素を順に一律に非発光状態とする。全ての画素の消去トランジスタ 304 を導通状態とする期間を、リセット期間 Tr と表記する。特に、第 p （ p は、 k 以上 n 以下の自然数）のサブフレーム期間 SF_p に対応するリセット期間を Tr_p と表記する。

このように、ある行の画素に映像信号を入力している最中にも、別の行の画素を一律に非発光状態とすることができる。こうして、表示期間 Ts の長さを自由に制御することができる。ここで、アドレス期間 Ta_p の長さとしリセット期間 Tr_p の長さは同じであるとする。つまり、映像信号を書き込む際に各行を順に選択する速さと、各行の画素を順に一律に非発光状態とする際の速さとは、同じであるとする。よって、同一のサブフレーム期間において、各行の画素の表示期間 Ts が始まるタイミングは異なるが、その長さはすべて同じである。

各画素行の消去トランジスタ 304 を導通状態とすることによって、各画素行の画素を一律に非発光状態とする期間を、非表示期間 Tus と表記する。同じサブフレーム期間において、各画素行の非表示期間 Tus は、タイミングは異なるがその長さは全て同じである。特に、第 p のサブフレーム期間 SF_p に対応する非表示期間を Tus_p と表記する。

所定の長さの非表示期間 Tus_k の後、第 $k+1$ のサブフレーム期間 SF_{k+1} が開始される。第 $k+1$ のサブフレーム期間 SF_{k+1} から第 n のサブフレーム期間 SF_n について、第 k のサブフレーム期間 SF_k と同様の動作を繰り返し、1 フレーム期間 F が終了する。ここで、サブフレーム期間 $SF_1 \sim SF_n$ の、アドレス期間 $Ta_1 \sim Ta_n$ の長さは全て同じである。以上のように表示装置を動作させ、各サブフレーム期間 $SF_1 \sim SF_n$ の表示期間 $Ts_1 \sim Ts_n$ の長さを適当に定めることによって、階調を表現する。

次に、表示期間 $Ts_1 \sim Ts_n$ の長さの設定の仕方について述べる。例えば、 $Ts_1 : Ts_2 : \dots : Ts_{n-1} : Ts_n$ を $2^0 : 2^{-1} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ と設定すれば 2^n 階調を表現することができる。具体例として $n=3$ の場合に、3 ビットの映像信号を入力し、8 階調を表現する例を挙げる。1 フレーム期間 F は、3 つのサブフレーム期間 $SF_1 \sim SF_3$ に分割される。それぞれのサブフレーム期間の表示期間の長さの比 $Ts_1 : Ts_2 : Ts_3$ は、 $4 : 2 : 1$ とすることができる。ある画素において、全てのサブフレーム期間 $SF_1 \sim SF_3$ で発光状態が選択された場合の輝度を 100% とすると、第 1 のサブフレーム期間 SF_1 のみ発光状態が選択された場合は、約 57% の輝度が表現される。一方、第 2 のサブフレーム期間 SF_2 のみ発光状態が選択された場合は、約 29% の輝度が表現される。

なお上記の様に、1 フレーム期間中に、映像信号のビット数と同じ数のサブフレーム期間を設け、階調を表現する手法に限定されない。例えば、1 フレーム期間中に、映像信号のあるビットに対応する信号によって、発光状態・非発光状態が選択されるサブフレーム期間を複数設けることができる。つまり、1 ビットに対応する表示期間を複数のサブフレーム期間の表示期間の累計で表現する。

特に、映像信号の上位ビットに対応する表示期間を、複数のサブフレーム期間がそれぞれ有する表示期間の累計で表現し、それらのサブフレーム期間を不連続に出現させることによって、擬似輪郭の発生を抑制することができる。なお、各サブフレーム期間の表示期間 Ts の長さの設定の仕方は、上記に限定されず公知のあらゆる手法を用いることができる。

第 7 図では、第 1 のサブフレーム期間 SF_1 から第 n のサブフレーム期間 SF_n が順に出現する構成としたが、これに限定されない。各サブフレーム期間の出現する順は任意に定めることができる。また、時分割階調方式のみならず、面積階調方式によって、また、時分割階調方式と面積階調方式との組み合わせによって、階調を表現することもできる。

10

20

30

40

50

本実施の形態 1 では、表示期間 T_s をアドレス期間 T_a より短く設定するサブフレーム期間においてのみ、リセット期間 T_r 及び非表示期間 T_u を設ける駆動方法を示したがこれ限定されない。表示期間 T_s をアドレス期間 T_a より長く設定するサブフレーム期間においても、リセット期間 T_r 及び非表示期間 T_u を設ける駆動方法とすることもできる。

また、第 13 図では、消去トランジスタ 304 を導通状態とすることによって保持容量 303 の電荷を放電する構成を示したが、これに限定されない。消去トランジスタ 304 を導通状態とすることによって保持容量 303 の駆動トランジスタ 302 のゲート電極と接続された側の電位を、上げるか又は下げるかして、駆動トランジスタ 302 が非導通状態となる構成であれば良い。つまり、消去トランジスタ 304 を介して、駆動トランジスタ 302 のゲート電極を、駆動トランジスタ 302 が非導通状態となるような電位の信号が入力される配線と接続した構成であってもよい。

10

また、上述のような消去トランジスタ 304 を導通状態とすることによって、保持容量 303 の駆動トランジスタ 302 のゲート電極と接続された側の電位を変化させるタイプの構成ではなく、消去トランジスタ 304 を駆動トランジスタ 302 と直列に接続し、消去トランジスタ 304 を非導通状態とすることによってスイッチ部 101 の端子 C と端子 D 間を非導通状態とし、非表示期間とする構成であってもよい。

その他、第 43 図を用いて説明したスイッチ部をオフする手法を自由に用い、画素を一律に非発光の状態とするリセット期間及び非表示期間を設けることができる。

なお、消去トランジスタを設けずに、画素を一律に非発光の状態とするリセット期間及び非表示期間を設ける手法を用いてもよい。

20

その第 1 の手法は、保持容量の駆動トランジスタのゲート電極と接続されていない側の電極の電位を変化させることによって、駆動トランジスタを非導通状態とする手法である。この構成を第 49 図に示す。保持容量 303 の駆動トランジスタ 302 のゲート電極と接続されていない側の電極は、配線 W_c に接続されている。配線 W_c の信号を変化させ、保持容量 303 の一方の電極の電位を変化させる。すると保持容量 303 に保持された電荷は保存されるため、保持容量 303 の他方の電極の電位も変化する。こうして、駆動トランジスタ 302 のゲート電極の電位を変化させて、駆動トランジスタ 302 を非導通状態とすることが出来る。

第 2 の手法は、1 本の走査線が選択される期間を前半と後半に分割する。前半（ゲート選択期間前半と表記）には、映像信号を入力し、後半（ゲート選択期間後半と表記）には、消去信号を入力することとを特徴とする。ここで、消去信号とは、駆動トランジスタのゲート電極に入力された際に、駆動トランジスタを非導通状態とするような信号であるとする。こうして、書き込み期間より短い表示期間を設定することが可能となる。この手法の詳細において、表示装置全体の構成について第 49 図（B）を参照して説明する。表示装置はマトリクス状に配置された複数の画素を有する画素部 901 と、画素部 901 に信号を入力する映像信号入力線駆動回路 902 と、第 1 の走査線駆動回路 903A と、第 2 の走査線駆動回路 903B と、切り替え回路 904A と、切り替え回路 904B とを有する。第 1 の走査線駆動回路 903A は、ゲート選択期間前半に各走査線 G に信号を出力する回路である。また、第 2 の走査線駆動回路 903B は、ゲート選択期間後半に各走査線 G に信号を出力する回路である。切り替え回路 904A と切り替え回路 904B によって、第 1 の走査線駆動回路 903A と各画素の走査線 G との接続又は、第 2 の走査線駆動回路 903B と各画素の走査線 G との接続が選択される。映像信号入力線駆動回路 902 は、ゲート選択期間前半では映像信号を出力する。一方、ゲート選択期間後半では消去信号を出力する。

30

40

次いで、上記構成の表示装置の駆動方法について第 49 図（C）を参照して説明する。なお、第 7 図と同じ部分は同じ符号を用いて示し説明は省略する。第 49 図（C）において、ゲート選択期間 991 は、ゲート選択期間前半 991A とゲート選択期間後半 991B に分割される。903A において、第 1 の走査線駆動回路によって各走査線が選択され、デジタルの映像信号が入力される。903A の操作を行う期間は、書き込み期間 T_a に相

50

当する。一方、903Bにおいて、第2の走査線駆動回路によって各走査線が選択され、消去信号が入力される。903Bの操作を行う期間は、リセット期間 T_r に相当する。こうして、アドレス期間 T_a より短い表示期間 T_s を設定することができる。なお、ここではゲート選択期間後半に消去信号が入力されているが、そのかわりに次のサブフレーム期間のデジタルの映像信号を入力してもよい。

第3の手法は、発光素子の対向電極の電位を変化させることによって、非表示期間を設ける手法である。つまり、表示期間は、対向電極の電位を電源線の電位との間に所定の電位を有する様に設定する。一方、非表示期間では、対向電極の電位を電源線の電位とほぼ同じ電位に設定する。そして、非表示期間に全画素にデジタルの映像信号を入力する。つまり、そのときにアドレス期間を設ける。こうして、画素に入力されたデジタルの映像信号

10

に関わらず、画素を非発光の状態とすることができる。例えば、対向電極が全ての画素において電氣的に接続されていた場合、表示期間 T_s が始まるのタイミング及び終わるタイミングは、全ての画素において同じである。所定の長さの表示期間 T_s の後、発光素子106の対向電極の電位を再び電源線Wの電位とほぼ同じに変化させることによって、全ての画素を一斉に非発光の状態とすることができる。こうして、非表示期間 T_{us} を設けることができる。非表示期間 T_{us} のタイミングは、全ての画素において同じである。なお、多階調化がそれ程要求されない場合は(アドレス期間 T_a より短い表示期間 T_s が必要ない場合)、全てのサブフレーム期間において、非表示期間 T_{us} を設けない駆動方法であってもよい。この駆動方法を用いる場合は、消去トランジスタは必要ない。

20

また、保持容量303の代わりに、駆動トランジスタ302のゲート電極の寄生容量を積極的に利用することも可能である。同様に、電流源容量111を配置せず、電流源トランジスタ112やカレントトランジスタ1405のゲート電極の寄生容量を利用してもよい。

次に画素の設定動作について以下の2つの手法を説明する。

第1の手法について第6図を用いて説明する。第6図は、第5図に示す各画素に配置された電流源回路102の設定動作(画素の設定動作)を示すタイミングチャートである。ここでは、表示装置の電源を入れた後の最初の画素の設定動作について説明する。

なお画素の設定動作を、第8図等に示す基準電流出力回路405の設定動作と同期させて行う場合の例を挙げる。ここでは、基準電流出力回路405は、第9図に示した構成を用い、第10図に示したタイミングチャートを参考に、分割書き込み方式を用いて動作させる場合を例に挙げる。また簡単のため、分割書き込み方式の分割数が、2の場合の例を示す。説明のため、第10図に示したタイミングチャートと同じ動作をする部分は、同じ符号を用いて表し説明は省略する。

30

第6図において、第 i 行の画素の設定動作を行う期間を SET_i で示す。 SET_i において、第 i 行の1列目から x 列目の画素の設定動作が行われる。第 i 行の1列目から x 列目の画素の設定動作を、第6図中、 SET_i の(1)及び(2)の期間に分けて説明する。始めに、 SET_1 の期間(1)において、信号線 GN_1 及び信号線 GH_1 に入力された信号によって、第5図に示す第1行の画素の電流入力トランジスタ1403及び電流保持トランジスタ1404が導通状態となる。このとき、基準電流出力回路405は、第10図

40

において期間 $TD_1 \sim TD_x$ に示した動作を順に行い、各電流線 $CL_1 \sim CL_x$ に流れる電流が順に定められる。この際、電流 I_0' が、各電流線 $CL_1 \sim CL_x$ を流れるように定められるとする。なおここでは、基準電流出力回路405は、分割書き込み方式を用いて設定動作が行われるとした。そのため、期間 $TD_1 \sim TD_x$ に示した動作を1回行ったのみでは、十分に設定動作が行われぬ。そのため、基準電流を I_0 とすると、電流値は $I_0' < I_0$ である。

次に、各電流線 $CL_1 \sim CL_x$ に電流 I_0' が流れるようになった後の、各画素の電流源回路102の動作について説明する。例えば、第1行第 j 列の画素の場合、期間 TD_j が終了すると、電流線 CL_j に電流 I_0' が流れるように設定される。こうして、第 j 列の画素のカレントトランジスタ1405に電流 I_0' が流れる。ここで、第1行の画素のカ

50

レントトランジスタ 1405 のゲート電極とドレイン端子とは、導通状態となった電流保持トランジスタ 1404 を介して接続されている。そのため、カレントトランジスタ 1405 は、ゲート・ソース間電圧（ゲート電圧）と、ソース・ドレイン間電圧が等しい状態、つまり飽和領域で動作し、ドレイン電流を流す。第 1 行 j 列の画素のカレントトランジスタ 1405 を流れるドレイン電流は、電流線 CL_j を流れる電流 I_0' に定まる。こうして電流源容量 111 は、カレントトランジスタ 1405 が電流 I_0' を流す際のゲート電圧を保持する。

期間 $TD_1 \sim TD_x$ まで終了し、電流線 CL に流れる電流 I_0' に対応した電荷を電流源容量 721_x が保持し終わると、期間 (2) に入る。期間 (2) において、信号線 GH_1 の信号が変化し、電流保持トランジスタ 1404 が非導通状態となる。これにより、第 1 行の画素の電流源容量 111 に、電荷が保持される。

なお、図中 TQ_1 で示す期間は、電流線 CL_x から第 1 行 x 列の画素の電流源回路 102 のカレントトランジスタ 1405 に電流 I_0' を入力し、電流源容量 111 に電荷を保持させる期間に相当する。図中に TQ_1 で示す期間が、カレントトランジスタ 1405 を流れる電流が定常状態となるために要する時間より短い場合、電流源容量 111 に十分に電荷が保持されない。しかし、ここでは簡単のため、 TQ_1 が十分な長さに設定されているとする。

この様にして、第 1 行の各画素の設定動作が行われる。ここで、各画素の電流源回路 102 において、カレントトランジスタ 1405 及び電流源トランジスタ 112 のゲート電極の電位が等しい。カレントトランジスタ 1405 及び電流源トランジスタ 112 のソース端子の電位が等しい。また、カレントトランジスタ 1405 と電流源トランジスタ 112 の電流特性が等しいことが望まれる。簡単のため、ここでは、カレントトランジスタ 1405 と電流源トランジスタ 112 の電流特性が等しいとする。そのため、電流源回路 102 の端子 A と端子 B の間に電圧が印加されると、電流源トランジスタ 112 には、カレントトランジスタ 1405 を流れる電流 I_0' に応じた一定電流が流れる。

分割書き込み方式の基準電流出力回路 405 を用いる表示装置では、表示装置の電源を入れた後の初めの $SET1$ における電流線 $CL_1 \sim CL_x$ を流れる電流 I_0' は基準電流に満たない値である。そのため、この $SET1$ 期間における画素の設定動作は十分に行われない。つまり、表示装置の電源を入れた直後の第 1 行の画素の設定動作では、第 1 行の画素がそれぞれ有する電流源回路 102 の電流源容量 111 には、基準電流に対応する電圧（画素対応基準電圧）を保持することができない。

次に、 $SET2$ の期間 (1) において、信号線 GN_2 及び信号線 GH_2 に入力された信号によって、第 2 行の画素の電流入力トランジスタ 1403 及び電流保持トランジスタ 1404 が導通状態となる。なお同時に信号線 GN_1 に入力される信号が変化し、第 1 行の画素の電流入力トランジスタ 1403 が非導通状態となる。こうして、第 1 行の画素のカレントトランジスタ 1405 及び電流源トランジスタ 112 のゲート電圧は保持されたまま、電流線 CL_1 とカレントトランジスタ 1405 の接続が切断される。

$SET2$ の期間 (1) において、基準電流出力回路 405 は、第 10 図において期間 $TD_1 \sim$ 期間 TD_x に示した動作を順に行い、各電流線 $CL_1 \sim CL_x$ に流れる電流が順に定められる。この際、先の $SET1$ 期間の期間 $TD_1 \sim TD_x$ において行った動作によって、基準電流出力回路 711 の電流源容量 $721_1 \sim 721_x$ には、既にある程度の電荷が保持されている。 $SET2$ の期間 $TD_1 \sim TD_x$ の動作を行うと、表示装置の電源を入れた後、期間 $TD_1 \sim TD_x$ の動作を 2 回繰り返すことになる。

ここでは、分割書き込み方式の分割数を 2 と考えているので、 $SET2$ における期間 $TD_1 \sim TD_x$ が終了すると、基準電流出力回路 405 の電流源容量 $721_1 \sim 721_x$ には、電流源トランジスタ $720_1 \sim 720_x$ が基準電流 I_0 を流すような電荷が保持される。こうして、各電流線 $CL_1 \sim CL_x$ を流れる電流が基準電流 I_0 に定められる。

こうして、表示装置の電源を入れた後の初めの $SET2$ において、基準電流出力回路 405 によって定められる電流線 $CL_1 \sim CL_x$ を流れる電流値が基準電流 I_0 に設定される。

10

20

30

40

50

つまり、表示装置の電源を入れた後の初めのSET2において、基準電流出力回路405の設定動作が十分に行われる。

次に、各電流線 $CL_1 \sim CL_x$ に基準電流 I_0 が流れるようになった後の各画素の電流源回路の動作について説明する。例えば、第2行第j列の画素の場合、期間 TD_j が終了すると、電流線 CL_j に基準電流 I_0 が流れるように設定される。こうして、第j列の画素のカレントトランジスタ1405に基準電流 I_0 が流れる。第2行の画素のカレントトランジスタ1405のゲート電極とドレイン端子とは、導通状態となった電流保持トランジスタ1404を介して接続されている。そのため、カレントトランジスタ1405は、ゲート・ソース間電圧（ゲート電圧）と、ソース・ドレイン間電圧が等しい状態、つまり飽和領域で動作してドレイン電流を流す。第2行j列の画素のカレントトランジスタ1405を流れるドレイン電流は、電流線 CL_j を流れる基準電流 I_0 に定まる。こうして、電流源容量111は、カレントトランジスタ1405が基準電流 I_0 を流す際のゲート電圧を保持する。

10

期間 $TD_1 \sim TD_x$ まで終了し、電流線 CL に流れる基準電流 I_0 に対応した電荷を電流源容量 721_x が保持し終わると、期間(2)に入る。期間(2)において、信号線 GH_2 の信号が変化し、電流保持トランジスタ1404が非導通状態となる。これにより、第2行の画素の電流源容量111に電荷が保持される。

なお、図中 TQ_2 で示す期間は、電流線 CL_x から第2行x列の画素の電流源回路102のカレントトランジスタ1405に基準電流 I_0 を入力し、電流源容量111に電荷を保持させる期間に相当する。図中に TQ_2 で示す期間が、カレントトランジスタ1405を流れる電流が定常状態となるために要する時間より短い場合、電流源容量111に十分に電荷が保持されない。つまり、画素の設定動作が十分行われない。ここでは簡単のため、 TQ_2 が十分な長さ設定されているとする。

20

この様にして、第2行の各画素の設定動作が行われる。各画素の電流源回路102において、カレントトランジスタ1405及び電流源トランジスタ112のゲート電極の電位が等しい。カレントトランジスタ1405及び電流源トランジスタ112のソース端子の電位が等しい。また、カレントトランジスタ1405と電流源トランジスタ112の電流特性が等しいことが望まれる。簡単のため、カレントトランジスタ1405と電流源トランジスタ112の電流特性が等しいとする。そのため、電流源回路102の端子Aと端子Bの間に電圧が印加されると、電流源トランジスタ112のソース・ドレイン間には、カレントトランジスタ1405を流れる基準電流 I_0 に応じた一定電流（画素基準電流）が流れる。

30

SET2が終了すると、信号線 GN_2 に入力される信号が変化し、第2行の画素の電流入カトランジスタ1403が非導通状態となる。こうして、第2行の画素のカレントトランジスタ1405及び電流源トランジスタ112のゲート電圧は保持されたまま、電流線 CL_2 とカレントトランジスタ1405の接続が切断される。

SET2と同様の動作を全ての行に対して繰り返す。但し、基準電流出力回路405の設定動作は、SET2においてすでに終了している。よって、SET3以降の動作では、SETiの期間(1)の間継続的に電流線 $CL_1 \sim CL_x$ 全てにほぼ基準電流に等しい電流が流れている。一旦、基準電流出力回路405の設定動作が終了した後は、SETiの期間(1)が始まると直ぐに、第i行の全ての画素の電流源容量111において同時に、画素対応基準電圧を保持する動作が行われる。

40

このように、SET2が終了した時点で、基準電流出力回路405が有する各電流源容量 $721_1 \sim 721_x$ には、各電流線 $CL_1 \sim CL_x$ に基準電流を流すための電荷が保持されている。そのため、SET3以後の期間 $TD_1 \sim TD_x$ においては、電流源容量 $721_1 \sim 721_x$ の電荷が放電した分を保持し直す動作が行われる。SET2以後は、各電流線 $CL_1 \sim CL_x$ に流れる電流は、ほぼ基準電流に定まり、画素の設定動作は十分に行われる（完了する）。

SET1～SETyの動作を行うと、画素設定の第1フレーム期間が終了する。なお、信号線 $GN_1 \sim GN_y$ 及び信号線 $GH_1 \sim GH_y$ を全て1回ずつ選択し、全ての画素の設定

50

動作を1通り行う期間を、画素設定の1フレーム期間と呼ぶ。

画素設定の第1フレーム期間が終了した後、画素設定の第2フレーム期間が始まる。画素設定の第2フレーム期間においても、画素設定の第1フレーム期間と同様の動作を繰り返す。画素設定の第1フレーム期間では、第1行の画素の設定動作は十分に行われなかった。しかし、画素設定の第2フレーム期間では、基準電流出力回路405の設定動作が完了している。そのため、画素設定の第2フレーム期間においてSET1の動作を行うことにより、第1行の画素の設定動作も十分に行うことができる。このようにして、全ての画素の設定動作が十分に行われる(完了する)。

なお、第6図のタイミングチャートにおいては、基準電流出力回路405の分割数は2と設定したが、これに限定されず、任意の数とすることができる。仮に分割数が表示装置の有する画素行の数より大きい場合、表示装置の電源を入れた後1回目(画素設定の第1フレーム期間)の画素の設定動作は、全ての画素行において十分に行われない。しかし、画素の設定動作を複数回繰り返すことによって、十分に画素の設定動作を行うことができる。また、画素設定の第1のフレーム期間では、どの画素の設定動作も十分に行われず、画素設定の第2のフレーム期間以降において、全ての画素の設定動作が完了するようにしても良い。

例えば、各設定期間SET_iの期間(1)の長さを短く設定し、SET1~SET_yの動作を複数回行うことによって、徐々に画素の設定動作を行う手法を用いることができる。なお、表示装置の電源を入れた直後の基準電流出力回路405の設定動作及び画素の設定動作は、同時に始める例を示したが、基準電流出力回路405の設定動作を十分に行った後から画素の設定動作を行っても良い。

一旦、画素の設定動作を完了した後は、漏れ電流等によって電流源容量111に保持された電荷が減少した分を充電し直すために、画素の設定動作を行う。そのタイミングは、電流源容量111の放電の速さ等によって様々な形態が考えられる。なお、一旦、画素の設定動作を完了した後に再び行う画素の設定動作では、電流源容量111に保持された電荷が放電した分のみ充電すればよい。そのため、始めの画素の設定動作に対して、それ以降の画素の設定動作は、各画素に基準電流を入力した後、定常状態となるまでの時間が短くてすむ。よって、1回目の画素の設定動作に対して、それ以降の画素の設定動作は、信号線GN、信号線GHに信号を入力する駆動回路及び基準電流出力回路405の駆動周波数を高く設定することも可能である。

次いで、画素の設定動作の第2の手法について、第15図を用いて説明する。第15図は、第5図に示す各画素に配置された電流源回路102の設定動作(画素の設定動作)を示すタイミングチャートである。第15図(a)には、画素の設定動作と、第8図等にも示す基準電流出力回路405の設定動作とを、1フレーム期間の前半と後半で行う場合の例を挙げる。ここでは、基準電流出力回路405は、第9図に示した構成を用い、第10図に示したタイミングチャートを参考に動作させる場合を例に挙げる。なお、第10図に示したタイミングチャートと同じ動作をする部分は、同じ符号を用いて表し説明は省略する。まず、1フレーム期間の前半において基準電流出力回路405は、第10図において期間TD₁~TD_xに示した動作を順に行い、各電流線CL₁~CL_xに流れる電流が順に定められる。次に、1フレーム期間の後半における、各画素の電流源回路102の動作について、第1行の画素の場合を説明する。基準電流出力回路405の設定動作により、全ての電流線CLは基準電流が流れるように設定されている。ここで、第1行の画素のカレントトランジスタ1405のゲート電極とドレイン端子とは、導通状態となった電流保持トランジスタ1404を介して接続されている。そのため、カレントトランジスタ1405は、ゲート・ソース間電圧(ゲート電圧)と、ソース・ドレイン間電圧が等しい状態(飽和領域)で動作し、ドレイン電流を流す。第1行j列の画素のカレントトランジスタ1405を流れるドレイン電流は、電流線CL_jを流れる基準電流に定まる。こうして電流源容量111は、カレントトランジスタ1405が基準電流を流す際のゲート電圧を保持する。次に、信号線GH₁の信号が変化し、電流保持トランジスタ1404が非導通状態となる。これにより、第1行の画素の電流源容量111に電荷が保持される。

この様にして、第1行の各画素の設定動作が行われる。各画素の電流源回路102において、カレントトランジスタ1405及び電流源トランジスタ112のゲート電極の電位が等しく、カレントトランジスタ1405及び電流源トランジスタ112のソース端子の電位が等しくなっている。また、カレントトランジスタ1405と電流源トランジスタ112の電流特性が等しいことが望まれる。簡単のため、カレントトランジスタ1405と電流源トランジスタ112の電流特性が等しいと仮定する。そのため、電流源回路102の端子Aと端子Bの間に電圧が印加されると、電流源トランジスタ112には、カレントトランジスタ1405を流れた基準電流に応じた一定電流が流れる。

次に、信号線 GN_2 及び信号線 GH_2 に入力された信号によって、第2行の画素の電流入力トランジスタ1403及び電流保持トランジスタ1404が導通状態となる。なお同時に信号線 GN_1 に入力される信号が変化し、第1行の画素の電流入力トランジスタ1403が非導通状態となる。こうして、第1行の画素のカレントトランジスタ1405及び電流源トランジスタ112のゲート電圧は保持されたまま、電流線 CL_1 とカレントトランジスタ1405の接続が切断される。第2行の画素においても、第1行のときと同様、画素の設定動作が行われる。その次に第3行の画素、第4行の画素と順次同様の動作を繰り返していく。全ての行で、画素の設定動作が終了すると、1フレーム期間が終了する。次のフレーム期間に入ると、同様に前半に基準電流出力回路405の設定動作が行われ、後半に画素の設定動作が行われる。一旦画素の設定動作を完了した後は、漏れ電流等によって電流源容量111に保持された電荷が減少した分を充電し直すために、画素の設定動作を行う。そのタイミングは、電流源容量111の放電の速さ等によって様々な態様が考えられる。

同様に、一旦、基準電流出力回路405の設定動作が行われた後は、容量721に保持された電荷が減少した分を充電しなおすために設定動作を行う。タイミングは様々であり、画素及び基準電流出力回路405の設定動作は、画像の表示動作とは全く無関係に動作させることができる。第7図におけるアドレス期間 T_a や表示期間 T_s 、非表示期間 T_{us} とは全く無関係に動作させることができる。その理由は、画素及び基準電流出力回路405の設定動作と画像の表示動作とは、お互いの動作に影響を与えないためである。従って第15図(a)のかわりに、第15図(b)のようにして設定動作を行ってもよい。第15図(b)では、信号線駆動回路が動作していない期間に基準電流出力回路405の設定動作を行い、残りの期間に画素の設定動作を行っている。このように、完全に任意の回数とタイミングで設定動作を行えばよい。画素の設定動作も1行ずつ順に行う必要はなく、基準電流出力回路405の設定動作も1列ずつ順に行う必要はない。

なお、電流保持トランジスタ1404のソース端子及びドレイン端子のカレントトランジスタ1405及び電流源トランジスタ112のゲート電極と接続されていない側が電流線 CL に直接接続されている構成では、全ての画素の電流入力トランジスタ1403が非導通状態となった際の電流線 CL には、一定電位が与えられる構成とする。この一定電位を、表示装置が有する複数の画素において、それらの電流源容量111に画素対応基準電圧を保持した際のカレントトランジスタ1405のゲート電位の平均程度に設定する。こうして、電流保持トランジスタ1404のソース・ドレイン端子間の電圧を小さくし、電流保持トランジスタ1404の漏れ電流による、電流源容量111に蓄積された電荷の放電を抑制することができる。電流線 CL に、一定電位を与えるか又は基準電流を流すかの切り替えは、基準電流出力回路405において行う構成としてもよい。

また、カレントトランジスタ1405のゲート長とゲート幅の比に対して、電流源トランジスタ112のゲート長とゲート幅の比を変化させることによって、基準電流の値に対して画素基準電流の値を変化させることも可能である。例えば、画素基準電流に対して基準電流を大きく設定すれば、画素の設定動作において電流源容量111が画素対応基準電圧を保持するまでに必要な時間を短縮することができ、ノイズの影響を低減することができる。

電流線 $CL_1 \sim CL_x$ に対応する各画素の発光素子の特性に合わせて、複数の異なる電流値の基準電流を定めることができる。例えば、赤色発光、緑色発光、及び青色発光の発光

10

20

30

40

50

色の異なる発光素子が設けられた各画素のそれぞれの電流線CLに流れる基準電流の電流値を変えて設定することもできる。これにより、3色の発光素子の発光輝度のバランスをとることができる。3色の発光輝度のバランスの取り方は、点灯期間の長さを変えることによりおこなってもよいし、各色に対応した画素に入力する基準電流の電流値を変えらることと組み合わせてもよい。或いはカレントトランジスタ1405と電流源トランジスタ112とで、ゲート長とゲート幅の比を、色ごとに変えてもよい。

次いで、画像表示動作と画素の設定動作の関連について説明する。画像表示動作と画素の設定動作とを開始するタイミングは、様々な態様が考えられる。

1つは、表示装置の電源を入れた後の最初の画像表示動作を、一旦、全ての画素の設定動作が十分に終了した後に行う手法である。この場合、最初の画像表示動作から、映像信号によって発光状態が選択された画素の発光素子は、所定の輝度で発光する。

10

他の手法は、表示装置の電源を入れた後の最初の画像表示動作を、画素の設定動作を行いながら、同時に行う手法である。この場合、画素の設定動作が完了するまでの期間に行われた画像表示動作では、映像信号によって発光状態が選択された画素の発光素子の発光輝度は、所定の輝度に達しない。そのため、正確な階調表示は、全ての画素の設定動作が十分に行われた後から、始まる。

なお、第5図で示した画素部の構成において、信号線GN、信号線GH、走査線G、消去用信号線RGなどは、駆動のタイミングなどを考慮して、共有することができる。例えば、信号線GH_iと信号線GN_iとを共有することができる。なお、電流保持トランジスタ1404を非導通状態とするタイミングと電流入力トランジスタ1403を非導通状態とするタイミングが全く同じであり、画素の設定動作上問題ない。

20

(実施の形態2)

本実施の形態では、同一トランジスタ方式の電流源回路の構成例を第12図に示す。なお、ここでは実施の形態1と異なる部分について主に説明し、重複する部分は説明を省略する。従って、第12図において第3図と同じ部分は同じ符号を用いて示す。

第12図において、電流源回路102は、電流源容量111、電流源トランジスタ112、電流入力トランジスタ203、電流保持トランジスタ204、電流停止トランジスタ205、電流線CL、信号線GN、信号線GH、信号線GSとによって構成される。電流源トランジスタ112をpチャネル型とした例を示す。なお、電流源トランジスタ112をnチャネル型とする場合も、第3図(C)に示した構造に従って、容易に応用することができる。その場合の例を第24図に示す。なお、第12図と同じ部分は同じ符号を用いて示す。

30

また、第12図において電流入力トランジスタ203、電流保持トランジスタ204、電流停止トランジスタ205はnチャネル型とするが、単なるスイッチとして動作するためpチャネル型でもかまわない。但し、第12図において、電流保持トランジスタ204が電流源トランジスタ112のゲートとドレイン間に接続されている場合は、電流保持トランジスタ204はpチャネル型が望ましい。その理由は、nチャネル型とした場合端子Bの電位が非常に低くなる場合があり得、その時電流保持トランジスタ204のソース電位も低くなる。その結果電流保持トランジスタ204が非導通状態となりにくくなる可能性がある。これに対し電流保持トランジスタ204をpチャネル型にしておけばその心配はない。

40

電流源トランジスタ112のゲート電極と電流源容量111の一方の電極は接続されている。また、電流源容量111の他方の電極は、電流源トランジスタ112のソース端子と接続されている。電流源トランジスタ112のソース端子が電流源回路102の端子Aに接続されている。電流源トランジスタ112のゲート電極とドレイン端子は、電流保持トランジスタ204のソース・ドレイン端子間を介して、接続されている。電流保持トランジスタ204のゲート電極は、信号線GHに接続されている。電流源トランジスタ112のドレイン端子と電流線CLは、電流入力トランジスタ203のソース・ドレイン端子間を介して接続されている。電流入力トランジスタ203のゲート電極は、信号線GNに接続されている。また、電流源トランジスタ112のドレイン端子は、電流停止トランジス

50

タ 2 0 5 のソース・ドレイン端子間を介して端子 B に接続されている。電流停止トランジスタ 2 0 5 のゲート電極は、信号線 G S に接続されている。

また、上記構成において、電流源トランジスタ 1 1 2 のゲート電極は、電流入力トランジスタ 2 0 3 のソース・ドレイン端子間を介さず、電流線 C L に接続されていても良い。つまり、電流保持トランジスタ 2 0 4 のソース端子及びドレイン端子の、電流源トランジスタ 1 1 2 のゲート電極と接続されていない側が、電流線 C L に直接接続されている構成でも良い。その場合、電流線 C L の電位を調整することにより、電流保持トランジスタ 2 0 4 のソース・ドレイン間電圧を小さくすることができる。その結果、電流保持トランジスタ 2 0 4 が非導通状態のときに、電流保持トランジスタ 2 0 4 のもれ電流を小さくすることができる。なお、これに限定されず、電流保持トランジスタ 2 0 4 は、導通状態となった際に、電流源トランジスタ 1 1 2 のゲート電極の電位を電流線 C L の電位と等しくするように接続されていれば良い。つまり、画素の設定動作時には、第 6 2 図 (a) のようになり、発光時には、(b) のようになっていればよい。そのように、配線やスイッチが接続されていればよい。従って電流源回路の構成は、第 7 2 図のようになっていてもよい。なお、電流保持トランジスタ 2 0 4 のソース端子及びドレイン端子の、電流源トランジスタ 1 1 2 のゲート電極と接続されていない側が、電流線 C L に直接接続されている構成では、全ての画素の電流入力トランジスタ 2 0 3 が非導通状態となった際の電流線 C L には、一定電位が与えられる構成とする。この一定電位を、表示装置が有する複数の画素において、それらの電流源容量 1 1 1 に画素対応基準電圧を保持した際の、電流源トランジスタ 1 1 2 のゲート電位の平均程度に設定する。こうして、電流保持トランジスタ 2 0 4 のソース・ドレイン端子間の電圧を小さくし、電流保持トランジスタ 2 0 4 の漏れ電流による電流源容量 1 1 1 に蓄積された電荷の放電を抑制することができる。

電流線 C L に、一定電位を与えるか又は基準電流を流すかの切り替えは、基準電流出力回路 4 0 5 において行う構成としてもよい。なお、電流保持トランジスタ 2 0 4 を電流源トランジスタ 1 1 2 のゲートと電流線 C L の間で接続する場合は、電流保持トランジスタ 2 0 4 の極性は何でもよい。電流保持トランジスタ 2 0 4 を n チャネル型にしても電流線 C L の電位が低くなり過ぎるようなことはないので、電流保持トランジスタ 2 0 4 が非導通状態となりにくくなることもない。

スイッチ部の構成としては、実施の形態 1 において説明したものと同様であり、様々な構成を用いることができる。一例としては、第 1 3 図に示したものと同様の構成とし説明は省略する。

第 1 2 図に示した構成の電流源回路 1 0 2 と、第 1 3 図に示した構成のスイッチ部 1 0 1 を有する画素 1 0 0 が、マトリクス状に配置した画素領域の一部の回路図を、第 1 4 図に示す。第 1 4 図において、第 i 行 j 列、第 $(i + 1)$ 行 j 列、第 i 行 $(j + 1)$ 列、第 $(i + 1)$ 行 $(j + 1)$ 列の 4 画素のみを代表的に示す。第 1 2 図及び第 1 3 図と同じ部分は、同じ符号を用いて示し、説明は省略する。なお、第 i 行、第 $(i + 1)$ 行それぞれの画素行に対応する、走査線を G_i 、 G_{i+1} 、消去用信号線を $R G_i$ 、 $R G_{i+1}$ 、信号線 G N を $G N_i$ 、 $G N_{i+1}$ 、信号線 G H を $G H_i$ 、 $G H_{i+1}$ 、信号線 G S を $G S_i$ 、 $G S_{i+1}$ と表記する。また、第 j 列、第 $(j + 1)$ 列それぞれの画素列に対応する、映像信号入力線 S を S_j 、 S_{j+1} 、電源線 W を W_j 、 W_{j+1} 、電流線 C L を $C L_j$ 、 $C L_{j+1}$ 、配線 W_{co} を W_{coj} 、 W_{coj+1} と表記する。電流線 $C L_j$ 、 $C L_{j+1}$ には、画素領域外部より基準電流が入力される。

発光素子 1 0 6 の画素電極は端子 D に接続され、対向電極は対向電位が与えられている。第 1 4 図では、発光素子の画素電極を陽極とし、対向電極を陰極とした構成について示した。つまり、電流源回路の端子 A が電源線 W に接続され、端子 B がスイッチ部 1 0 1 の端子 C に接続された構成を示した。しかし、発光素子 1 0 6 の画素電極を陰極とし、対向電極を陽極とした構成の表示装置にも、本実施の形態 2 の構成を容易に応用することもできる。以下に第 1 4 図に示した構成の画素において、発光素子 1 0 6 の画素電極を陰極とし、対向電極を陽極に変えた例を第 5 0 図に示す。第 5 0 図において、第 1 4 図と同じ部分は同じ符号を用いて示し、説明は省略する。

10

20

30

40

50

第14図では電流源トランジスタ112はpチャネル型とした。一方第50図では、電流源トランジスタ112をnチャネル型とする。こうして、流れる電流の方向を逆の方向にすることができる。このとき、第50図における端子Aはスイッチ部の端子Cと接続され、端子Bは電源線Wと接続される。

また第14図及び第50図において、駆動トランジスタ302は、単なるスイッチとして機能するので、nチャネル型でもpチャネル型でもどちらでも良い。ただし、駆動トランジスタ302は、そのソース端子の電位が固定された状態で動作するのが好ましい。そのため、第14図に示すような発光素子106の画素電極を陽極とし、対向電極を陰極とした構成では、駆動トランジスタ302はpチャネル型のほうが好ましい。一方、第50図に示すような発光素子106の画素電極を陰極とし、対向電極を陽極とした構成では、駆動トランジスタ302はnチャネル型のほうが好ましい。なお、第14図において、各画素の配線 W_c と電源線Wとは、同じ電位に保たれていてもよいため、共用することができる。また、異なる画素間の配線 W_c 同士、電源線W同士、配線 W_c と電源線Wも共用することができる。

第14図で示した画素部の構成において、信号線GN、信号線GH、信号線GS、走査線G、消去用信号線RGなどは、駆動のタイミングなどを考慮して、共有することができる。例えば、信号線 GH_i と信号線 GN_i とを共有することができる。この場合、電流入力トランジスタ203を非導通状態となるタイミングと電流保持トランジスタ204を非導通状態とするタイミングが全く同じであり、画素の設定動作上、問題ない。別の例としては、信号線 GS_i と信号線 GN_i とを共有することができる。この場合、電流入力トランジスタ203の極性と異なる極性の電流停止トランジスタ205を用いる。こうして、電流入力トランジスタ203のゲート電極と電流停止トランジスタ205のゲート電極に同じ信号を入力した際に、一方のトランジスタを導通状態とし、他方のトランジスタを非導通状態とすることができる。更に、消去用信号線RGと信号線GSも共有することができる。

更に、配線 W_c や配線 W_j のかわりに他の画素行の走査線を使用してもよい。これは、映像信号の書き込みを行っていない間、走査線の電位が一定の電位に保たれることを利用している。例えば電源線のかわりに、1つ前の画素行の走査線 G_{i-1} を用いている。ただしこの場合、走査線Gの電位を考慮して、選択トランジスタ301の極性に注意する必要がある。

また、電流停止トランジスタ205と消去トランジスタ304を1つにまとめて、どちらか1つを省いてもよい。画素の設定動作のときには、駆動トランジスタ302や発光素子106に電流がもれてしまうと、正しく設定ができない。よって、画素の設定動作のときは、電流停止トランジスタ205を非導通状態とするか、駆動トランジスタ302が非導通状態となるように消去トランジスタ304を導通状態とするかどちらか1つを行えばよい。もちろん両方行っても良い。一方、非表示期間においても同様に、電流停止トランジスタ205を非導通状態とするか、消去トランジスタ304を導通状態とすればよい。以上にことから、電流停止トランジスタ205か消去トランジスタ304のどちらかを省略することができる。

なお、前述した構成のスイッチ部や電流源回路を有する画素において、各配線を共有する具体例を第73図に示す。第73図(A)~(F)において、信号線GNと信号線GHは共有され、配線 W_c と電源線Wは共有されている。また、電流停止トランジスタ205を省略した構成である。特に、第73図(A)では、電流保持トランジスタ204のソース端子又はドレイン端子で、電流源容量111の一方の電極と接続されていない側は、電流線CLに直接接続されている。また、第73図(B)では、消去トランジスタ304が電流源トランジスタ112及び駆動トランジスタ302と直列に接続されている。第73図(D)では、電源線Wがスイッチ部101の駆動トランジスタ302、電流源回路102の電流源トランジスタ112を順に介して発光素子106と接続される構成である。この構成では、追加トランジスタ290が設けられている。追加トランジスタ290によって、スイッチ部がオフの状態、つまり、駆動トランジスタ302が非導通状態に画素の設

10

20

30

40

50

定動作を行うことができるように、電源線Wと電流源トランジスタ112のソース端子とが接続される。第73図(E)では、電流源トランジスタ112をnチャネル型とした構成である。この際、電流保持トランジスタ204のソース端子又はドレイン端子で、電流源容量111の一方の電極と接続されていない側は、電源線Wと直接接続されている。第73図(F)では、第73図(D)において、電流源トランジスタ112をnチャネル型とした構成例である。このように、配線の共有、トランジスタの共有や極性や位置、スイッチ部と電流源回路の位置、スイッチ部や電流源回路の中の構成、などをいろいろと変えて、さらに、その組み合わせ方を変えることにより容易に様々な回路を実現できる。

第14図に示した構成の画素を有する表示装置の駆動方法を説明する。説明では第16図を用いる。なお、基準電流出力回路405や参照電流源回路404の構成及び動作に関しては、実施の形態1において説明したものと同様である。よって、説明は省略する。

10

まず画像表示動作については、実施の形態1において、第7図を用いて説明したものと同様である。異なるのは、電流停止トランジスタ205についての動作である。もし、電流停止トランジスタ205が存在する場合、点灯期間中には、電流停止トランジスタ205は導通状態になっていなければならない。もし、電流停止トランジスタ205が非導通状態になっていたら、たとえ駆動トランジスタ302が導通状態であっても発光素子に電流が流れなくなってしまうからである。従って点灯期間中は、電流停止トランジスタ205は導通状態にしておく必要がある。非点灯期間中はどちらでもよい。以上の点を除けば実施の形態の1と同様である。従って詳しい説明は省略する。

次に画素の設定動作について述べる。実施の形態1で示したように、第5図で示した構成の表示装置、つまり画素の電流源回路としてカレントミラー方式を用いた場合では、画像表示動作と画素の設定動作は非同期で行うことができた。一方、本実施の形態2において第14図で示した構成の表示装置、つまり画素の電流源回路として、同一トランジスタ方式を用いた場合では、画像表示動作と画素の設定動作とは同期させて行う方が望ましい。各画素において画素の設定動作を行う際、電流源容量111に画素対応基準電圧を保持するため、電流線CLを流れる基準電流が、電流源トランジスタ112のドレイン電流をとる状態を設定する必要がある。従って、もし、画素の設定動作を行っている間に、電流源トランジスタ112を流れる電流の一部が電流源回路102から発光素子106に流れると、電流源トランジスタ112のドレイン電流が電流線CLを流れる基準電流とは異なる値となり、正しく電流源容量111に画素対応基準電圧を保持することができない。これを防ぐため、画素の設定動作を行っている間は、その画素の発光素子に電流を流さないようにする必要がある。

20

30

そのため、画素の設定動作を行っている間は、画像の表示を行うことができない。よって、画素の設定動作は、画像表示動作を行っていない期間や、画像表示動作中に画像の表示を行っていない期間等をもうけて、その期間中に行う必要がある。ゆえに、画像表示動作と画素の設定動作は、同期させて行う方が望ましい。

第14図で示した構成の表示装置では、各画素において、電流源トランジスタ112を電流線CLと電氣的に接続している間は、電流停止トランジスタ205が非導通状態となるようにする。こうして、スイッチ部の端子Cと端子D間が導通状態であっても、発光素子106には電流が流入されない状態として、正しく画素の設定動作を行っている。

40

又は、第14図で示した構成の表示装置において、各画素のスイッチ部の端子Cと端子Dの間が、つまり駆動トランジスタ302が非導通状態のときのみ、その画素の設定動作を行ってもよい。この場合は、電流停止トランジスタ205を設ける必要はない。つまり、電流源トランジスタ112のドレイン端子が直接、端子Bに接続される構成でよい。駆動トランジスタ302を非導通状態にするためには、消去トランジスタ304を導通状態にする等すればよい。つまり、非点灯期間中にのみ、画素の設定動作を行う場合は、電流停止トランジスタ205を設ける必要はない。

次に、画素の設定動作をいつ行うかについて、例を示す。大きくわけて、2つある。1つは、表示期間中に画素設定動作を行う場合である。ただしこの場合、画素設定動作中には、発光させることはできない。従って、表示期間中に、発光しない期間を挿入するような

50

形になる。画素設定動作が終わっても、第13図の保持容量303の容量に保持されている信号に変化がなければ、すみやかに、表示動作を再開させることができる。もう1つは、画像表示動作における非表示期間 T_{us} 中に、画素の設定動作を行う手法である。この場合は、発光素子は発光していないので、容易に画素設定動作を行うことができる。次に、画素設定動作に関して、どれくらいの期間で全ての画素の設定動作を完成させるかについて述べる。例として、2つの場合について述べる。1つは、1フレーム期間中に、全ての画素の設定動作を終える場合である。もう1つは、1フレーム期間中に、1行分の画素の設定動作を終える場合である。この場合は、複数クレーム期間かかってようやく全ての画素の設定動作を終えることになる。まず、1つ目の場合について詳しく述べる。

説明には、第16図のタイミングチャートを用いる。なお、第7図のタイミングチャートと同じ動作をする期間は、同じ符号を用いて示す。なお簡単のため、1フレーム期間は3つのサブフレーム期間 $SF_1 \sim SF_3$ に分割される例を用いる。また、サブフレーム期間 SF_3 では、アドレス期間 Ta_3 よりも短い表示期間 Ts_3 を設定する必要があるとし、リセット期間 Tr_3 及び非表示期間 Tus_3 を設ける駆動方法を例にする。そして、非表示期間 Tus_3 において、画素の設定動作を行うとする。

第16図(A)において、第1のサブフレーム期間 SF_1 及び第2のサブフレーム期間 SF_2 においては、非表示期間 Tus が設けられていないので、画素の設定動作は行われない。一方、第3のサブフレーム期間 SF_3 のリセット期間 Tr_3 が始まると同時に、第1行の画素の設定動作が行われる。なお、 k 行目の画素の設定動作を行う期間を $SETk$ と表すことにする。そして、 $SET1$ が終了すると $SET2$ が始まり、第2行の画素の設定動作が行われる。 $SET1 \sim SETy$ が終了すると、画素の設定動作が全ての画素に関して終了する。こうして、 $SET1 \sim SETy$ の動作がリセット期間 Tr_3 中に行われる。以降のフレーム期間でも、同様の動作を繰り返していけばよい。ただし、毎フレーム期間ごとに画素の設定動作を行う必要はない。画素の電流源容量の保持能力に応じて決定すればよい。

第16図(B)は、第16図(A)における第3のサブフレーム期間 SF_3 のリセット期間の動作を詳細に示したタイミングチャートである。第16図(B)の画像表示動作に示す様に、リセット期間 Tr_3 における消去用信号線 $RG_1 \sim RG_y$ の走査に同期して、 $SET1 \sim SETy$ を行うことができる。このように、消去用信号線 $RG_1 \sim RG_y$ の走査に同期して $SET1 \sim SETy$ を行う場合、第14図に示す信号線 $GN_1 \sim GN_y$ 、信号線 $GH_1 \sim GH_y$ 及び信号線 $GS_1 \sim GS_y$ の周波数を、消去用信号線 $RG_1 \sim RG_y$ の信号の周波数と同じにすることができる。よって、これらの信号線(消去用信号線 $RG_1 \sim RG_y$ 、信号線 $GN_1 \sim GN_y$ 、信号線 $GH_1 \sim GH_y$ 及び信号線 $GS_1 \sim GS_y$)に信号を入力する駆動回路の全てもしくは一部を共有することが可能となる。

ここで第16図(B)に示したように、消去用信号線 $RG_1 \sim RG_y$ の走査に同期して $SET1 \sim SETy$ を行う場合、パルス出力回路711が出力するサンプリングパルスの周波数を、画素の映像信号入力線 $S_1 \sim S_x$ に信号を入力する信号線駆動回路の周波数と同じにすることが可能となる。こうして、信号線駆動回路と基準電流出力回路405とを、一部共有することができる。

次に、1フレーム期間中に、1行分の画素において、画素の設定動作を行う場合について説明する。説明には、第40図を用いる。なお、第7図のタイミングチャートと同じ動作をする期間は、同じ符号を用いて示す。第40図(A)は、第1のフレーム期間 $F1$ の動作を示すタイミングチャートである。また、第40図(B)は、第 i のフレーム期間 Fi の動作を示すタイミングチャートである。

第40図(A)において、第1のサブフレーム期間 SF_1 及び第2のサブフレーム期間 SF_2 においては、非表示期間 Tus が設けられていないので、画素の設定動作は行われない。一方、第3のサブフレーム期間 SF_3 のリセット期間 Tr_3 が始まると同時に、 $SET1$ が始まり、第1行の画素の設定動作が行われる。こうして、 $SET1$ の動作が第1行の画素の非表示期間 Tus_1 中に Tus_1 の期間の全てを使って行われる。次に第2のフレーム期間 $F2$ が始まり、第2行の画素の設定動作が行われる。以後、同様の動作が行わ

10

20

30

40

50

れる。

例えば、第 i 行の画素の画素の設定動作を行う際の動作を、第 40 図 (B) を用いて説明する。第 i 行の画素の設定動作は、第 i のフレーム期間 F_i において行われる。第 i のフレーム期間 F_i においても同様に、第 1 のサブフレーム期間 SF_1 及び第 2 のサブフレーム期間 SF_2 には、非表示期間 Tus が設けられていないので、画素の設定動作は行われない。一方、第 3 のサブフレーム期間 SF_3 のリセット期間 Tr_3 が始まり、第 i 行の画素の非表示期間 Tus_i が始まると同時に、 SET_i が始まり、第 i 行の画素の設定動作が行われる。こうして、 SET_i の動作が第 i 行の画素の非表示期間 Tus_i 中に Tus_i の期間の全てを使って行われる。第 1 のフレーム期間 F_1 ~ 第 y のフレーム期間 F_y が終了すると、全ての画素に対して、画素の設定動作が終わったことになる。以降のフレーム期間でも、同様の動作を繰り返していけばよい。ただし、毎フレーム期間ごとに画素の設定動作を行う必要はない。画素の電流源容量の保持能力に応じて決定すればよい。

このように、1 フレーム期間に 1 行分の画素の設定動作を行う場合、画素の設定動作を正確に行えるというメリットがある。つまり、画素の設定動作を行う期間が長いため、十分に設定動作を行うことができる。そのため、基準電流の大きさが小さくても正確に設定動作を行うことができる。通常、基準電流の大きさが小さいと、配線の交差容量などを充電するのに時間がかかるため、正確に設定動作を行うことが難しい。しかし、設定動作の期間を長くすれば、正確に設定動作を行うことができるようになる。もし、1 フレーム期間に、全ての行の画素に対して設定動作を行わなければならない場合は、1 行分の画素の設定期間が短くなってしまふ。従って正確に設定しづらくなる。もし、実施の形態 1 のように、画素の電流源回路がカレントミラー方式の場合は、基準電流の大きさを大きくできるので、画素の設定期間が短くても、正確に設定しやすい。一方、本実施の形態のように、画素の電流源回路が同一トランジスタ方式の場合は、基準電流の大きさを大きくできないため、正確に設定しづらい。従って設定期間を長くすることは有効である。このように、第 16 図や第 40 図に示した駆動方法によって、画素の設定動作と画像表示動作とを同期して行うことができる。

なお、第 16 図や第 40 図では、1 フレーム期間の 1 つのサブフレーム期間においてのみ、非表示期間を設ける際の駆動方法を示したが、本発明の表示装置の駆動方法はこれに限定されない。1 フレーム期間の複数のサブフレーム期間において非表示期間を設ける際の駆動方法についても応用することができる。この場合、1 フレーム期間の複数のサブフレーム期間すべての非表示期間 Tus において、画素の設定動作を行う駆動方法であっても良い。また、1 フレーム期間の複数のサブフレーム期間のうちのいくつかの非表示期間 Tus においてのみ、画素の設定動作を行う駆動方法であっても良い。

全ての画素の設定動作が一旦完了した後の、画素の設定動作を繰り返すタイミングは、画素の電流源回路の有する電流源容量の電荷保持能力によって、任意に定めることができる。つまり、数フレーム期間の間、設定動作を全く行わない期間があってもよい。

ここで、ある行の画素の設定動作の手法について簡単に述べる。例として、1 行目の画素に注目する。まず、信号線 GN_1 及び信号線 GH_1 に入力された信号によって、第 14 図に示す第 1 行の画素の電流入力トランジスタ 203 及び電流保持トランジスタ 204 が導通状態となる。なお、信号線 GS_1 の信号によって、第 1 行の画素の電流停止トランジスタ 205 は非導通状態となっている。なお、もし、電流停止トランジスタ 205 がない場合は、消去トランジスタ 304 を導通状態にすることなどにより駆動トランジスタ 302 が非導通状態になるようにしておけばいい。

そして、電流線 CL に基準電流が流れる。こうして、画素の電流源トランジスタ 112 に基準電流が流れる。ここで、第 1 行の画素の電流源トランジスタ 112 のゲート電極とドレイン端子とは、導通状態となった電流保持トランジスタ 204 を介して接続されている。そのため、電流源トランジスタ 112 は、ゲート・ソース間電圧 (ゲート電圧) と、ソース・ドレイン間電圧が等しい状態、つまり、飽和領域で動作し、ドレイン電流を流す。第 1 行の画素の電流源トランジスタ 112 を流れるドレイン電流は、電流線 CL を流れる基準電流に定まる。こうして電流源容量 111 は、電流源トランジスタ 112 が基準電流

10

20

30

40

50

を流す際のゲート電圧を保持する。この間、電流停止トランジスタ205は非導通状態である。よって基準電流がもれてしまうことはない。

次に信号線GH₁の信号が変化し、電流保持トランジスタ204が非導通状態となる。これにより、第1行の画素の電流源容量111に、電荷が保持される。この後、信号線GN₁の信号が変化し、第1行の画素の電流入力トランジスタ203が非導通状態となる。こうして、第1行の画素の電流源トランジスタ112は、ゲート電圧が保持されたまま、電流線CL₁との接続が切断される。なお、その後、信号線GS₁の信号が変化し、電流停止トランジスタ205は導通状態となってもよいし非導通状態のままでもよい。点灯期間中に導通状態であればよい。

この様にして、第1行の各画素の設定動作が行われる。これにより、以後、各画素の電流源回路102において、端子Aと端子Bの間に電圧が印加されると、電流源トランジスタ112のソース・ドレイン間には、基準電流と同じ大きさの電流が流れるようになる。

(実施の形態3)

本実施の形態ではマルチゲート方式の電流源回路について説明する。なお、ここでは実施の形態1や実施の形態2と異なる部分について主に説明し共通する部分の説明は省略する。

マルチゲート方式1の電流源回路の構成について第57図を用いて説明する。なお、第3図と同じ部分は同じ符号を用いて示す。マルチゲート方式1の電流源回路は、電流源トランジスタ112と電流停止トランジスタ805を有する。また、スイッチとして機能する電流入力トランジスタ803、電流保持トランジスタ804を有する。ここで、電流源トランジスタ112、電流停止トランジスタ805、電流入力トランジスタ803、電流保持トランジスタ804は、pチャネル型でもnチャネル型でもよい。但し、電流源トランジスタ112と電流停止トランジスタ805は、同じ極性である必要がある。ここでは、電流源トランジスタ112及び電流停止トランジスタ805がpチャネル型の例を示す。また、電流源トランジスタ112と電流停止トランジスタ805は、電流特性が等しいことが望まれる。さらに、電流源トランジスタ112のゲート電位を保持する電流源容量111を有する。また、電流入力トランジスタ803のゲート電極に信号を入力する信号線GNと、電流保持トランジスタ804のゲート電極に信号を入力する信号線GHを有する。さらに、制御信号が入力される電流線CLを有する。なお、電流源容量111は、トランジスタのゲート容量などを利用することにより、省略することが可能である。

電流源トランジスタ112のソース端子は、端子Aと接続されている。電流源トランジスタ112のゲート電極とソース端子は、電流源容量111を介して接続されている。電流源トランジスタ112のゲート電極は、電流停止トランジスタ805のゲート電極と接続され、電流保持トランジスタ804を介して電流線CLと接続されている。電流源トランジスタ112のドレイン端子は、電流停止トランジスタ805のソース端子と接続され、電流入力トランジスタ803を介して、電流線CLに接続されている。電流停止トランジスタ805のドレイン端子は、端子Bに接続されている。

なお、第57図(A)において、電流保持トランジスタ804の配置を変え、第57図(B)に示すような回路構成としてもよい。第57図(B)では、電流保持トランジスタ804は、電流源トランジスタ112のゲート電極とドレイン端子の間に接続されている。次いで上記マルチゲート方式1の電流源回路の設定方法について説明する。なお、第57図(A)と第57図(B)では、その設定動作は同様である。ここでは第57図(A)に示す回路を例に、その設定動作について説明する。説明には第57図(C)~第57図(F)を用いる。マルチゲート方式1の電流源回路では、第57図(C)~第57図(F)の状態を順に経て設定動作が行われる。説明では簡単のため、電流入力トランジスタ803、電流保持トランジスタ804をスイッチとして表記した。ここで、電流源回路を設定する制御信号は制御電流である例を示す。

第57図(C)に示す期間TD1において、電流入力トランジスタ803及び電流保持トランジスタ804を導通状態とする。この際、電流停止トランジスタ805は非導通状態である。これは、導通状態となった電流保持トランジスタ804及び電流入力トランジスタ

10

20

30

40

50

タ 8 0 3 によって、電流停止トランジスタ 8 0 5 のソース端子とゲート電極の電位が等しく保たれているためである。つまりソース・ゲート間電圧がゼロのときに非導通状態となるトランジスタを電流停止トランジスタ 8 0 5 に用いれば、期間 T D 1 において電流停止トランジスタ 8 0 5 を自動的に非導通状態とすることができる。こうして、図示した経路より電流が流れて、電流源容量 1 1 1 に電荷が保持される。

第 5 7 図 (D) に示す期間 T D 2 において、保持された電荷によって電流源トランジスタ 1 1 2 のゲート・ソース間電圧が閾値電圧以上となる。すると、電流源トランジスタ 1 1 2 にドレイン電流が流れる。

第 5 7 図 (E) に示す期間 T D 3 において、十分時間が経過し定常状態となると、電流源トランジスタ 1 1 2 のドレイン電流が制御電流に定まる。こうして、制御電流をドレイン電流とする際のゲート電圧が電流源容量 1 1 1 に保持される。その後、電流保持トランジスタ 8 0 4 が非導通状態となる。すると、電流源容量 1 1 1 に保持された電荷が電流停止トランジスタ 8 0 5 のゲート電極にも分配される。こうして、電流保持トランジスタ 8 0 4 が非導通状態となると同時に、自動的に電流停止トランジスタ 8 0 5 が導通状態となる。

10

第 5 7 図 (F) に示す期間 T D 4 において、電流入力トランジスタ 8 0 3 が非導通状態となる。こうして、画素に制御電流が入力されなくなる。なお、電流保持トランジスタ 8 0 4 を非導通状態とするタイミングは、電流入力トランジスタ 8 0 3 を非導通状態とするタイミングに対して、早いまたは同時であることが好ましい。これは、電流源容量 1 1 1 に保持された電荷を放電させないようにするためである。期間 T D 4 の後、端子 A と端子 B の間の電圧が印加されている場合、電流源トランジスタ 1 1 2 及び電流停止トランジスタ 8 0 5 を介して、一定の電流が出力される。つまり、電流源回路 1 0 2 が制御電流を出力する際は、電流源トランジスタ 1 1 2 と電流停止トランジスタ 8 0 5 が、1 つのマルチゲート型トランジスタのように機能する。そのため、入力する制御電流すなわち基準電流に対して、出力する一定電流の値を小さく設定することができる。従って、基準電流を大きくできるため、電流源回路の設定動作を速くすることができる。そのため、電流停止トランジスタ 8 0 5 と電流源トランジスタ 1 1 2 の極性は同じとする必要がある。また、電流停止トランジスタ 8 0 5 と電流源トランジスタ 1 1 2 の電流特性は同じとすることが望ましい。これは、マルチゲート方式 1 を有する各電流源回路 1 0 2 において、電流停止トランジスタ 8 0 5 と電流源トランジスタ 1 1 2 の特性が揃っていない場合、出力電流にばらつきを生じるためである。

20

30

なお、マルチゲート方式 1 の電流源回路では、電流停止トランジスタ 8 0 5 だけではなく、制御電流が入力され対応するゲート電圧に変換するトランジスタ (電流源トランジスタ 1 1 2) も用いて電流源回路 1 0 2 からの電流を出力している。一方、実施の形態 1 で示したカレントミラー方式の電流源回路では、制御電流が入力され対応するゲート電圧に変換するトランジスタ (カレントトランジスタ) と、該ゲート電圧をドレイン電流に変換するトランジスタ (電流源トランジスタ 1 1 2) が全く別であった。よって、カレントミラー方式の電流源回路よりは、マルチゲート方式 1 の電流源回路の方がトランジスタの電流特性ばらつきが電流源回路 1 0 2 の出力電流へ与える影響を低減することができる。

マルチゲート方式 1 の電流源回路の各信号線は、共有することができる。例えば、電流入力トランジスタ 8 0 3 と電流保持トランジスタ 8 0 4 は、同じタイミングで導通状態・非導通状態が切り替えられれば動作上問題無い。そのため、電流入力トランジスタ 8 0 3 と電流保持トランジスタ 8 0 4 の極性を同じとし、信号線 G H と信号線 G N を共有することができる。

40

マルチゲート方式 1 において、電流源回路の部分は画素の設定動作時には、第 6 3 図 (a) のようになり、発光時には第 6 3 図 (b) のようになっていればよい。つまり、そのように、配線やスイッチが接続されていればよい。例えば、第 6 8 図のように接続されていても良い。

なお、前述した構成のスイッチ部や電流源回路を有する画素において、各配線を共有する具体例を第 7 4 図に示す。第 7 4 図 (A) ~ (D) において、信号線 G N と信号線 G H は

50

共有され、配線 W_c と電源線 W は共有されている。特に、第74図(A)では、電流保持トランジスタ804のソース端子又はドレイン端子で、電流源容量111の一方の電極と接続されていない側は電流線 CL に直接接続されている。また、消去トランジスタ304が電流源トランジスタ112及び駆動トランジスタ302と直列に接続されている。第74図(B)では、電流源トランジスタ112のソース端子と電源線 W との接続を選択する位置に、消去トランジスタ304が接続されている。第74図(C)では、電源線 W がスイッチ部101、電流源回路102を順に介して発光素子106と接続される構成である。この構成では追加トランジスタ390が設けられている。追加トランジスタ390によって、スイッチ部がオフの状態、つまり、駆動トランジスタ302が非導通状態に画素の設定動作を行うことができるように、電源線 W と電流源トランジスタ112のソース端子とが接続される。第74図(D)では、電流保持トランジスタ804が、電流源トランジスタ112のゲート・ドレイン間で接続されている。そして、消去トランジスタ304が、保持容量303と並列に接続されている。画素の設定動作の時には、駆動トランジスタ302がどのような状態にあっても、駆動トランジスタ302の方へは電流が流れない。それは、電流停止トランジスタ805のゲート・ソース間の電圧が0となり、自動的に電流停止トランジスタ805がオフ状態になるためである。

10

実施の形態1で示すカレントミラー方式の電流源回路では、発光素子に入力される信号は、画素に入力される制御電流を所定の倍率で増減した電流である。そのため、制御電流をある程度大きく設定することが可能となり、各画素の電流源回路の設定動作を早く行うことができる。しかし、電流源回路が有するカレントミラー回路を構成するトランジスタの電流特性がばらつくと、画像表示がばらつく問題がある。一方、同一トランジスタ方式の電流源回路では、発光素子に入力される信号は、画素に入力される制御電流の電流値と等しい。ここで、同一トランジスタ方式の電流源回路では、制御電流が入力されるトランジスタと、発光素子に電流を出力するトランジスタが同一である。そのため、トランジスタの電流特性のばらつきによる画像むらは低減される。

20

これに対してマルチゲート方式の電流源回路では、発光素子に入力される信号は、画素に入力される制御電流を所定の倍率で増減した電流である。そのため、制御電流をある程度大きく設定することが可能となる。よって、各画素の電流源回路の設定動作を早く行うことが可能である。また、制御電流が入力されるトランジスタと、発光素子に電流を出力するトランジスタの一部を共有しているため、トランジスタの電流特性のばらつきによる画像むらは、カレントミラー方式の電流源回路と比較して低減される。

30

次いで、マルチゲート方式の電流源回路の場合の設定動作と、スイッチ部の動作との関連を以下に示す。マルチゲート方式の電流源回路の場合、制御電流が入力される間は、一定電流を出力することができない。そのため、スイッチ部の動作と電流源回路の設定動作を同期させて行う必要が生じる。例えば、スイッチ部がオフの状態にのみ、電流源回路の設定動作を行うことが可能である。つまり、同一トランジスタ方式とほぼ同様である。従って、画像表示動作(スイッチ部の駆動動作)と、電流源回路の設定動作(画素の設定動作)も、同一トランジスタ方式とほぼ同様であるため、説明は省略する。

次にこの発明の実施例を述べるが、この発明は下記実施例に限定されるものではない。

(実施例1)

40

本実施例では、カレントミラー方式の電流源回路を有する画素構成であって、実施の形態1において、第4図において示した構成の電流源回路と異なる構成の電流源回路を用いた画素構成の例を挙げる。

各画素に配置した電流源回路の構成例を第17図に示す。なお、第17図において、第4図と同じ部分は同じ符号を用いて示し説明は省略する。第17図において、電流源回路102は、電流源容量111、電流源トランジスタ112、カレントトランジスタ1405、電流入力トランジスタ1403、電流保持トランジスタ1404、電流線 CL 、信号線 GN 、信号線 GH の他に、点順次トランジスタ2404と点順次線 CLP とを有する。第4図とは、点順次トランジスタ2404を追加した部分が異なる。なお、点順次トランジスタ2404は n チャネル型とするが、単なるスイッチとして動作するため p チャネル型

50

でもかまわない。

電流源トランジスタ 1 1 2 のゲート電極とカレントトランジスタ 1 4 0 5 のゲート電極及び電流源容量 1 1 1 の一方の電極は接続されている。また、電流源容量 1 1 1 の他方の電極は、電流源トランジスタ 1 1 2 のソース端子及びカレントトランジスタ 1 4 0 5 のソース端子と接続され、電流源回路 1 0 2 の端子 A に接続されている。カレントトランジスタ 1 4 0 5 のゲート電極は、そのドレイン端子と電流保持トランジスタ 1 4 0 4 のソース・ドレイン端子間及び点順次トランジスタ 2 4 0 4 のソース・ドレイン端子間を順に介して接続されている。電流保持トランジスタ 1 4 0 4 のゲート電極は、信号線 G H に接続されている。点順次トランジスタ 2 4 0 4 のゲート電極は点順次線 C L P に接続されている。カレントトランジスタ 1 4 0 5 のドレイン端子と電流線 C L は、電流入力トランジスタ 1 4 0 3 のソース・ドレイン端子間を介して接続されている。電流入力トランジスタ 1 4 0 3 のゲート電極は、信号線 G N に接続されている。また、電流源トランジスタ 1 1 2 のドレイン端子は、端子 B に接続されている。

10

上記構成において、電流入力トランジスタ 1 4 0 3 をカレントトランジスタ 1 4 0 5 と端子 A の間に配置しても良い。つまり、カレントトランジスタ 1 4 0 5 のソース端子が電流入力トランジスタ 1 4 0 3 のソース・ドレイン端子間を介して端子 A に接続され、カレントトランジスタ 1 4 0 5 のドレイン端子が電流線 C L に接続された構成であってもよい。いずれにしても、電流源回路の部分の画素の設定動作時には、第 6 1 図 (a) のようになり、発光時には第 6 1 図 (b) のようになっていけばよい。

20

上記構成において、カレントトランジスタ 1 4 0 5 及び電流源トランジスタ 1 1 2 のゲート電極は、電流入力トランジスタ 1 4 0 3 のソース・ドレイン端子間を介さず、電流線 C L に接続されていても良い。つまり、点順次トランジスタ 2 4 0 4 のソース端子及びドレイン端子の、電流保持トランジスタ 1 4 0 4 のソース端子又はドレイン端子と接続されていない側が、電流線 C L に直接接続されている構成でも良い。勿論、これに限定されず電流保持トランジスタ 1 4 0 4 及び点順次トランジスタ 2 4 0 4 は、その両方ともが導通状態となった際にカレントトランジスタ 1 4 0 5 のゲート電極の電位を電流線 C L の電位と等しくするように接続されていけば良い。

また、電流保持トランジスタ 1 4 0 4 と点順次トランジスタ 2 4 0 4 の配置を入れ替えても良い。つまり、カレントトランジスタ 1 4 0 5 のゲート電極は、そのドレイン端子と電流保持トランジスタ 1 4 0 4 のソース・ドレイン端子間及び点順次トランジスタ 2 4 0 4 のソース・ドレイン端子間を順に介して接続されている構成であっても良いし、カレントトランジスタ 1 4 0 5 のゲート電極は、そのドレイン端子と、点順次トランジスタ 2 4 0 4 のソース・ドレイン端子間及び電流保持トランジスタ 1 4 0 4 のソース・ドレイン端子間を順に介して接続されている構成であっても良い。

30

第 1 7 図では第 4 図に対して点順次トランジスタ 2 4 0 4 を追加しており、点順次トランジスタ 2 4 0 4 は、電流保持トランジスタ 1 4 0 4 と直列に接続される。この構成により、電流源容量 1 1 1 は、電流保持トランジスタ 1 4 0 4 と点順次トランジスタ 2 4 0 4 の両方が導通状態にならない限り電荷を保持することになる。このように、点順次トランジスタ 2 4 0 4 を追加することにより、画素の設定動作を第 4 図の線順次ではなく点順次で行うことができるようになる。第 1 7 図に示す構成の電流源回路 1 0 2 と、第 1 3 図に示す構成のスイッチ部 1 0 1 を有する画素 1 0 0 が、x 列 y 行のマトリクス状に配置した画素領域の一部の回路図を第 1 8 図に示す。

40

第 1 8 図において、第 i (i は自然数) 行 j (j は自然数) 列、第 $(i + 1)$ 行 j 列、第 i 行 $(j + 1)$ 列、第 $(i + 1)$ 行 $(j + 1)$ 列の 4 画素のみを代表的に示す。第 1 7 図及び第 1 3 図と同じ部分は、同じ符号を用いて示し説明は省略する。なお、第 i 行、第 $(i + 1)$ 行それぞれの画素行に対応する、走査線 G を G_i 、 G_{i+1} 、消去用信号線を R_{G_i} 、 $R_{G_{i+1}}$ 、信号線 G N を G_{N_i} 、 $G_{N_{i+1}}$ 、信号線 G H を G_{H_i} 、 $G_{H_{i+1}}$ と表記する。また、第 j 列、第 $(j + 1)$ 列それぞれの画素列に対応する、映像信号入力線 S を S_j 、 S_{j+1} 、電源線 W を W_j 、 W_{j+1} 、電流線 C L を C_{L_j} 、 $C_{L_{j+1}}$ 、配線 W_{c_o} を $W_{c_o_j}$ 、 $W_{c_o_{j+1}}$ 、点順次線 C L P を $C_{L_P_j}$ 、 $C_{L_P_{j+1}}$ と表記

50

する。電流線 CL_j 、 CL_{j+1} には画素領域外部より基準電流が入力される。
 発光素子 106 の画素電極は端子 D に接続され、対向電極は対向電位が与えられている。
 第 18 図では発光素子の画素電極を陽極とし、対向電極を陰極とした構成について示した。
 つまり、電流源回路の端子 A が電源線 W に接続され、端子 B がスイッチ部 101 の端子 C に接続された構成を示した。しかし、発光素子 106 の画素電極を陰極とし、対向電極を陽極とした構成の表示装置にも本実施例の構成を容易に応用することもできる。

電流線 CL_j 、 CL_{j+1} に流れる基準電流を定めるために画素領域外部に設けられた電流源（以下、参照電流源回路と表記する）を模式的に 404 で示す。1 つの参照電流源回路 404 からの出力電流を用いて、各々の電流線 CL に基準電流が流れるようにすることができる。こうして、各電流線を流れる電流のばらつきを抑え、全ての電流線を流れる電流を正確に基準電流に定めることができる。

10

参照電流源回路 404 によって定められる基準電流を、各電流線 $CL_1 \sim CL_x$ に入力する回路を、切り替え回路と呼び、第 18 図中 2405 で示す。切り替え回路 2405 の構成例を、第 20 図に示す。切り替え回路 2405 は、パルス出力回路 2711 と、サンプリングパルス線 2710_1 ~ 2710_x と、スイッチ 2701_1 ~ 2701_x とを有する。

パルス出力回路 2711 より出力されるパルス（サンプリングパルス）は、サンプリングパルス線 2710_1 ~ 2710_x に入力される。サンプリングパルス線 2710_1 ~ 2710_x に入力された信号によって、スイッチ 2701_1 ~ 2701_x が順にオンの状態となる。オンの状態のスイッチ 2701_1 ~ 2701_x を介して、参照電流源回路 404 が各電流線 $CL_1 \sim CL_x$ と接続される。なお同時に、サンプリングパルスは点順次線 $CLP_1 \sim CLP_x$ にも入力される。例えば、第 j のサンプリングパルス線 2710_j に入力されたサンプリングパルスによって、電流線 CL_j と参照電流源回路 404 が接続され、同時に、点順次線 CLP_j には、サンプリングパルスが出力されている。

20

ここで、点順次線 CLP_j に点順次トランジスタ 2404 が接続されている画素では、点順次トランジスタ 2404 が導通状態のとき、ある行の信号線 GN と GH に入力された信号によって、該信号線 GN と GH に接続されている電流入力トランジスタ 1403 と電流保持トランジスタ 1404 が導通状態とする。すると、電流保持トランジスタ 1404 と点順次トランジスタ 2404 の両方が導通状態となっている画素のみ、電流源容量 111 に信号を入力することができる。これにより、点順次による画素の設定動作を行うことができる。

30

第 19 図は、第 18 図に示す各画素に配置された電流源回路 102 の設定動作（画素の設定動作）を示すタイミングチャートである。第 19 図において、第 i 行の画素の設定動作を行う期間を SET_i で示す。 SET_i において、第 i 行の 1 列目から x 列目の画素の設定動作が行われる。そこで、第 i 行の 1 列目から x 列目の画素の設定動作を、第 19 図中、 SET_i の (1) 及び (2) の期間に分けて説明する。

SET_i の期間 (1) において、信号線 GN_i 及び信号線 GH_i に入力された信号によって、第 18 図に示す第 i 行の画素の電流入力トランジスタ 1403 及び電流保持トランジスタ 1404 が導通状態となる。その後、各列の CLP とスイッチ 2701 が 1 列ずつ順次選択されていく。一例として j 行目、つまり、第 i 行 j 列の画素の設定動作を説明する。ここで、 SET_i の期間 (1) において、第 i 行 j 列の画素の設定動作を行う期間を $SET(i, j)$ で示す。 $SET(i, j)$ において切り替え回路 2405 によって、電流線 CL_i が参照電流源回路 404 と接続される。こうして基準電流が電流線 CL_i を流れる。同時に切り替え回路 2405 より、点順次線 CLP_j に入力された信号によって、点順次トランジスタ 2404 は導通状態となる。第 19 図のタイミングチャートにおいて、 CL_j で示す期間は、電流線 CL_j と参照電流源回路 404 が接続されている期間を示すとする。こうして、 $SET(i, j)$ では、第 i 行 j 列の画素の電流保持トランジスタ 1404、点順次トランジスタ 2404、電流入力トランジスタ 1403 が導通状態となる。そのため、第 i 行 j 列の画素のカレントトランジスタ 1405 は、ゲート・ソース間電

40

50

圧（ゲート電圧）と、ソース・ドレイン間電圧が等しい状態、つまり、飽和領域で動作してドレイン電流を流す。十分時間が経過し定常状態となると、電流源容量 111 に信号が蓄積されカレントトランジスタ 1405 を流れるドレイン電流は、電流線 CL_j を流れる基準電流に定まる。

その後、 $SET(i, j)$ が終了すると、第 i 行 j 列の画素の点順次トランジスタは非導通状態となる。こうして第 i 行 j 列の画素の電流源容量 111 は、カレントトランジスタ 1405 が基準電流を流す際のゲート電圧を保持する。以上の動作を 1 列ずつ繰り返していく。

$SET(i, 1) \sim SET(i, x)$ まで終了すると、第 i 行の全ての画素の電流源容量 111 には、電流線 CL に流れる基準電流に対応した電荷が保持される。その後、期間 (2) に入る。期間 (2) が終了すると、信号線 GN_i 及び信号線 GH_i の信号が変化し、第 i 行の画素の電流入力トランジスタ 1403 及び電流保持トランジスタ 1404 が非導通状態となる。なお、第 18 図に示した画素構成の表示装置において、電流保持トランジスタ 1404 と点順次トランジスタ 2404 の配置を入れ替えても良いとした。しかし、第 18 図に示した画素構成の表示装置を、第 19 図に示したタイミングチャートに従って駆動させる場合、各画素の点順次トランジスタ 2404 は、電流保持トランジスタ 1404 よりも多く、導通状態・非導通状態の切り替えが行われる。よって、電流源容量 111 に保持された電荷に影響を与えないように、導通状態・非導通状態の切り替えが少ない電流保持トランジスタ 1404 の方が、電流源容量 111 と接続されている構成が好ましい。

（実施例 2）

本実施例では、同一トランジスタ方式の電流源回路を有する画素構成であって、実施の形態 2 において、第 12 図で示した構成の電流源回路とは異なる構成の電流源回路を用いた画素構成の例を挙げる。

始めに、本実施例の電流源回路の構成例を第 21 図に示す。なお、第 21 図において、第 12 図と同じ部分は、同じ符号を用いて示す。本実施例も実施例 1 と同様に点順次による画素の設定動作が行えるようにした場合のものである。

第 21 図において、電流源回路 102 は、電流源容量 111、電流源トランジスタ 112、電流入力トランジスタ 203、電流保持トランジスタ 204、電流停止トランジスタ 205、電流線 CL 、信号線 GN 、信号線 GH 、信号線 GS の他に、点順次トランジスタ 208 と点順次線 CLP とを有する。第 12 図とは、点順次トランジスタ 208 を追加した部分が異なる。また、点順次トランジスタ 208 は n チャネル型とするが、単なるスイッチとして動作するため p チャネル型でもかまわない。

電流源トランジスタ 112 のゲート電極と、電流源容量 111 の一方の電極は接続されている。また、電流源容量 111 の他方の電極は、電流源トランジスタ 112 のソース端子と接続されている。電流源トランジスタ 112 のソース端子が電流源回路 102 の端子 A に接続されている。

電流源トランジスタ 112 のゲート電極は、そのドレイン端子と、電流保持トランジスタ 204 のソース・ドレイン端子間及び点順次トランジスタ 208 のソース・ドレイン端子間を順に介して、接続されている。電流保持トランジスタ 204 のゲート電極は、信号線 GH に接続されている。点順次トランジスタ 208 のゲート電極は、点順次線 CLP に接続されている。電流源トランジスタ 112 のドレイン端子と電流線 CL は、電流入力トランジスタ 203 のソース・ドレイン端子間を介して接続されている。電流入力トランジスタ 203 のゲート電極は、信号線 GN に接続されている。また、電流源トランジスタ 112 のドレイン端子は、電流停止トランジスタ 205 のソース・ドレイン端子間を介して端子 B に接続されている。電流停止トランジスタ 205 のゲート電極は、信号線 GS に接続されている。

また、上記構成において、電流源トランジスタ 112 のゲート電極は、電流入力トランジスタ 203 のソース・ドレイン端子間を介さず、電流線 CL に接続されていても良い。つまり、点順次トランジスタ 208 のソース端子及びドレイン端子の、電流保持トランジスタ

10

20

30

40

50

タ 204 のソース及びドレイン端子と接続されていない側が、電流線 CL に直接接続されている構成でも良い。なお、これに限定されず、電流保持トランジスタ 204 及び点順次トランジスタ 208 は、その両方ともが導通状態となった際に、電流源トランジスタ 112 のゲート電極の電位を電流線 CL の電位と等しくするように接続されていれば良い。

ここで、電流保持トランジスタ 204 と点順次トランジスタ 208 の配置を入れ替えても良い。電流源トランジスタ 112 のゲート電極は、そのドレイン端子と、電流保持トランジスタ 204 のソース・ドレイン端子間及び点順次トランジスタ 208 のソース・ドレイン端子間を順に介して、接続されている構成であっても良いし、電流源トランジスタ 112 のゲート電極とドレイン端子が、点順次トランジスタ 208 のソース・ドレイン端子間及び電流保持トランジスタ 204 のソース・ドレイン端子間を順に介して、接続されている構成であっても良い。

10

つまり、第 21 図では、第 12 図に対して点順次トランジスタ 208 を追加しており、それは、電流保持トランジスタ 204 と直列に接続される。このようにすることにより、電流源容量 111 は、電流保持トランジスタ 204 と点順次トランジスタ 208 の両方が導通状態にならない限り電荷は保持されることになる。このように、点順次トランジスタ 208 を追加することにより、画素の設定動作を第 12 図の線順次ではなく点順次で行うことができるようになる。

第 21 図に示す構成の電流源回路 102 と、第 13 図に示す構成のスイッチ部 101 を有する画素 100 が、 x 列 y 行のマトリクス状に配置した画素領域の一部の回路図を、第 22 図に示す。第 22 図において、第 i 行 j 列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列の 4 画素のみを代表的に示す。第 21 図及び第 13 図と同じ部分は、同じ符号を用いて示し説明は省略する。

20

なお、第 i 行、第 $(i+1)$ 行それぞれの画素行に対応する、走査線を G_i 、 G_{i+1} 、消去用信号線を RG_i 、 RG_{i+1} 、信号線 GN を GN_i 、 GN_{i+1} 、信号線 GH を GH_i 、 GH_{i+1} 、信号線 GS を GS_i 、 GS_{i+1} と表記する。また、第 j 列、第 $(j+1)$ 列それぞれの画素列に対応する、映像信号入力線 S を S_j 、 S_{j+1} 、電源線 W を W_j 、 W_{j+1} 、電流線 CL を CL_j 、 CL_{j+1} 、配線 W_c を W_{c0j} 、 W_{c0j+1} 、点順次線 CLP を CLP_j 、 CLP_{j+1} と表記する。電流線 CL_j 、 CL_{j+1} には、画素領域外部より基準電流が入力される。

発光素子 106 の画素電極は端子 D に接続され、対向電極は対向電位が与えられている。第 22 図では、発光素子の画素電極を陽極とし、動向電極を陰極とした構成について示した。つまり、電流源回路の端子 A が電源線 W に接続され、端子 B がスイッチ部 101 の端子 C に接続された構成を示した。しかし、発光素子 106 の画素電極を陰極とし対向電極を陽極とした構成の表示装置にも、本実施例の構成を容易に応用することもできる。

30

電流線 CL_j 、 CL_{j+1} に流れる基準電流を定めるために画素領域外部に設けられた電流源（以下、参照電流源回路と表記する）を、模式的に 404 で示す。1 つの参照電流源回路 404 からの出力電流を用いて、各々の電流線 CL に基準電流が流れるようにすることができる。こうして、各電流線を流れる電流のばらつきを抑え、全ての電流線を流れる電流を正確に基準電流に定めることができる。参照電流源回路 404 によって定められる基準電流を、各電流線 $CL_1 \sim CL_x$ に入力する回路を、切り替え回路と呼び、第 22 図中 2405 で示す。切り替え回路 2405 の構成例は、実施例 1 において第 20 図に示したものと同様の構成とすることができる。よって、切り替え回路 2405 の構成及びその設定動作に関する説明は省略する。

40

なお、第 22 図に示した画素構成の表示装置において、電流保持トランジスタ 204 と点順次トランジスタ 208 の配置を入れ替えても良い。しかし、各画素の点順次トランジスタ 208 は、電流保持トランジスタ 204 よりも多く、導通状態・非導通状態の切り替えが行われる場合が多い。そのときは、電流源容量 111 に保持された電荷に影響を与えないように、導通状態・非導通状態の切り替えが少ない電流保持トランジスタ 204 の方が、電流源容量 111 と接続されている構成が好ましい。なお、本実施例では、同一トランジスタ方式の電流源回路の構成例を示したが、マルチゲート方式の電流源回路にも適用で

50

きる。すなわち、第 57 図 (A) (B) において、電流保持トランジスタ 804 と直列に、点順次トランジスタを配置すればよい。

(実施例 3)

本実施例では、実施の形態 2 において第 14 図で示した画素構成において、電流線 CL と信号線 S とを共有した例を示す。

第 51 図は、第 14 図において各画素毎に電流線 CL と信号線 S とを共有した構成を示す回路図である。第 51 図において、第 14 図と同じ部分は同じ符号と用いて示し、説明は省略する。第 51 図では第 14 図と異なり、電流入力トランジスタ 203 が、信号線及び電流線 (図中、 S_j , CL_j と表記する) と、電流源トランジスタ 112 のドレイン端子との間に接続されている。また、信号線及び電流線 (S_j , CL_j) は、基準電流出力回路 405 と、信号線駆動回路 (図示せず) より信号が入力されている。信号線及び電流線 (S_j , CL_j) と基準電流出力回路 405 との接続と、信号線及び電流線 (S_j , CL_j) と信号線駆動回路との接続とは切り替えられる。

第 51 図の画素構成を有する表示装置の駆動方法 (画像表示動作及び画素の設定動作) は、基本的には実施の形態 2 において、第 7 図、第 16 図及び第 40 図のタイミングチャートを用いて示した方法と同じである。

しかし、第 51 図に示す画素構成では、各画素毎に信号線 S と電流線 CL を共有しているため、画素に映像信号を入力している間、つまり、アドレス期間 T_a の間は、どの行の画素の設定動作も行うことができない。よって、本実施例の表示装置は、アドレス期間 T_a より長い表示期間 T_s を有するサブフレーム期間 S_F においても、非表示期間 T_{us} を設ける駆動方法を用いる。そして、アドレス期間 T_a と重ならない非表示期間 T_{us} において、画素の設定動作を行う。

本実施例において示す第 51 図の構成の表示装置では、各画素毎に信号線と電流線をまとめて 1 本とすることができる。こうして、実施の形態 2 で示した第 14 図の構成の表示装置と比較して、画素の有する配線の数を減らし表示装置の開口率を上げることができる。このように、信号線 S と電流線 CL をまとめることは、別の実施の形態や実施例においても適用できる。

(実施例 4)

本実施例では、カレントミラー方式の電流源回路を有する画素構成であって、実施の形態 1 や、実施例 1 において示した構成の電流源回路とは異なる構成の電流源回路を用いた画素構成の例を挙げる。従って第 4 図とは異なる部分について主に説明する。同様な部分は説明を省略する。

各画素に配置した電流源回路の構成例を、第 38 図に示す。なお、第 38 図において、第 3 図と同じ部分は、同じ符号を用いて示す。第 38 図において、電流源回路 102 は、電流源容量 111、電流源トランジスタ 112、カレントトランジスタ 1445、電流入力トランジスタ 1443、電流保持トランジスタ 1444、電流線 CL、信号線 GN、信号線 GH とによって構成される。

電流源トランジスタ 112 のゲート電極は、電流保持トランジスタ 1444 のソース・ドレイン端子間を介してカレントトランジスタ 1445 のゲート電極と接続されている。電流源トランジスタ 112 のゲート電極は、電流源容量 111 の一方の電極と接続されている。電流源容量 111 の他方の電極は、電流源トランジスタ 112 のソース端子及びカレントトランジスタ 1445 のソース端子と接続され、電流源回路 102 の端子 A に接続されている。また、カレントトランジスタ 1445 のゲート電極とドレイン端子とは接続されている。電流保持トランジスタ 1444 のゲート電極は、信号線 GH に接続されている。カレントトランジスタ 1445 のドレイン端子と電流線 CL は、電流入力トランジスタ 1443 のソース・ドレイン端子間を介して接続されている。電流入力トランジスタ 1443 のゲート電極は、信号線 GN に接続されている。また、電流源トランジスタ 112 のドレイン端子は端子 B に接続されている。

なお、上記構成において、電流入力トランジスタ 1443 を、カレントトランジスタ 1445 と端子 A の間に配置しても良い。つまり、カレントトランジスタ 1445 のソース端

10

20

30

40

50

子が電流入カトランジスタ 1443 のソース・ドレイン端子間を介して端子 A に接続され、カレントトランジスタ 1445 のドレイン端子が電流線 CL に接続された構成であってもよい。

このように、第 38 図と第 4 図とは、カレントトランジスタ 1445 のゲートとドレイン端子が直列につながっているかどうか、及び電流源トランジスタ 112 のゲートとカレントトランジスタ 1445 のゲートとが直接接続されているかどうか異なり、それ以外は同様である。つまり、電流源回路の部分は画素の設定動作時には、第 61 図 (a) のようになり発光時には、第 61 図 (b) のようになっていけばよい。つまり、そのように、配線やスイッチが接続されていけばよい。よって、第 70 図のようになっていてもよい。

第 38 図に示す構成の電流源回路 102 と、第 13 図に示す構成のスイッチ部 101 を有する画素 100 が、x 列 y 行のマトリクス状に配置した画素領域の一部の回路図を第 39 図に示す。第 39 図において、第 i (i は自然数) 行 j (j は自然数) 列、第 (i + 1) 行 j 列、第 i 行 (j + 1) 列、第 (i + 1) 行 (j + 1) 列の 4 画素のみを代表的に示す。第 38 図及び第 13 図と同じ部分は、同じ符号を用いて示し、説明は省略する。

なお、第 i 行、第 (i + 1) 行それぞれの画素行に対応する、走査線 G を G_i 、 G_{i+1} 、消去用信号線を RG_i 、 RG_{i+1} 、信号線 GN を GN_i 、 GN_{i+1} 、信号線 GH を GH_i 、 GH_{i+1} と表記する。また、第 j 列、第 (j + 1) 列それぞれの画素列に対応する、映像信号入力線 S を S_j 、 S_{j+1} 、電源線 W を W_j 、 W_{j+1} 、電流線 CL を CL_j 、 CL_{j+1} 、配線 W_{co} を W_{coj} 、 W_{coj+1} と表記する。電流線 CL_j 、 CL_{j+1} には、画素領域外部より基準電流が入力される。また、発光素子 106 の画素電極は端子 D に接続され、対向電極は対向電位が与えられている。

(実施例 5)

本実施例では、カレントミラー方式の電流源回路を有する画素構成であって、実施の形態 1 や、実施例 1、実施例 4 とは異なる構成の電流源回路を用いた画素構成の例を挙げる。本実施例では実施例 4 の回路に点順次トランジスタを追加することにより画素の設定動作を点順次で行なうようにする。従って、実施例 1 や実施例 4 と同様な部分は説明を省略する。

各画素に配置した電流源回路の構成例を、第 44 図に示す。なお、第 44 図において、第 38 図と同じ部分は、同じ符号を用いて示し説明は省略する。第 44 図において、電流源回路 102 は、電流源容量 111、電流源トランジスタ 112、カレントトランジスタ 1445、電流入カトランジスタ 1443、電流保持トランジスタ 1444、電流線 CL、信号線 GN、信号線 GH の他に、点順次トランジスタ 1448 と点順次線 CLP とを有する。また、点順次トランジスタ 1448 は n チャンネル型とするが、単なるスイッチとして動作するため p チャンネル型でもかまわない。

電流源トランジスタ 112 のゲート電極は、電流保持トランジスタ 1444 のソース・ドレイン端子間及び点順次トランジスタ 1448 のソース・ドレイン端子間を順に介して、カレントトランジスタ 1445 のゲート電極と接続されている。電流保持トランジスタ 1444 のゲート電極は信号線 GH に接続されている。点順次トランジスタ 1448 のゲート電極は、点順次線 CLP に接続されている。電流源トランジスタ 112 のゲート電極は、電流源容量 111 の一方の電極と接続されている。また、カレントトランジスタ 1445 のゲート電極とドレイン端子とは接続されている。電流源容量 111 の他方の電極は、電流源トランジスタ 112 のソース端子及びカレントトランジスタ 1445 のソース端子と接続され、電流源回路 102 の端子 A に接続されている。また、電流源トランジスタ 112 のドレイン端子は、端子 B に接続されている。カレントトランジスタ 1445 のドレイン端子と電流線 CL は、電流入カトランジスタ 1443 のソース・ドレイン端子間を介して接続されている。電流入カトランジスタ 1443 のゲート電極は、信号線 GN に接続されている。

ここで、電流保持トランジスタ 1444 と点順次トランジスタ 1448 の配置を入れ替えても良い。カレントトランジスタ 1445 のゲート電極と電流源容量 111 とが、電流保持トランジスタ 1444 のソース・ドレイン端子間及び点順次トランジスタ 1448 のソ

10

20

30

40

50

ース・ドレイン端子間を順に介して、接続されている構成であっても良いし、カレントトランジスタ1445のゲート電極と電流源容量111とが、点順次トランジスタ1448のソース・ドレイン端子間及び電流保持トランジスタ1444のソース・ドレイン端子間を順に介して、接続されている構成であっても良い。

第44図に示す構成の電流源回路102と、第13図に示す構成のスイッチ部101を有する画素100が、 x 列 y 行のマトリクス状に配置した画素領域の一部の回路図を第45図に示す。第45図において、第 i (i は自然数)行 j (j は自然数)列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列の画素の4画素のみを代表的に示す。第44図及び第13図と同じ部分は、同じ符号を用いて示し説明は省略する。

なお、第 i 行、第 $(i+1)$ 行それぞれの画素行に対応する、走査線 G を G_i 、 G_{i+1} 、消去用信号線を RG_i 、 RG_{i+1} 、信号線 GN を GN_i 、 GN_{i+1} 、信号線 GH を GH_i 、 GH_{i+1} と表記する。また、第 j 列、第 $(j+1)$ 列それぞれの画素列に対応する、映像信号入力線 S を S_j 、 S_{j+1} 、電源線 W を W_j 、 W_{j+1} 、電流線 CL を CL_j 、 CL_{j+1} 、配線 W_c を W_{c0j} 、 W_{c0j+1} 、点順次線 CLP を CLP_j 、 CLP_{j+1} と表記する。電流線 CL_j 、 CL_{j+1} には、画素領域外部より基準電流が入力される。また、発光素子106の画素電極は、端子Dに接続され、対向電極は、対向電位が与えられている。

(実施例6)

本実施例では、同一トランジスタ方式の電流源回路を有する画素構成であって、実施の形態2において示した構成の電流源回路とは異なる構成の電流源回路を用いた画素構成の例を挙げる。従って、実施の形態2とは異なる部分について主に説明する。同様な部分については説明を省略する。

各画素に配置した電流源回路の構成例を、第41図に示す。なお、第41図において、第3図と同じ部分は同じ符号を用いて示す。第41図において、電流源回路102は、電流源容量111、電流源トランジスタ112、電流入力トランジスタ1483、電流保持トランジスタ1484、電流基準トランジスタ1488、発光トランジスタ1486、電流線 CL 、信号線 GN 、信号線 GH 、信号線 GC 、信号線 GE 、電流基準線 SC_L とによって構成される。

第41図において、電流源トランジスタ112を p チャネル型とした例を示す。なお、電流源トランジスタ112を n チャネル型とする場合も、第3図(C)に示した構造に従って容易に応用することができる。そのときの回路図を第25図に示す。電流入力トランジスタ1483、電流保持トランジスタ1484、電流基準トランジスタ1488、発光トランジスタ1486は n チャネル型とするが、単なるスイッチとして動作するため p チャネル型でもかまわない。

第41図において、電流源トランジスタ112のゲート電極と、電流源容量111の一方の電極は接続されている。また、電流源容量111の他方の電極は、電流源トランジスタ112のソース端子と接続されている。電流源トランジスタ112のソース端子が、発光トランジスタ1486のソース・ドレイン端子間を介して、電流源回路102の端子Aに接続されている。

電流源トランジスタ112のゲート電極とドレイン端子は、電流保持トランジスタ1484のソース・ドレイン端子間を介して、接続されている。電流保持トランジスタ1484のゲート電極は、信号線 GH に接続されている。電流源トランジスタ112のドレイン端子と電流基準線 SC_L は、電流基準トランジスタ1488のソース・ドレイン端子間を介して接続されている。電流基準トランジスタ1488のゲート電極は、信号線 GC に接続されている。電流源トランジスタ112のソース端子と電流線 CL は、電流入力トランジスタ1483のソース・ドレイン端子間を介して接続されている。電流入力トランジスタ1483のゲート電極は、信号線 GN に接続されている。また、電流源トランジスタ112のドレイン端子は、端子Bに接続されている。

また、上記構成において、電流保持トランジスタ1484のソース端子及びドレイン端子の、電流源トランジスタ112のゲート電極と接続されていない側が、電流基準線 SC_L

10

20

30

40

50

に直接接続されている構成でも良い。なお、これに限定されず、電流保持トランジスタ 1484 は、導通状態となった際に、電流源トランジスタ 112 のゲート電極の電位を電流基準線 SCL の電位と等しくするように接続されていれば良い。

つまり第 65 図のように、画素の設定動作時には第 65 図 (a) となり、画像表示時には第 65 図 (b) となっていればよい。つまり、そのように、配線やスイッチが接続されていればよい。従って第 71 図のようになっていてもよい。

また、電流源トランジスタ 112 と端子 B が新たなトランジスタ (ここでは、電流停止トランジスタと呼ぶ) を介して接続される構成であってもよい。このトランジスタは、電流基準トランジスタ 1488 が導通状態のとき非導通状態となり、非導通状態のとき導通状態となる。またあるいは、電流基準トランジスタ 1488 と電流基準線 SCL を省いてもよい。その場合は、画素の設定動作時には、端子 B を通って発光素子 106 へ電流が流れていくことになる。

10

次に、本実施例のスイッチ部の構成について述べる。スイッチ部の構成としては、実施の形態 1 において第 13 図等に示したものと同様の構成とし説明は省略する。ただし、消去トランジスタ 304 は、他のトランジスタ、例えば、発光トランジスタ 1486 や電流停止トランジスタなどと兼用することができる。

第 41 図に示した構成の電流源回路 102 と、第 13 図に示した構成のスイッチ部 101 を有する画素 100 が、マトリクス状に配置した画素領域の一部の回路図を、第 42 図に示す。なお、本発明では、第 1 図において、電流源回路とスイッチ部の接続を入れ替えてもよい。つまり、電源線とスイッチ部 101 がつながり、それに電流源回路 102 がつながっていてもよい。従って、第 41 図のように、電源線 - 電流源回路 - スイッチ部 - 発光素子という接続法だけでなく、例えば、電源線 - スイッチ部 - 電流源回路 - 発光素子という接続法にしてもよい。

20

第 42 図において、第 i 行 j 列、第 $(i+1)$ 行 j 列、第 i 行 $(j+1)$ 列、第 $(i+1)$ 行 $(j+1)$ 列の画素の 4 画素のみを代表的に示す。第 41 図及び第 13 図と同じ部分は、同じ符号を用いて示し、説明は省略する。なお、第 i 行、第 $(i+1)$ 行それぞれの画素行に対応する、走査線を G_i 、 G_{i+1} 、消去用信号線を RG_i 、 RG_{i+1} 、信号線 GN を GN_i 、 GN_{i+1} 、信号線 GH を GH_i 、 GH_{i+1} 、信号線 GC を GC_i 、 GC_{i+1} 、信号線 GE を GE_i 、 GE_{i+1} と表記する。また、第 j 列、第 $(j+1)$ 列それぞれの画素列に対応する、映像信号入力線 S を S_j 、 S_{j+1} 、電源線 W を W_j 、 W_{j+1} 、電流線 CL を CL_j 、 CL_{j+1} 、電流基準線 SCL を SCL_j 、 SCL_{j+1} 、配線 W_c を $W_{c,j}$ 、 $W_{c,j+1}$ と表記する。電流線 CL_j 、 CL_{j+1} には、画素領域外部より基準電流が入力される。

30

発光素子 106 の画素電極は端子 D に接続され、対向電極は対向電位が与えられている。第 42 図では、発光素子の画素電極を陽極とし、対向電極を陰極とした構成について示した。つまり、電流源回路の端子 A が電源線 W に接続され、端子 B がスイッチ部 101 の端子 C に接続された構成を示した。しかし、発光素子 106 の画素電極を陰極とし、対向電極を陽極とした構成の表示装置にも、本実施例の構成を容易に応用することもできる。

また第 42 図において、駆動トランジスタ 302 は、単なるスイッチとして機能するので n チャネル型でも p チャネル型でもどちらでも良い。ただし、駆動トランジスタ 302 は、そのソース端子の電位が固定された状態で動作するのが好ましい。そのため、第 42 図に示すような発光素子 106 の画素電極を陽極とし、対向電極を陰極とした構成では、駆動トランジスタ 302 は p チャネル型のほうが好ましい。一方、発光素子 106 の画素電極を陰極とし、対向電極を陽極とした構成では、駆動トランジスタ 302 は n チャネル型のほうが好ましい。なお、第 42 図において、各画素の配線 W_c と電源線 W とは、同じ電位に保たれていてもよい。また、異なる画素間の配線 W_c 。同士、電源線 W 同士、配線 W_c と電源線 W も共用することができる。

40

また、電流基準線 SCL は、信号線や走査線のような別の配線と共用することにより、削除することも可能である。このとき、自分の行の配線でも、別の行の配線でも、どちらでもよい。つまり、電流基準線 SCL として使用しないとき (画素の設定動作を行っていない

50

とき)に、例えばパルス信号が入力されることがあっても、電流基準線SCLとして使用するとき(画素の設定動作を行っているとき)に、ある一定の電位にあるような配線なら、どのような配線でも共用できる。

なお、前述した構成のスイッチ部や電流源回路を有する画素において、各配線を共有する具体例を第76図、第77図に示す。第76図(A)~(D)及び第77図(A)~(D)において、信号線GNと信号線GCは共有され、配線W_cと電源線Wは共有されている。また、発光トランジスタ1486は、消去トランジスタ304を用いることによって省略している。特に、第76図(A)では、電流保持トランジスタ1484のソース端子又はドレイン端子で、電流源容量111の一方の電極と接続されていない側は、電流基準線SCLに直接接続されている。消去トランジスタ304が電流源トランジスタ112及び駆動トランジスタ302と直列に接続されている。第76図(C)では、第76図(A)に示した構成とは、電流基準トランジスタ1488及び電流入力トランジスタ1483の極性が異なっている。なお、信号線GHも信号線GC及び信号線GNと共有されている。第76図(D)では、電源線Wがスイッチ部101、電流源回路102を順に介して発光素子106と接続される構成である。第77図(A)では、電流源トランジスタ112はnチャネル型である。第77図(B)では、電流源トランジスタ112はnチャネル型であり、電流保持トランジスタ1484のソース端子又はドレイン端子で、電流源容量111の一方の電極と接続されていない側は、電流線CLに直接接続されている。第77図(C)では、第77図(B)に示した構成とは、電流基準トランジスタ1488及び電流入力トランジスタ1483の極性が異なっている。なお、信号線GHも信号線GC及び信号線GNと共有されている。第77図(D)では、電流基準線SCLのかわりに、1本前の走査線G_{i-1}を用いている。このように、配線の共有、トランジスタの共有や極性や位置、スイッチ部と電流源回路の位置、スイッチ部や電流源回路の中の構成、などをいろいろと変えて、さらに、その組み合わせ方を変えることにより、容易に様々な回路を実現できる。よって、第76図、第77図の回路例に限定されず、様々な回路例を構成できる。

基準電流出力回路405や参照電流源回路404に関しては、実施の形態1において説明したものと同様であり説明は省略する。

第42図に示した構成の画素を有する表示装置の駆動方法を説明する。画像表示動作については実施の形態1において第7図を用いて説明したのと同様である。異なるのは、発光トランジスタ1486、電流入力トランジスタ1483及び電流基準トランジスタ1488についての動作である。

点灯期間中は発光トランジスタ1486が導通状態となって、電流入力トランジスタ1483が非導通状態となっている。画素への設定期間中は発光トランジスタ1486が非導通状態となって電流入力トランジスタ1483が導通状態となっている。非点灯期間中は(ただし画素への設定期間中は除く)、電流入力トランジスタ1483は非導通状態であり、発光トランジスタ1486はどちらでもよい。なお、発光トランジスタ1486を消去トランジスタと兼用にして、発光トランジスタ1486を非導通状態にしてもよい。そして、電流基準トランジスタ1488が存在する場合は、点灯期間中には電流基準トランジスタ1488は非導通状態になっている必要がある。その理由は電流基準線SCLの方に電流が流れてしまい、発光素子に流れる電流量が変わってしまうためである。

非点灯期間中は電流基準トランジスタ1488の状態は導通してもしていなくてもどちらでもよい。ただし、電流基準線SCLと発光素子106の対向電極の電圧を調整することにより、発光素子106に逆バイアス電圧が加わるようにすることができる。

また、もし電流源トランジスタ112と端子Bの間に新たなトランジスタ(ここでは、電流停止トランジスタと呼ぶ)が入っている場合は、点灯期間中には、電流停止トランジスタは導通状態にしておく必要がある。なぜなら非導通状態にしておくと、発光素子106に電流が流れないからである。また、画素の設定期間中は電流停止トランジスタは非導通状態にしておく。非点灯期間中は、電流停止トランジスタは導通していてもいなくてもどちらでもよいが非導通状態にすることにより、消去トランジスタと兼用することができる。

10

20

30

40

50

。以上の点を除けば、実施の形態 1 と同様である。

次に、画素の設定動作を説明する。これは、実施の形態 2 とほとんど同じである。例として、第 i 行の画素に設定動作が行なわれるとする。電流線 CL に基準電流 I_0 が流れる。基準電流 I_0 は、電流入力トランジスタ 1483、電流源トランジスタ 112、電流基準トランジスタ 1488 が導通状態となるので、それらを介して、電流線 CL と電流基準線 SC_L との間を流れる。なお、このとき発光トランジスタ 1486 は非導通状態となっている。また、端子 B により先には、電流が流れないような状態になっているとする。あるいは、電流停止トランジスタがある場合はそれが非導通状態となり、端子 B より先には電流が流れないようにする。こうして、電流源トランジスタ 112 に基準電流 I_0 が流れる。電流源トランジスタ 112 のゲート電極とドレイン端子とは、導通状態となった電流保持トランジスタ 1484 を介して接続されている。そのため、電流源トランジスタ 112 は、ゲート・ソース間電圧（ゲート電圧）と、ソース・ドレイン間電圧が等しい状態、つまり、飽和領域で動作し、ドレイン電流を流す。電流源トランジスタ 112 を流れるドレイン電流は、電流線 CL を流れる基準電流 I_0 に定まる。こうして、電流源容量 111 は、電流源トランジスタ 112 が基準電流 I_0 を流す際のゲート電圧を保持する。

なお、電流基準線 SC_L と電流基準トランジスタ 1488 がない場合は、 I_0 は端子 B から先に流れていく。よって、その場合は発光素子 106 に流れていくことになる。もし、長期間流れると輝度に影響を与えてしまうため望ましくない。また I_0 が発光素子 106 に流れると、発光素子 106 の電位を変化させるのに多くの時間がかかる。その結果画素の設定動作にも時間がかかる。

電流線 CL に流れる基準電流 I_0 に対応した電荷を電流源容量 111 が保持し終わると、信号線 GH_i の信号が変化し、電流保持トランジスタ 1484 が非導通状態となる。これにより、画素の電流源容量 111 に電荷が保持される。この後、信号線 GN_i 及び信号線 GC_i の信号が変化し、第 i 行の画素の電流入力トランジスタ 1483 及び電流基準トランジスタ 1488 は非導通状態となる。こうして、第 i 行の画素の電流源トランジスタ 112 は、ゲート電圧が保持されたまま、電流線 CL 及び電流基準線 SC_L との接続が切断される。また同時に、信号線 GE_i の信号が変化し、発光トランジスタ 1486 は導通状態となる。

この様にして、第 i 行の各画素の設定動作が行われる。その後、各画素の電流源回路 102 において、端子 A と端子 B の間に電圧が印加されると、電流源トランジスタ 112 のソース・ドレイン間には、基準電流（画素基準電流）が流れる。

なお、第 42 図で示した画素部の構成において、信号線 GN 、信号線 GH 、信号線 GC 、信号線 GE 、走査線 G 、消去用信号線 RG などは、駆動のタイミングなどを考慮して共有することができる。例えば、信号線 GH_i と信号線 GN_i とを共有することができる。この場合、電流入力トランジスタ 1483 を非導通状態とするタイミングと電流保持トランジスタ 1484 を非導通状態とするタイミングが全く同じであり、画素の設定動作上問題ない。

別の例としては、信号線 GE_i と信号線 GN_i とを共有することができる。この場合、電流入力トランジスタ 1483 の極性と異なる極性の発光トランジスタ 1486 を用いる。こうして、電流入力トランジスタ 1483 のゲート電極と発光トランジスタ 1486 のゲート電極に同じ信号を入力した際に、一方のトランジスタを導通状態とし、他方のトランジスタを非導通状態とすることができる。また、電流停止トランジスタを追加した場合は、それと電流基準トランジスタ 1488 の極性を逆にして、ゲート電極同士を接続することにより配線を共有できる。

（実施例 7）

マルチゲート方式 2 の電流源回路について述べる。なお、説明には第 58 図を参照する。第 58 図（A）において第 3 図と同じ部分は同じ符号を用いて示す。

マルチゲート方式 2 の電流源回路の構成要素について説明する。マルチゲート方式 2 の電流源回路は、電流源トランジスタ 112 と発光トランジスタ 886 を有する。また、スイッチとして機能する電流入力トランジスタ 883、電流保持トランジスタ 884、電流基

10

20

30

40

50

準トランジスタ 888 を有する。ここで、電流源トランジスタ 112、発光トランジスタ 886、電流入力トランジスタ 883、電流保持トランジスタ 884、電流基準トランジスタ 888 は、p チャンネル型でも n チャンネル型でもよい。但し、電流源トランジスタ 112 と発光トランジスタ 886 は、同じ極性である必要がある。ここでは、電流源トランジスタ 112 及び発光トランジスタ 886 が n チャンネル型の例を示す。電流源トランジスタ 112 と発光トランジスタ 886 は、電流特性が等しいことが望まれる。さらに、電流源トランジスタ 112 のゲート電位を保持する電流源容量 111 を有する。また、電流入力トランジスタ 883 のゲート電極に信号を入力する信号線 GN と、電流保持トランジスタ 884 のゲート電極に信号を入力する信号線 GH を有する。更に、制御信号が入力される電流線 CL と、一定の電位に保たれる電流基準線 SCL とを有する。なお、電流源容量 111 は、トランジスタのゲート容量などを利用することにより省略することが可能である。

10

これらの構成要素の接続関係を説明する。電流源トランジスタ 112 のソース端子は端子 B に接続されている。電流源トランジスタ 112 のソース端子は、電流基準トランジスタ 888 を介して電流基準線 SCL に接続されている。電流源トランジスタ 112 のドレイン端子は、発光トランジスタ 886 のソース端子に接続されている。電流源トランジスタ 112 のドレイン端子は、電流入力トランジスタ 883 を介して電流線 CL に接続されている。電流源トランジスタ 112 のゲート電極とソース端子は、電流源容量 111 を介して接続されている。電流源トランジスタ 112 のゲート電極と発光トランジスタ 886 のゲート電極は接続され、電流保持トランジスタ 884 を介して電流線 CL と接続されている。発光トランジスタ 886 のドレイン端子は、端子 A に接続されている。

20

なお、第 58 図 (A) において、電流保持トランジスタ 884 の配置を変え、第 58 図 (B) に示すような回路構成としてもよい。第 58 図 (B) では、電流保持トランジスタ 884 は、電流源トランジスタ 112 のゲート電極とドレイン端子の間に接続されている。次いで、上記マルチゲート方式 2 の電流源回路の設定方法について説明する。なお第 58 図 (A) と第 58 図 (B) では、その設定動作は同様である。ここでは第 58 図 (A) に示す回路を例に、その設定動作について説明する。説明には第 58 図 (C) ~ 第 58 図 (F) を用いる。マルチゲート方式 2 の電流源回路では、第 58 図 (C) ~ 第 58 図 (F) の状態を順に経て設定動作が行われる。説明では簡単のため、電流入力トランジスタ 883、電流保持トランジスタ 884、電流基準トランジスタ 888 をスイッチとして表記した。ここで、電流源回路を設定する制御信号は、制御電流である例を示す。また図において、電流が流れる経路を太矢印で示す。

30

第 58 図 (C) に示す期間 TD1 において、電流入力トランジスタ 883、電流保持トランジスタ 884 及び電流基準トランジスタ 888 を導通状態とする。なお、この際発光トランジスタ 886 は非導通状態である。これは、導通状態となった電流保持トランジスタ 884 及び電流入力トランジスタ 883 によって、発光トランジスタ 886 のソース端子とゲート電極の電位が等しく保たれているためである。つまり、ソース・ゲート間電圧がゼロのとき非導通状態となるトランジスタを発光トランジスタ 886 に用いれば、期間 TD1 において発光トランジスタ 886 を自動的に非導通状態とすることができる。こうして、図示した経路より電流が流れて、電流源容量 111 に電荷が保持される。

40

第 58 図 (D) に示す期間 TD2 において、保持された電荷によって電流源トランジスタ 112 のゲート・ソース間電圧が閾値電圧以上となる。すると、電流源トランジスタ 112 にドレイン電流が流れる。

第 58 図 (E) に示す期間 TD3 において、十分時間が経過し定常状態となると、電流源トランジスタ 112 のドレイン電流が制御電流に定まる。こうして、制御電流をドレイン電流とする際のゲート電圧が、電流源容量 111 に保持される。その後、電流保持トランジスタ 884 が非導通状態となると、電流源容量 111 に保持された電荷が発光トランジスタ 886 のゲート電極にも分配される。こうして、電流保持トランジスタ 884 が非導通状態となると同時に、自動的に発光トランジスタ 886 が導通状態となる。

第 58 図 (F) に示す期間 TD4 において、電流基準トランジスタ 888 及び電流入力ト

50

ランジスタ 883 が非導通状態となる。こうして、画素に制御電流が入力されなくなる。なお、電流保持トランジスタ 884 を非導通状態とするタイミングは、電流入力トランジスタ 883 を非導通状態とするタイミングに対して、早い又は同時であることが好ましい。これは、電流源容量 111 に保持された電荷を放電させないようにするためである。期間 TD4 の後、端子 A と端子 B の間の電圧が印加されると、電流源トランジスタ 112 及び発光トランジスタ 886 を介して、一定の電流が出力される。つまり、電流源回路 102 が制御電流を出力する際は、電流源トランジスタ 112 と発光トランジスタ 886 が、1 つのマルチゲート型トランジスタのように機能する。そのため、入力する制御電流に対して、出力する一定電流の値を小さく設定することができる。こうして、電流源回路の設定動作を速くすることができる。そのため、発光トランジスタ 886 と電流源トランジスタ 112 の極性は同じとする必要がある。発光トランジスタ 886 と電流源トランジスタ 112 の電流特性は同じとすることが望ましい。これは、マルチゲート方式 2 を有する各電流源回路 102 において、発光トランジスタ 886 と電流源トランジスタ 112 の特性が揃っていない場合、出力電流にばらつきを生じるためである。

10

なお、マルチゲート方式 2 の電流源回路では、制御電流が入力され対応するゲート電圧に変換するトランジスタ（電流源トランジスタ 112）も用いて、電流源回路 102 からの電流を出力している。カレントミラー方式の電流源回路では、制御電流が入力され対応するゲート電圧に変換するトランジスタ（カレントトランジスタ）と、該ゲート電圧をドレイン電流に変換するトランジスタ（電流源トランジスタ）が全く別であった。よって、カレントミラー方式の電流源回路よりは、トランジスタの電流特性ばらつきが電流源回路 102 の出力電流へ与える影響を低減することができる。

20

なお、設定動作の際の期間 TD1 ～ 期間 TD3 において端子 B に電流を流す場合は、電流基準線 SCL 及び電流基準トランジスタ 888 は必要ない。或いは、電流基準線 SCL は、走査線のような別の配線と共用することにより、削除することも可能である。このとき、自行の配線でも他行の配線でもどちらでもよい。つまり、電流基準線 SCL として使用しないとき（画素の設定動作を行っていないとき）に、例えばパルス信号が入力されることがあっても、電流基準線 SCL として使用するとき（画素の設定動作を行っているとき）に、ある一定の電位にあるような配線ならどのような配線でも共用できる。

マルチゲート方式 2 の電流源回路の各信号線は、共有することができる。例えば、電流入力トランジスタ 883 と電流保持トランジスタ 884 は、同じタイミングで導通状態・非導通状態が切り替えられれば動作上問題無い。そのため、電流入力トランジスタ 883 と電流保持トランジスタ 884 の極性を同じとし、信号線 GH と信号線 GN を共有することができる。また、電流基準トランジスタ 888 と電流入力トランジスタ 883 は、同じタイミングで導通状態・非導通状態が切り替えられれば動作上問題無い。そのため、電流基準トランジスタ 888 と電流入力トランジスタ 883 の極性を同じとし、信号線 GN と信号線 GC を共有することができる。

30

マルチゲート方式 2 において、電流源回路の部分は画素の設定動作時には、第 64 図 (a) のようになり発光時には、(b) のようになっていけばよい。つまり、そのように、配線やスイッチが接続されていけばよい。よって、第 69 図のようになっていてもよい。なお、前述した構成のスイッチ部や電流源回路を有する画素において、各配線を共有する具体例を第 75 図に示す。第 75 図 (A) ～ (D) において、信号線 GN と信号線 GC は共有され、配線 W_c と電源線 W は共有されている。特に、第 75 図 (A) では、電流保持トランジスタ 884 のソース端子又はドレイン端子で、電流源容量 111 の一方の電極と接続されていない側は、電流線 CL に直接接続されている。また、消去トランジスタ 304 が電流源トランジスタ 112 及び駆動トランジスタ 302 と直列に接続されている。第 75 図 (B) では、電流源トランジスタ 112 のソース端子と駆動トランジスタ 302 のソース端子又はドレイン端子との接続を選択する位置に、消去トランジスタ 304 が接続されている。第 75 図 (C) では、第 75 図 (B) に示した構成とは、電流入力トランジスタ 883 と電流基準トランジスタ 888 の極性が異なっている。なお、信号線 GH も信号線 GC 及び信号線 GN と共有されている。第 75 図 (D) では、電源線 W がスイッチ部

40

50

101、電流源回路102を順に介して発光素子106と接続される構成である。なお、電流基準線SCLの電位を調節することにより、電流基準トランジスタ888がオンのとき、発光素子106に逆バイアス電圧を加えることができる。このように、配線の共有、トランジスタの共有や極性や位置、スイッチ部と電流源回路の位置、スイッチ部や電流源回路の中の構成、などをいろいろと変えて、さらに、その組み合わせを変えることにより容易に様々な回路を実現できる。

実施の形態1で示したようなカレントミラー方式の電流源回路では、発光素子に入力される信号は、画素に入力される制御電流を所定の倍率で増減した電流である。そのため、制御電流をある程度大きく設定することが可能となる。よって、各画素の電流源回路の設定動作を早く行うことが可能である。しかし、電流源回路が有するカレントミラー回路を構成するトランジスタの電流特性がばらつくと、画像表示がばらつく問題がある。

一方、同一トランジスタ方式の電流源回路では、発光素子に入力される信号は、画素に入力される制御電流の電流値と等しい。同一トランジスタ方式の電流源回路では、制御電流が入力されるトランジスタと、発光素子に電流を出力するトランジスタが同一である。そのため、トランジスタの電流特性のばらつきによる画像むらは低減される。

これに対してマルチゲート方式の電流源回路では、発光素子に入力される信号は、画素に入力される制御電流を所定の倍率で増減した電流である。そのため、制御電流をある程度大きく設定することが可能となる。よって、各画素の電流源回路の設定動作を早く行うことが可能である。また、制御電流が入力されるトランジスタと、発光素子に電流を出力するトランジスタの一部を共有している。そのため、トランジスタの電流特性のばらつきによる画像むらは、カレントミラー方式の電流源回路と比較して低減される。

次いで、マルチゲート方式の電流源回路の場合の設定動作と、スイッチ部の動作との関連を以下に示す。マルチゲート方式の電流源回路の場合、制御電流が入力される間は、一定電流を出力することができない。そのため、スイッチ部の動作と電流源回路の設定動作を同期させて行う必要が生じる。例えば、スイッチ部がオフの状態にのみ、電流源回路の設定動作を行うことが可能である。つまり、同一トランジスタ方式とほぼ同様である。従って、画像表示動作（スイッチ部の駆動動作）と、電流源回路の設定動作（画素の設定動作）も、同一トランジスタ方式とほぼ同様であるため説明は省略する。

（実施例8）

本実施例では、同一トランジスタ方式の電流源回路を有する画素構成であって、実施例6で述べた回路を点順次可能にした場合について説明する。従って、重複する部分の説明を省略する。

各画素に配置した電流源回路の構成例を、第47図に示す。なお、第47図において、第41図と同じ部分は、同じ符号を用いて示し説明は省略する。第47図において、電流源回路102は、電流源容量111、電流源トランジスタ112、電流入力トランジスタ1483、電流保持トランジスタ1484、電流基準トランジスタ1488、発光トランジスタ1486、電流線CL、信号線GN、信号線GH、信号線GC、信号線GE、電流基準線SCLの他に、点順次トランジスタ1490と点順次線CLPとを有する。また、点順次トランジスタ1490はnチャネル型とするが、単なるスイッチとして動作するためpチャネル型でもかまわない。

電流源トランジスタ112のゲート電極は、電流源容量111の一方の電極は接続されている。また、電流源容量111の他方の電極は、電流源トランジスタ112のソース端子と接続されている。電流源トランジスタ112のソース端子が、発光トランジスタ1486のソース・ドレイン端子間を介して、電流源回路102の端子Aに接続されている。

電流源トランジスタ112のゲート電極は、そのドレイン端子と、電流保持トランジスタ1484のソース・ドレイン端子間及び点順次トランジスタ1490のソース・ドレイン端子間を順に介して、接続されている。電流保持トランジスタ1484のゲート電極は、信号線GHに接続されている。点順次トランジスタ1490のゲート電極は、点順次線CLPに接続されている。電流源トランジスタ112のドレイン端子と電流基準線SCLは、電流基準トランジスタ1488のソース・ドレイン端子間を介して接続されている。電

10

20

30

40

50

流基準トランジスタ1488のゲート電極は、信号線GCに接続されている。電流源トランジスタ112のソース端子と電流線CLは、電流入力トランジスタ1483のソース・ドレイン端子間を介して接続されている。電流入力トランジスタ1483のゲート電極は、信号線GNに接続されている。また、電流源トランジスタ112のドレイン端子は、端子Bに接続されている。

上記構成において、点順次トランジスタ1490のソース端子及びドレイン端子の電流保持トランジスタ1484のソース及びドレイン端子と接続されていない側が、電流基準線SCLに直接接続された構成であっても良い。勿論、これに限定されず、電流保持トランジスタ1484及び点順次トランジスタ1490は、その両方共が導通状態となった際に、電流源トランジスタ112のゲート電極の電位を電流基準線SCLの電位と等しくするように接続されていれば良い。

10

電流保持トランジスタ1484と点順次トランジスタ1490の配置を入れ替えても良い。電流源容量111は、電流保持トランジスタ1484のソース・ドレイン端子間及び点順次トランジスタ1490のソース・ドレイン端子間を順に介して、電流源トランジスタ112のドレイン端子と接続されている構成であっても良いし、電流源容量111は、点順次トランジスタ1490のソース・ドレイン端子間及び電流保持トランジスタ1484のソース・ドレイン端子間を順に介して、電流源トランジスタ112のドレイン端子と接続されている構成であっても良い。

第47図に示す構成の電流源回路102と、第13図に示す構成のスイッチ部101を有する画素100が、x列y行のマトリクス状に配置した画素領域の一部の回路図を第48図に示す。第48図において、第i行j列、第(i+1)行j列、第i行(j+1)列、第(i+1)行(j+1)列の4画素のみを代表的に示す。第41図及び第13図と同じ部分は、同じ符号を用いて示し、説明は省略する。

20

なお、第i行、第(i+1)行それぞれの画素行に対応する、走査線を G_i 、 G_{i+1} 、消去用信号線を RG_i 、 RG_{i+1} 、信号線GNを GN_i 、 GN_{i+1} 、信号線GHを GH_i 、 GH_{i+1} 、信号線GCを GC_i 、 GC_{i+1} 、信号線GEを GE_i 、 GE_{i+1} と表記する。また、第j列、第(j+1)列それぞれの画素列に対応する、映像信号入力線Sを S_j 、 S_{j+1} 、電源線Wを W_j 、 W_{j+1} 、電流線CLを CL_j 、 CL_{j+1} 、電流基準線SCLを SCL_j 、 SCL_{j+1} 、配線 W_{co} を W_{coj} 、 W_{coj+1} 、点順次線CLPを CLP_j 、 CLP_{j+1} と表記する。電流線 CL_j 、 CL_{j+1} には、画素領域外部より基準電流が入力される。106は発光素子である。発光素子106の画素電極は端子Dに接続され、対向電極は、対向電位が与えられている。なお、本実施例では、同一トランジスタ方式の電流源回路の構成例を示したが、マルチゲート方式の電流源回路にも適用できる。すなわち、第58図(A)(B)において、電流保持トランジスタ884と直列に点順次トランジスタを配置すればよい。

30

(実施例9)

本実施例では、実施の形態2において第14図で示した画素構成に関し、各画素の電流源トランジスタ112をnチャネル型で構成した例を示す。ここでは、発光素子106の画素電極を陽極とし、対向電極を陰極とした例を示す。従って実施の形態2と重複する部分の説明は省略する。

40

第52図に、本実施例の画素構成を示す回路図を示す。なお、第52図において、第14図と同じ部分は同じ符号を用いて示す。第52図において電流源回路102は、電流源容量111、電流源トランジスタ112、電流入力トランジスタ203、電流保持トランジスタ204、電流停止トランジスタ205、電流線CL、信号線GN、信号線GH、信号線GSとによって構成される。

電流源トランジスタ112のゲート電極と、電流源容量111の一方の電極は接続されている。また、電流源容量111の他方の電極は、電流源トランジスタ112のソース端子と接続されている。電流源トランジスタ112のソース端子が電流停止トランジスタ205を介して、電流源回路102の端子Bに接続されている。電流停止トランジスタ205のゲート電極は、信号線GSに接続されている。

50

電流源トランジスタ 112 のゲート電極とドレイン端子は、電流保持トランジスタ 204 のソース・ドレイン端子間を介して、接続されている。電流保持トランジスタ 204 のゲート電極は、信号線 GH に接続されている。電流源トランジスタ 112 のソース端子と電流線 CL は、電流入力トランジスタ 203 のソース・ドレイン端子間を介して接続されている。電流入力トランジスタ 203 のゲート電極は、信号線 GN に接続されている。また、電流源トランジスタ 112 のドレイン端子は、端子 A に接続されている。

この際第 3 図で説明したように、電流源容量 111 の接続先を変更してもよい。つまり、画素への設定動作により電流源容量 111 の保持した V_{gs} と実際に発光するときの V_{gs} がかわらないようにすればよい。そのための一例としては、電流源トランジスタ 112 のゲート電極とソース端子の間に電流源容量 111 を接続すればよい。つまり、電流源回路の部分は画素の設定動作時には、第 66 図 (a) のようになり発光時には、第 66 図 (b) のようになっていけばよい。

第 52 図においてスイッチ部 101 は、実施の形態 1 で第 13 図で示した構成とほぼ同じであるが、駆動トランジスタ 302 も n チャンネル型で構成した例を示した。このように、本実施例において第 52 図で示した構成の画素では、画素を構成するトランジスタを全て n チャンネル型とすることができる。このように、単極性のトランジスタで回路を構成すれば、トランジスタを作製する上での手順を省きコストを低くすることが可能となる。

本実施例は、他の実施の形態及び実施例と自由に組み合わせることで実施することが可能である。

(実施例 10)

本実施例では、実施の形態 1 において第 5 図で示した画素構成において、各画素に配置したカレントトランジスタ 1405 を複数の画素で共有した例を示す。

第 53 図は、本実施例の画素構成を示す回路図である。なお、第 53 図において第 5 図と同じ部分は同じ符号を用いて示し、説明は省略する。第 53 図において、第 i 行 j 列の画素と、第 $(i+1)$ 行 j 列の画素のカレントトランジスタ 1405 を共有している。また、第 i 行 $(j+1)$ 列の画素と、第 $(i+1)$ 行 $(j+1)$ 列の画素のカレントトランジスタ 1405 を共有している。

第 53 図では、2 画素でカレントトランジスタ 1405 を共有した例を示した。なお、これに限定されず、一般に、複数の画素でカレントトランジスタ 1405 を共有することができる。上記構成によって、1 画素あたりに配置されたトランジスタの数及び信号線の数

を減らすことができる。こうして、開口率の高い表示装置が得られる。

本実施例は、他の実施の形態や実施例と自由に組み合わせることで実施することが可能である。

(実施例 11)

本実施例では、本発明の表示装置の画素に信号を入力する、駆動回路の構成例を示す。第 54 図は、信号線駆動回路の構成を示すブロック図である。第 54 図において信号線駆動回路 5400 は、シフトレジスタ 5401 と、第 1 のラッチ回路 5402 と、第 2 のラッチ回路 5403 とによって構成されている。シフトレジスタ 5401 の出力したサンプリングパルスに従って、第 1 のラッチ回路 5402 は映像信号 VD を保持する。ここで、第 1 のラッチ回路 5402 に入力される映像信号 VD は、表示装置に入力されたデジタルビデオ信号を、時間分割階調方式で表示を行うために加工した信号である。表示装置に入力されたデジタルビデオ信号は、時分割階調映像信号処理回路 5410 によって映像信号 VD に変換され、信号線駆動回路 5400 の第 1 のラッチ回路 5402 に入力される。第 1 のラッチ回路 5402 に、1 水平期間分の映像信号 VD が保持されると、第 2 のラッチ回路 5403 にラッチパルス LP が入力される。こうして、第 2 のラッチ回路 5403 は、1 水平期間分の映像信号 VD を一斉に保持すると同時に各画素の映像信号入力線 S へ出力する。

以下に、信号線駆動回路 5400 の構成例を第 55 図に示す。なお、第 55 図において、第 54 図と同じ部分は同じ符号を用いて示す。ここで第 55 図においては、第 1 列の映像信号入力線 S_1 に対応する、第 1 のラッチ回路 5402 の一部、5402a と、第 2 のラッチ回路 5403 の一部、5403a のみを代表で示す。シフトレジスタ 5401 は、複

数のクロックドインバータと、インバータと、スイッチと、NAND回路によって構成されている。シフトレジスタ5401には、クロックパルス S_CLK 及びクロックパルス S_CLK の極性が反転した反転クロックパルス S_CLKB 、スタートパルス S_SP 、走査方向切り替え信号 L/R が入力される。こうして、シフトレジスタ5401は、複数のNAND回路より順にシフトしたパルス(サンプリングパルス)を出力する。シフトレジスタ5401より出力されたサンプリングパルスは、第1のラッチ回路5402aに入力される。サンプリングパルスが入力されると、第1のラッチ回路5402aは、映像信号 VD を保持する。第1のラッチ回路5402が、全ての映像信号入力線 S に入力する映像信号(1水平期間分の映像信号) VD を保持したら、第2のラッチ回路5403にラッチパルス LP 及びラッチパルス LP の極性が反転した反転ラッチパルス LPB が入力される。こうして、第2のラッチ回路5403は、全ての映像信号入力線 S に一斉に映像信号 VD を出力する。

10

第56図は、走査線駆動回路の構成例を示す回路図である。第56図において、走査線駆動回路3610は、複数のクロックドインバータと、インバータと、スイッチと、NAND回路とによって構成されるシフトレジスタ3601を有する。シフトレジスタ3601には、クロックパルス G_CLK 及びクロックパルス G_CLK の極性が反転した反転クロックパルス G_CLKB 、スタートパルス G_SP 、走査方向切り替え信号 U/D が入力される。こうして、シフトレジスタ3601は、複数のNAND回路より順にシフトしたパルス(サンプリングパルス)を出力する。サンプリングパルスは、バッファを介して、走査線 G に出力される。こうして、走査線 G に信号を入力する。

20

本実施例では、信号線駆動回路及び走査線駆動回路は、シフトレジスタを有する構成としたが、デコーダ等を用いたものであっても良い。なお、本発明の表示装置の駆動回路としては、公知の構成の駆動回路を自由に用いることができる。

(実施例12)

本実施例では、時間階調方式で表示動作を行う場合の画素の設定動作の一例を示す。

リセット期間において、各画素行を順に選択し非表示期間が始まる。ここで、走査線を順に選択する周波数と同じ周波数で、各画素行の設定動作を行うことができる。例えば、第13図に示した構成のスイッチ部を用いる場合に注目する。走査線 G や消去用信号線 RG を順に選択する周波数と同じ周波数で、各画素行を選択し画素の設定動作を行うことができる。ただし、1行分の選択期間の長さでは、画素の設定動作を十分に行うことが難しい場合がある。そのときは、複数行分の選択期間を用いて、ゆっくりと画素の設定動作を行ってもよい。ゆっくりと画素の設定動作を行うとは、電流源回路が有する電流源容量に、所定の電荷を蓄積する動作を長い時間をかけて行うことを示す。

30

このように、複数行分の選択期間を用いて、且つ、リセット期間での消去用信号線 RG 等を選択する周波数と同じ周波数を用いて、各行を選択していくため、行をとびとびに選択していくことになる。よって、全ての行の画素の設定動作を行うためには、複数の非表示期間において設定動作を行う必要がある。

次いで、上記手法を用いる際の表示装置の構成及び駆動方法について詳細に説明する。まず、複数本の走査線が選択される期間と同じ長さの期間を用いて、1行の画素の設定動作を行う駆動方法について第59図を用いて説明する。第59図では例として、10本の走査線が選択される期間に1行の画素の設定動作を行うタイミングチャートを示した。

40

第59図(A)に、各フレーム期間における各行の動作を示す。なお、実施の形態1において第7図で示したタイミングチャートと同じ部分は、同じ符号を用いて示し説明は省略する。ここでは、1フレーム期間を3つのサブフレーム期間 $SF_1 \sim SF_3$ に分割した例を示した。なお、サブフレーム期間 SF_2 及び SF_3 においてそれぞれ、非表示期間 T_{us} が設けられる構成とする。非表示期間 T_{us} 中に、画素の設定動作が行われる(図中期間A及び期間B)。

次いで、期間A及び期間Bの動作について、詳細に説明する。説明には、第59図(B)を用いる。なお図中では、画素の設定動作を行う期間を、信号線 GN が選択される期間で示した。一般に、 i (i は自然数)行目の画素の信号線 GN を GN_i で示した。まず、第

50

1のフレーム期間 F_1 の期間Aにおいて、 GN_1 、 GN_{11} 、 GN_{21} 、・・・ととびとびに選択される。こうして、1行目、11行目、21行目、・・・の画素の設定動作が行われる(期間1)。次いで、第1のフレーム期間 F_1 の期間Bにおいて、 GN_2 、 GN_{12} 、 GN_{22} 、・・・が選択される。こうして、2行目、12行目、22行目、・・・の画素の設定動作が行われる(期間2)。上記動作を5フレーム期間繰り返すことによって、全ての画素の設定動作が一通り行われる。

ここで、1行の画素の設定動作に用いることができる期間を T_c と表記する。上記駆動方法を用いる場合、 T_c を走査線Gの選択期間の10倍に設定することが可能である。こうして、1画素あたりの設定動作に用いる時間を長くすることができ、効率良く正確に画素の設定動作を行うことができる。なお、一通りの設定動作では十分でない場合に、上記動作を複数回繰り返しても良い。こうして、徐々に画素の設定動作を行っても良い。

次いで、上記駆動方法を用いる際の駆動回路の構成について説明する。説明には、第60図を用いる。なお、第60図では信号線GNに信号を入力する駆動回路を示した。しかし、電流源回路が有するその他の信号線に入力される信号についても同様である。画素の設定動作を行うための駆動回路の構成例を2つ挙げる。

第1の例は、シフトレジスタの出力を切り替え信号によって切り替え、信号線GNに出力する構成の駆動回路である。この駆動回路(設定動作駆動回路)の構成の例を、第60図(A)に示す。設定動作駆動回路5801は、シフトレジスタ5802と、AND回路と、インバータ回路(INV)等によって構成される。なおここでは、シフトレジスタ5802のパルス出力期間の4倍の期間、1本の信号線GNを選択する構成の駆動回路を例に示した。設定動作駆動回路5801の動作について説明する。シフトレジスタ5802の出力は、切り替え信号5803によって選択され、AND回路を介して信号線GNに出力される。

第2の例は、シフトレジスタの出力により、特定の行を選択する信号をラッチする構成の駆動回路である。この駆動回路(設定動作駆動回路)の構成の例を第60図(B)に示す。設定動作駆動回路5811は、シフトレジスタ5812と、ラッチ1回路5813と、ラッチ2回路5814とを有する。

設定動作駆動回路5811の動作について説明する。シフトレジスタ5812の出力により、ラッチ1回路5813は行選択信号5815を順に保持する。ここで、行選択信号5815は任意の行を選択する信号である。ラッチ1回路5813に保持された信号は、ラッチ信号5816によってラッチ2回路5814に転送される。こうして、特定の信号線GNに信号が入力される。こうして、非表示期間において電流源回路の設定動作を行うことができる。

なお、表示期間中であっても、カレントミラー方式の電流源回路の場合は、設定動作を行うことができる。また、同トランジスタ方式の電流源回路やマルチゲート方式の電流源回路でも、表示期間を一旦中断して、電流源回路の設定動作を行い、その後、表示期間を再開するような駆動方法を用いても良い。

本実施の形態は、実施の形態1～実施の形態3や、実施例1～実施例11と自由に組み合わせることで実施することが可能である。

(実施例13)

本実施例では、画素の設定動作に関して、他の実施例とは異なる方法について説明する。実施の形態1等では画素1行ずつ選択し、画素の設定動作を行っていた。あるいは、とびとびの行を選択して、画素の設定動作を行っていた。どちらの場合も、ある行の画素の設定動作を行っている間は、同時に別の行の画素の設定動作を行うことはなかった。本実施例では、上述した手法とは異なる画素の設定動作の手法について説明する。つまり、ある瞬間において、1本の電流線を用いて、同時に複数の画素に対して画素の設定動作を行ってもよい。その場合、各々の画素の電流源回路には、複数の画素の電流源回路によって平均化された電流が流れることとなる。従って、電流が入力される複数の画素間で、それら画素の電流源回路の特性がばらつくと、そのばらつきの影響を受け、各画素の電流源回路が各々流すように設定される電流値がばらついてしまう。しかし、複数の画素で同時に画

10

20

30

40

50

素の設定動作を行うと、1本の電流線に接続された画素分、該電流線に流す電流の値を大きくする必要がある。このように、電流線に流す電流値が大きくなるため、画素の設定動作を素早く行うことができる。このとき、同時に画素の設定動作が行われる行を、重複させておこなってもよい。例えば、1行目と2行目を同時に行い、2行目と3行目を同時に行い、3行目と4行目を同時に行うというように重複させてもよい。

また、同時に画素の設定動作が行われる行を、ある任意の時間ごとに、変更してもよい。例えば、あるときは、ダミー行と1行目を同時に行い、2行目と3行目を同時に行い、4行目と5行目を同時に行いというように、また別の時には、1行目と2行目を同時に行い、3行目と4行目を同時に行い、5行目と6行目を同時に行いというようにしてもよい。この手法により、特性のバラツキを時間的に平均化させることができる。

なお、本実施例に示した画素の設定動作の手法は、電流源回路の構成には依存しないため、全ての構成に適用できる。

(実施例14)

本実施例では、電流線に関して、他の実施例とは異なる構成について述べる。実施例13を省く他の実施例では、1列分の画素には1本の電流線が配置されていた。この場合、同時には、1本の電流線につき1個の画素の設定動作しかできなかったが、1列分の画素に複数本の電流線を設けるようにしてもよい。

例えば、1本目の電流線には、偶数行目の画素が接続され、2本目の電流線には、奇数行目の画素が接続されるようにする。すると、偶数行目と奇数行目とで、同時に2行分の画素の設定動作を行うことができる。従って、1画素分の画素の設定動作を行う期間を長くしたり、全画素の画素の設定動作を行う期間を短くすることが出来る。

その他にも、画面を複数の領域にわけて、その領域の画素にのみ電流線が接続されているようにしてもよい。その結果、同時に複数行の画素に対して、画素の設定動作を行うことが出来る。従って、1画素分の画素の設定動作を行う期間を長くしたり、全画素の画素の設定動作を行う期間を短くすることが出来るようになる。

例えば、画面を上下の2つに分け、上半分は、その上に配置された基準電流出力回路と接続された電流線が配置されている。下半分は、その下に配置された基準電流出力回路と接続された電流線が配置されている。上半分の画素に配置された電流線と下半分の画素に配置された電流線とは、接続されていないとする。その結果、上半分の画素と下半分の画素とで、同時に画素の設定動作を行うことが出来る。

なお、本実施例は、電流源の回路の構成には依存しないため、全ての構成に適用できる。

(実施例15)

本実施例では、実施の形態2において第73図(A)で示した構成の画素を実際に作製した例を第78図で示す。第78図(A)には、画素を実際に作製した際の上面図を示す。また、第78図(B)には、第78図(A)に対応する回路図を示す。なお、第73図(A)と同じ部分は同じ符号を用いて示し説明は省略する。また、第78図(A)において発光素子106として、画素電極のみを示した。第78図では、消去トランジスタ304、電流保持トランジスタ204及び電流入力トランジスタ203は、それぞれ、ダブルゲート型のトランジスタで形成されている。

(実施例16)

本実施例では、実施の形態3において第57図(A)や第57図(B)で示した構成の電流源回路を有する画素の作製例を第79図に示す。第79図(A)には、画素の上面図を示し、それに対応する等価回路図を第79図(B)に示す。なお、第74図と同じ部分は同じ符号を用いて示し説明は省略する。第79図では、第74図(A)と異なり、消去トランジスタ304は、保持容量303と並列に接続されている。また、電流停止トランジスタ805のソース端子又はドレイン端子のうち、駆動トランジスタ302のソース端子又はドレイン端子と接続されていない側は、直接電源線Wと接続されている。

(実施例17)

本実施例では、本発明の表示装置において、各画素に制御電流を入力する駆動回路の構成について説明する。各画素に入力する制御電流がばらつくと、各画素の電流源回路が出力

10

20

30

40

50

する電流の電流値もばらついてしまう。そのため、各電流線にほぼ一定の制御電流を出力する構成の駆動回路が必要となる。そのような駆動回路の例を以下に示す。例えば、日本特願2001-333462号、特願2001-333466号、特願2001-333470号、特願2001-335917号又は特願2001-335918号に示す構成の信号線駆動回路を用いることができる。つまり、該信号線駆動回路の出力電流を制御電流として各画素に入力することができる。本発明の表示装置において、上記の信号線駆動回路を適用することによって、各画素にほぼ一定の制御電流を入力することができる。こうして、画像の輝度のばらつきを更に低減することが可能である。

本実施例は、他の実施の形態や実施例と自由に組み合わせて実施することが可能である。
(実施例18)

10

本実施例では、本発明を応用した表示システムについて説明する。ここで表示システムとは、表示装置に入力される映像信号を記憶するメモリや、表示装置の各駆動回路に入力する制御信号(クロックパルス、スタートパルス等)を出力する回路、それらを制御するコントローラ等を含んでいる。

表示システムの例を第2図に示す。表示システムは、表示装置の他に、A/D変換回路、メモリ選択スイッチA、メモリ選択スイッチB、フレームメモリ1、フレームメモリ2、コントローラ、クロック信号発生回路、電源発生回路を有する。

表示システムの動作について説明する。A/D変換回路は、表示システムに入力された映像信号をデジタルの映像信号に変換する。フレームメモリA又はフレームメモリBは、該デジタルの映像信号が記憶される。ここで、フレームメモリA又はフレームメモリBを期間毎(1フレーム期間毎、サブフレーム期間毎)に使い分けることによって、メモリへの信号の書き込み及びメモリからの信号の読み出しに余裕を持たせることができる。ここで、フレームメモリA又はフレームメモリBの使い分けは、コントローラによってメモリ選択スイッチA及びメモリ選択スイッチBを切りかえることによって行われる。また、クロック発生回路はコントローラからの信号によってクロック信号等を発生させる。電源発生回路はコントローラからの信号によって、所定の電源を発生させる。メモリから読み出された信号、クロック信号、電源等は、FPCを介して表示装置に入力される。

20

なお、本発明を応用した表示システムは、第2図に示した構成に限定されず、公知のあらゆる構成の表示システムにおいて本発明を応用することができる。

本実施例は、他の実施の形態や実施例と自由に組み合わせて実施することが可能である。
(実施例19)

30

本実施例では、本発明の表示装置を利用した電子機器について第46図を用いて説明する。第46図(A)に本発明の表示装置を用いた携帯情報端末の模式図を示す。携帯情報端末は、本体4601a、操作スイッチ4601b、電源スイッチ4601c、アンテナ4601d、表示部4601e、外部入力ポート4601fによって構成されている。本発明の表示装置は、表示部4601eに用いることができる。第46図(B)に本発明の表示装置を用いたパーソナルコンピュータの模式図を示す。パーソナルコンピュータは、本体4602a、筐体4602b、表示部4602c、操作スイッチ4602d、電源スイッチ4602e、外部入力ポート4602fによって構成されている。本発明の表示装置は、表示部4602cに用いることができる。第46図(C)に本発明の表示装置を用いた画像再生装置の模式図を示す。画像再生装置は、本体4603a、筐体4603b、記録媒体4603c、表示部4603d、音声出力部4603e、操作スイッチ4603fによって構成されている。本発明の表示装置は、表示部4603dに用いることができる。第46図(D)に本発明の表示装置を用いたテレビの模式図を示す。テレビは、本体4604a、筐体4604b、表示部4604c、操作スイッチ4604dによって構成されている。本発明の表示装置は、表示部4604cに用いることができる。第46図(E)に本発明の表示装置を用いたヘッドマウントディスプレイの模式図を示す。ヘッドマウントディスプレイは、本体4605a、モニター部4605b、頭部固定バンド4605c、表示部4605d、光学系4605eによって構成されている。本発明の表示装置は、表示部4605dに用いることができる。第46図(F)に本発明の表示装置を用いた

40

50

ビデオカメラの模式図を示す。ビデオカメラは、本体 4 6 0 6 a、筐体 4 6 0 6 b、接続部 4 6 0 6 c、受像部 4 6 0 6 d、接眼部 4 6 0 6 e、バッテリー 4 6 0 6 f、音声入力部 4 6 0 6 g、表示部 4 6 0 6 h によって構成されている。本発明の表示装置は、表示部 4 6 0 6 h に用いることができる。

本発明は、上記応用電子機器に限定されず、様々な電子機器に応用することができる。本実施例は、実施の形態 1 ~ 実施の形態 3 及び実施例 1 ~ 実施例 1 8 と自由に組み合わせて実施することが可能である。

産業上の利用可能性

本発明の表示装置の各画素は、電流源回路とスイッチ部と発光素子とを有する。発光素子と電流源回路とスイッチ部とは、電源基準線と電源線との間に直列に接続されている。デジタルの映像信号を用いることによって、スイッチ部のオン・オフを切り替える。また、電流源回路を流れる一定電流の大きさは、画素外部より入力される制御信号によって定められる。スイッチ部がオン状態の場合は、発光素子には、電流源回路によって定まる一定電流が流れ発光する。スイッチ部がオフ状態の場合、発光素子には、電流が流れず発光しない。このように、スイッチ部のオン・オフを映像信号によって制御し階調を表現することができる。こうして、発光素子の劣化等によって電流特性が変化しても、一定の輝度で表現することが可能となり、信号の書き込みが速く、正確に階調を表現することが可能で、且つ、低コストで、小型化可能な表示装置を提供することができる。

【図面の簡単な説明】

第 1 図は、本発明の表示装置の画素の駆動方法を示す模式図である。

第 2 図は、本発明の表示装置を用いた表示システムを示す図である。

第 3 図は、本発明の表示装置の画素の構成を示すブロック図である。

第 4 図は、本発明の表示装置の電流源回路の回路図である。

第 5 図は、本発明の表示装置の画素部の回路図である。

第 6 図は、本発明の表示装置の画素の設定動作のタイミングチャートを示す図である。

第 7 図は、本発明の表示装置の画像表示動作のタイミングチャートを示す図である。

第 8 図は、本発明の表示装置の基準電流入力回路の構成を示すブロック図である。

第 9 図は、本発明の表示装置の基準電流入力回路の構成を示す回路図である。

第 1 0 図は、本発明の表示装置の基準電流入力回路の動作を示すタイミングチャートを示す図である。

第 1 1 図は、本発明の表示装置の基準電流入力回路の動作方法を示す図である。

第 1 2 図は、本発明の表示装置の電流源回路の回路図である。

第 1 3 図は、本発明の表示装置のスイッチ部の回路図である。

第 1 4 図は、本発明の表示装置の画素部の回路図である。

第 1 5 図は、本発明の表示装置の画素の設定動作のタイミングチャートを示す図である。

第 1 6 図は、本発明の表示装置の画像表示動作及びそのタイミングチャートを示す図である。

第 1 7 図は、本発明の表示装置の電流源回路の回路図である。

第 1 8 図は、本発明の表示装置の画素部の回路図である。

第 1 9 図は、本発明の表示装置の画素の設定動作のタイミングチャートを示す図である。

第 2 0 図は、本発明の表示装置の参照電流源回路の切り替え回路の構成を示す図である。

第 2 1 図は、本発明の表示装置の電流源回路の回路図である。

第 2 2 図は、本発明の表示装置の画素部の回路図である。

第 2 3 図は、本発明の表示装置の電流源回路の回路図である。

第 2 4 図は、本発明の表示装置の電流源回路の回路図である。

第 2 5 図は、本発明の表示装置の電流源回路の回路図である。

第 2 6 図は、本発明の表示装置の画素部の回路図である。

第 2 7 図は、従来の表示装置の駆動方法のタイミングチャートを示す図である。

第 2 8 図は、従来の表示装置の駆動方法を示す図である。

第 2 9 図は、従来の表示装置の画素の回路図である。

10

20

30

40

50

- 第 30 図は、従来の表示装置の画素の回路図である。
- 第 31 図は、従来の表示装置の駆動トランジスタの動作領域を示す図である。
- 第 32 図は、従来の表示装置の駆動トランジスタの動作点を示す図である。
- 第 33 図は、従来の表示装置の画素の回路図である。
- 第 34 図は、従来の表示装置の駆動方法を示す図である。
- 第 35 図は、従来の表示装置の駆動方法のタイミングチャートを示す図である。
- 第 36 図は、従来の表示装置の発光素子の劣化による駆動トランジスタの動作点の変化を示す図である。
- 第 37 図は、従来の表示装置の発光素子の劣化による駆動トランジスタの動作点の変化を示す図である。
- 第 38 図は、本発明の表示装置の電流源回路の構成を示す図である。
- 第 39 図は、本発明の表示装置の画素部の構成を示す図である。
- 第 40 図は、本発明の表示装置の画像表示動作及びそのタイミングチャートを示す図である。
- 第 41 図は、本発明の表示装置の電流源回路の構成を示す図である。
- 第 42 図は、本発明の表示装置の画素部の構成を示す図である。
- 第 43 図は、本発明の表示装置の画素のスイッチ部の回路図である。
- 第 44 図は、本発明の表示装置の電流源回路の構成を示す図である。
- 第 45 図は、本発明の表示装置の画素部の構成を示す図である。
- 第 46 図は、本発明の表示装置を応用した電子機器を示す図である。
- 第 47 図は、本発明の表示装置の電流源回路の構成を示す図である。
- 第 48 図は、本発明の表示装置の画素部の構成を示す図である。
- 第 49 図は、本発明の表示装置の駆動方法のタイミングチャートを示す図である。
- 第 50 図は、本発明の表示装置の画素部の構成を示す図である。
- 第 51 図は、本発明の表示装置の画素部の構成を示す図である。
- 第 52 図は、本発明の表示装置の画素部の構成を示す図である。
- 第 53 図は、本発明の表示装置の画素部の構成を示す図である。
- 第 54 図は、本発明の表示装置の信号線駆動回路の構成を示すブロック図である。
- 第 55 図は、本発明の表示装置の信号線駆動回路の構成を示す図である。
- 第 56 図は、本発明の表示装置の走査線駆動回路の構成を示す図である。
- 第 57 図は、本発明の表示装置の電流源回路の構成を示す図である。
- 第 58 図は、本発明の表示装置の電流源回路の構成を示す図である。
- 第 59 図は、本発明の表示装置の画素の設定動作を示すタイミングチャートを示す図である。
- 第 60 図は、本発明の表示装置の走査線駆動回路の構成を示す図である。
- 第 61 図は、本発明の表示装置の画素の状態を示す模式図である。
- 第 62 図は、本発明の表示装置の画素の状態を示す模式図である。
- 第 63 図は、本発明の表示装置の画素の状態を示す模式図である。
- 第 64 図は、本発明の表示装置の画素の状態を示す模式図である。
- 第 65 図は、本発明の表示装置の画素の状態を示す模式図である。
- 第 66 図は、本発明の表示装置の画素の状態を示す模式図である。
- 第 67 図は、本発明の表示装置の画素の電流源回路の回路図である。
- 第 68 図は、本発明の表示装置の画素の電流源回路の回路図である。
- 第 69 図は、本発明の表示装置の画素の電流源回路の回路図である。
- 第 70 図は、本発明の表示装置の画素の電流源回路の回路図である。
- 第 71 図は、本発明の表示装置の画素の電流源回路の回路図である。
- 第 72 図は、本発明の表示装置の画素の電流源回路の回路図である。
- 第 73 図は、本発明の表示装置の画素の構成を示す回路図である。
- 第 74 図は、本発明の表示装置の画素の構成を示す回路図である。
- 第 75 図は、本発明の表示装置の画素の構成を示す回路図である。

10

20

30

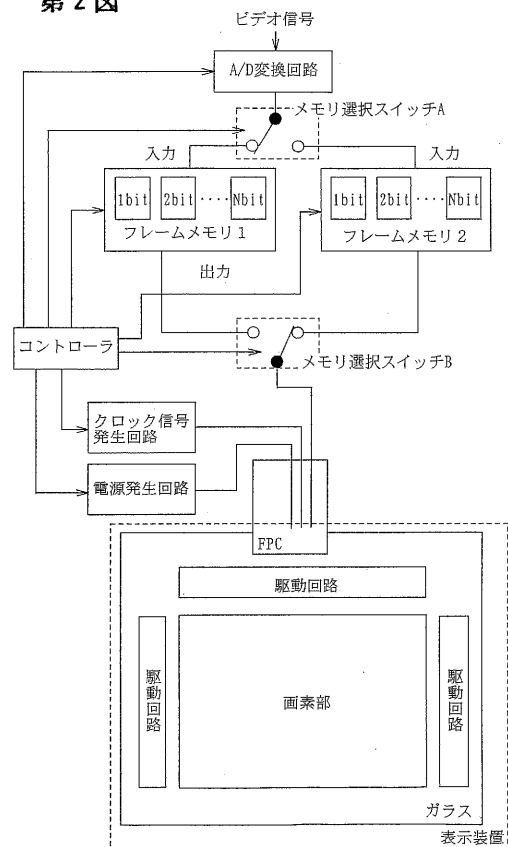
40

50

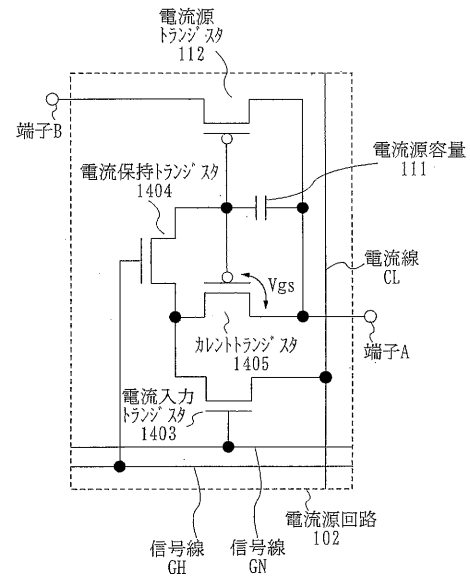
第 77 図は、本発明の表示装置の画素の構成を示す回路図である。

第 79 図は、本発明の表示装置の画素の構成を示す上面図（A）と回路図（B）である。

【図 2】
第 2 図

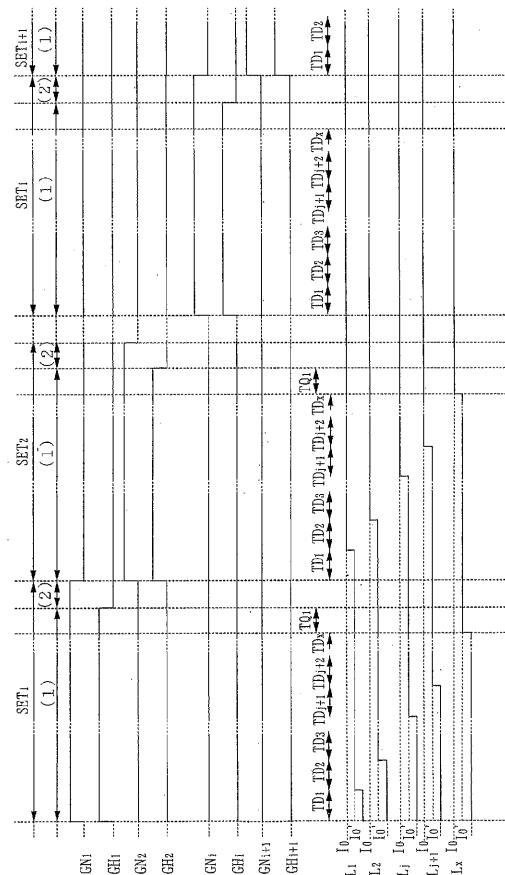


【図 4】
第 4 図

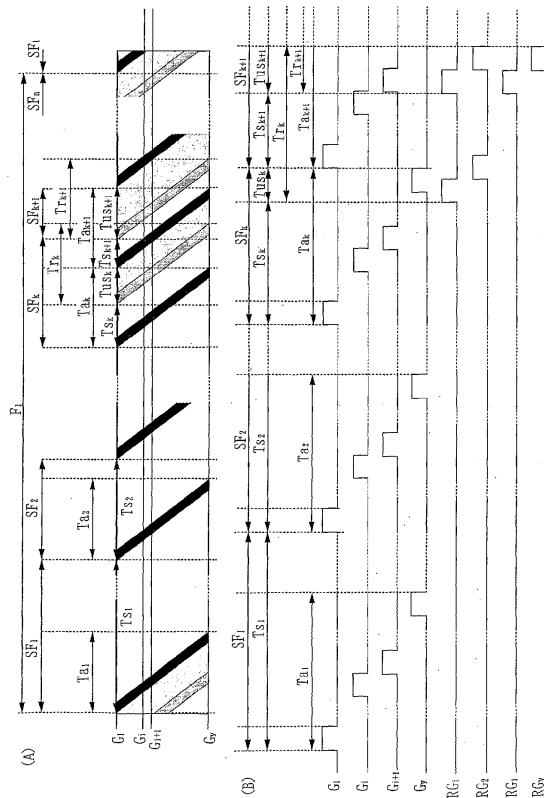


【图 6】

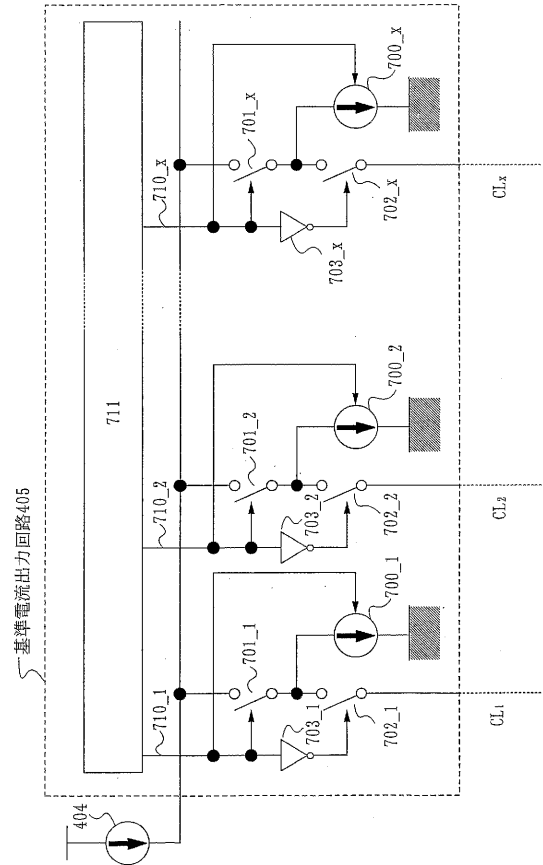
第 6 图



【 図 7 】
第 7 図

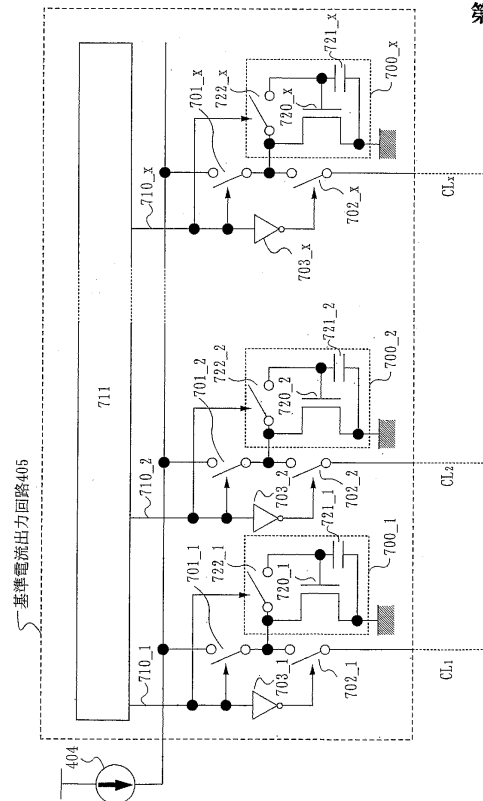


【 図 8 】



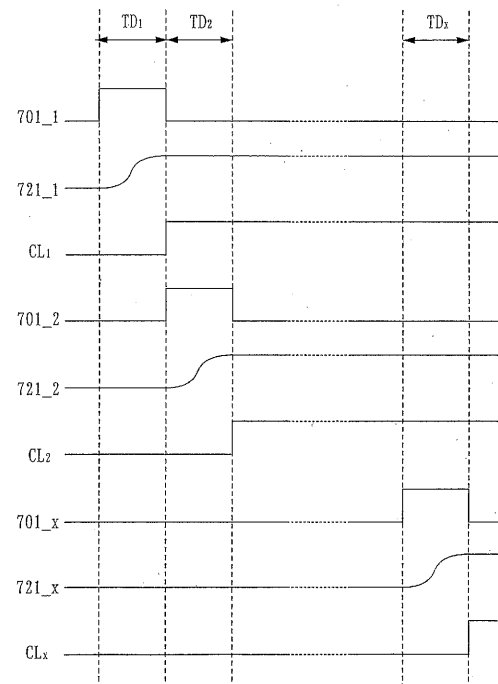
第 8 図

【圖 9】



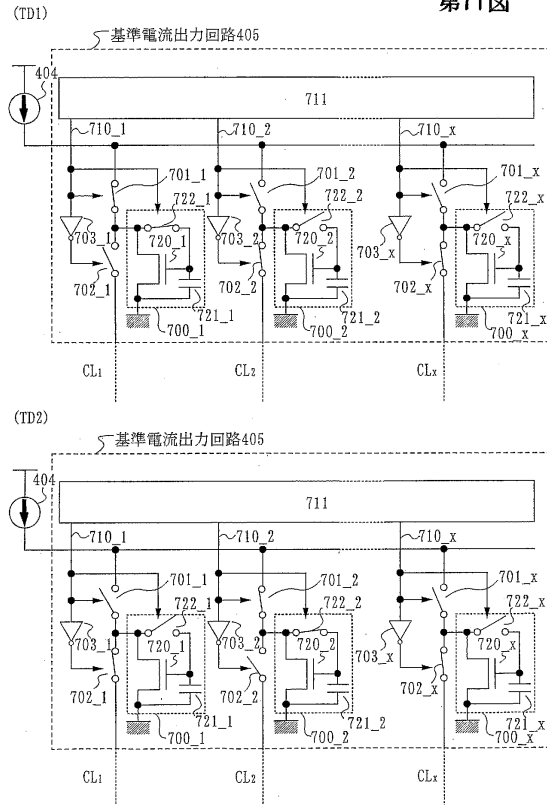
第 9 図

【図 10】
第10図



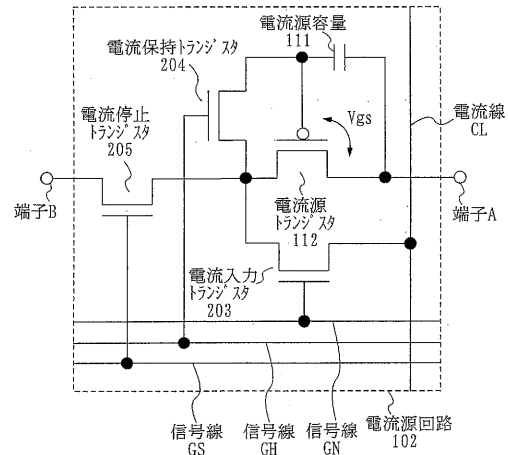
【 図 1 1 】

第11図



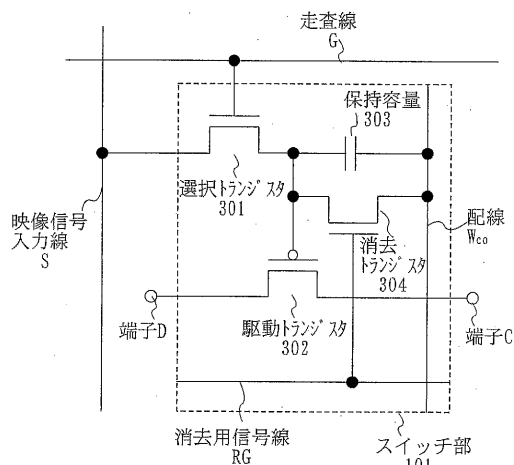
【 図 1 2 】

第12図



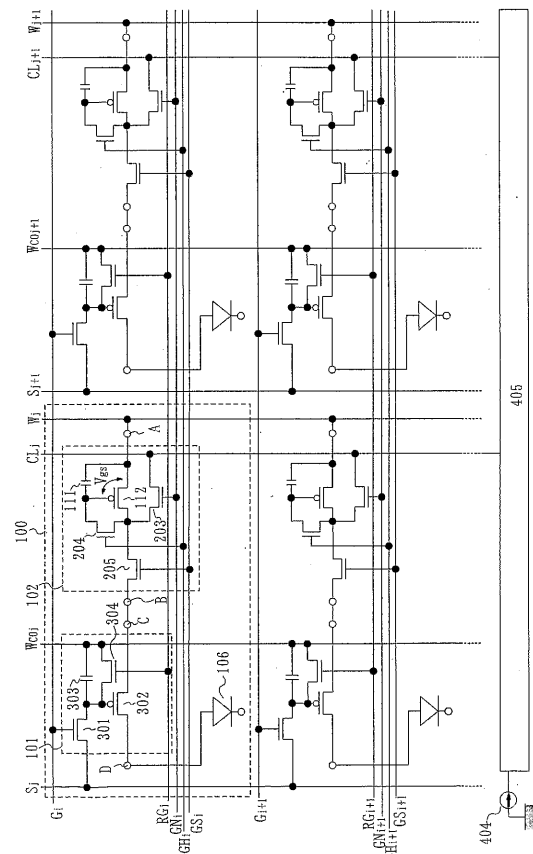
【 圖 1 3 】

第13図



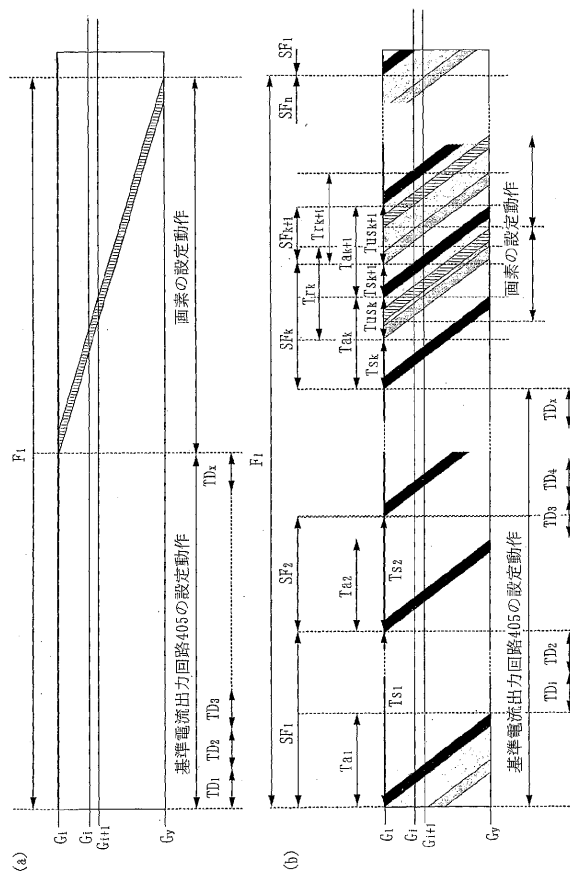
【 図 1 4 】

第14図



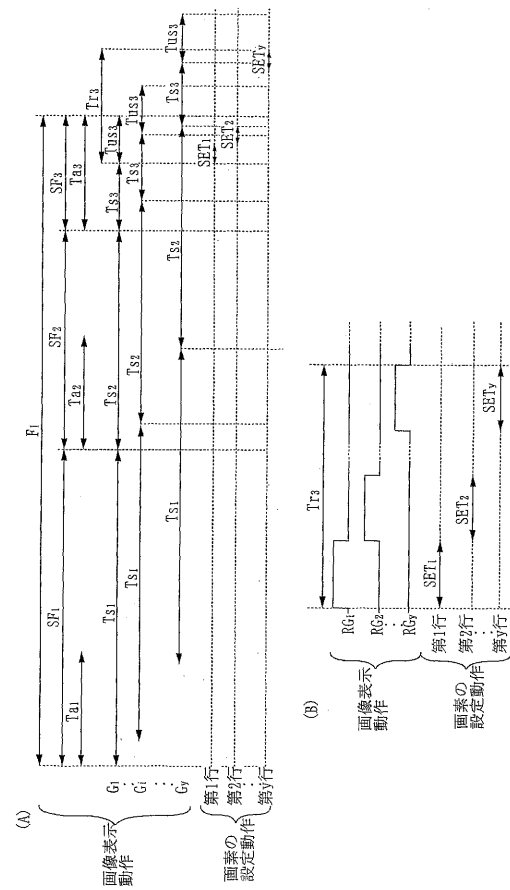
【図15】

第15図



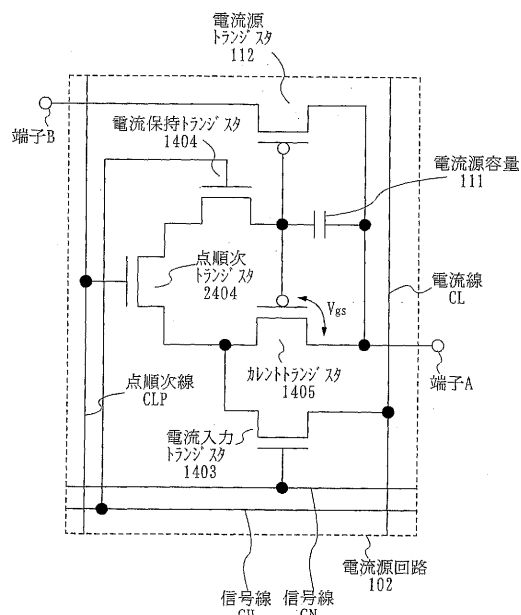
【図16】

第16図



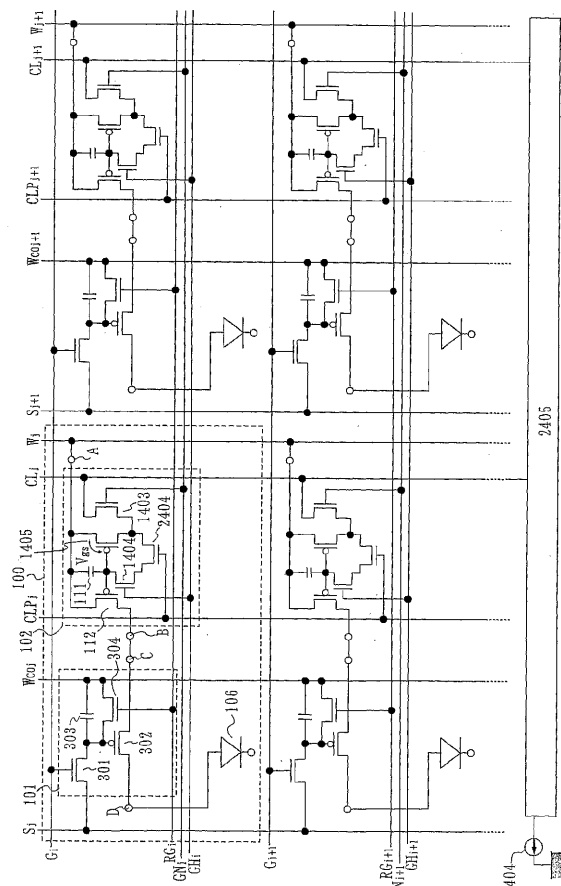
【図17】

第17図

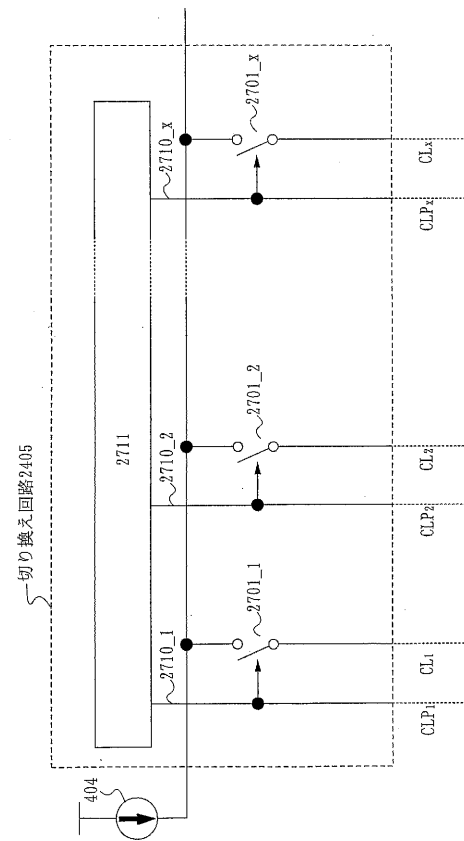


【図18】

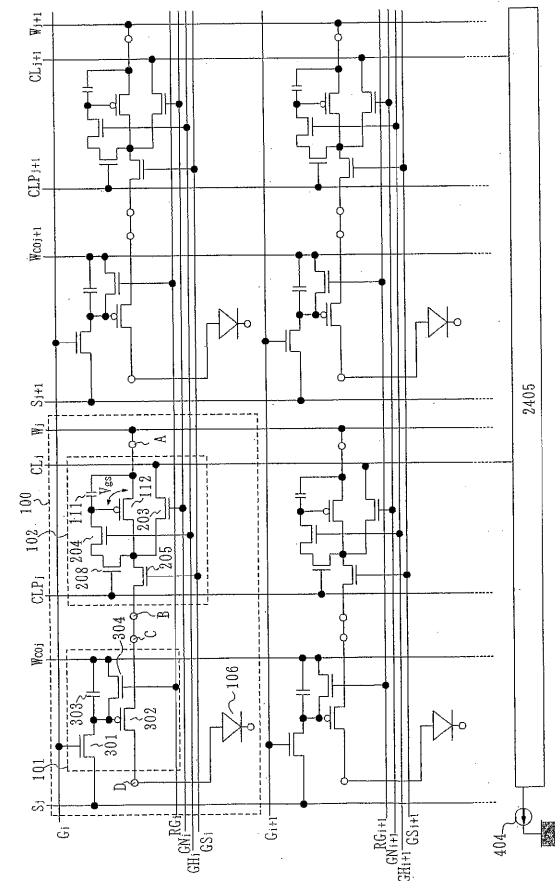
第18図



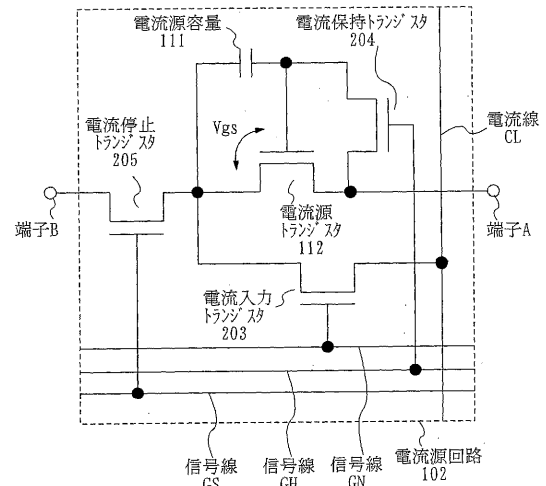
【図 20】
第20図



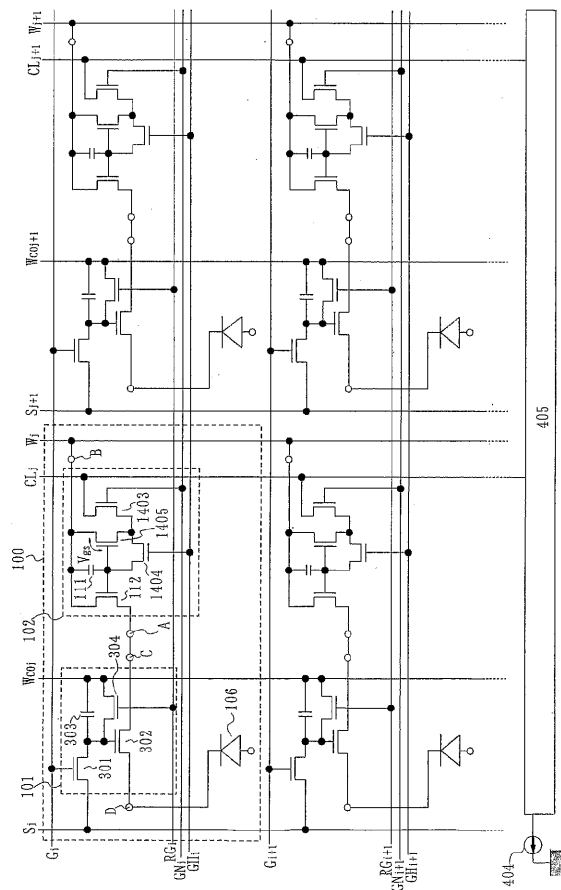
【 図 2 2 】



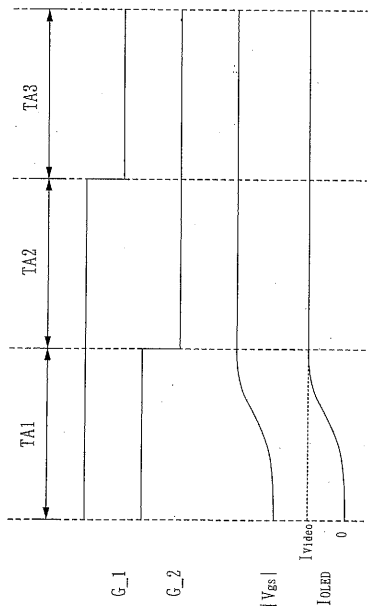
【図24】
第24図



【 図 2 6 】

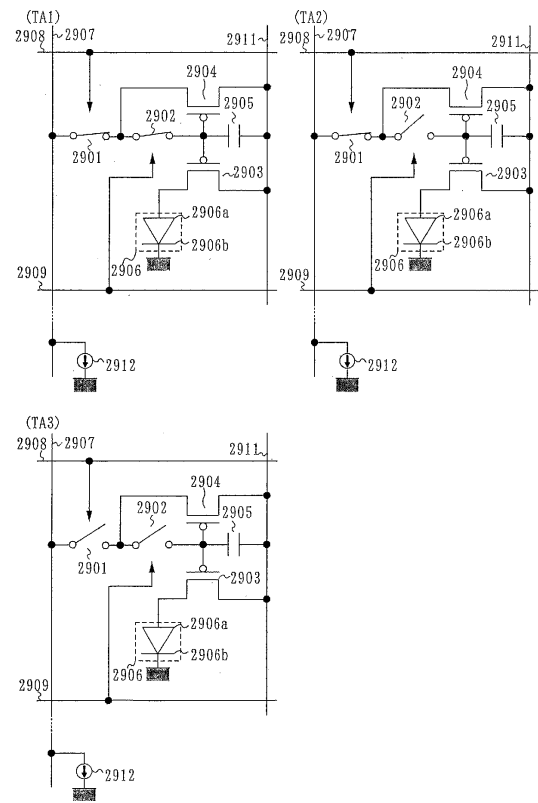


【図 27】
第27図

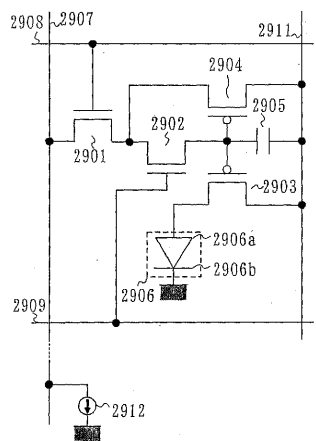


【図 28】

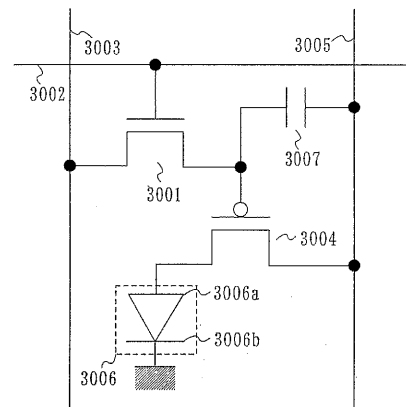
第28図



【図 29】
第29図

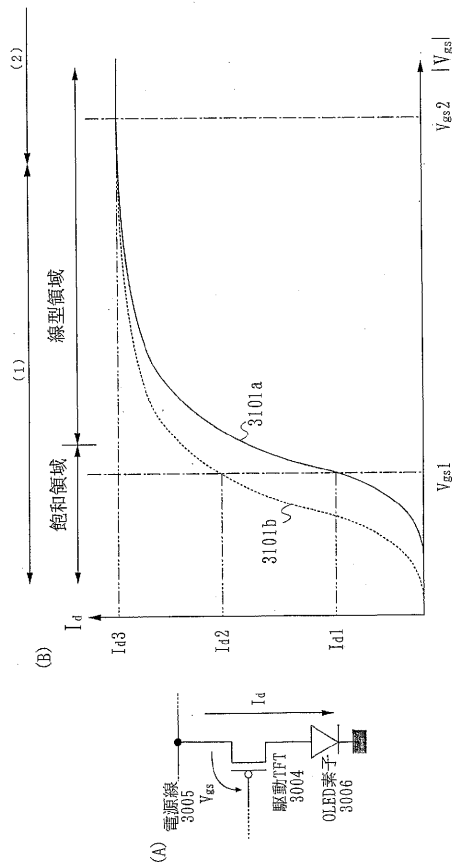


【図 30】
第30図



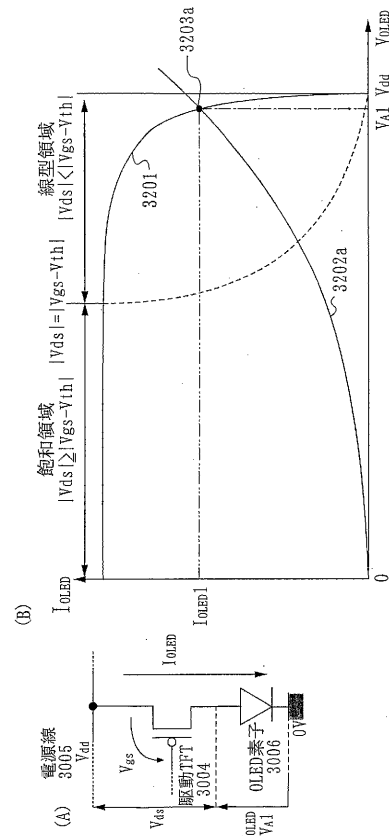
【図 3 1】

第31図



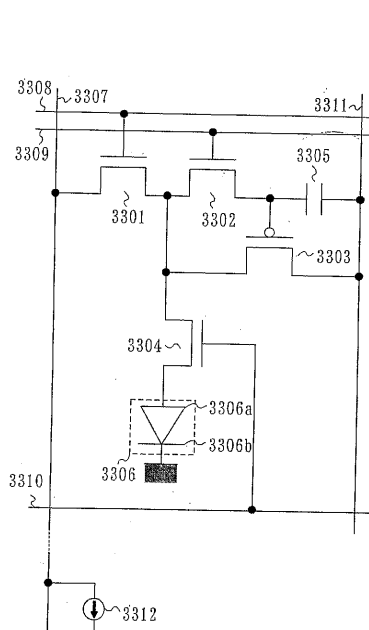
【図 3 2】

第32図



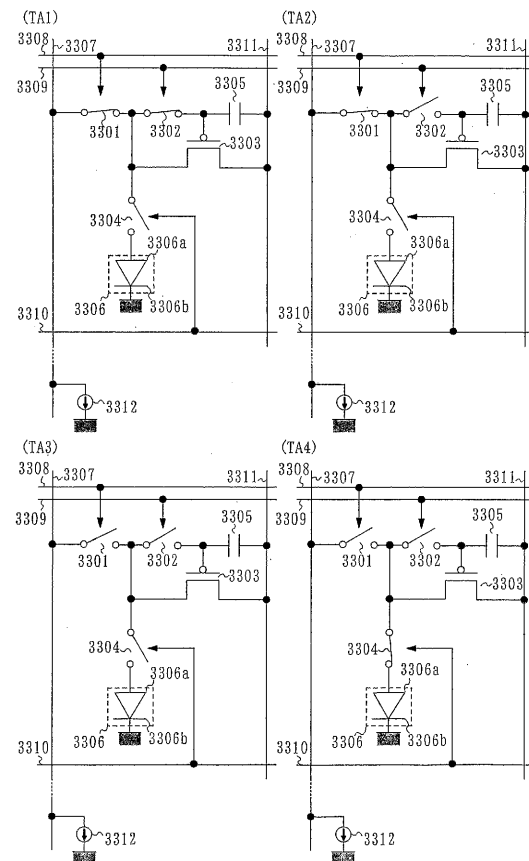
【図 3 3】

第33図

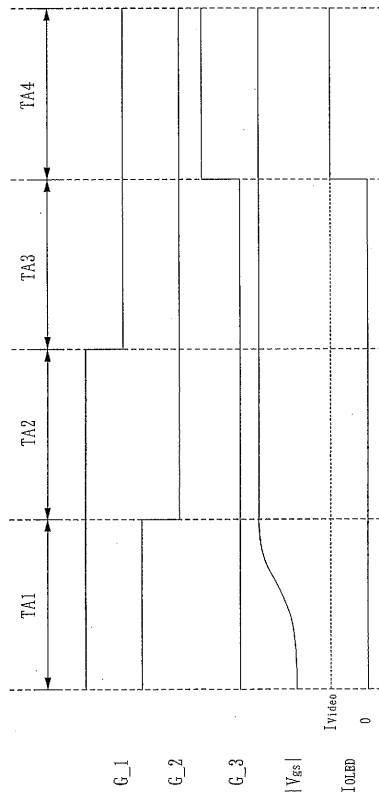


【図 3 4】

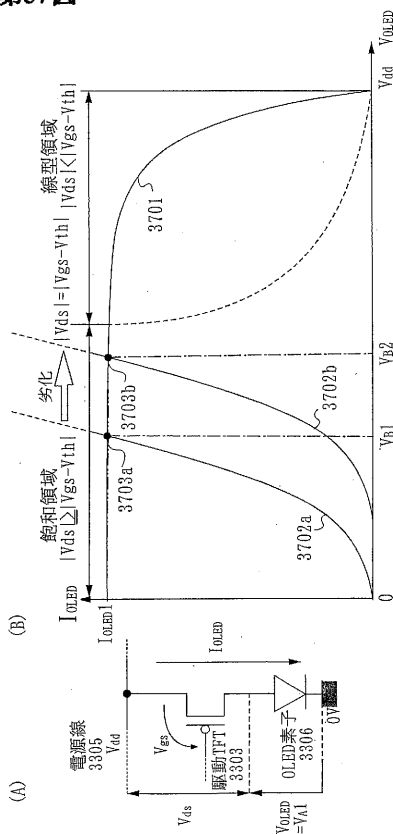
第34図



【図 35】
第35図

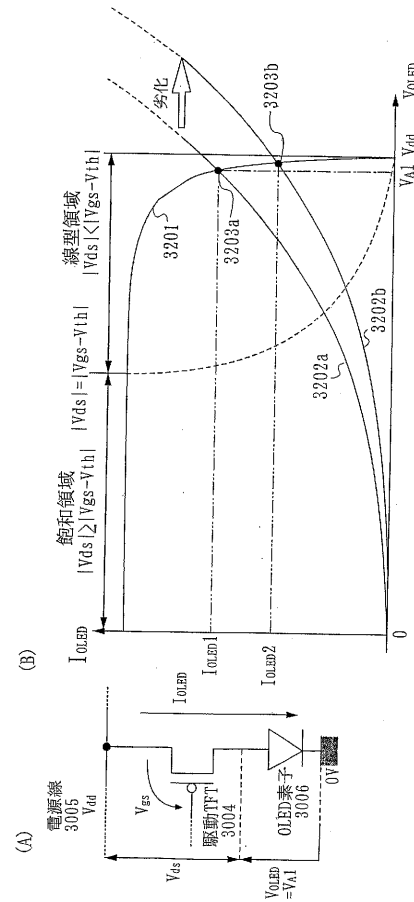


【図 37】
第37図

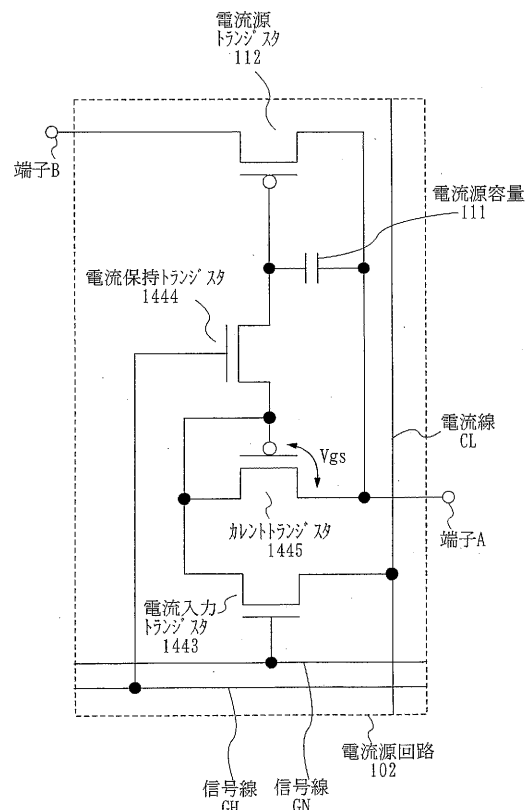


【図 36】

第36図

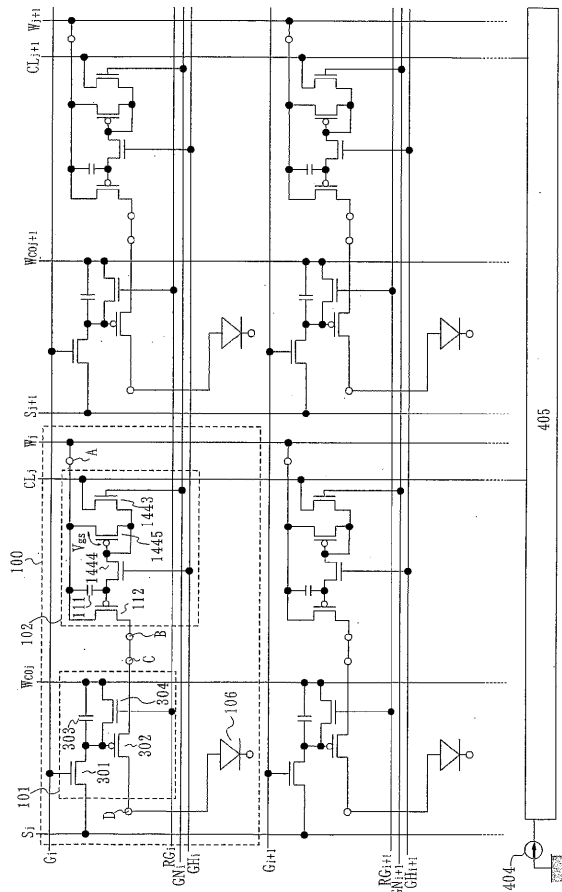


【図 38】
第38図



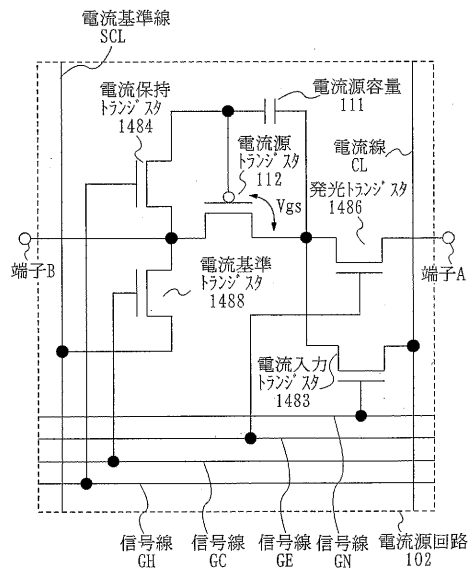
【図39】

第39図



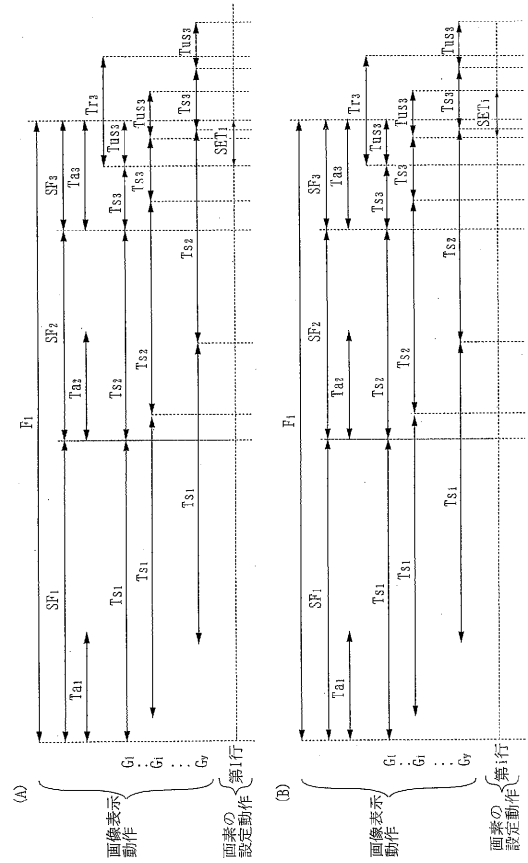
【図41】

第41図



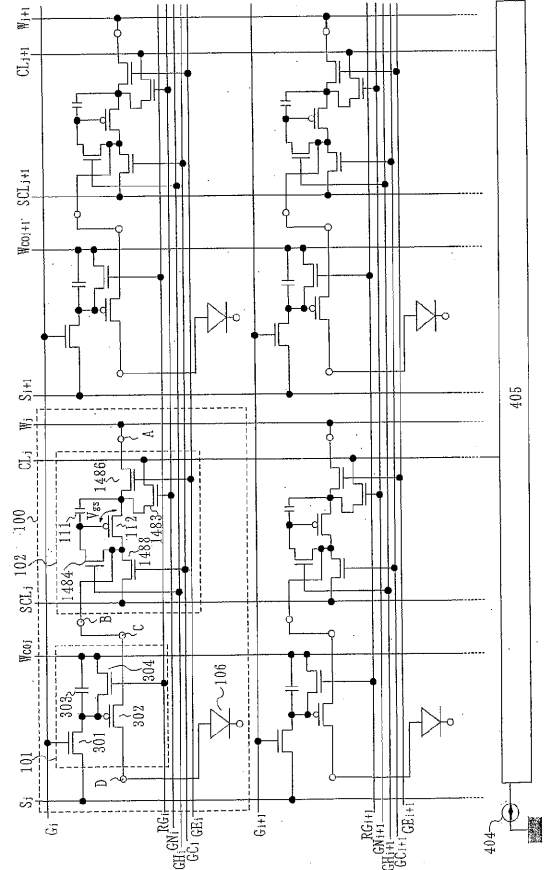
【図40】

第40図

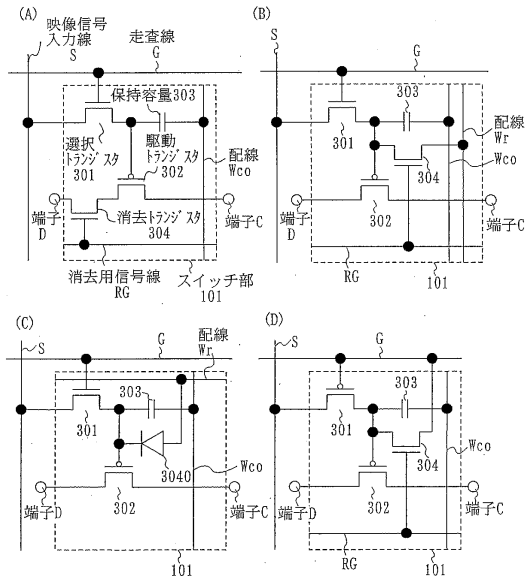


【図42】

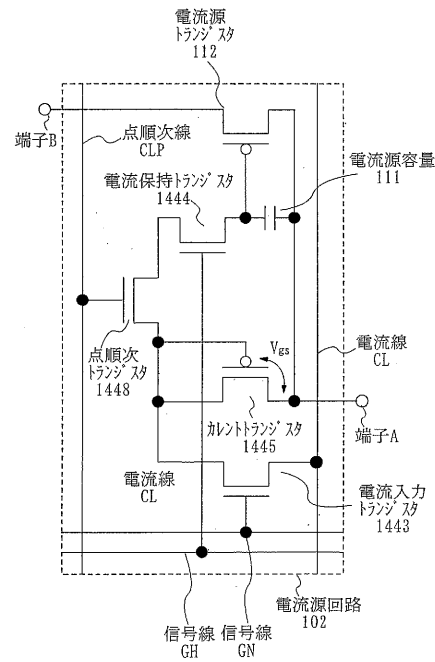
第42図



【図 4 3】
第43図

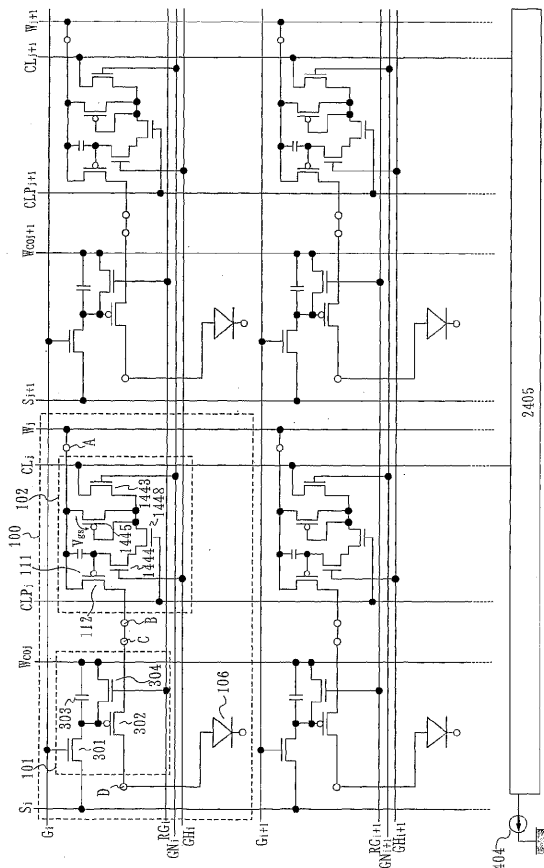


【図 4 4】
第44図

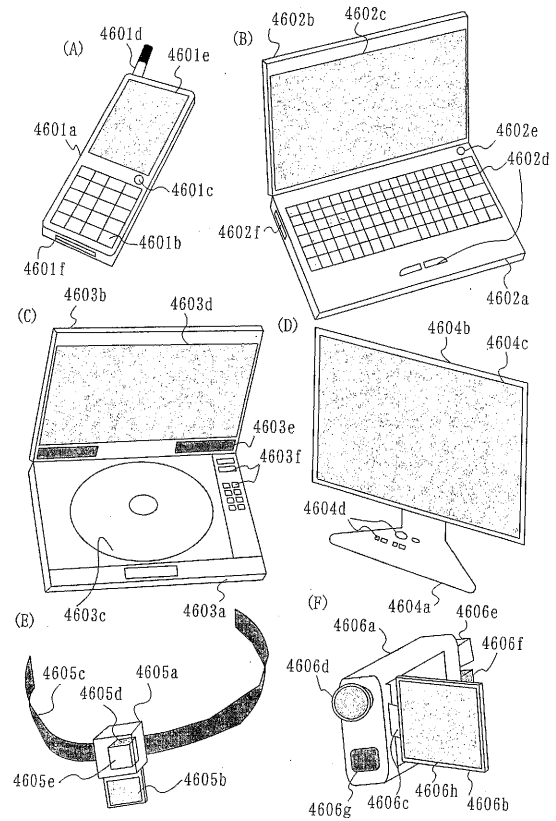


【 図 4 5 】

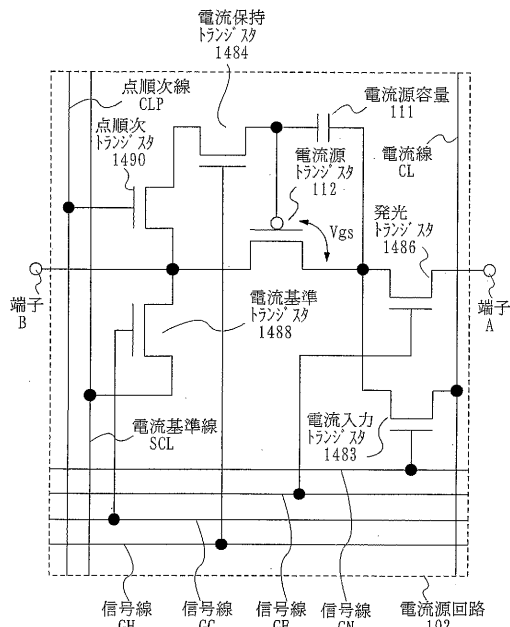
第45図



【図 4 6】
第46図

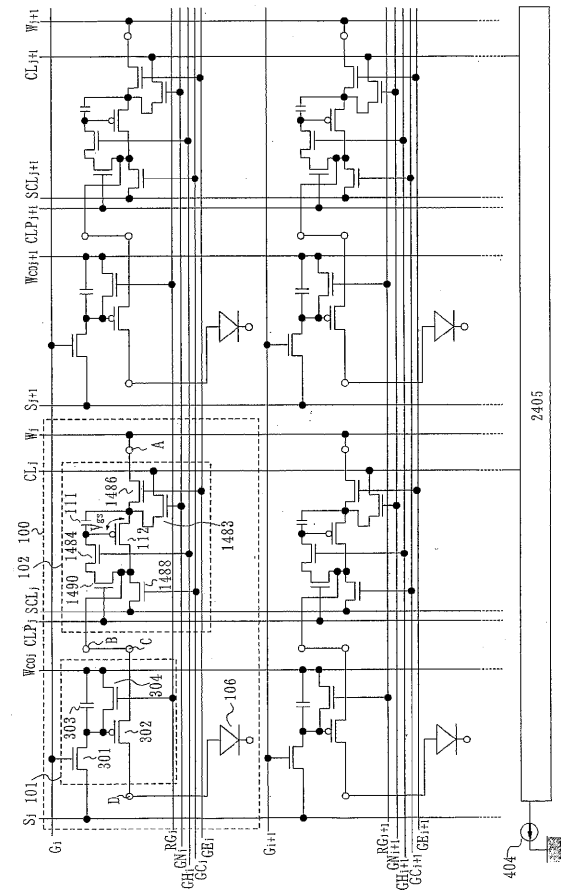


【図 47】
第47図



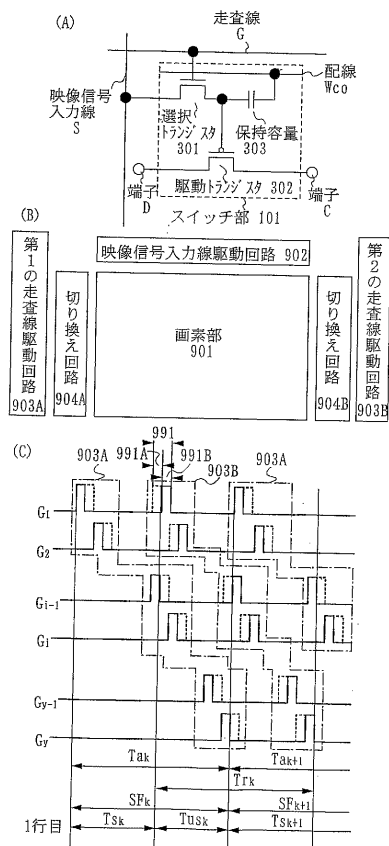
【圖 48】

第48図



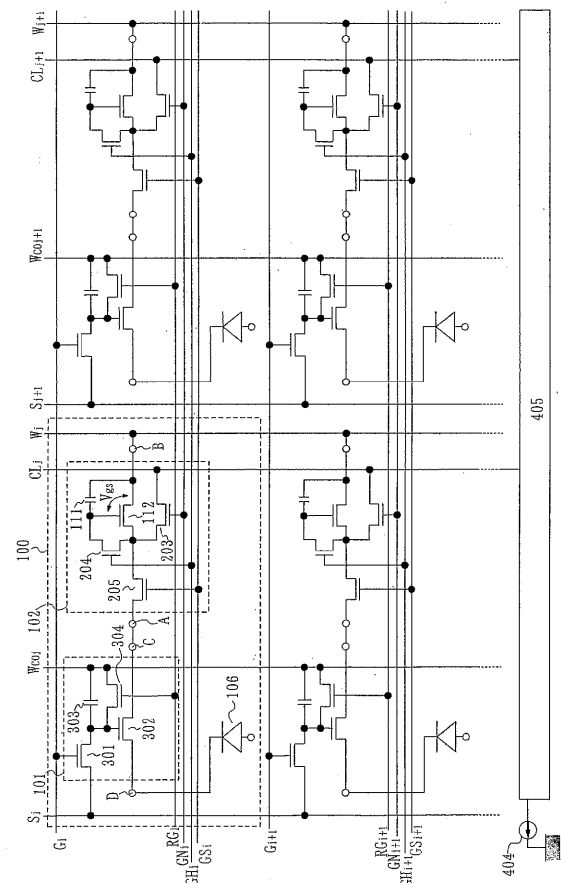
【 図 4 9 】

第49図



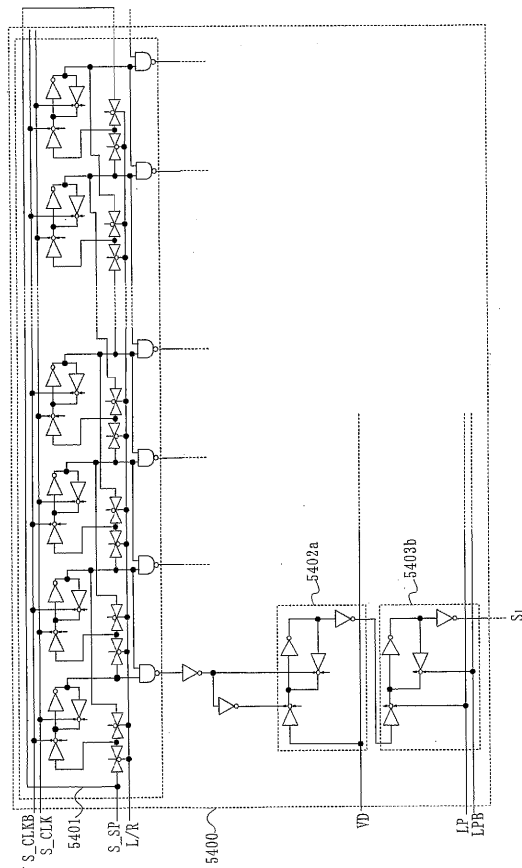
【 図 5 0 】

第50図



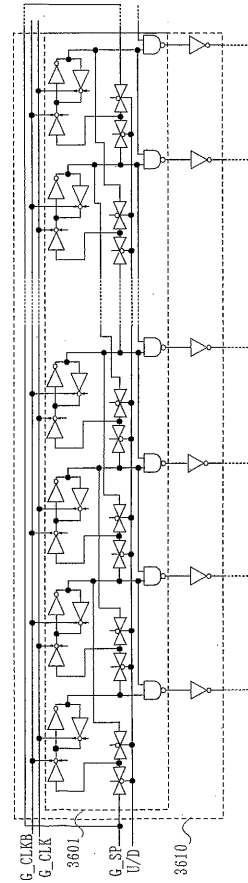
【図55】

第55図



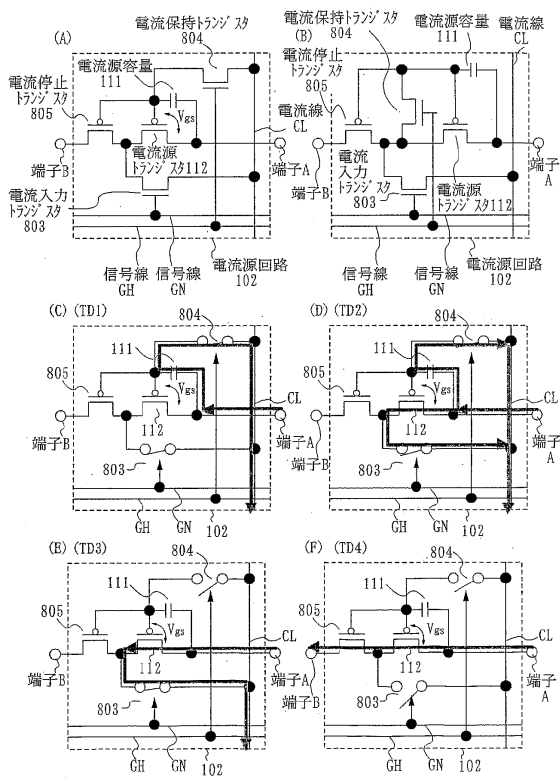
【図56】

第56図



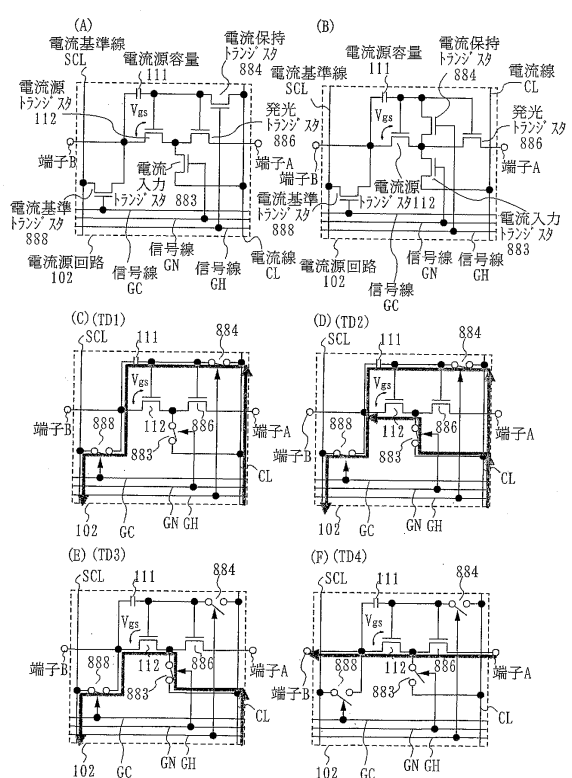
【図57】

第57図

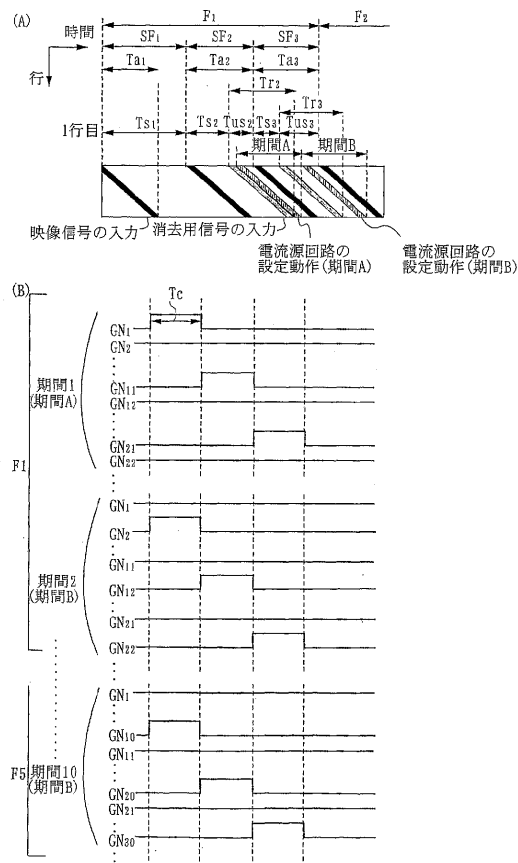


【図58】

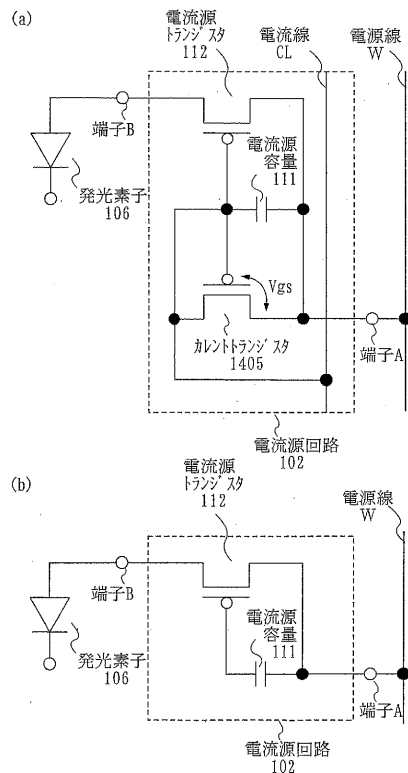
第58図



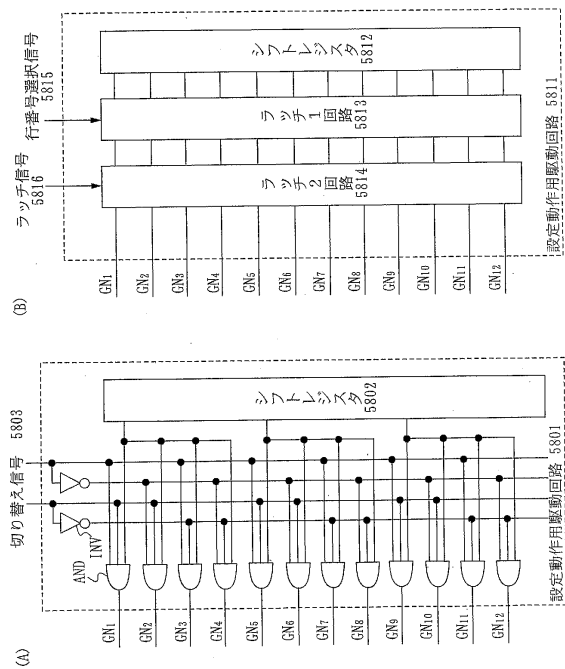
【図 59】
第59図



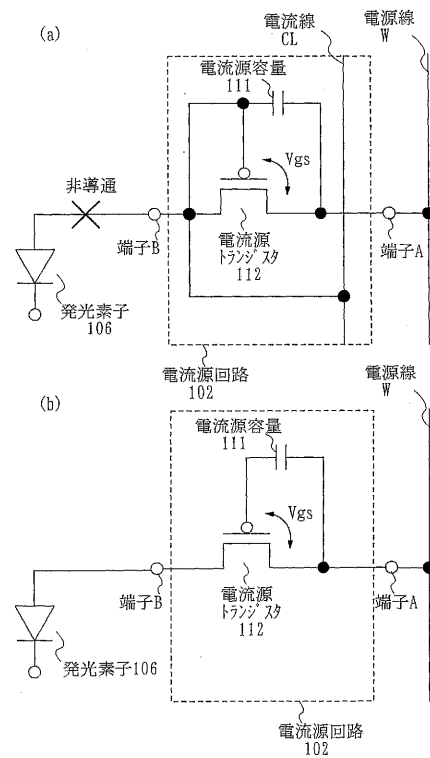
【図 61】
第61図



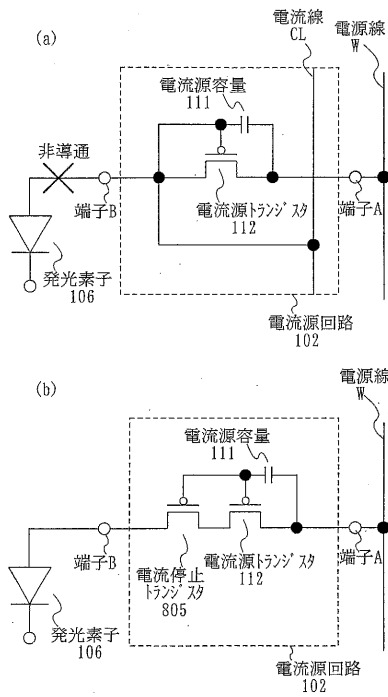
【図 60】
第60図



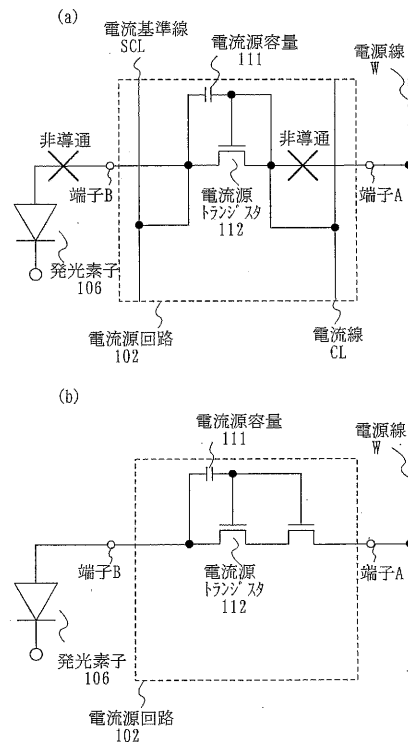
【図 62】
第62図



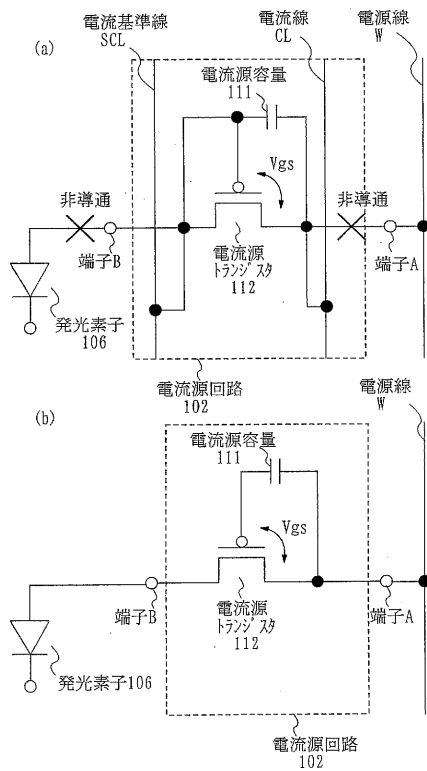
【図 6 3】
第63図



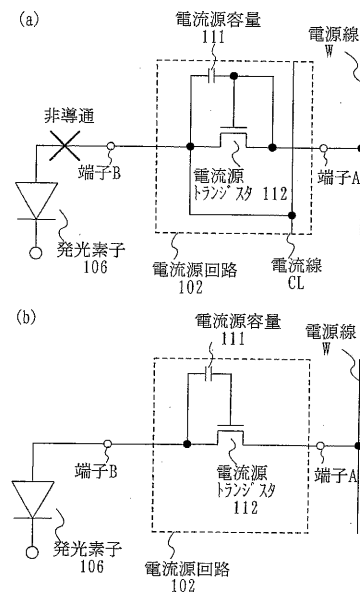
【図 6 4】
第64図



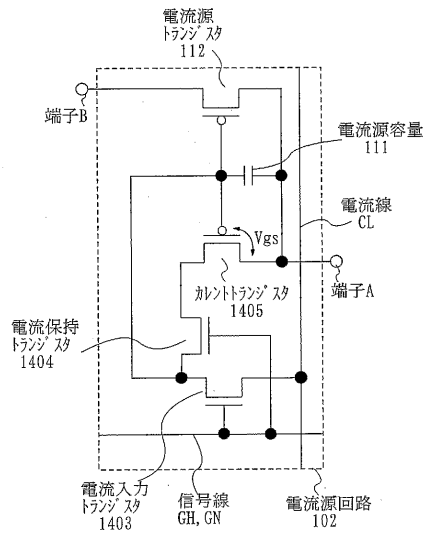
【図 6 5】
第65図



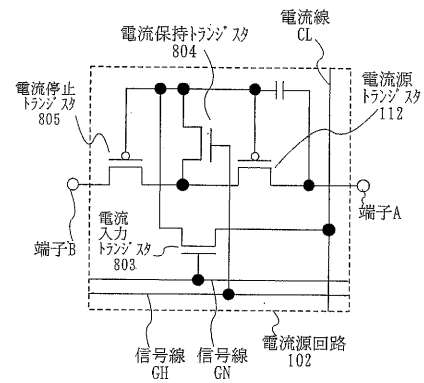
【図 6 6】
第66図



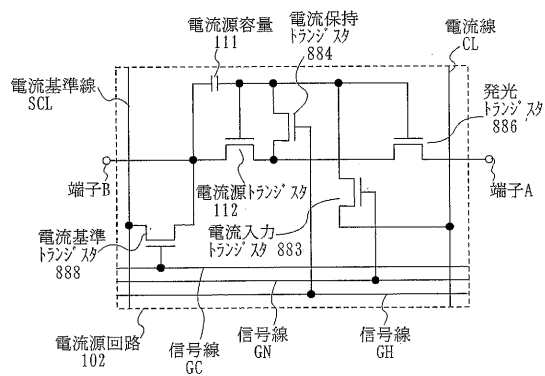
【図 67】
第67図



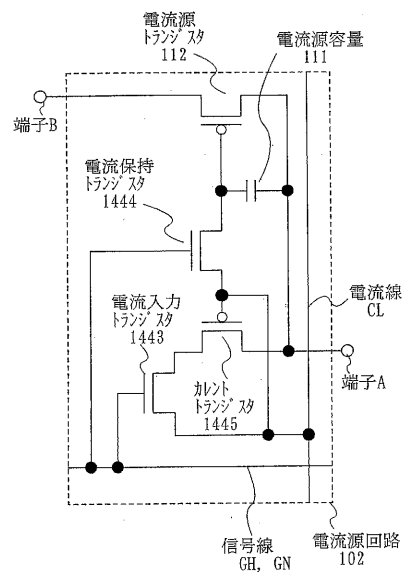
【図 68】
第68図



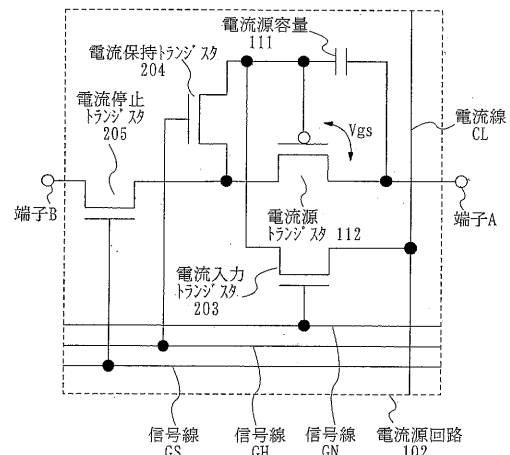
【図 69】
第69図



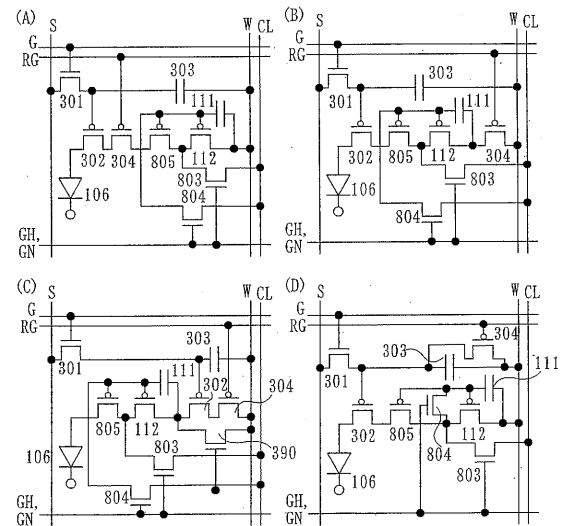
【図 70】
第70図



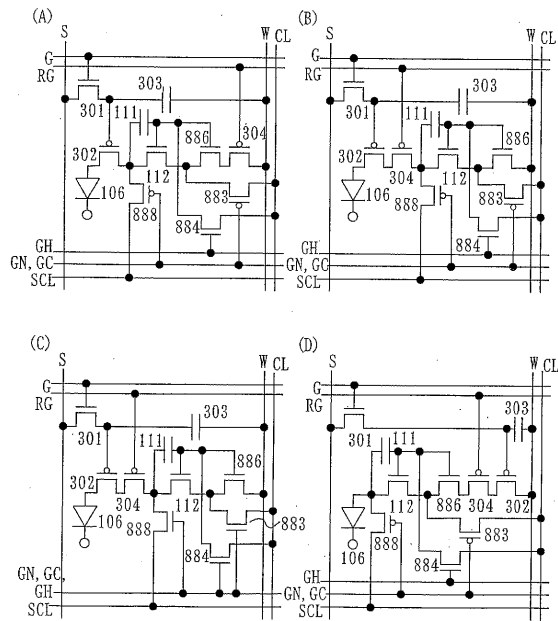
【図 7 2】
第72図



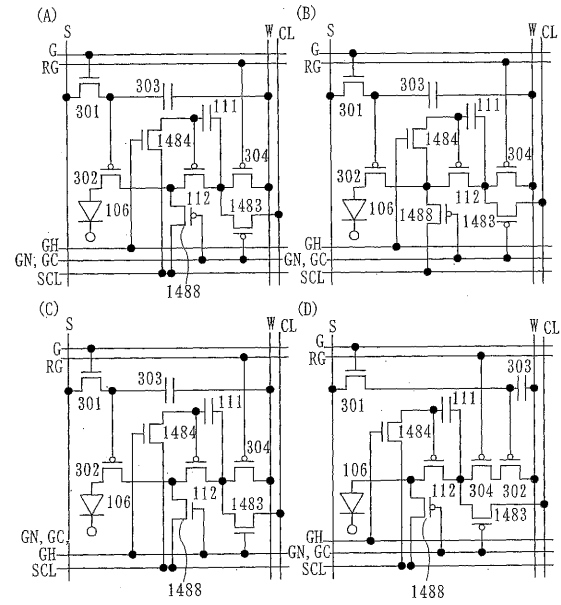
【図 7 4】
第74図



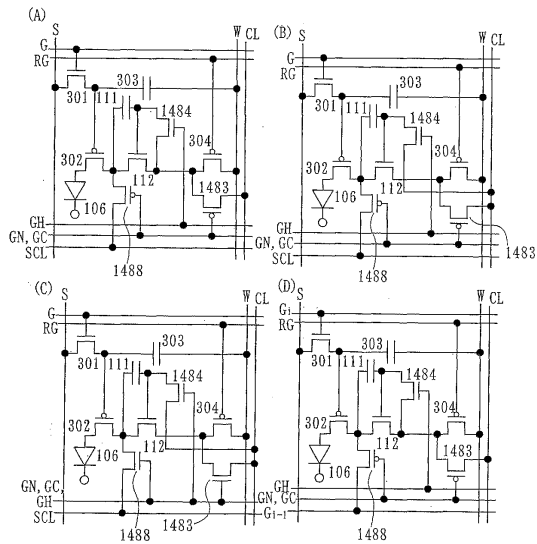
【図 75】
第75図



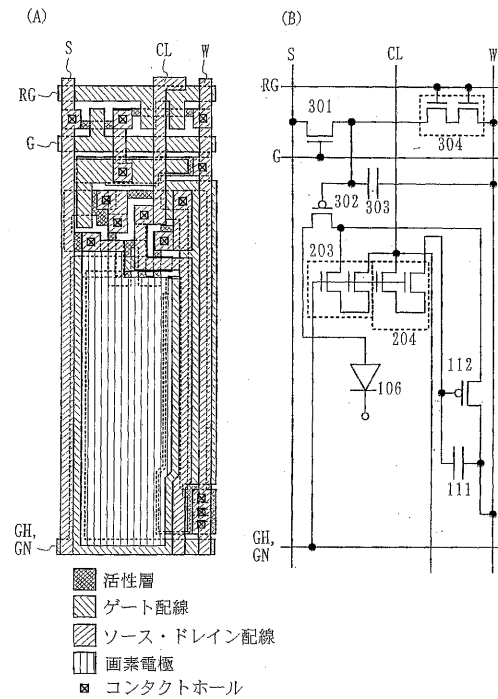
【図 76】
第76図



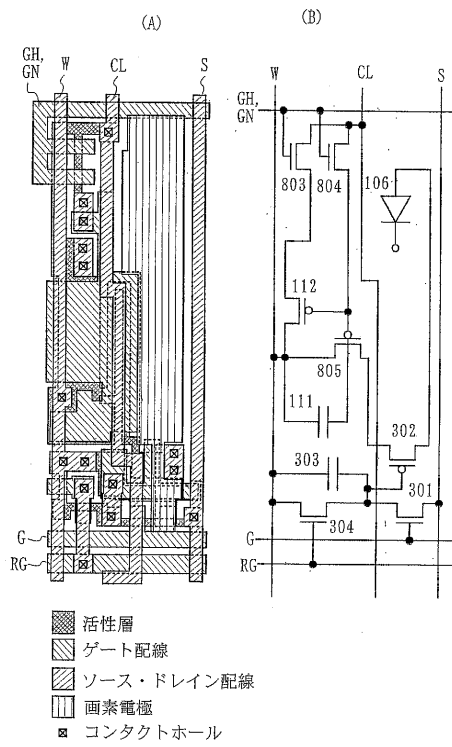
【図 77】
第77図



【図 78】
第78図



【図 79】
第79図



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 J
H 0 5 B 33/14 A

審査官 濱本 禎広

(56)参考文献 特開2003-066909(JP,A)
特開2001-042822(JP,A)
特開2001-060076(JP,A)
特開2001-147659(JP,A)
国際公開第01/006484(WO,A1)
特開平11-282419(JP,A)
特開平08-054835(JP,A)
特開2002-278497(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30,3/20
G09F 9/30
H01L 29/786
H05B 33/14