(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4425365号
(P4425365)

(45)発行日　平成22年3月3日(2010.3.3)　(24)登録日　平成21年12月18日(2009.12.18)

(51)Int.Cl.			F I		
H04N	5/335	(2006.01)	H04N	5/335	Z
H04N	9/07	(2006.01)	H04N	9/07	C

請求項の数 3　(全 20 頁)

(21)出願番号　特願平11-35703
(22)出願日　平成11年2月15日(1999.2.15)
(65)公開番号　特開2000-236484(P2000-236484A)
(43)公開日　平成12年8月29日(2000.8.29)
審査請求日　平成14年9月19日(2002.9.19)
審判番号　不服2007-7661(P2007-7661/J1)
審判請求日　平成19年3月15日(2007.3.15)

(73)特許権者　591128453
株式会社メガチップス
大阪府大阪市淀川区宮原４丁目１番６号
(74)代理人　100088672
弁理士　吉竹　英俊
(74)代理人　100088845
弁理士　有田　貴弘
(72)発明者　佐々木　元
大阪市淀川区宮原４丁目５番３６号　株式会社メガチップス内

合議体
審判長　藤内　光武
審判官　小池　正彦
審判官　佐藤　直樹

最終頁に続く

(54)【発明の名称】画像入力装置における信号処理回路

(57)【特許請求の範囲】

【請求項１】

画像入力装置内において撮像素子によって撮像された２次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第１および第２記憶手段を備え、前記単位画像信号が所定の単位色配列を形成する複数の成分のうちの１成分であり、前記第１記憶手段の各記憶領域に記憶された単位画像信号の配列を、前記単位色配列を保ちつつ右に９０°または左に９０°回転させる回転変換を行って前記第２記憶手段の各記憶領域に記憶するように、前記第１記憶手段の各記憶領域と前記第２記憶手段の各記憶領域とが互いに所定の接続線で直接接続され、

前記単位色配列は、２画素分の輝度成分とそれぞれ１画素分の２つの色成分とからなり、

前記単位色配列を保ちつつ右に９０°または左に９０°回転させる回転変換とは、前記第１記憶手段および前記第２記憶手段の前記各記憶領域に記憶された前記各輝度成分をそれらの間で右に９０°または左に９０°回転させ、前記第１記憶手段の前記記憶領域に記憶された一方の前記色成分を前記第２記憶手段における前記一方の色成分と同じ色成分が記憶された前記記憶領域にコピーし、前記第１記憶手段の前記記憶領域に記憶された他方の前記色成分を前記第２記憶手段における前記他方の色成分と同じ色成分が記憶された前記記憶領域にコピーすることを特徴とする画像入力装置における信号処理回路。

【請求項２】

請求項１に記載の画像入力装置における信号処理回路において、前記回転変換が右にの

み９０°回転させるものであり、前記単位色配列が１つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の１／２である２つの色成分とからなるものであり、

前記第１記憶手段として第１レジスタグループを、前記第２記憶手段として第２レジスタグループを備え、当該第１および第２レジスタグループがそれぞれ第１および第２レジスタを備えるとともに、当該第１および第２レジスタが、前記輝度成分および前記２つの色成分のそれぞれを記憶する第０ないし第３記憶領域をそれぞれ備えるものであって、

前記第１レジスタグループの第１レジスタの第０記憶領域が所定の接続線によって前記第２レジスタグループの第２レジスタの第０記憶領域に直接接続され、

前記第１レジスタグループの第１レジスタの第２記憶領域が所定の接続線によって前記第２レジスタグループの第１レジスタの第０記憶領域に直接接続され、

前記第１レジスタグループの第２レジスタの第０記憶領域が所定の接続線によって前記第２レジスタグループの第２レジスタの第２記憶領域に直接接続され、

前記第１レジスタグループの第２レジスタの第１記憶領域が所定の接続線によって前記第２レジスタグループの第１レジスタの第１記憶領域および前記第２レジスタグループの第２レジスタの第１記憶領域に直接接続され、

前記第１レジスタグループの第２レジスタの第２記憶領域が所定の接続線によって前記第２レジスタグループの第１レジスタの第２記憶領域に直接接続され、

前記第１レジスタグループの第２レジスタの第３記憶領域が所定の接続線によって前記第２レジスタグループの第１レジスタの第３記憶領域および前記第２レジスタグループの第２レジスタの第３記憶領域に直接接続されたことを特徴とする画像入力装置における信号処理回路。

【請求項３】

請求項１に記載の画像入力装置における信号処理回路において、前記回転変換が左にのみ９０°回転させるものであり、前記単位色配列が１つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の１／２である２つの色成分とからなるものであり、

前記第１記憶手段として第１レジスタグループを、前記第２記憶手段として第２レジスタグループを備え、当該第１および第２レジスタグループがそれぞれ第１および第２レジスタを備えるとともに、当該第１および第２レジスタが、前記輝度成分および前記２つの色成分のそれぞれを記憶する第０ないし第３記憶領域をそれぞれ備えるものであって、

前記第１レジスタグループの第１レジスタの第０記憶領域が所定の接続線によって前記第２レジスタグループの第１レジスタの第２記憶領域に直接接続され、

前記第１レジスタグループの第１レジスタの第２記憶領域が所定の接続線によって前記第２レジスタグループの第２レジスタの第２記憶領域に直接接続され、

前記第１レジスタグループの第２レジスタの第０記憶領域が所定の接続線によって前記第２レジスタグループの第１レジスタの第０記憶領域に直接接続され、

前記第１レジスタグループの第２レジスタの第１記憶領域が所定の接続線によって前記第２レジスタグループの第１レジスタの第１記憶領域および前記第２レジスタグループの第２レジスタの第１記憶領域に直接接続され、

前記第１レジスタグループの第２レジスタの第２記憶領域が所定の接続線によって前記第２レジスタグループの第２レジスタの第０記憶領域に直接接続され、

前記第１レジスタグループの第２レジスタの第３記憶領域が所定の接続線によって前記第２レジスタグループの第１レジスタの第３記憶領域および前記第２レジスタグループの第２レジスタの第３記憶領域に直接接続されたことを特徴とする画像入力装置における信号処理回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、主にディジタルスチルカメラ等の画像入力装置内において撮像素子によって

撮像された２次元的に配列された画素単位の信号を変換する画像入力装置における信号処理回路に関する。

【０００２】

【従来の技術】

従来から、ディジタルスチルカメラで撮像された画像に対して、回転、鏡映、色配列変換等の画像処理を施すことが行われている。その際には、撮像された画像データを内部に備わったＣＰＵに読み込み、そこで、ソフトウェアによって上記画像処理を行っている。

【０００３】

【発明が解決しようとする課題】

ところで、ＣＰＵが３２ビットのレジスタを有し、それによって１画素が１バイト（８ビット）等の単位で表現される画像データをソフトウェアで上記画像処理を行う場合には、ＣＰＵの処理単位（３２ビット）と画素の単位（８ビット）が一致していないために、一度画像データをＣＰＵ内の複数のレジスタ上に分解し回転等を行なった後、レジスタ上で３２ビットのデータ（以下、「ワードデータ」と呼ぶ）を再構築、すなわち、８ビットの画像データに余分に２４ビットのダミーのビットを付加した後、メモリまたは記録メディアに格納し、そうして得られた３２ビットの画像データをＣＰＵに読み込んで処理し、処理終了後には再び８ビットのデータに戻して画像データを保存している。そのため、この処理ではワードデータと１バイトのデータの間のデータ変換処理が多く、処理時間が増大していた。

【０００４】

この発明は、従来技術における上述の問題の克服を意図しており、高速に画像の回転、鏡映、色配列変換等の処理を行なうことができる画像入力装置における信号処理回路を提供することを目的とする。

【０００５】

【課題を解決するための手段】

上記の目的を達成するため、請求項１の発明は、画像入力装置内において撮像素子によって撮像された２次元的に配列された所定単位の単位画像信号と同じビット数の記憶領域を複数備える第１および第２記憶手段を備え、前記単位画像信号が所定の単位色配列を形成する複数の成分のうちの１成分であり、前記第１記憶手段の各記憶領域に記憶された単位画像信号の配列を、前記単位色配列を保ちつつ右に９０°または左に９０°回転させる回転変換を行って前記第２記憶手段の各記憶領域に記憶するように、前記第１記憶手段の各記憶領域と前記第２記憶手段の各記憶領域とが互いに所定の接続線で直接接続され、前記単位色配列は、２画素分の輝度成分とそれぞれ１画素分の２つの色成分とからなり、前記単位色配列を保ちつつ右に９０°または左に９０°回転させる回転変換とは、前記第１記憶手段および前記第２記憶手段の前記各記憶領域に記憶された前記各輝度成分をそれらの間で右に９０°または左に９０°回転させ、前記第１記憶手段の前記記憶領域に記憶された一方の前記色成分を前記第２記憶手段における前記一方の色成分と同じ色成分が記憶された前記記憶領域にコピーし、前記第１記憶手段の前記記憶領域に記憶された他方の前記色成分を前記第２記憶手段における前記他方の色成分と同じ色成分が記憶された前記記憶領域にコピーするものである。

【００１１】

また、請求項２の発明は、請求項１に記載の画像入力装置における信号処理回路において、回転変換が右にのみ９０°回転させるものであり、単位色配列が１つの輝度成分と水平または垂直方向における配置の周波数が輝度成分の１／２である２つの色成分とからなるものであり、第１記憶手段として第１レジスタグループを、第２記憶手段として第２レジスタグループを備え、当該第１および第２レジスタグループがそれぞれ第１および第２レジスタを備えるとともに、当該第１および第２レジスタが、輝度成分および２つの色成分のそれぞれを記憶する第０ないし第３記憶領域をそれぞれ備えるものであって、第１レジスタグループの第１レジスタの第０記憶領域が所定の接続線によって第２レジスタグループの第２レジスタの第０記憶領域に直接接続され、第１レジスタグループの第１レジス

タの第２記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第０記憶領域に直接接続され、第１レジスタグループの第２レジスタの第０記憶領域が所定の接続線によって第２レジスタグループの第２レジスタの第２記憶領域に直接接続され、第１レジスタグループの第２レジスタの第１記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第１記憶領域および第２レジスタグループの第２レジスタの第１記憶領域に直接接続され、第１レジスタグループの第２レジスタの第２記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第２記憶領域に直接接続され、第１レジスタグループの第２レジスタの第３記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第３記憶領域および第２レジスタグループの第２レジスタの第３記憶領域に直接接続されている。

【００１２】

また、請求項３の発明は、請求項１に記載の画像入力装置における信号処理回路において、回転変換が左にのみ９０°回転させるものであり、単位色配列が１つの輝度成分と水平または垂直方向における配置の周波数が輝度成分の１／２である２つの色成分とからなるものであり、第１記憶手段として第１レジスタグループを、第２記憶手段として第２レジスタグループを備え、当該第１および第２レジスタグループがそれぞれ第１および第２レジスタを備えるとともに、当該第１および第２レジスタが、輝度成分および２つの色成分のそれぞれを記憶する第０ないし第３記憶領域をそれぞれ備えるものであって、第１レジスタグループの第１レジスタの第０記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第２記憶領域に直接接続され、第１レジスタグループの第１レジスタの第２記憶領域が所定の接続線によって第２レジスタグループの第２レジスタの第２記憶領域に直接接続され、第１レジスタグループの第２レジスタの第０記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第０記憶領域に直接接続され、第１レジスタグループの第２レジスタの第１記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第１記憶領域および第２レジスタグループの第２レジスタの第１記憶領域に直接接続され、第１レジスタグループの第２レジスタの第２記憶領域が所定の接続線によって第２レジスタグループの第２レジスタの第０記憶領域に直接接続され、第１レジスタグループの第２レジスタの第３記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第３記憶領域および第２レジスタグループの第２レジスタの第３記憶領域に直接接続されている。

【００１９】

【発明の実施の形態】

以下、この発明の実施の形態を図面に基づいて説明する。

【００２０】

＜１．第１の実施の形態＞

図１はこの発明の一の実施の形態に係るディジタルスチルカメラを示す図である。このディジタルスチルカメラは、図１の如く、ＣＣＤ（撮像素子）２１で撮像した画像をアナログ信号処理回路２２で取り込んでＡ／Ｄ変換し、このディジタル化された画像についての画素補間、色変換、輪郭強調処理、フィルタリング及び間引き処理等の所定の一般画像処理をリアルタイムプロセッシングユニット（ＲＰＵ）２３でリアルタイム処理（実時間処理）にて高速に実行すると共に、回転、鏡映、色配列変換、ＪＰＥＧ圧縮処理等を含む例外的画像処理をＣＰＵ（中央制御部）２４および本発明の信号処理回路に相当するコプロセッサ２５で実行した後、外部インターフェース（Ｉ／Ｆ）２６を通じて所定の処理装置（パーソナルコンピュータ）等に出力し、併せて、当該画像をディスプレイ駆動回路２７ａを通じてファインダーとしてのＬＣＤ２７に表示し、またＤＲＡＭまたはＳＤＲＡＭ等の一般的な主メモリ２９等に格納するようになっている。この際、ファインダー（ＬＣＤ２７）への画像供給に関しては若干の解像度を落とすなどの所定の処理をリアルタイムプロセッシングユニット２３で行った後、次々と画像を出力することで、ファインダー２７での画像表示を行うが、操作部２８における図示しない撮像釦等が操作者によって押操作されたときには、主メモリ２９内の詳細な画像をメモリカード３０等の記録装置（Storag

e Media）に一気に格納するようになっている。

【００２１】

そして、アナログ信号処理回路２２を通じて与えられた画像については、リアルタイム処理を行う場合は途中の画素配列データを主メモリ２９に蓄えずにＲＰＵ２３で直接的に処理を行う一方、リアルタイム処理を行わない場合には、操作者の操作部２８を通じての各種画像処理命令（後述する右回転命令および左回転命令を含む）により上記の回転、鏡映、色配列変換、ＪＰＥＧ圧縮処理等の処理がＣＰＵ２４およびコプロセッサ２５で施されて一旦主メモリ２９の図示しないＣＣＤデータバッファ（CCD Data Buffer）に画素配列データとして蓄えられ、その画素配列データを再度ダイレクトメモリアクセス（ＤＭＡ）でリアルタイムプロセッシングユニット２３に入力してやることで、高速に処理を行うようになっている。ここで、ＣＰＵ２４は内部に３２ビット長のレジスタを有し、３２ビット（１ワード）単位でデータ処理を行うものとなっているとともに、上記のリアルタイムに行わない処理のうち、回転、鏡映、色配列変換処理についてはＣＰＵ２４におけるソフトウェアによる処理ではなく、後に詳述するこれらの処理専用の回路を備えるコプロセッサ２５によって高速かつ低消費電力に行われる。

【００２２】

また、リアルタイムプロセッシングユニット２３、ＣＰＵ２４、外部インターフェース２６等は、主メモリ２９、メモリカード３０及びＪＰＥＧ処理部３１とともにメインバスＭＢにバス接続されており、これらのデータ相互の受け渡しに際してＣＰＵ２４の負荷を低減すべく、このＣＰＵ２４を介さずにダイレクトメモリアクセス（ＤＭＡ）コントローラ３２の制御に基づいて各要素間のメインバスＭＢを通じたデータの授受を行っている。

【００２３】

なお、図１中の符号３０ａはオートフォーカス機能付きのレンズや絞り機構等を有する光学機構、符号３０ｂはストロボ、符号３０ｃはＣＣＤ２１を駆動するＣＣＤ駆動回路、符号３０ｄはリアルタイムプロセッシングユニット２３及びＣＣＤ駆動回路３０ｃ等の動作タイミングを規律するためのタイミングジェネレータ（ＴＧ）、符号３０ｅはＰＬＬ発信回路をそれぞれ示している。

【００２４】

つぎに、この発明の主要部であるコプロセッサ２５について説明する。図２は第１の実施の形態におけるコプロセッサ２５のレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。図示のようにこのコプロセッサ２５は、この発明の記憶手段に相当するレジスタグループＲＧ１～ＲＧ３を備えている。そして、各レジスタグループはそれぞれ４つの記憶素子に相当するレジスタを備えている。すなわち、レジスタグループＲＧ１～ＲＧ３はそれぞれレジスタＲ１～Ｒ４を備えている。さらに、各レジスタＲ１～Ｒ４はそれぞれ３２ビットすなわち１ワード（４バイト）のレジスタである。

【００２５】

そして、このディジタルスチルカメラでは画素単位の画像データは８ビット（１バイト）で表わされた単色の階調信号であり、各レジスタは第０～第３バイトＢ３に８ビット（１バイト）ずつ、すなわち、レジスタ内の各ビットを第０ビット～第３１ビットと呼ぶとき、第０～第７ビット、第８～第１５ビット、第１６～第２３ビットおよび第２４～第３１ビットをそれぞれ第０バイトＢ０、第１バイトＢ１、第２バイトＢ２および第３バイトＢ３と呼び、それら各バイトに１画素ずつ画像データ（この発明の単位画像信号に相当）が読み込まれる。すなわち、各レジスタグループＲＧ１～ＲＧ３それぞれの各レジスタＲ１～Ｒ４内において、単位となる１画素の画像データと同じビット数の領域に各画素の画像データが記憶されるようになっている。

【００２６】

なお、各レジスタグループＲＧ１～ＲＧ３それぞれの各レジスタＲ１～Ｒ４は、ＣＰＵ２４から画像データを読み込んだり、逆にＣＰＵ２４に出力したりするために、それぞれ直接ＣＰＵ２４に電気的に接続されている。これによりレジスタグループＲＧ１～ＲＧ３の各レジスタＲ１～Ｒ４の各バイトＢ０～Ｂ３はＣＰＵ２４を介して間接的に主メモリ２９

に接続されている。

【００２７】

また、レジスタグループＲＧ１とＲＧ２およびＲＧ２とＲＧ３の各レジスタＲ１～Ｒ４の第０～第３バイトＢ３は以下に示すように互いに所定の接続線で電気的に直接接続されている。すなわち、レジスタグループＲＧ１のすべてのレジスタの第０バイトＢ０がレジスタグループＲＧ２のレジスタＲ４の第０バイトＢ０から第３バイトＢ３に接続され、レジスタグループＲＧ１のすべてのレジスタの第１バイトＢ１がレジスタグループＲＧ２のレジスタＲ３の第０バイトＢ０から第３バイトＢ３に接続され、レジスタグループＲＧ１のすべてのレジスタの第２バイトＢ２がレジスタグループＲＧ２のレジスタＲ２の第０バイトＢ０から第３バイトＢ３に接続され、レジスタグループＲＧ１のすべてのレジスタの第３バイトＢ３がレジスタグループＲＧ２のレジスタＲ１の第０バイトＢ０から第３バイトＢ３に接続されている。また、レジスタグループＲＧ２のレジスタＲ１の第０バイトＢ０から第３バイトＢ３がそれぞれレジスタグループＲＧ３のレジスタＲ１の第３バイトＢ３から第０バイトＢ０に接続され、レジスタグループＲＧ２のレジスタＲ２の第０バイトＢ０から第３バイトＢ３がそれぞれレジスタグループＲＧ３のレジスタＲ２の第３バイトＢ３から第０バイトＢ０に接続され、レジスタグループＲＧ２のレジスタＲ３の第０バイトＢ０から第３バイトＢ３がそれぞれレジスタグループＲＧ３のレジスタＲ３の第３バイトＢ３から第０バイトＢ０に接続され、レジスタグループＲＧ２のレジスタＲ４の第０バイトＢ０から第３バイトＢ３がそれぞれレジスタグループＲＧ３のレジスタＲ４の第３バイトＢ３から第０バイトＢ０に接続されている。

【００２８】

このように各レジスタグループは接続されているため、以下に示すように、各レジスタグループ間で画像データを転送することにより、画像に対して右９０°回転、左９０°回転および画像について左右方向（水平方向）の鏡映といった画像処理を高速に行うものとなっている。

【００２９】

図３は第１の実施の形態におけるコプロセッサ２５による回転処理を説明するための図であり、図３（ａ）～（ｃ）は右９０°回転の様子を示す図、図３（ｄ）～図３（ｆ）は左９０°回転の様子を示す図である。まず、主メモリ２９に図３（ａ）のように記憶された４ワードの画像データがＣＰＵ２４を介してレジスタグループＲＧ２に図３（ｂ）のように読み込まれる。すなわち、レジスタグループＲＧ２のレジスタＲ１～Ｒ４の各バイトＢ０～Ｂ３は図示しないが、ＣＰＵ２４を介して主メモリと、画像データが上下方向（垂直方向）に鏡映するように接続されている。そして、レジスタグループＲＧ２の画像データはレジスタグループＲＧ１に図３（ｃ）のように転送される。この図３（ａ）と（ｃ）とを比較すると４ワード分の画像が右に９０°回転していることが分かる。そして、レジスタグループＲＧ１から画像データを出力すると右に９０°回転した画像データが得られるのである。

【００３０】

同様に、主メモリ２９に図３（ｄ）のように記憶された４ワードの画像データがＣＰＵ２４を介してレジスタグループＲＧ３に図３（ｅ）のように読み込まれ、レジスタグループＲＧ２を介してレジスタグループＲＧ１に転送され、図３（ｆ）のような配列になる。この図３（ｅ）および（ｆ）を比較すると４ワード分の画像が左に９０°回転していることが分かる。そして、レジスタグループＲＧ１から画像データを出力すると左に９０°回転した画像データが得られるのである。

【００３１】

図４は第１の実施の形態におけるコプロセッサ２５による鏡映処理を説明するための図である。まず、主メモリに図４（ａ）のように記憶された４ワードの画像データがレジスタグループＲＧ３に図４（ｂ）のように読み込まれ、レジスタグループＲＧ２に図４（ｃ）のように転送される。この図４（ａ）と（ｃ）とを比較すると４ワード分の画像が縦方向の中心線ＣＬ（各レジスタの第１バイトＢ１と第２バイトＢ２との間を貫く線）を軸とし

て左右方向に鏡映していることが分かる。そして、レジスタグループＲＧ２から画像データを出力すると左右方向に鏡映した画像が得られるのである。

【００３２】

なお、図２から分かるように各レジスタグループの各レジスタの各バイトからは接続線が１本ずつ出ている。すなわち、１つのレジスタグループの１つのレジスタの各バイトは接続線に接続されることによって他のレジスタグループのいずれかのレジスタのいずれかのバイトに対応して、すべて、一対一対応している。これにより、レジスタグループＲＧ１～ＲＧ３のうちのいずれの２つのレジスタグループ間の画像データの転送も可逆である。したがって、レジスタグループＲＧ２からレジスタグループＲＧ１への転送も、レジスタグループＲＧ３からレジスタグループＲＧ２への転送も行うことができ、さらには、レジスタグループＲＧ３からレジスタグループＲＧ２を介したレジスタグループＲＧ１への転送も行うことができる。これによって、それぞれ、上述の変換の逆変換、すなわち、レジスタグループＲＧ２からレジスタグループＲＧ１への転送によって左９０°回転を、レジスタグループＲＧ２からレジスタグループＲＧ３への転送によっても中心線ＣＬを軸とした鏡映を、レジスタグループＲＧ３からレジスタグループＲＧ２を介したレジスタグループＲＧ１への転送によって右９０°回転を行うことができる。

【００３３】

さらに、上下方向の鏡映、すなわち、各レジスタグループＲＧ１～ＲＧ３のレジスタＲ２とＲ３との間に当たる画像中の水平方向の直線を対称軸として鏡映を行う場合は、回路構成によって実現する場合と速度的に大差ないので、ＣＰＵ２４においてソフトウェアで実現している。なお、このような上下方向の鏡映についても２つのレジスタグループ間を所定の接続線で電気的に接続して、それらレジスタグループ間で画像データを転送することによって容易に実現することができる。

【００３４】

また、このコプロセッサ２５では画素単位でまとめられた色を構成する複数の成分を有する画像データを、成分単位で複数の画素の画像データを合併した画像データにしたり、逆に、合併された画像データを複数の成分を有する画素単位の画像データに分離したりすることができる。

【００３５】

図５は第１の実施の形態による色データの合併および分離の様子を説明するための図である。２画素が３２ビットで表わされる複合画素データとその複合画素データの後述する単位色配列における各成分ごとの３２ビットの画像データとの間でデータ形式を変換する色データの合併や分離を示している。ここで扱う複合画素データとは、単位となる２画素を表現する３２ビットのカラー画像データであって、色を表わす１群の複数の成分の単位となる配列である単位色配列を有し、その単位色配列が１つの輝度成分（Ｙ成分）と水平または垂直方向における配置の周波数が輝度成分の１／２（データ数が半分）である２つの色成分とからなるものである。第１の実施の形態では、水平方向に各成分が配列される形式の単位画素データを用いており、２画素を表現する画像データとして８ビットからなるＹ成分が２画素分と、それら２画素に共通のそれぞれ８ビットからなるＣｙ成分（青成分から輝度成分を引いた色差信号）およびＣｂ成分（赤成分から輝度成分を引いた色差信号）とを併せて３２ビットの複合画素データとしている。そして、このような複合画素データを各成分ごとにまとめた３２ビットの画像データに変換するのである。

【００３６】

なお、この色を構成する成分の合併および分離処理では上記複合画素データを各レジスタグループＲＧ２およびＲＧ１それぞれの各レジスタＲ１～Ｒ４に記憶するものとなっている。すなわち、各レジスタグループＲＧ１，ＲＧ２それぞれの各レジスタＲ１～Ｒ４内において、この発明の単位画像信号に相当する単位となる１つの成分の画像データ（この例ではＹまたはＣｂまたはＣｒ成分）と同じビット数の記憶領域（第０～第３バイト）に各成分データを記憶する。

【００３７】

図５（ａ）に示すように、Ｙ，Ｃｂ，Ｙ，Ｃｒの各成分の画像データをレジスタグループＲＧ２のレジスタＲ１～Ｒ４に読み込み、レジスタグループＲＧ１に転送することによって、レジスタグループＲＧ１のレジスタＲ１～Ｒ４にそれぞれ画素単位に合併された画像データが生成される。逆に、Ｙ，Ｃｂ，Ｙ，Ｃｒの各成分を有する２画素単位の画像データをレジスタグループＲＧ２のレジスタＲ１～Ｒ４に読み込み、レジスタグループＲＧ１に転送することによって、レジスタグループＲＧ１のレジスタＲ１～Ｒ４にそれぞれ４画素分のＹ，Ｃｂ，Ｙ，Ｃｒの各成分に分離された画像データが生成される。これは、前述の右９０°回転および左９０°回転の機能を用いて色データの合併および分離を行うことができることを示している。

【００３８】

なお、このコプロセッサ２５の変換処理は前述のように可逆であるので、逆にレジスタグループＲＧ１に上記のような画像データを読み込んで、レジスタグループＲＧ２に転送しても、画像データの色を構成する成分についての分離および合併を行うことができる。

【００３９】

以上説明したように、第１の実施の形態によれば、レジスタグループＲＧ１～ＲＧ３において、単位となる画像データと同じビット数（１バイト）の記憶領域、すなわち各レジスタＲ１～Ｒ４の各バイトが上述のような接続関係で互いに直接接続されているので、各レジスタグループＲＧ１～ＲＧ３間の画像データの転送により右９０°回転、左９０°回転、中心線に対する左右方向の鏡映およびカラー画像データの成分の合併および分離を行うことができる。そのため、ＣＰＵ２４においてソフトウェアによってこれらの処理を行う場合には単位となる画像データを８ビットから３２ビットに変換する必要があるのに対して、第１の実施の形態では単位となる画像データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【００４０】

＜２．第２の実施の形態＞

第２の実施の形態では図１で示した第１の実施の形態の装置構成とコプロセッサ２５以外は全く同様の構成となっており、そして、このコプロセッサ２５はＣＰＵ２４から与えられた画像データを右９０°回転するものとなっている。以下、このコプロセッサ２５の構造および処理について説明する。

【００４１】

図６は第２の実施の形態におけるコプロセッサ２５のレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。第２の実施の形態におけるコプロセッサ２５は第１の実施の形態におけるレジスタグループＲＧ１～ＲＧ３と同様の３２ビットのレジスタを４つずつ備えるレジスタグループＲＧ４およびＲＧ５を備えている。ただし、第２の実施の形態ではレジスタグループＲＧ４とＲＧ５においてレジスタＲ１およびＲ２とレジスタＲ３およびＲ４とは全く同じ接続関係になっているので、レジスタＲ１およびＲ２のみについて代表的に図示している。

【００４２】

そして、第２の実施の形態では２画素が３２ビット（例えばＹＣｂＹＣｒの色配列で各成分が８ビット）で表現される複合画素データ（ビデオデータ）を各レジスタグループＲＧ４，ＲＧ５それぞれの各レジスタＲ１～Ｒ４に記憶するものとなっている。なお、ここで扱う複合画素データは第１の実施の形態における複合画素データと同様のものである。そして、各レジスタグループＲＧ４，ＲＧ５それぞれの各レジスタＲ１～Ｒ４内において、この発明の単位画像信号に相当する単位となる１つの成分の画像データ（上記の例ではＹまたはＣｂまたはＣｒ成分）と同じビット数の記憶領域（第０～第３バイト）に各成分データが記憶されるようになっている。

【００４３】

さらに、レジスタグループＲＧ４およびＲＧ５のレジスタＲ１およびＲ２（Ｒ３およびＲ４）の各バイトは以下に示すように互いに所定の接続線により電気的に直接接続されてい

る。すなわち、レジスタグループＲＧ４のレジスタＲ１の第０バイトＢ０とレジスタグループＲＧ５のレジスタＲ２の第０バイトＢ０とが、レジスタグループＲＧ４のレジスタＲ１の第２バイトＢ２とレジスタグループＲＧ５のレジスタＲ１の第０バイトＢ０とが、レジスタグループＲＧ４のレジスタＲ２の第０バイトＢ０とレジスタグループＲＧ５のレジスタＲ２の第２バイトＢ２とが、レジスタグループＲＧ４のレジスタＲ２の第１バイトＢ１とレジスタグループＲＧ５のレジスタＲ１の第１バイトＢ１及びレジスタグループＲＧ５のレジスタＲ２の第１バイトＢ１とが、レジスタグループＲＧ４のレジスタＲ２の第２バイトＢ２とレジスタグループＲＧ５のレジスタＲ１の第２バイトＢ２とが、レジスタグループＲＧ４のレジスタＲ２の第３バイトＢ３とレジスタグループＲＧ５のレジスタＲ１の第３バイトＢ３及びレジスタグループＲＧ５のレジスタＲ２の第３バイトＢ３とが、それぞれ接続されている。

【００４４】

図７は第２の実施の形態におけるコプロセッサ２５による右回転処理を説明するための図である。前述のようにレジスタＲ１およびＲ２とレジスタＲ３およびＲ４とが同じ接続であるのは、２レジスタ分すなわち１６ビット単位のビデオデータで表わされる４画素についての右９０°の回転を８画素に対して並列に行っていることを意味している。そのため、以下、代表してレジスタＲ３およびＲ４における回転について説明する。なお、図７の各レジスタの各バイト内の記号は前述の各成分（Ｙ，Ｃｂ，Ｙ，Ｃｒ成分）を表わしており、その後ろの数字は８個の画素（第０～第７画素）のいずれであるかを表わしている。

【００４５】

まず、レジスタＲ３およびＲ４のうち、Ｙ成分が記憶された第０バイトＢ０および第２バイトＢ２のみに注目してみると、レジスタグループＲＧ４からＲＧ５へのデータ転送により、Ｙ０～Ｙ３は回転されてＹ０は元のＹ１の位置に、Ｙ１は元のＹ３の位置に、Ｙ２は元のＹ０の位置に、Ｙ３は元のＹ２の位置にそれぞれ移動している。また、Ｃｂ成分、Ｃｒ成分についてはＹ，Ｃｂ，Ｙ，Ｃｒ成分の配列を崩さないために各レジスタの第１バイトＢ１にＣｂ成分が、第３バイトＢ３にＣｒ成分が位置する必要があるため、最初にレジスタＲ４の第１バイトＢ１および第３バイトＢ３に記憶されていたＣｂ0およびＣｒ1をそのままレジスタＲ３にコピーしている。以上から、この変換で複合画素データが右９０°回転していることが分かる。なお、レジスタＲ１およびＲ２においても同様である。

【００４６】

以上説明したように、第２の実施の形態によれば、レジスタグループＲＧ４およびＲＧ５において、単位となる１つの成分データと同じビット数（１バイト）の記憶領域、すなわち各レジスタＲ１～Ｒ４の各バイトが上述のような接続関係で互いに直接接続されているので、各レジスタグループＲＧ４およびＲＧ５間の画像データの転送によりビデオデータの右９０°回転を行うことができるので、ＣＰＵ２４においてソフトウェアによってこれらの処理を行う場合と比べて、単位となる色を構成する各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【００４７】

＜３．第３の実施の形態＞

第３の実施の形態でも図１で示した第１の実施の形態の装置構成とコプロセッサ２５以外は全く同様の構成となっており、そして、このコプロセッサ２５はＣＰＵ２４から与えられた画像データを左９０°回転するものとなっている。以下、このコプロセッサ２５の構造および処理について説明する。

【００４８】

図８は第３の実施の形態におけるコプロセッサ２５のレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。第３の実施の形態におけるコプロセッサ２５は第２の実施の形態におけるレジスタグループＲＧ４，ＲＧ５と同様の構成のレジスタグループＲＧ６およびＲＧ７を備えている。また、第２の実施の形態と同様に、レジスタグループＲＧ６とＲＧ７においてレジスタＲ１およびＲ２とレジスタＲ３およびＲ４とは全く同

じ接続関係になっているので、レジスタＲ１およびＲ２のみについて代表的に図示している。

【００４９】

そして、第３の実施の形態では２画素が３２ビット（例えばＹＣｂＹＣｒの色配列で各成分が８ビット）で表現される複合画素データ（ビデオデータ）を各レジスタグループＲＧ６，ＲＧ７それぞれの各レジスタＲ１～Ｒ４に記憶するものとなっている。なお、ここで扱う複合画素データは第１の実施の形態における複合画素データと同様のものである。そして、各レジスタグループＲＧ６，ＲＧ７それぞれの各レジスタＲ１～Ｒ４内において、この発明の単位画像信号に相当する単位となる１つの成分の画像データ（上記の例ではＹまたはＣｂまたはＣｒ成分）と同じビット数の記憶領域（第０～第３バイト）に各成分データが記憶されるようになっている。

【００５０】

また、レジスタグループＲＧ６およびＲＧ７の各レジスタの各バイトが以下に示すように互いに所定の接続線によって電気的に直接接続されている。すなわち、レジスタグループＲＧ６のレジスタＲ１の第０バイトＢ０とレジスタグループＲＧ７のレジスタＲ１の第２バイトＢ２とが、レジスタグループＲＧ６のレジスタＲ１の第２バイトＢ２とレジスタグループＲＧ７のレジスタＲ２の第２バイトＢ２とが、レジスタグループＲＧ６のレジスタＲ２の第０バイトＢ０とレジスタグループＲＧ７のレジスタＲ１の第０バイトＢ０とが、レジスタグループＲＧ６のレジスタＲ２の第１バイトＢ１とレジスタグループＲＧ７のレジスタＲ１の第１バイトＢ１及びレジスタグループＲＧ７のレジスタＲ２の第１バイトＢ１とが、レジスタグループＲＧ６のレジスタＲ２の第２バイトＢ２とレジスタグループＲＧ７のレジスタＲ２の第０バイトＢ０とが、レジスタグループＲＧ６のレジスタＲ２の第３バイトＢ３とレジスタグループＲＧ７のレジスタＲ１の第３バイトＢ３及びレジスタグループＲＧ７のレジスタＲ２の第３バイトＢ３とが、接続されている。

【００５１】

図９は第３の実施の形態におけるコプロセッサ２５による左回転処理を説明するための図である。第３の実施の形態では、第２の実施の形態と同様の複合画素データ（ビデオデータ）を左９０°回転するものとなっている。第２の実施の形態と同様にレジスタＲ３およびＲ４のうち、Ｙ成分が記憶された第０バイトＢ０および第２バイトＢ２のみに注目してみると、レジスタグループＲＧ６からＲＧ７へのデータ転送により、明らかに左９０°回転していることが分かる。また、Ｃｂ成分、Ｃｒ成分については第２の実施の形態と同様である。また、レジスタＲ１およびＲ２においても同様である。

【００５２】

以上説明したように、第３の実施の形態によれば、レジスタグループＲＧ６およびＲＧ７において、単位となる１つの成分データと同じビット数（１バイト）の記憶領域、すなわち各レジスタＲ１～Ｒ４の各バイトが上述のような接続関係で互いに直接接続されているので、各レジスタグループＲＧ４およびＲＧ５間の画像データの転送によりビデオデータの左９０°回転を行うことができるので、ＣＰＵ２４においてソフトウェアによってこれらの処理を行う場合と比べて、単位となる各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【００５３】

＜４．第４の実施の形態＞

第４の実施の形態でも図１で示した第１の実施の形態の装置構成とコプロセッサ２５以外は全く同様の構成となっており、そして、このコプロセッサ２５はＣＰＵ２４から与えられた画像データを所定の右回転命令の入力に従い、第２の実施の形態と全く同様に右９０°回転するものとなっている。以下、このコプロセッサ２５の構造および処理について説明する。

【００５４】

図１０は第４の実施の形態におけるコプロセッサ２５のレジスタグループおよびそれらに

おけるレジスタ間の接続関係を模式的に示す図である。第４の実施の形態におけるコプロセッサ２５は第２の実施の形態におけるレジスタグループＲＧ４，ＲＧ５と同様のレジスタＲ１～Ｒ４からなるレジスタグループＲＧ８を備えている。すなわち、レジスタグループを１つ備えるのみである。なお、図１０では説明上、本来１つのレジスタグループＲＧ８を２つ並べて図示している。

【００５５】

また、第４の実施の形態でも２画素が３２ビット（例えばＹＣｂＹＣｒの色配列で各成分が８ビット）で表現される複合画素データ（ビデオデータ）をレジスタグループＲＧ８の各レジスタＲ１～Ｒ４に記憶するものとなっている。なお、ここで扱う複合画素データは第１の実施の形態における複合画素データと同様のものである。そして、各レジスタＲ１～Ｒ４内において、この発明の単位画像信号に相当する単位となる１つの成分の画像データ（上記の例ではＹまたはＣｂまたはＣｒ成分）と同じビット数の記憶領域（第０～第３バイト）に各成分データが記憶されるようになっている。

【００５６】

そして、レジスタグループＲＧ８のレジスタＲ１およびＲ２の各バイトが以下に示すように互いに所定の接続線（この発明の右回転手段に相当）により電気的に直接接続されており、また、第２の実施の形態と同様に、レジスタＲ１およびＲ２とレジスタＲ３およびＲ４とは全く同じ接続関係になっている。すなわち、レジスタＲ１の第０バイトＢ０がレジスタＲ２の第０バイトＢ０に、レジスタＲ１の第２バイトＢ２がレジスタＲ１の第０バイトＢ０に、レジスタＲ２の第０バイトＢ０がレジスタＲ２の第２バイトＢ２に、レジスタＲ２の第１バイトＢ１がレジスタＲ１の第１バイトＢ１及びレジスタＲ２の第１バイトＢ１に、レジスタＲ２の第２バイトＢ２がレジスタＲ１の第２バイトＢ２に、レジスタＲ２の第３バイトＢ３がレジスタＲ１の第３バイトＢ３及びレジスタＲ２の第３バイトＢ３に、それぞれ接続されている。

【００５７】

さらに、レジスタグループＲＧ８の各レジスタＲ１～Ｒ４の各バイトは図示しないセレクタによってＣＰＵ２４からの画像データの入力と上記レジスタグループＲＧ８内からの画像データの入力とを切り替えることができるようになっている。

【００５８】

上記のようにレジスタＲ１およびＲ２（同様にＲ３およびＲ４）が接続されているため、ＣＰＵ２４から画像データが読み込まれた後、操作者が操作部を通じて右回転命令を入力すると、その信号はセレクタに入力され、それによりレジスタグループＲＧ８の入力がレジスタＲ１～Ｒ４どうしの入力に切り替えられ、画像データの転送が行われる。具体的には以下のように転送される。すなわち、レジスタＲ１の第０バイトＢ０からレジスタＲ２の第０バイトＢ０に、レジスタＲ１の第２バイトＢ２からレジスタＲ１の第０バイトＢ０に、レジスタＲ２の第０バイトＢ０からレジスタＲ２の第２バイトＢ２に、レジスタＲ２の第１バイトＢ１からレジスタＲ１の第１バイトＢ１及びレジスタＲ２の第１バイトＢ１に、レジスタＲ２の第２バイトＢ２からレジスタＲ１の第２バイトＢ２に、レジスタＲ２の第３バイトＢ３からレジスタＲ１の第３バイトＢ３及びレジスタＲ２の第３バイトＢ３に、それぞれ転送され記憶される。

【００５９】

図１１は第４の実施の形態におけるコプロセッサ２５による右回転処理を説明するための図である。図示のように、２画素が３２ビット（Ｙ成分，Ｃｂ成分，Ｙ成分，Ｃｒ成分で１単位）で表現される複合画素データ（ビデオデータ）が、上記のようなレジスタ間の転送により第２の実施の形態と同様に右９０°回転されて記憶されていることが分かる。また、この結果からも分かるように、第４の実施の形態では右９０°回転された複合画素データを同一のレジスタグループＲＧ８に戻して記憶している。

【００６０】

以上説明したように、第４の実施の形態によれば、レジスタグループＲＧ８において、単位となる１つの成分データと同じビット数（１バイト）の記憶領域、すなわち各レジスタ

Ｒ１～Ｒ４の各バイトが上述のような接続関係で互いに直接接続されているので、右回転命令の入力に応答して、各レジスタＲ１，Ｒ２またはＲ３，Ｒ４内で各バイト間の転送によりビデオデータの右９０°回転を行うことができるので、ＣＰＵ２４においてソフトウェアによってこれらの処理を行う場合と比べて、単位となる各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【００６１】

＜５．第５の実施の形態＞

第５の実施の形態でも図１で示した第１の実施の形態の装置構成とコプロセッサ２５以外は全く同様の構成となっており、そして、このコプロセッサ２５はＣＰＵ２４から与えられた画像データを所定の左回転命令の入力に従い、第３の実施の形態と全く同様に左９０°回転するものとなっている。以下、このコプロセッサ２５の構造および処理について説明する。

【００６２】

図１２は第５の実施の形態におけるコプロセッサ２５のレジスタグループおよびそれらにおけるレジスタ間の接続関係を模式的に示す図である。第５の実施の形態におけるコプロセッサ２５は第４の実施の形態におけるレジスタグループＲＧ８と同様のレジスタＲ１～Ｒ４からなるレジスタグループＲＧ９を１つ備えるのみである。なお、図１２では説明上、本来１つのレジスタグループＲＧ９を２つ並べて図示している。

【００６３】

また、第５の実施の形態でも２画素が３２ビット（例えばＹＣｂＹＣｒの色配列で各成分が８ビット）で表現される複合画素データ（ビデオデータ）をレジスタグループＲＧ９の各レジスタＲ１～Ｒ４に記憶するものとなっている。なお、ここで扱う複合画素データは第１の実施の形態における複合画素データと同様のものである。そして、各レジスタＲ１～Ｒ４内において、この発明の単位画像信号に相当する単位となる１つの成分の画像データ（上記の例ではＹまたはＣｂまたはＣｒ成分）と同じビット数の記憶領域（第０～第３バイト）に各成分データが記憶されるようになっている。

【００６４】

そして、レジスタグループＲＧ９のレジスタＲ１およびＲ２の各バイトが以下に示すように互いに所定の接続線（この発明の右回転手段に相当）により電気的に直接接続されており、また、第３の実施の形態と同様に、レジスタＲ１およびＲ２とレジスタＲ３およびＲ４とは全く同じ接続関係になっている。すなわち、レジスタＲ１の第０バイトＢ０がレジスタＲ１の第２バイトＢ２に、レジスタＲ１の第２バイトＢ２がレジスタＲ２の第２バイトＢ２に、レジスタＲ２の第０バイトＢ０がレジスタＲ１の第０バイトＢ０に、レジスタＲ２の第１バイトＢ１がレジスタＲ１の第１バイトＢ１及びレジスタＲ２の第１バイトＢ１に、レジスタＲ２の第２バイトＢ２がレジスタＲ２の第０バイトＢ０に、レジスタＲ２の第３バイトＢ３がレジスタＲ１の第３バイトＢ３及びレジスタＲ２の第３バイトＢ３に、それぞれ接続されている。また、図示しないが第４の実施の形態と同様のセレクタを備えている。

【００６５】

そして、上記のようにレジスタＲ１およびＲ２（同様にＲ３およびＲ４）が接続されているため、ＣＰＵ２４から画像データが読み込まれた後、作業者が操作スイッチを通じて左回転命令を入力すると、その信号はセレクタに入力され、それによりレジスタグループＲＧ９の入力がレジスタＲ１～Ｒ４どうしの入力に切り替えられ、画像データの転送が行われる。具体的には以下のように転送される。すなわち、レジスタＲ１の第０バイトＢ０からレジスタＲ１の第２バイトＢ２に、レジスタＲ１の第２バイトＢ２からレジスタＲ２の第２バイトＢ２に、レジスタＲ２の第０バイトＢ０からレジスタＲ１の第０バイトＢ０に、レジスタＲ２の第１バイトＢ１からレジスタＲ１の第１バイトＢ１及びレジスタＲ２の第１バイトＢ１に、レジスタＲ２の第２バイトＢ２からレジスタＲ２の第０バイトＢ０に、レジスタＲ２の第３バイトＢ３からレジスタＲ１の第３バイトＢ３及びレジスタＲ２の

第３バイトＢ３に、それぞれ転送され記憶される。

【００６６】

図１３は第５の実施の形態におけるコプロセッサ２５による左回転処理を説明するための図である。図示のように、第３の実施の形態と同様に複合画素データ（ビデオデータ）が、上記のようなレジスタ間の転送により左９０°回転されて記憶されていることが分かる。また、この結果からも分かるように、第５の実施の形態では左９０°回転された複合画素データを同一のレジスタグループＲＧ９に戻して記憶している。

【００６７】

以上説明したように、第５の実施の形態によれば、レジスタグループＲＧ９において、単位となる１つの成分データと同じビット数（１バイト）の記憶領域、すなわち各レジスタＲ１～Ｒ４の各バイトが上述のような接続関係で互いに直接接続されているので、左回転命令の入力に応答して、各レジスタＲ１，Ｒ２またはＲ３，Ｒ４内で各バイト間の転送によりビデオデータの左９０°回転を行うことができるので、ＣＰＵ２４においてソフトウェアによってこれらの処理を行う場合と比べて、単位となる各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【００６８】

＜６．第６の実施の形態＞

第６の実施の形態でも図１で示した第１の実施の形態の装置構成とコプロセッサ２５以外は全く同様の構成となっており、そして、このコプロセッサ２５はＣＰＵ２４から与えられた画像データを所定の右回転命令の入力に従い、第３の実施の形態と全く同様に右９０°回転するものとなっている。以下、このコプロセッサ２５の構造および処理について説明する。

【００６９】

図１４は第６の実施の形態におけるコプロセッサ２５のレジスタおよびそれらにおけるレジスタ間の接続を示す図である。第６の実施の形態におけるコプロセッサ２５は第１～第５の実施の形態におけるレジスタと同様の３２ビットのレジスタＲ１およびＲ２を備えている。

【００７０】

また、第６の実施の形態でも２画素が３２ビット（例えばＹＣｒＹＣｂやＹＹＣｒＣｂの色配列で各成分が８ビット）で表現される複合画素データ（ビデオデータ）を各レジスタＲ１およびＲ２に記憶するものとなっている。なお、ここで扱う複合画素データは第１の実施の形態における複合画素データと同様のものである。そして、各レジスタＲ１およびＲ２内において、この発明の単位画像信号に相当する単位となる１つの成分の画像データ（上記の例ではＹまたはＣｂまたはＣｒ成分）と同じビット数の記憶領域（第０～第３バイト）に各成分データが記憶されるようになっている。

【００７１】

そして、レジスタＲ１およびＲ２の各バイトが以下に示すように互いに所定の接続線により電気的に直接接続されている。すなわち、レジスタＲ１の第０バイトＢ０とレジスタＲ２の第０バイトＢ０とが、レジスタＲ１の第１バイトＢ１とレジスタＲ２の第２バイトＢ２とが、レジスタＲ１の第２バイトＢ２とレジスタＲ２の第１バイトＢ１とが、レジスタＲ１の第３バイトＢ３とレジスタＲ２の第３バイトＢ３とが、それぞれ接続されている。

【００７２】

このような構成により、このコプロセッサ２５は２画素が３２ビットで表現される第一の単位色配列の複合画素データを２画素が３２ビットで表現される第二の単位色配列の複合画素データに変換することができる。例えば、第一の単位色配列としてＹＹＣｒＣｂで表されるフォーマットの複合画素データ（ビデオデータ）を、第二の単位色配列としてＹＣｒＹＣｂで表されるフォーマットの複合画素データ（ビデオデータ）に変換することができることが図１４から容易に理解できる。

【００７３】

また、図１４において、レジスタＲ１およびＲ２の各バイトは一対一に対応して接続されているため、上記の色配列の変換は可逆なものとなっている。上記のビデオデータの例では、レジスタＲ２に第２の単位色配列であるＹＣｒＹＣｂ形式の複合画素データを入力して、レジスタＲ１に転送することによって、レジスタＲ１において第１の単位色配列であるＹＹＣｒＣｂ形式の複合画素データとして取り出すことができる。

【００７４】

以上説明したように、第６の実施の形態によれば、レジスタＲ１およびＲ２において、単位となる１つの成分データと同じビット数（１バイト）の記憶領域、すなわち各レジスタＲ１およびＲ２の各バイトが上述のような接続関係で互いに直接接続されているので、両レジスタＲ１およびＲ２それぞれの各バイト間の転送によりビデオデータの色配列の形式の変換を行うことができるので、ＣＰＵ２４においてソフトウェアによってその処理を行う場合と比べて、単位となる各成分データのデータ長を変換する必要がなく、データ長の変換工程およびそのためのデータ移動が不要となり、高速かつ低消費電力に上記処理を行うことができる。

【００７５】

＜７．変形例＞

上記第１～第６の実施の形態においてディジタルスチルカメラにおけるコプロセッサおよびそれによる画像処理の例を示したが、この発明はこれに限られるものではない。

【００７６】

たとえば、上記第１～第６の実施の形態では、画像入力装置としてディジタルスチルカメラについて示したが、ディジタルビデオカメラ等のその他の画像入力装置においても上記第１～第６の実施の形態と同様のコプロセッサを信号処理回路として用いることができる。

【００７７】

また、上記第１～第６の実施の形態では、この発明における記憶手段をレジスタまたはレジスタグループとしたが、ＳＲＡＭやＤＲＡＭ等のメモリなどその他の記憶媒体に対してもこの発明を使用し得る。

【００７８】

また、上記第１～第６の実施の形態では、８ビットを単位となる画像データのデータ長とし、コプロセッサ２５における各レジスタを３２ビットレジスタとしたが、例えば、１６ビットを単位となる画像データのデータ長とし、コプロセッサ２５において１６ビットレジスタで処理する等、単位となる画像データのデータ長の２の整数倍をレジスタの処理単位とすればよい。

【００７９】

さらに、上記第６の実施の形態ではレジスタＲ１とＲ２との間で複合画素データを転送することによって色配列を変換するものとしたが、第４および第５の実施の形態のように変換後の複合画素データを同一レジスタに格納するものとしてもよい。すなわち、レジスタＲ１において第０バイトＢ０と第０バイトＢ０とが、第１バイトＢ１と第２バイトＢ２とが、第２バイトＢ２と第１バイトＢ１とが、第３バイトＢ３と第３バイトＢ３とが、それぞれ接続され、さらに、画像データのＣＰＵ２４からの入力とレジスタＲ１内での転送とを切替えるセレクタを備えるものとするのである。これにより、レジスタの容量を削減できる。

【００８０】

【発明の効果】

以上説明したように、請求項１および請求項２の発明によれば、複数の成分のうちの１成分に当たる単位画像信号と同じビット数の記憶領域を複数備える第１および第２記憶手段を備え、第１記憶手段の各記憶領域に記憶された単位画像信号の配列を、単位色配列を保ちつつ右に９０°または左に９０°回転させて第２記憶手段の各記憶領域に記憶するように、第１記憶手段の各記憶領域と第２記憶手段の各記憶領域とが互いに所定の接続線で直接接続されているため、単位色配列を有する画像に対しても単位画像信号のデータ長の

変換が不要なので、高速かつ低消費電力に右９０°または左９０°回転処理を行うことができる。

【００８６】

また、請求項２の発明によれば、請求項１の発明において、第１レジスタグループの第１レジスタの第０記憶領域が第２レジスタグループの第２レジスタの第０記憶領域に、第１レジスタグループの第１レジスタの第２記憶領域が第２レジスタグループの第１レジスタの第０記憶領域に、第１レジスタグループの第２レジスタの第０記憶領域が第２レジスタグループの第２レジスタの第２記憶領域に、第１レジスタグループの第２レジスタの第１記憶領域が所定の接続線によって第２レジスタグループの第１レジスタの第１記憶領域および第２レジスタグループの第２レジスタの第１記憶領域に、第１レジスタグループの第２レジスタの第２記憶領域が第２レジスタグループの第１レジスタの第２記憶領域に、第１レジスタグループの第２レジスタの第３記憶領域が第２レジスタグループの第１レジスタの第３記憶領域および第２レジスタグループの第２レジスタの第３記憶領域に直接接続されているため、ＹＣｂＹＣｒ形式のビデオデータ等の単位色配列が１つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の１／２である２つの色成分とからなる画像信号に対しても単位画像信号のデータ長の変換が不要なので、右に９０°回転処理を高速かつ低消費電力に行うことができる。

【００８７】

また、請求項３の発明によれば、請求項１の発明において、第１レジスタグループの第１レジスタの第０記憶領域が第２レジスタグループの第１レジスタの第２記憶領域に、第１レジスタグループの第１レジスタの第２記憶領域が第２レジスタグループの第２レジスタの第２記憶領域に、第１レジスタグループの第２レジスタの第０記憶領域が第２レジスタグループの第１レジスタの第０記憶領域に、第１レジスタグループの第２レジスタの第１記憶領域が第２レジスタグループの第１レジスタの第１記憶領域および第２レジスタグループの第２レジスタの第１記憶領域に、第１レジスタグループの第２レジスタの第２記憶領域が第２レジスタグループの第２レジスタの第０記憶領域に、第１レジスタグループの第２レジスタの第３記憶領域が第２レジスタグループの第１レジスタの第３記憶領域および第２レジスタグループの第２レジスタの第３記憶領域に直接接続されているため、ＹＣｂＹＣｒ形式のビデオデータ等の単位色配列が１つの輝度成分と水平または垂直方向における配置の周波数が前記輝度成分の１／２である２つの色成分とからなる画像信号に対して、左に９０°回転処理を高速かつ低消費電力に行うことができる。

【図面の簡単な説明】

【図１】この発明の一の実施の形態に係るディジタルスチルカメラを示す図である。

【図２】第１の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。

【図３】第１の実施の形態におけるコプロセッサによる回転処理を説明するための図である。

【図４】第１の実施の形態におけるコプロセッサによる鏡映処理を説明するための図である。

【図５】第１の実施の形態による色データの合併および分離の様子を説明するための図である。

【図６】第２の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。

【図７】第２の実施の形態におけるコプロセッサによる右回転処理を説明するための図である。

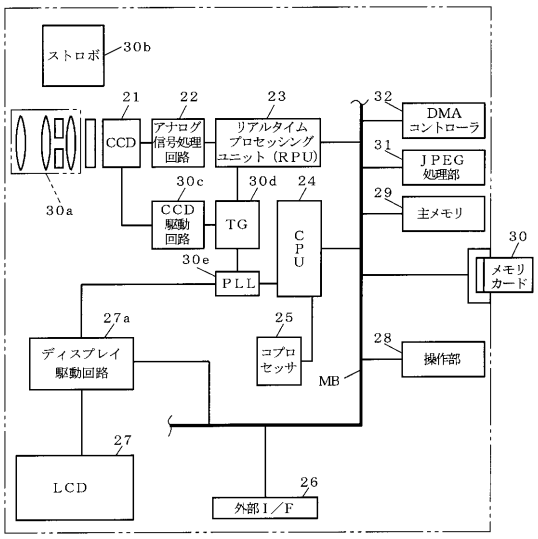
【図８】第３の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続を示す図である。

【図９】第３の実施の形態におけるコプロセッサによる左回転処理を説明するための図である。

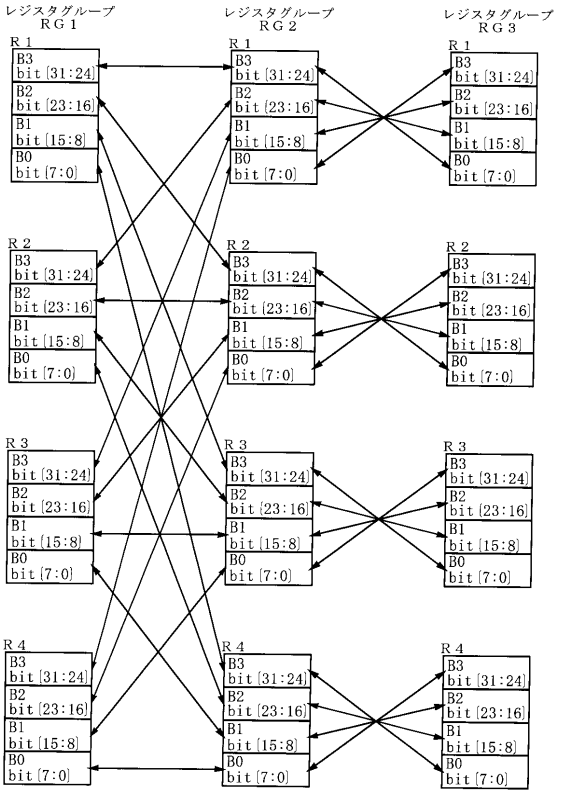
【図１０】第４の実施の形態におけるコプロセッサのレジスタグループおよびそれらにお

けるレジスタ間の接続関係を模式的に示す図である。
【図１１】第４の実施の形態におけるコプロセッサによる右回転処理を説明するための図である。
【図１２】第５の実施の形態におけるコプロセッサのレジスタグループおよびそれらにおけるレジスタ間の接続関係を模式的に示す図である。
【図１３】第５の実施の形態におけるコプロセッサによる左回転処理を説明するための図である。
【図１４】第６の実施の形態におけるコプロセッサのレジスタおよびそれらにおけるレジスタ間の接続を示す図である。
【符号の説明】
２４　ＣＰＵ
２５　コプロセッサ（信号処理回路）
２９　主メモリ
Ｂ０～Ｂ３　第０～第３バイト（記憶領域）
Ｒ１～Ｒ４　レジスタ（第１および第２記憶手段）
ＲＧ１～ＲＧ９　レジスタグループ（記憶手段、第１～第３記憶手段）

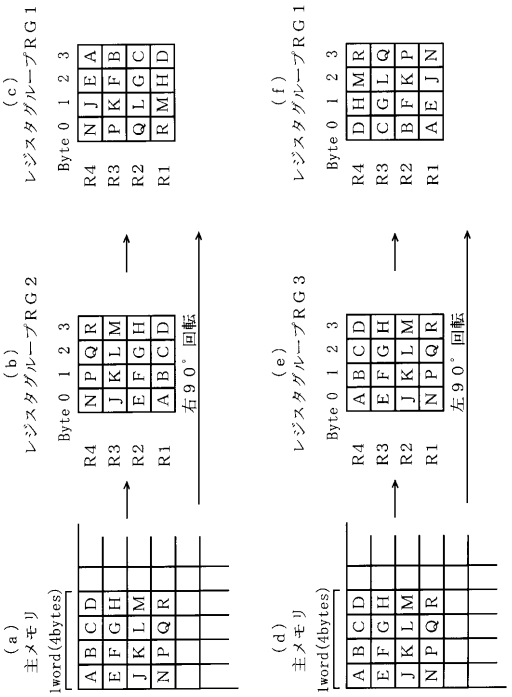
【図１】



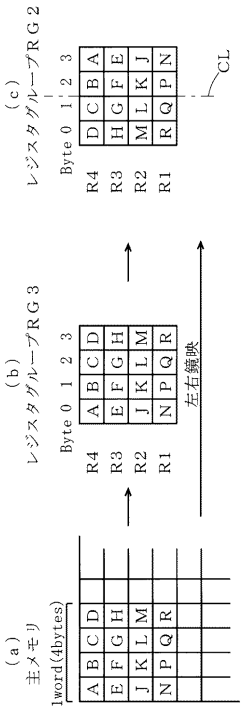
【図２】



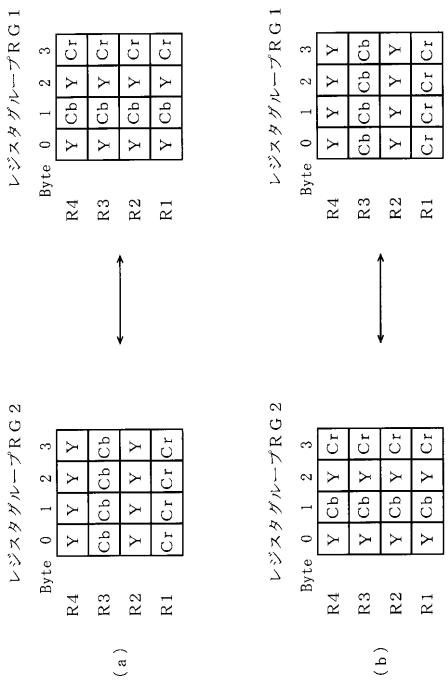
【図３】


(a)
主メモリ
1word(4bytes)
(b)
レジスタグループＲＧ２
(c)
レジスタグループＲＧ１
左９０° 回転
(d)
主メモリ
(e)
レジスタグループＲＧ３
(f)
レジスタグループＲＧ１
左９０° 回転
Byte 0 1 2 3
R4
R3
R2
R1

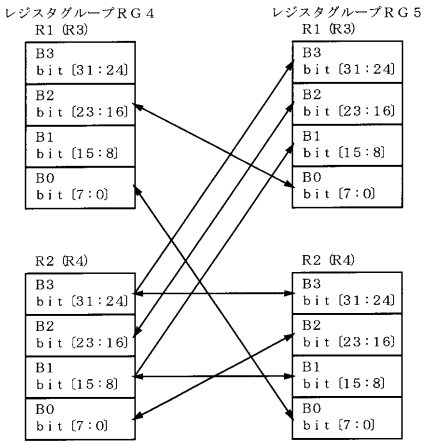
【図４】


(a)
主メモリ
1word(4bytes)
(b)
レジスタグループＲＧ３
(c)
レジスタグループＲＧ２
左右鏡映
CL
Byte 0 1 2 3
R4
R3
R2
R1

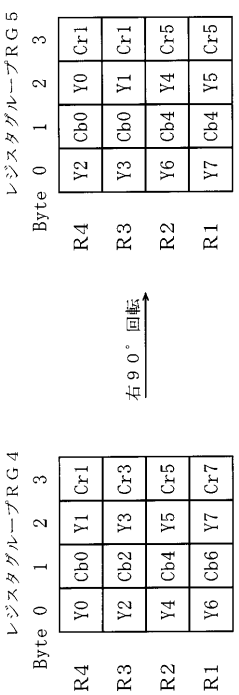
【図５】


レジスタグループＲＧ１
レジスタグループＲＧ２
(a)
(b)
Byte 0 1 2 3
R4
R3
R2
R1
Y
Cb
Cr

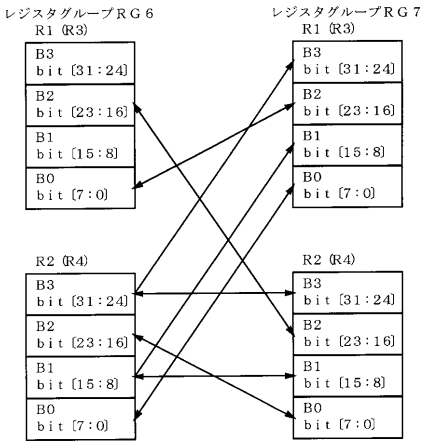
【図６】


レジスタグループＲＧ４
レジスタグループＲＧ５
R1 (R3)
R2 (R4)
B3
bit [31:24]
B2
bit [23:16]
B1
bit [15:8]
B0
bit [7:0]

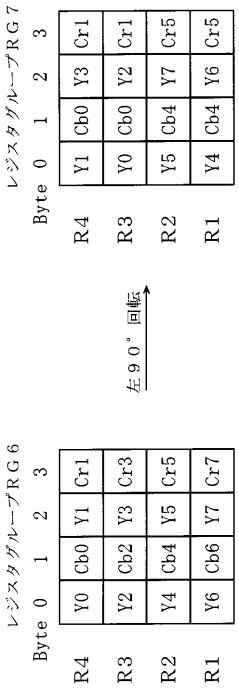
【図７】


レジスタグループＲＧ５
Byte 0 1 2 3
R4 Y2 Cb0 Y0 Cr1
R3 Y3 Cb0 Y1 Cr1
R2 Y6 Cb4 Y4 Cr5
R1 Y7 Cb4 Y5 Cr5
右９０°回転
レジスタグループＲＧ４
Byte 0 1 2 3
R4 Y0 Cb0 Y1 Cr1
R3 Y2 Cb2 Y3 Cr3
R2 Y4 Cb4 Y5 Cr5
R1 Y6 Cb6 Y7 Cr7

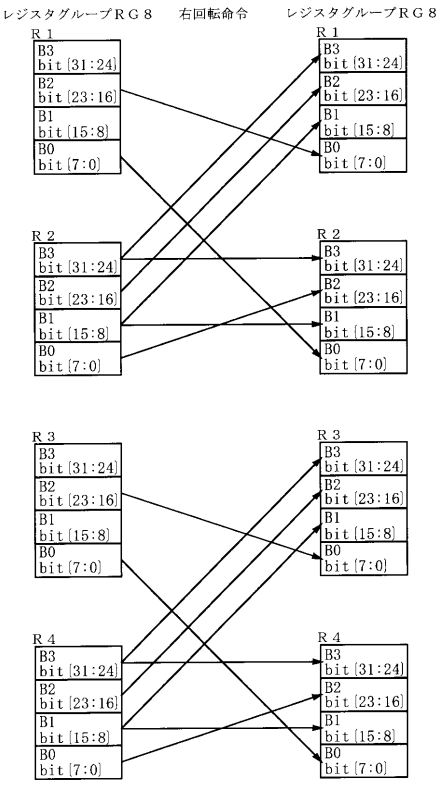
【図８】


レジスタグループＲＧ６
R1 (R3)
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R2 (R4)
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
レジスタグループＲＧ７
R1 (R3)
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R2 (R4)
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]

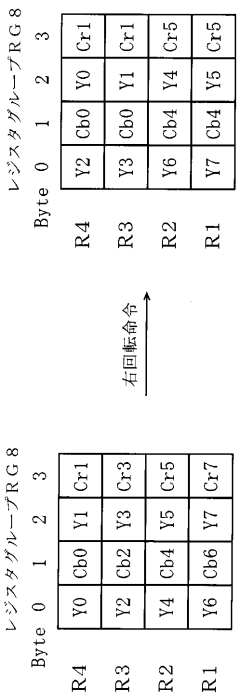
【図９】


レジスタグループＲＧ７
Byte 0 1 2 3
R4 Y1 Cb0 Y3 Cr1
R3 Y0 Cb0 Y2 Cr1
R2 Y5 Cb4 Y7 Cr5
R1 Y4 Cb4 Y6 Cr5
左９０°回転
レジスタグループＲＧ６
Byte 0 1 2 3
R4 Y0 Cb0 Y1 Cr1
R3 Y2 Cb2 Y3 Cr3
R2 Y4 Cb4 Y5 Cr5
R1 Y6 Cb6 Y7 Cr7

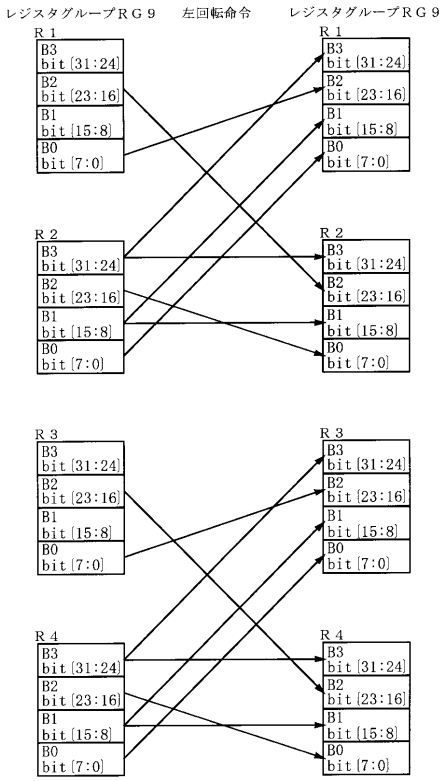
【図１０】


レジスタグループＲＧ８
右回転命令
レジスタグループＲＧ８
R 1
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R 2
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R 3
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R 4
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R 1
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R 2
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R 3
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]
R 4
B3 bit [31:24]
B2 bit [23:16]
B1 bit [15:8]
B0 bit [7:0]

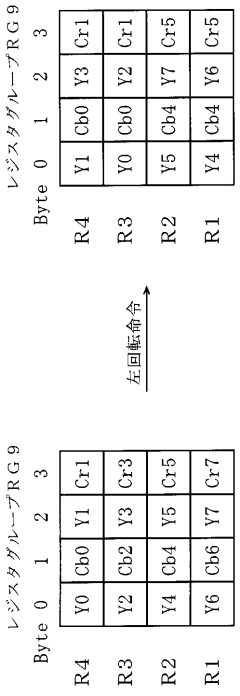
【図１１】



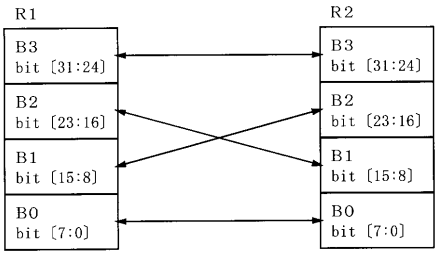
【図１２】



【図１３】



【図１４】



フロントページの続き

(56)参考文献 特開平９－２１８９４７（ＪＰ，Ａ）
特開昭６３－１１８８８６（ＪＰ，Ａ）
特開平１０－１９１２３８（ＪＰ，Ａ）
特開平８－４４８６２（ＪＰ，Ａ）
特開平６－２５３１２９（ＪＰ，Ａ）
特開平５－８１４２０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N5/222-5/28,7/18,9/04-9/11,9/64-9/78