(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3809665号

(P3809665)

(45)発行日　平成18年8月16日(2006.8.16)　(24)登録日　平成18年6月2日(2006.6.2)

| (51)Int.Cl. | | | F I | | |
|---|---|---|---|---|---|
| H04N | 9/77 | (2006.01) | H04N | 9/77 | |
| H04N | 9/804 | (2006.01) | H04N | 9/80 | B |
| H04N | 9/808 | (2006.01) | H04N | 5/92 | H |
| H04N | 5/92 | (2006.01) | H04N | 5/16 | Z |
| H04N | 5/16 | (2006.01) | H04N | 9/64 | Z |

請求項の数 2　(全 13 頁)　最終頁に続く

(21)出願番号　特願平8-91595
(22)出願日　平成8年4月12日(1996.4.12)
(65)公開番号　特開平9-284805
(43)公開日　平成9年10月31日(1997.10.31)
審査請求日　平成15年2月28日(2003.2.28)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100067736
弁理士　小池　晃
(74)代理人　100086335
弁理士　田村　榮一
(74)代理人　100096677
弁理士　伊賀　誠司
(72)発明者　池山　裕政
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　星野　昌幸

最終頁に続く

(54)【発明の名称】映像信号処理装置

(57)【特許請求の範囲】

【請求項１】

複数の信号ラインで構成される双方向バスを介して伝送される輝度データと色データとのマルチプレックス信号に所定の信号処理を施す映像信号処理ブロックと、

上記信号処理ブロックに接続されて、上記マルチプレックス信号が伝送される双方向バスの信号ラインのうち少なくとも１つである１または複数の所定のラインが、上記マルチプレックス信号が輝度データの期間であるか色差データの期間であるかに応じたタイミングに合わせて変化する制御信号に応じてそれぞれプルアップまたはプルダウンする切り替え手段とを有し、

上記所定のライン以外の信号ラインは、プルアップまたはプルダウンされることを特徴とする映像信号処理装置。

【請求項２】

上記双方向バスにおいて、上記双方向バスの切り替え時に色信号レベル０％がバス上に出力されることを特徴とする請求項１記載の映像信号処理装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、双方向バスを介して伝送されるデジタル映像信号に所定の信号処理を施す映像信号処理ブロックを備える映像信号処理装置に関する。

【０００２】

【従来の技術】
例えば、１８ＭＨｚのクロックレートで動作する撮像装置のディジタル映像信号処理回路と、１３．５ＭＨｚのクロックレートで動作するＤ１規格に準拠したデジタルビデオテープレコーダ（Ｄ・ＶＴＲ）のディジタル映像信号処理回路との間でディジタル映像信号の授受を行う場合には、上記撮像装置から出力されるディジタル映像信号のレートを１８ＭＨｚから１３．５ＭＨｚに変換するダウンレートコンバータや上記Ｄ・ＶＴＲから出力されるディジタル映像信号のレートを１３．５ＭＨｚから１８ＭＨｚに変換するアップレートコンバータなどのレートコンバータが必要となる。

【０００３】
そこで、従来のデジタルビデオカメラ装置は、例えば図９に示すように構成されていた。この図９に示すデジタルビデオカメラ装置は、撮像部１０１により得られる撮像信号をデジタル化してＤ１規格に準拠した画像データとして記録するもので、撮像部１０１により得られる三原色撮像信号Ｒ，Ｇ，Ｂがアナログ信号処理部１０２を介して供給されるアナログデジタル（Ａ／Ｄ）変換部１０３、このＡ／Ｄ変換部１０３によりディジタル化された各色撮像データＲ，Ｇ，Ｂが供給される映像信号処理部１０４、この映像信号処理部１０４により生成されたデジタル輝度信号Ｙと２つのディジタル色差信号$C_R$，$C_B$が供給されるアナログ出力用の信号処理部１０５やレート変換処理部１０６などを備え、Ｄ１規格に準拠した画像データの記録再生を行う記録再生部１０７が双方向バスを介して上記レート変換処理部１０６に接続されている。

【０００４】
上記撮像部１０１は、例えば、図示しない撮像レンズから光学的ローパスフィルタを介して入射される撮像光を色分解プリズムにより三原色光成分に分解して、被写体像の三原色画像を三枚のＣＣＤイメージセンサで撮像するようになっている。上記各ＣＣＤイメージセンサは、それぞれ第１のクロックレートで駆動され、各色撮像信号Ｒ，Ｇ，Ｂが上記第１のクロックレートで読み出される。そして、上記各ＣＣＤイメージセンサから読み出された各色撮像信号Ｒ，Ｇ，Ｂが上記アナログ信号処理部２を介して上記Ａ／Ｄ変換部１０３に供給される。

【０００５】
そして、上記アナログ信号処理部１０２では、上記撮像部１の各ＣＣＤイメージセンサから読み出された各色撮像信号Ｒ，Ｇ，Ｂに対して、相関二重サンプリング（ＣＤＳ：Correlated Double Sampling）によるノイズ除去、ゲイン調整、黒バランス、白バランスやシェーディング補正などの各種レベル調整を含むアナログ信号処理を行う。

【０００６】
また、上記Ａ／Ｄ変換部１０３では、上記各アナログ色撮像信号Ｒ，Ｇ，Ｂのサンプリングレートに等しい第１のクロックレートで所定の位相を有する駆動クロックに同期したＡ／Ｄ変換処理を行う各Ａ／Ｄ変換器１０３Ｒ，１０３Ｇ，１０３Ｂにより、上記各色撮像信号Ｒ，Ｇ，Ｂを第１のクロックレートでデジタル化する。そして、上記Ａ／Ｄ変換部１０３によりデジタル化された第１のクロックレートの各デジタル色信号Ｒ，Ｇ，Ｂが上記映像信号処理部１０４に供給される。

【０００７】
この映像信号処理部１０４は、上記Ａ／Ｄ変換部１０３から各デジタル色信号Ｒ，Ｇ，Ｂが供給されるプリプロセッサ１４１、このプリプロセッサ１４１によりペデスタルが付加されマスキング処理等が行われた各デジタル色信号Ｒ，Ｇ，Ｂが供給されるイメージエンハンサ１４２やガンマ，ニー補正回路１４３、上記イメージエンハンサ１４２やガンマ，ニー補正回路１４３により画像強調処理、ペデスタル付加、ガンマ，ニーなどの非線形処理が施された各デジタル色信号Ｒ，Ｇ，Ｂが供給されるＹ／Ｃマトリクス回路１４４等からなり、上記Ｙ／Ｃマトリクス回路１４４においてトリクス演算処理によって上記各デジタル色信号Ｒ，Ｇ，Ｂからデジタル輝度信号Ｙと２つのデジタル色差信号$C_R$，$C_B$を生成する。そして、上記映像信号処理部１０４のＹ／Ｃマトリクス回路１４４により生成されたデジタル輝度信号Ｙと２つのデジタル色差信号$C_R$，$C_B$は、双方向バスを介して上

記アナログ出力用の信号処理部１０５とレート変換処理部１０６に供給される。

【０００８】

そして、上記アナログ出力用の信号処理部１０５は、上記映像信号処理部１０４又はレート変換処理部１０６により生成される上記第１のクロックレートに関連したデータレートの信号Ｙ，$C_R$，$C_B$に対するアナログインターフェースとして機能するもので、デジタルアナログ（Ｄ／Ａ）変換部１０５Ａとアナログエンコーダ１０５Ｂからなる。このアナログ出力用の信号処理部１０５では、上記映像信号処理部１０４又はレート変換処理部１０６により生成される上記第１のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$を各Ｄ／Ａ変換器１０５Ｙ，１０５$C_R$，１０５$C_B$によりアナログ輝度信号Ｙとアナログ色差信号$C_R$，$C_B$に変換し、さらに、上記エンコーダ１０５Ｂにより通常のＮＴＳＣ又はＰＡＬに準拠したナログコンポジット信号$CS_{OUT}$やアナログモニタ信号$Y_{VF}$を生成する。

【０００９】

また、上記レート変換処理部１０６は、第１のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$と第２のクロックレートに関連したデータレートの信号との間で双方向にレート変換を行うもので、記録モード時には、上記映像信号処理部１０４により生成された上記第１のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$を上記第２のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$に変換して上記記録再生部１０７に供給し、再生モード時には、上記記録再生部１０７から供給される上記第２のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$を上記第１のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙに変換して上記アナログ出力用の信号処理部１０５に供給する。

【００１０】

このレート変換処理部１０６は、輝度信号用のレート変換回路１０６Ｙと各色差信号用のレート変換回路１０６$C_R$，１０６$C_B$とからなる。

【００１１】

ここで、デジタル輝度信号Ｙについての具体的なバス構造を図１０及び図１１に示す。

【００１２】

この図１０及び図１１において、端子１１１Ｙは、双方向バスを介して上記映像信号処理部１０４及び上記アナログ出力用の信号処理部１０５に接続された輝度信号用のレート変換回路１０６Ｙの第１の入出力端子であって、上記映像信号処理部１０４の輝度信号用のラインドライバ１１２Ｙの出力端と上記アナログ出力用の信号処理部１０５の輝度信号用のラインレシーバ１１３Ｙの入力端に接続されている。そして、この第１の入出力端子１１１Ｙには、ラインレシーバ１１４Ｙの入力端とラインドライバ１１５Ｙの出力端が接続されている。また、端子１１６Ｙは双方向バスを介して上記記録再生部１０７に接続された上記輝度信号用のレート変換回路１０６Ｙの第２の入出力端子であって、この第２の入出力端子１１６Ｙにはラインレシーバ１１７Ｙの入力端とラインドライバ１１８の出力端が接続されている。

【００１３】

上記各ラインドライバ１１２Ｙ，１１８Ｙは、上記記録再生部７の動作モードに連動する各制御信号ＣＮＴ１，ＣＮＴ３により制御され、記録モード時には上記各制御信号ＣＮＴ１，ＣＮＴ３が論理「Ｌ」となることにより動作状態となり、再生モード時には上記各制御信号ＣＮＴ１，ＣＮＴ３が論理「Ｈ」となることにより非動作状態となる。また、上記ラインドライバ１１５Ｙは、上記記録再生部７の動作モードに連動する制御信号ＣＮＴ２により制御され、記録モード時には上記制御信号ＣＮＴ２が論理「Ｈ」となることにより非動作状態となり、再生モード時には上記制御信号ＣＮＴ２が論理「Ｌ」となることにより動作状態となる。

【００１４】

上記各制御信号ＣＮＴ１，ＣＮＴ２，ＣＮＴ３は、バスの切り替え時すなわち上記記録再

生部１０７の動作モードの切り替え時には、所定期間だけ同時に論理「H」なって、各ラインドライバ１１２Ｙ，１１５Ｙ，１１８Ｙを非動作状態とさせることにより、各ラインドライバ１１２Ｙ，１１５Ｙが同時に動作状態となり破壊されるのを防止している。

【００１５】

ここで、上記各ラインドライバ１１２Ｙ，１１５Ｙ，１１８Ｙを非動作状態としたハイピーダンスの状態は、不安定であり、特にＣＭＯＳ　ＩＣが接続されている場合にはラッチアップを起こしてＩＣが壊れてしまう可能性が高いので、この双方向バスを、この双方向バスを図１０に示すようにプルアップ抵抗１２１Ｙを介して電源に接続してプルアップしたり、あるいは、図１１に示すようにプルダウン抵抗１２２Ｙを介して接地してプルダウンしていた。

【００１６】

記録モード時には、上記各制御信号ＣＮＴ１，ＣＮＴ３が論理「L」となることにより上記各ラインドライバ１１２Ｙ，１１８Ｙが動作状態となり、また、上記制御信号ＣＮＴ２が論理「H」となることにより上記ラインドライバ１１５非動作状態となる。これにより、記録モード時には、上記映像信号処理部１０４により生成されたデジタル輝度信号Ｙが上記アナログ出力用の信号処理部１０５に供給されるとともに、上記デジタル輝度信号Ｙが輝度信号用のレート変換回路１０６Ｙを介して記録再生部１０７に供給されることになる。

【００１７】

また、再生モード時には、上記各制御信号ＣＮＴ１，ＣＮＴ３が論理「H」となることにより上記各ラインドライバ１１２Ｙ，１１８Ｙが非動作状態となり、また、上記制御信号ＣＮＴ２が論理「L」となることにより上記ラインドライバ１５が動作状態となる。これにより、再生モード時には、上記記録再生部１０７により再生されたデジタル輝度信号Ｙが輝度信号用のレート変換回路１０６Ｙを介して上記アナログ出力用の信号処理部５に供給されることになる。

【００１８】

なお、各色差信号用のレート変換回路$C_R$，$C_B$は、それぞれ上記輝度信号用のレート変換回路１０６Ｙと全く同様に構成され、同様な動作を行うようになっている。

【００１９】

【発明が解決しようとする課題】

ところで、Ｄ１規格におけるビットアサインは、次の表１のようになっている。

【００２０】

【表１】

表１：Ｄ１のビットアサイン

| | デジタルコード<br>０　～２５５ |
|---|---|
| Ｙ | －７．３％～１０９％ |
| $C_R/C_B$ | －１１３％～１１３％ |

【００２１】
従って、双方向バスが単にプルアップされていた場合には、切り替え時にデジタルコードで「２５５」が与えられ、輝度信号レベル＝１０９％、各色差信号レベル＝１１３％の映像が出力されてしまい、画面がまぶしい状態となってしまう。
【００２２】
また、双方向バスが単にプルダウンされていた場合には、切り替え時にデジタルコードで「０」が与えられ、輝度信号レベル＝－７％、各色差信号レベル＝１１３％の映像が出力されてしまい、画面の輝度は抑えられるが色差が最大の状態となってしまう。
【００２３】
このように、従来のデジタルビデオカメラ装置では、双方向バスの切り替え時に、輝度信号レベル＝１０９％、各色差信号レベル＝１１３％の映像が出力されてしまい、画面がまぶしい状態となってしまたり、あるいは、輝度信号レベル＝－７％、各色差信号レベル＝１１３％の映像が出力されてしまい、画面の輝度は抑えられるが色差が最大の状態となってしまい、画面の見にくい状態が発生するという問題点があった。
【００２４】
そこで、本発明の目的は、上述のような従来の問題点に鑑み、画面の見にくい状態が発生することなく、双方向バスの切り替えを行うことができるようにした映像信号処理装置を提供することにある。
【００２５】
【課題を解決するための手段】
本発明に係る映像信号処理装置は、複数の信号ラインで構成される双方向バスを介して伝送される輝度データと色データとのマルチプレックス信号に所定の信号処理を施す映像信号処理ブロックと、上記信号処理ブロックに接続されて、上記マルチプレックス信号が伝送される双方向バスの信号ラインのうち少なくとも１つである１または複数の所定のラインが、上記マルチプレックス信号が輝度データの期間であるか色差データの期間であるかに応じたタイミングに合わせて変化する制御信号に応じてそれぞれプルアップまたはプルダウンする切り替え手段とを有し、上記所定のライン以外の信号ラインは、プルアップまたはプルダウンされることを特徴とする。
また、本発明に係る映像信号処理装置では、上記双方向バスにおいて、上記双方向バスの切り替え時に色信号レベル０％がバス上に出力される。
【００２９】

【発明の実施の形態】
以下、本発明の実施の形態例について図面を参照しながら説明する。
【００３０】
本発明に係る映像信号処理装置は、例えば図１に示すような構成のデジタルビデオカメラ装置に適用される。
【００３１】
この図１に示すデジタルビデオカメラ装置は、撮像部１により得られる撮像信号をデジタル化してＤ１規格に準拠した画像データとして記録するもので、撮像部１により得られる三原色撮像信号Ｒ，Ｇ，Ｂがアナログ信号処理部２を介して供給されるアナログデジタル（Ａ／Ｄ）変換部３、このＡ／Ｄ変換部３によりディジタル化された各色撮像データＲ，Ｇ，Ｂが供給される映像信号処理部４、この映像信号処理部４により生成されたデジタル輝度信号Ｙと２つのディジタル色差信号$C_R$，$C_B$が供給されるアナログ出力用の信号処理部５やレート変換処理部６などを備え、Ｄ１規格に準拠した画像データの記録再生を行う記録再生部７が双方向バスを介して上記レート変換処理部６に接続されている。
【００３２】
上記撮像部１は、例えば、図示しない撮像レンズから光学的ローパスフィルタを介して入射される撮像光を色分解プリズムにより三原色光成分に分解して、被写体像の三原色画像を三枚のＣＣＤイメージセンサで撮像するようになっている。上記各ＣＣＤイメージセンサは、それぞれ第１のクロックレートで駆動され、各色撮像信号Ｒ，Ｇ，Ｂが上記第１のクロックレートで読み出される。そして、上記各ＣＣＤイメージセンサから読み出された各色撮像信号Ｒ，Ｇ，Ｂが上記アナログ信号処理部２を介して上記Ａ／Ｄ変換部３に供給される。
【００３３】
そして、上記アナログ信号処理部２では、上記撮像部１の各ＣＣＤイメージセンサから読み出された各色撮像信号Ｒ，Ｇ，Ｂに対して、相関二重サンプリング（ＣＤＳ：Corelated Double Sampling）によるノイズ除去、ゲイン調整、黒バランス、白バランスやシェーディング補正などの各種レベル調整を含むアナログ信号処理を行う。
【００３４】
また、上記Ａ／Ｄ変換部３では、上記各アナログ色撮像信号Ｒ，Ｇ，Ｂのサンプリングレートに等しい第１のクロックレートで所定の位相を有する駆動クロックに同期したＡ／Ｄ変換処理を行う各Ａ／Ｄ変換器３Ｒ，３Ｇ，３Ｂにより、上記各色撮像信号Ｒ，Ｇ，Ｂを第１のクロックレートでデジタル化する。そして、上記Ａ／Ｄ変換部３によりデジタル化された第１のクロックレートの各デジタル色信号Ｒ，Ｇ，Ｂが上記映像信号処理部４に供給される。
【００３５】
この映像信号処理部４は、上記Ａ／Ｄ変換部３から各デジタル色信号Ｒ，Ｇ，Ｂが供給されるプリプロセッサ４１、このプリプロセッサ４１によりペデスタルが付加されマスキング処理等が行われた各デジタル色信号Ｒ，Ｇ，Ｂが供給されるイメージエンハンサ４２やガンマ，ニー補正回路４３、上記イメージエンハンサ４２やガンマ，ニー補正回路４３により画像強調処理、ペデスタル付加、ガンマ，ニーなどの非線形処理が施された各デジタル色信号Ｒ，Ｇ，Ｂが供給されるＹ／Ｃマトリクス回路４４等からなり、上記Ｙ／Ｃマトリクス回路４４においてトリクス演算処理によって上記各デジタル色信号Ｒ，Ｇ，Ｂからデジタル輝度信号Ｙと２つのデジタル色差信号$C_R$，$C_B$を生成する。そして、上記映像信号処理部４のＹ／Ｃマトリクス回路４４により生成されたデジタル輝度信号Ｙと２つのデジタル色差信号$C_R$，$C_B$は、双方向バスを介して上記アナログ出力用の信号処理部５とレート変換処理部６に供給される。
【００３６】
そして、上記アナログ出力用の信号処理部５は、上記映像信号処理部４又はレート変換処理部６により生成される上記第１のクロックレートに関連したデータレートの信号Ｙ，$C_R$，$C_B$に対するアナログインターフェースとして機能するもので、デジタルアナログ（

Ｄ／Ａ）変換部５Ａとアナログエンコーダ５Ｂからなる。このアナログ出力用の信号処理部５では、上記映像信号処理部４又はレート変換処理部６により生成される上記第１のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$を各Ｄ／Ａ変換器５Ｙ，５$C_R$，５$C_B$によりアナログ輝度信号Ｙとアナログ色差信号$C_R$，$C_B$に変換し、さらに、上記エンコーダ５Ｂにより通常のＮＴＳＣ又はＰＡＬに準拠したナログコンポジット信号$CS_{OUT}$やアナログモニタ信号$Y_{VF}$を生成する。

【００３７】

また、上記レート変換処理部６は、第１のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$と第２のクロックレートに関連したデータレートの信号との間で双方向にレート変換を行うもので、記録モード時には、上記映像信号処理部４により生成された上記第１のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$を上記第２のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$に変換して上記記録再生部７に供給し、再生モード時には、上記記録再生部７から供給される上記第２のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙとデジタル色差信号$C_R$，$C_B$を上記第１のクロックレートに関連したデータレートのデジタル輝度信号信号Ｙに変換して上記アナログ出力用の信号処理部５に供給する。

【００３８】

このレート変換処理部６は、輝度信号用のレート変換回路６Ｙと各色差信号用のレート変換回路６$C_R$，６$C_B$とからなる。

【００３９】

ここで、デジタル輝度信号Ｙについての具体的なバス構造と信号の流れを図２及び図３に示す。

【００４０】

この図２及び図３において、端子１１Ｙは、双方向バスを介して上記映像信号処理部４及び上記アナログ出力用の信号処理部５に接続された輝度信号用のレート変換回路６Ｙの第１の入出力端子であって、上記映像信号処理部４の輝度信号用のラインドライバ１２Ｙの出力端と上記アナログ出力用の信号処理部５の輝度信号用のラインレシーバ１３Ｙの入力端に接続されている。そして、この第１の入出力端子１１Ｙには、ラインレシーバ１４Ｙの入力端とラインドライバ１５Ｙの出力端が接続されている。また、端子１６Ｙは双方向バスを介して上記記録再生部７に接続された上記輝度信号用のレート変換回路６Ｙの第２の入出力端子であって、この第２の入出力端子１６Ｙにはラインレシーバ１７Ｙの入力端とラインドライバ１８の出力端が接続されている。

【００４１】

上記各ラインドライバ１２Ｙ，１８Ｙは、上記記録再生部７の動作モードに連動する各制御信号ＣＮＴ１，ＣＮＴ３により制御され、記録モード時には上記各制御信号ＣＮＴ１，ＣＮＴ３が論理「Ｌ」となることにより動作状態となり、再生モード時には上記各制御信号ＣＮＴ１，ＣＮＴ３が論理「Ｈ」となることにより非動作状態となる。また、上記ラインドライバ１５Ｙは、上記記録再生部７の動作モードに連動する制御信号ＣＮＴ２により制御され、記録モード時には上記制御信号ＣＮＴ２が論理「Ｈ」となることにより非動作状態となり、再生モード時には上記制御信号ＣＮＴ２が論理「Ｌ」となることにより動作状態となる。

【００４２】

ここで、上記各制御信号ＣＮＴ１，ＣＮＴ２，ＣＮＴ３は、バスの切り替え時すなわち上記記録再生部７の動作モードの切り替え時には、図４の（Ａ）に記録モードから再生モードに切り替えた場合を示し、また、図４の（Ｂ）に再生モードから記録モードに切り替えた場合を示すように、所定期間だけ同時に論理「Ｈ」となって、各ラインドライバ１２Ｙ，１５Ｙ，１８Ｙを非動作状態とさせることにより、各ラインドライバ１２Ｙ，１５Ｙが同時に動作状態となで破壊されるのを防止する。

【００４３】

そして、記録モード時には、上記各制御信号ＣＮＴ１，ＣＮＴ３が論理「Ｌ」となることにより上記各ラインドライバ１２Ｙ，１８Ｙが動作状態となり、また、上記制御信号ＣＮＴ２が論理「Ｈ」となることにより上記ラインドライバ１５非動作状態となる。これにより、記録モードにおける輝度信号Ｙの流れを図２に太線で示すように、記録モード時には、上記映像信号処理部４により生成されたデジタル輝度信号Ｙが上記アナログ出力用の信号処理部５に供給されるとともに、上記デジタル輝度信号Ｙが輝度信号用のレート変換回路６Ｙを介して記録再生部７に供給されることになる。

【００４４】

また、再生モード時には上記各制御信号ＣＮＴ１，ＣＮＴ３が論理「Ｈ」となることにより上記各ラインドライバ１２Ｙ，１８Ｙが非動作状態となり、また、上記制御信号ＣＮＴ２が論理「Ｌ」となることにより上記ラインドライバ１５が動作状態となる。これにより、再生モードにおける輝度信号Ｙの流れを図３に太線で示すように、再生モード時には上記記録再生部７により再生されたデジタル輝度信号Ｙが輝度信号用のレート変換回路６Ｙを介して上記アナログ出力用の信号処理部５に供給されることになる。

【００４５】

なお、各色差信号用のレート変換回路６$C_R$，６$C_B$は、それぞれ上記輝度信号用のレート変換回路６Ｙと全く同様に構成され、同様な動作を行うようになっている。

【００４６】

そして、このデジタルビデオカメラ装置では、上記輝度信号用のレート変換回路６Ｙの第１の入出力端子１１Ｙ及び第２の入出力端子１６Ｙに８ビットデータで１０Ｈすなわち輝度信号レベル＝０％に相当するデジタルコードをそれぞれ発生する各デジタルコード発生回路２１Ｙ，２２Ｙが設けられている。上記デジタルコード発生回路２１Ｙ，２２Ｙは、例えば図５に示すように、双方向バスに接続されたプルアップ抵抗２３Ｙと各プルダウン抵抗２４Ｙにより構成される。上記プルアップ抵抗２３Ｙと各プルダウン抵抗２４Ｙは互いに等しい抵抗値Ｒを有する。上記プルアップ抵抗２３Ｙは、一端が電源に接続されており、また、各プルダウン抵抗２４Ｙは一端が接地されている。上記プルアップ抵抗２３Ｙ及び各プルダウン抵抗２４Ｙは、上記各ラインドライバ１２Ｙ，１５Ｙ，１８Ｙが非動作状態でハイインピーダンスとなっているときに、上記プルアップ抵抗２３Ｙを介してバスに論理「１」を与え、また、各プルダウン抵抗２４Ｙを介してバスに論理「０」を与えることにより、デジタルコード「１０Ｈ」を発生する。

【００４７】

また、上記色差信号用のレート変換回路６$C_R$の第１の入出力端子及び第２の入出力端子には、８ビットデータで８０Ｈすなわち色信号レベル＝０％に相当するデジタルコードをそれぞれ発生する各デジタルコード発生回路２１$C_R$，２２$C_R$が設けられている。上記デジタルコード発生回路２１$C_R$，２２$C_R$は、例えば図６に示すように、双方向バスに接続されたプルアップ抵抗２３$C_R$と各プルダウン抵抗２４$C_R$により構成される。上記プルアップ抵抗２３$C_R$と各プルダウン抵抗２４$C_R$は互いに等しい抵抗値Ｒを有する。上記プルアップ抵抗２３は、一端が電源に接続されており、また、各プルダウン抵抗２４$C_R$は一端が接地されている。上記プルアップ抵抗２３$C_R$及び各プルダウン抵抗２４$C_R$は、色差信号$C_R$の各ラインドライバが非動作状態でハイインピーダンスとなっているときに、上記プルアップ抵抗２３$C_R$を介してバスに論理「１」を与え、また、各プルダウン抵抗２４$C_R$を介してバスに論理「０」を与えることにより、デジタルコード「８０Ｈ」を発生する。

【００４８】

さらに、上記色差信号用のレート変換回路６$C_B$の第１の入出力端子及び第２の入出力端子には、８ビットデータで８０Ｈすなわち色信号レベル＝０％に相当するデジタルコードを発生する各デジタルコード発生回路２１$C_B$，２２$C_B$が設けられている。これらのデジタルコード発生回路２１$C_B$，２２$C_B$は、上記各デジタルコード発生回路２１$C_R$，２２$C_R$と全く同様に構成され、同様な動作を行うようになっている。

【００４９】

このような構成のデジタルビデオカメラ装置では、上記記録再生部７の動作モードの切り替え時すなわち双方向バスの切り替え時に、各デジタルコード発生回路２１Ｙ，２２Ｙにより８ビットデータで１０Ｈすなわち輝度信号レベル＝０％に相当するデジタルコードを発生させるとともに、各デジタルコード発生回路２１$C_R$，２２$C_R$ 及び各デジタルコード発生回路２１$C_B$，２２$C_B$ によりそれぞれ８ビットデータで８０Ｈすなわち色信号レベル＝０％に相当するデジタルコードを発生させるので、結果的に黒画像に相当するデジタルコードが双方向バスに与えられることになる。このように、双方向バスの切り替え時に黒画像に相当するデジタルコードが双方向バスに与えられることによって、画面の見にくい状態が発生することなく双方向バスの切り替えを行うことができる。

【００５０】

ここで、上記各デジタルコード発生回路２１Ｙ，２２Ｙ、各デジタルコード発生回路２１$C_R$，２２$C_R$ 及び各デジタルコード発生回路２１$C_B$，２２$C_B$ は、バスを単純にプルアップあるいはプルダウンするのではなく、オール０又はオール１をのぞくデジタルコードを出力するものであれば、双方向バスの切り替え時に画面の見にくい状態が発生するのを防止することができる。

【００５１】

また、Ｄ１のパラレル規格では、輝度信号と各色差信号を多重化して８ビットのバス１本で伝送する仕様となっているので、この場合は、例えば８ビットデータで８０Ｈとするようにプルアップ抵抗とプルダウン抵抗を組み合わせて構成したで至るコード発生回路を設けるようにする。これにより、双方向バスの切り替え時には、輝度信号レベル＝５１％、各色差信号レベル＝０％のグレー画像に相当するデジタルコードが双方方向バスに与えられることになり、画面の見にくい状態が発生することなく双方向バスの切り替えを行うことができる。

【００５２】

さらに、上記各制御信号ＣＮＴ１，ＣＮＴ２，ＣＮＴ３の状態によって、バスのがハイインピーダンスの状態になっている期間がわかるので、切替信号を作って、多重化された輝度信号と各色差信号についてのプログラム値を切り替え選択することも可能である。

【００５３】

例えば図７に示すように、最上位ビットと第５ビットの各ラインはそれぞれ切替スイッチ２１，２２を介してプルアップ抵抗２３とプルダウン抵抗２４に選択的に接続し、他のビットの各ラインはそれぞれプルダウン抵抗２５に接続した構成とする。そして、図８に示すように、上記切替スイッチ２１，２２を切替信号ＳＥＬにより制御して、輝度信号Ｙの期間には１０Ｈの黒画像のデジタルコードを発生し、各色差信号$C_R$，$C_B$ の期間には８０Ｈの黒画像のデジタルコードを発生することにより、画面の見にくい状態が発生することなく双方向バスの切り替えを行うことができる。

【００５４】

【発明の効果】

本発明に係る映像信号処理装置では、複数の信号ラインで構成される双方向バスを介して伝送される輝度データと色データとのマルチプレックス信号に所定の信号処理を施す映像信号処理ブロックに接続された切り替え手段により、上記マルチプレックス信号が伝送される双方向バスの信号ラインのうち少なくとも１つである１または複数の所定のラインが、上記マルチプレックス信号が輝度データの期間であるか色差データの期間であるかに応じたタイミングに合わせて変化する制御信号に応じてそれぞれプルアップまたはプルダウンされ、上記所定のライン以外の信号ラインは、プルアップまたはプルダウンされるので、画面の見にくい状態が発生することなく双方向バスの切り替えを行うことができる。

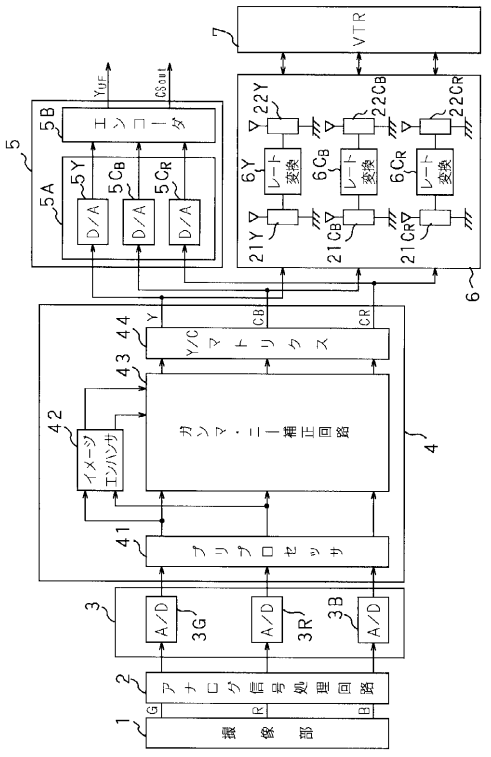
上記映像信号処理装置では、例えば、上記双方向バスにおいて上記双方向バスの切り替え時に色信号レベル０％がバス上に出力されることにより、画面の見にくい状態が発生することなく双方向バスの切り替えを行うことができる。

【図面の簡単な説明】

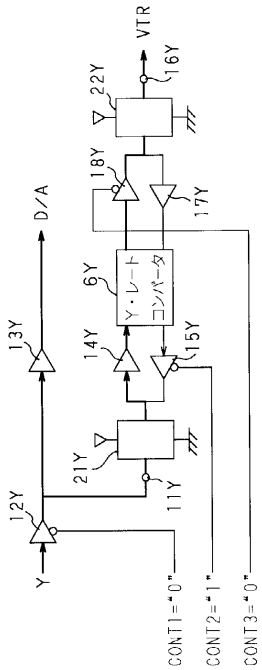
【図１】本発明を適用したデジタルビデオカメラ装置の構成を示すブロック図である。

【図２】上記デジタルビデオカメラ装置における輝度信号用のレート変換回路の構成及び記録モードにおける輝度信号の流れを示す図である。
【図３】上記輝度信号用のレート変換回路の構成及び再生モードにおける輝度信号の流れを示す図である。
【図４】上記輝度信号用のレート変換回路を制御する各制御信号ＣＮＴ１，ＣＮＴ２，ＣＮＴ３を示すタイムチャートであり、（Ａ）に記録モードから再生モードに切り替えた場合を示し、また、（Ｂ）に再生モードから記録モードに切り替えた場合を示す。
【図５】上記デジタルビデオカメラ装置における輝度信号用のデジタルコード発生回路の構成を示す回路図である。
【図６】上記デジタルビデオカメラ装置における色差信号用のデジタルコード発生回路の構成を示す回路図である。
【図７】Ｄ１のパラレル規格に対応するデジタルコード発生回路の構成を示す回路図である。
【図８】上記Ｄ１のパラレル規格に対応するデジタルコード発生回路の動作を示すタイムチャートである。
【図９】従来のデジタルビデオカメラ装置の構成を示すブロック図である。
【図１０】従来のデジタルビデオカメラ装置におけるプルアップしたバス構造を示す図である。
【図１１】従来のデジタルビデオカメラ装置におけるプルダウンしたバス構造を示す図である。
【符号の説明】
６Ｙ，６$C_R$，６$C_B$　レート変換回路、１１Ｙ，１６Ｙ　信号入出力端子、１２Ｙ，１５Ｙ，１８Ｙ　ラインドライバ、　１３Ｙ，１４Ｙ，１７Ｙ　ラインレシーバ、　２１Ｙ，２２Ｙ，２１$C_R$，２２$C_R$，２１$C_B$，２２$C_B$　デジタルコード発生回路

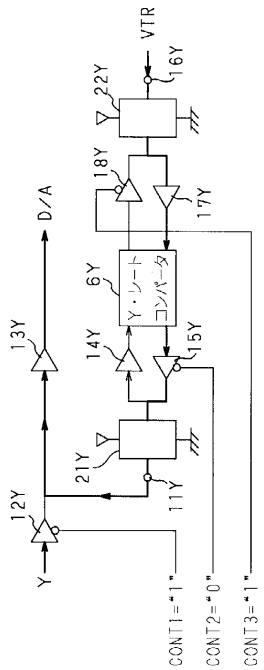
【図１】



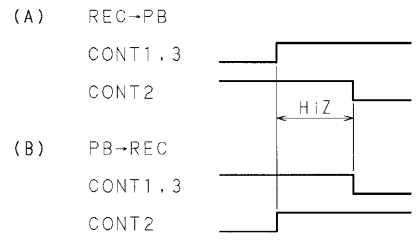

【図２】



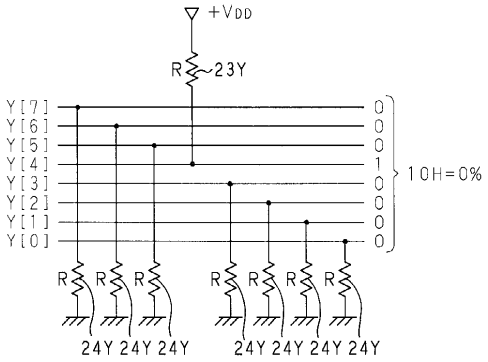
【図３】


VTR
16Y
22Y
18Y
17Y
D/A
6Y
Y・シート
コンバータ
13Y
14Y
15Y
21Y
11Y
12Y
Y
CONT1="1"
CONT2="0"
CONT3="1"

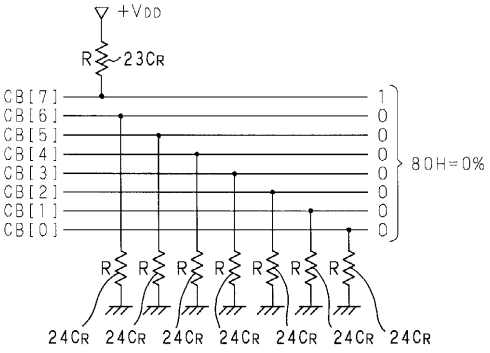
【図４】


(A) REC→PB
CONT1,3
CONT2
HiZ
(B) PB→REC
CONT1,3
CONT2

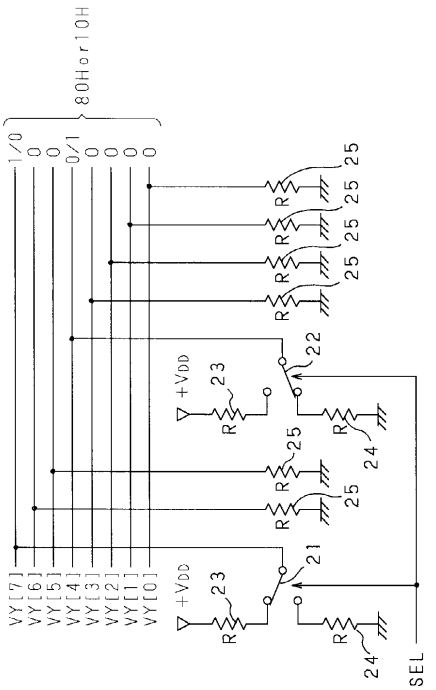
【図５】


+VDD
R
23Y
Y[7]
Y[6]
Y[5]
Y[4]
Y[3]
Y[2]
Y[1]
Y[0]
10H=0%
24Y 24Y 24Y
24Y 24Y 24Y 24Y

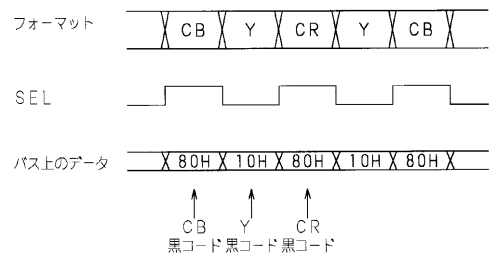
【図６】


+VDD
R
23CR
CB[7]
CB[6]
CB[5]
CB[4]
CB[3]
CB[2]
CB[1]
CB[0]
80H=0%
24CR 24CR 24CR 24CR 24CR 24CR 24CR

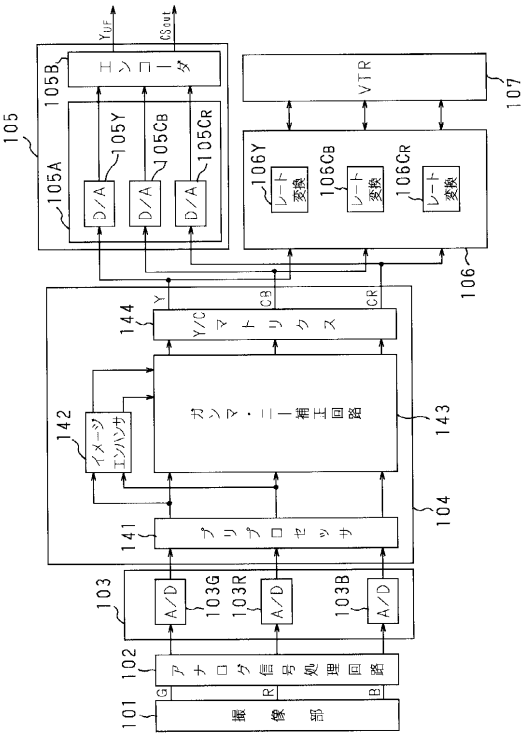
【図７】


80Hor10H
1/0
0/1
VY[7]
VY[6]
VY[5]
VY[4]
VY[3]
VY[2]
VY[1]
VY[0]
+VDD
23
22
21
24
25
SEL

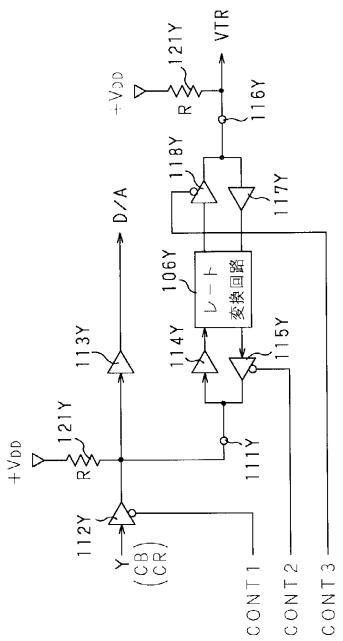
【図８】


フォーマット
CB
Y
CR
Y
CB
SEL
バス上のデータ
80H
10H
80H
10H
80H
CB
黒コード
Y
黒コード
CR
黒コード

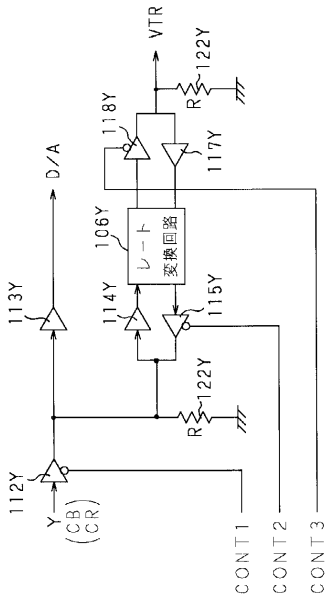
【図９】


撮像部
101
アナログ信号処理回路
102
A/D
103
プリプロセッサ
141
イメージエンハンサ
142
ガンマ・ニー補正回路
143
Y/Cマトリクス
144
エンコーダ
105B
D/A
105A
VTR
107
レート変換
106
104
105

【図１０】


+VDD
121Y
R
VTR
116Y
118Y
117Y
D/A
106Y
レート変換回路
113Y
114Y
115Y
111Y
112Y
Y
(CB)
(CR)
CONT1
CONT2
CONT3

【図１１】


VTR
122Y
R
118Y
117Y
D/A
106Y
レート変換回路
113Y
114Y
115Y
112Y
Y
(CB)
(CR)
CONT1
CONT2
CONT3

フロントページの続き

(51)Int.Cl. F I
***H04N 9/64 (2006.01)***

(56)参考文献 特開平０７－１２３３５３（ＪＰ，Ａ）
特開昭６２－００３５８８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
H04N 5/76-5/956
H04N 9/77-9/898
H04N 9/64
H04N 5/16