

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5132077号  
(P5132077)

(45) 発行日 平成25年1月30日(2013.1.30)

(24) 登録日 平成24年11月16日(2012.11.16)

(51) Int. Cl. F I  
 HO 1 L 29/861 (2006.01) HO 1 L 29/91 C  
 HO 1 L 29/868 (2006.01)

請求項の数 4 (全 11 頁)

(21) 出願番号	特願2006-114614 (P2006-114614)	(73) 特許権者	311003743
(22) 出願日	平成18年4月18日 (2006.4.18)		オンセミコンダクター・トレーディング・
(65) 公開番号	特開2007-287985 (P2007-287985A)		リミテッド
(43) 公開日	平成19年11月1日 (2007.11.1)		英国領バミューダ・エイチエム 11 ハ
審査請求日	平成21年4月2日 (2009.4.2)		ミルトン・チャーチストリート2・クラレ
			ンドンハウス・コーダン サービスーズ
			リミテッド 気付
		(74) 代理人	100107906
			弁理士 須藤 克彦
		(72) 発明者	廣島 崇
			大阪府守口市京阪本通2丁目5番5号 三
			洋電機株式会社内
		(72) 発明者	五嶋 一智
			大阪府守口市京阪本通2丁目5番5号 三
			洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第2導電型の半導体基板上にダイオード素子を備えた半導体装置であって、  
 前記半導体基板の表面に形成された第1導電型のウエル層と、  
 前記ウエル層の表面に絶縁膜を介して形成された環状の電極層と、  
 前記環状の電極層に囲まれた前記ウエル層の表面に該電極層とセルフアラインして形成された第2導電型の第1の不純物層と、  
 前記環状の電極層の外側の前記ウエル層の表面に該電極層とセルフアラインして形成された第2導電型の第2の不純物層と、  
 前記第1の不純物層と接続されたアノード電極と、  
 前記第2の不純物層、前記ウエル層及び前記電極層と接続され、前記第1の不純物層を取り囲んで形成されたカソード電極と、を備え、  
 前記第1の不純物層、前記ウエル層、及び前記第2の不純物層とで横型バイポーラトランジスタを構成したことを特徴とする半導体装置。

【請求項2】

前記第2の不純物層に取り囲まれ、該第2の不純物層と隣接する前記第1の不純物層が複数からなることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記ウエル層に形成された第1導電型の第3の不純物層を備え、前記第3の不純物層が前記カソード電極と接続されたことを特徴とする請求項1または請求項2に記載の半導体

装置。

【請求項 4】

前記ウエル層はレトログレード型のウエル層であることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に寄生電流を防止するダイオードに関するものである。

【背景技術】

10

【0002】

従来より半導体基板上にダイオード素子を設けることが一般的に行われている。ダイオードは、単純な抵抗としてあるいは一定電圧を得るための定電圧回路の一部として等幅広く用いられている。

【0003】

半導体基板に設けられた従来のダイオード素子について図面を参照しながら説明する。図 10 は従来のダイオード素子を示す平面図であり、図 11 はその X - X 線に沿った断面図である。なお、図 10 においては、図 11 に係るアノード配線 104 及びカソード配線 105 の図示を省略する。

【0004】

20

P 型半導体基板 100 内に N 型不純物から成る N ウェル層 101 が形成されている。そして、P 型半導体基板 100 と N ウェル層 101 の境界、及び N ウェル層 101 の所定領域上には LOCOS (Local Oxidation of Silicon) 法や STI (Shallow Trench Isolation) 法による素子分離絶縁膜 102a, 102b が環状に形成されている。

【0005】

また、素子分離絶縁膜 102a で囲まれた N ウェル層 101 上には P 型不純物から成る P+層 103 が形成されている。P+層 103 はアノード配線 104 を介してアノード電極 Anode と接続され、ダイオード素子のアノード領域として用いられている。

【0006】

30

また、素子分離絶縁膜 102a と素子分離絶縁膜 102b の間に挟まれた N ウェル層 101 上には N 型不純物から成るコンタクト用の N+層 105 が形成されている。N+層 105 はカソード配線 106 を介してカソード電極 Cathode と接続され、ダイオード素子のカソード領域として用いられている。

【0007】

また、素子分離絶縁膜 102b の外側の半導体基板 100 の表面上には P 型不純物から成る P+層 107 が形成されている。半導体基板 100 は P+層 107 を介して接地されている。

【0008】

上述した技術に関連する技術は、例えば以下の特許文献に記載されている。

40

【特許文献 1】特開 2002 - 198436 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上述したダイオード素子に順方向電圧を印加して電流を流すと図 11 に示すように P+層 103 がエミッタ領域、N ウェル層 101 がベース領域、P 型半導体基板 100 がコレクタ領域として縦型の寄生バイポーラトランジスタ 110 がオンし、半導体基板 100 に漏れ電流が流れてしまうという問題があった。そして、この問題によって低消費電流を実現できないことや、所望の集積回路（例えば、定電圧回路）を実現できないこと等の様々な問題が生じていた。

50

## 【 0 0 1 0 】

そこで、本発明は半導体基板への漏れ電流を低減し、順方向電流能力を向上させるダイオード素子を有する半導体装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【 0 0 1 1 】

本発明の主な特徴は以下のとおりである。すなわち、本発明の半導体装置は、半導体基板上にダイオード素子を備えた半導体装置であって、前記半導体基板上に形成され、前記ダイオード素子のカソード電極と接続された第1導電型のウェル層と、前記ダイオード素子のアノード電極と接続され、前記ウェル層内に形成された第2導電型の第1の不純物層と、前記ダイオード素子のカソード電極と接続され、前記ウェル層内に前記第1の不純物層と離間して形成された第2導電型の第2の不純物層とを備え、前記第1の不純物層、前記ウェル層、及び前記第2の不純物層とで横型バイポーラトランジスタを構成したことを特徴とする。

10

## 【 0 0 1 2 】

また、本発明の半導体装置は、前記第1の不純物層と前記第2の不純物層との間の前記ウェル層上に絶縁膜を介して電極層が形成されていることを特徴とする。

## 【 0 0 1 3 】

また、本発明の半導体装置は、前記第1の不純物層と前記第2の不純物層との間の前記ウェル層上に素子分離絶縁膜を備えることを特徴とする。

## 【 0 0 1 4 】

また、本発明の半導体装置は、前記ウェル層がレトログレード型のウェル層であることを特徴とする。なお、ここでいうレトログレード型とはその表面側から基板の深さ方向に濃度が高くなっていることである。

20

## 【発明の効果】

## 【 0 0 1 5 】

本発明の半導体装置では、横型バイポーラトランジスタを新たに設けた構造をしている。かかる構造によれば、縦型の寄生バイポーラトランジスタによって基板側に流れる電流を低減し、アノードからカソードへの電流効率を飛躍的に向上させることが可能となる。

## 【発明を実施するための最良の形態】

## 【 0 0 1 6 】

次に、本発明の第1の実施形態について図面を参照しながら説明する。図1は第1の実施形態に係るダイオード素子を有する半導体装置の構造を示す平面図であり、図2はそのY-Y線に沿った断面図である。なお、図1においては図2に係るアノード配線8とカソード配線12の図示を省略する。

30

## 【 0 0 1 7 】

P型半導体基板1内にN型不純物から成るNウェル層2が例えば1 $\mu$ mの深さで形成されている。Nウェル層2はP型半導体基板1の主面にN型不純物として例えばリン(P)イオンを加速電圧1000KeV、注入量 $5 \times 10^{12} / \text{cm}^2$ の条件、加速電圧450KeV、注入量 $5 \times 10^{12} / \text{cm}^2$ の条件、加速電圧160KeV、注入量 $4.5 \times 10^{12} / \text{cm}^2$ の条件という各条件ごとにイオン注入を行い、深さ方向で濃度を変えている。つまり、本実施形態のNウェル層2は基板の表面側よりも深い部分の方が濃度が高くなっているいわゆるレトログレード型のウェル層である。なお、本実施形態では数回に分けてイオン注入を行っているが一度のイオン注入によってNウェル層を形成してもよく、またレトログレード型でなくてもよい。

40

## 【 0 0 1 8 】

また、これらのイオン注入後、しきい値( $V_t$ )調整用のイオン注入を行うこともできる。しきい値調整用のイオン注入は、例えばヒ素(As)イオンを加速電圧60KeV、注入量 $2.3 \times 10^{12} / \text{cm}^2$ の条件で行う。

## 【 0 0 1 9 】

そして、Nウェル層2の所定領域上、P型半導体基板1とNウェル層2との境界、及び

50

Nウェル層2の外側の半導体基板1表面上には素子分離絶縁膜3a, 3b, 3c(例えば、シリコン酸化膜)がそれぞれ環状に形成されている。素子分離絶縁膜3a, 3b, 3cは公知のLOCOS法やSTI法によって形成される。なお、STI法はLOCOS法に比べて分離幅を狭くでき、また分離深さを深くできるので、半導体装置の高集積化や分離能力の向上を図る観点からはSTI法を用いることが好ましい。以後、素子分離絶縁膜3aを第1の素子分離絶縁膜、素子分離絶縁膜3bを第2の素子分離絶縁膜、3cを第3の素子分離絶縁膜と称する。

【0020】

第1の素子分離絶縁膜3aで囲まれたNウェル層2上にはP型不純物から成る第1のP+層4と、この第1のP+層4と離間して形成された第2のP+層5が形成されている。離間距離は例えば約0.3 $\mu\text{m}$ である。第1及び第2のP+層4, 5は例えば後述する電極層10もしくは電極層10の側壁に形成されたサイドウォール11をマスクとして用い、P型不純物としてボロン(B)イオンを加速電圧10KeV, 注入量 $5 \times 10^{15} / \text{cm}^2$ の条件でイオン注入することで形成される。

10

【0021】

また、第1及び第2のP+層4, 5と隣接して低濃度のP-層6, 7がそれぞれ形成され、いわゆるLDD(Lightly Doped Drain)構造が形成されている。これらP-層6, 7は後述する電極層10をマスクとして用い、P型不純物として二フッ化ボロン(BF<sub>2</sub>)イオンを加速電圧10KeV, 注入量 $7 \times 10^{13} / \text{cm}^2$ の条件でイオン注入することで形成される。なお、LDD構造を形成しない場合、当該イオン注入は不要である。

20

【0022】

第1のP+層4はアノード配線8を介してアノード電極(Anode)と電氣的に接続され、アノード領域として用いられている。また、本実施形態においては第1のP+層4がNウェル層2上に島状に形成されている。

【0023】

そして、第2のP+層5は第1のP+層4と離間し、第1のP+層4を囲うようにして環状に形成されている。また、第2のP+層5はカソード配線12を介してカソード電極(Cathode)と接続されている。

【0024】

また、第1のP+層4と第2のP+層5との間のNウェル層2上にはシリコン酸化膜等のゲート絶縁膜9が形成され、当該ゲート絶縁膜9を介して例えばポリシリコン層等から成る電極層10が第1のP+層4を囲うようにして環状に形成されている。また、電極層10の側壁にはサイドウォール11が形成されている。このサイドウォール11は例えばCVD法によりシリコン酸化膜やシリコン窒化膜を堆積し、当該膜をエッチバックすることで形成することができる。

30

【0025】

また、電極層10はカソード配線12を介してカソード電極(Cathode)と接続されている。なお、電極層10の幅は上述した第1のP+層4と第2のP+層5の離間距離とほぼ同じであり例えば0.3 $\mu\text{m}$ である。

40

【0026】

このように本実施形態では第1のP+層4をエミッタ領域、Nウェル層2をベース領域、第2のP+層をコレクタ領域とする横型バイポーラトランジスタ50が形成されている。なお、当該ベース領域はさらに詳しく言えば、Nウェル層2であって第1のP+層4と第2のP+層5の間の領域である。

【0027】

また、第1の素子分離絶縁膜3aと第2の素子分離絶縁膜3bの間に挟まれたNウェル層2表面にはN型不純物から成るコンタクト用のN+層13が形成されている。このN+層13はN型不純物として例えばヒ素(As)イオンを加速電圧50KeV, 注入量 $6 \times 10^{15} / \text{cm}^2$ の条件でイオン注入することによって形成される。N+層13はカソー

50

ド配線 12 を介してカソード電極と接続されている。このように本実施形態では、第 1 の P + 層 4 と N 層 ( N ウェル層 2 及び N + 層 13 ) とで P N 接合によってダイオードが形成されている。

【 0028 】

また、第 2 の素子分離絶縁膜 3 b と第 3 の素子分離絶縁膜 3 c との間における半導体基板 1 表面には P 型不純物から成る第 3 の P + 層 14 が形成されている。半導体基板 1 は第 3 の P + 層 14 を介して接地されている。なお、P + 層 14 は第 1 及び第 2 の P + 層 4 , 5 と同一工程で形成することができる。

【 0029 】

このように第 1 の実施形態では、横型 P N P バイポーラトランジスタを利用したダイオード素子が形成されている。

10

【 0030 】

次に、第 1 の実施形態に係る半導体装置の構造 ( 以下、第 1 構造と称する ) の電流効率について具体例を挙げて説明する。ここで、電流効率 = カソード出力電流 ( アンペア ) ÷ アノード入力電流 ( アンペア ) × 100 である。また、電流損失 = ( アノード入力電流 - カソード出力電流 ) ÷ アノード入力電流 × 100 である。また、以下の測定結果のグラフの横軸における  $1 \cdot E - 0 n [ A ]$  は、 $1 \times 10^{-n} [ A ]$  を意味する。また、電流効率の測定は Agilent 4156C ( アジレント・テクノロジー ( 株 ) ) を用いて行った。

【 0031 】

20

図 3 において、四角 ( ) のプロットを結んだ線は、第 1 構造において電極層 10 の幅 ( ゲート幅 = GL ) が  $0.3 \mu m$  の場合の第 1 構造であって、各アノード入力電流を流した場合の電流効率を示したものである。また、丸 ( ) のプロットを結んだ線は図 10 及び図 11 で示した従来構造の電流効率を示している。

【 0032 】

この図から明らかのように今回測定した全ての範囲 ( アノード入力電流が  $1 \times 10^{-8} \sim 1 \times 10^{-1} [ A ]$  ) において、第 1 構造の方が従来構造に比して電流効率が高いことが判る。特に  $1 \times 10^{-4} [ A ]$  よりも低い範囲では、従来構造の電流効率が約 20% であるのに対して、第 1 構造ではほぼ 100% に近く、第 1 構造の電流効率が飛躍的に高い。

【 0033 】

30

このように、従来構造に比して電流効率が飛躍的に上昇するのは第 1 構造に形成された横型バイポーラトランジスタ 50 によるものと考えられる。つまり、図 2 に示すように、第 1 構造における横型バイポーラトランジスタ 50 の作用によって、寄生バイポーラトランジスタ 60 の作用は抑えられ、P 型半導体基板 1 側に従来流れていた漏れ電流をカソード側へと流すことが可能である。

【 0034 】

次に、電極層 10 の幅を変えた場合についての測定結果を示し、電流効率と横型バイポーラトランジスタ 50 のゲート幅 ( GL ) との関係の説明する。図 4 は第 1 構造における電極層 10 の幅 ( GL ) の長さを  $0.28 \mu m$ 、 $0.30 \mu m$ 、 $0.34 \mu m$ 、 $0.54 \mu m$ 、 $0.74 \mu m$  のそれぞれの値にした場合の電流効率と、従来構造の電流効率とを示している。そして、図 4 ( b ) は図 4 ( a ) の領域 R における部分拡大図である。

40

【 0035 】

図 4 ( a ) , ( b ) から明らかなように、電極層 10 の幅 ( GL ) を短くすればするほど、横型バイポーラトランジスタ 50 の電流増幅率を向上させ、より大きなアノード入力電流に対しても高い電流効率を維持できることが判る。従って、電流効率を上げる観点から、横型バイポーラトランジスタ 50 のゲート幅をできるだけ短くすることが好ましい。

【 0036 】

なお、図 3 , 4 ( a ) ( b ) に示すように第 1 構造においてアノード入力電流を大きくしていくと  $1 \times 10^{-4} ( A )$  を超えてから電流効率が徐々に減少し、さらに大きくしていくと電流効率が徐々に上昇していく。また、従来構造ではアノード入力電流を  $1 \times 10$

50

$10^{-4}$ を超えた範囲で徐々に電流効率が上昇している。これらの現象の詳細なメカニズムについては不明である。

【0037】

次に、電極層をカソード配線に接続した場合（以下、カソード接続）と、アノード配線に接続した場合（以下、アノード接続）のそれぞれの電流効率について説明する。図5（a）は上記第1構造と同様の構成の電極層をカソード接続した場合の電流効率（A）及び電流損失（B）を示し、図5（b）はそれと同じ装置の電極層をアノード接続した場合の電流効率（C）及び電流損失（D）を示している。

【0038】

これらの測定結果から、カソード接続の方がアノード接続よりも電流効率が高いことが判る。アノード接続の方が電流効率が低いのは、アノード接続すると電極層下が蓄積状態となって電子が集まり、横型バイポーラトランジスタ50の電流増幅率（ $hFE$ ）が低くなるためカソード接続よりも電流効率が落ちていると考えられる。そのため、電流効率を上げる観点からは、電極層を本実施形態のようにカソード接続することが好ましい。なお、いずれの接続の場合も従来構造と比べると電流効率は高かった。

10

【0039】

また、電流効率を上げる観点から、Nウェル層2の濃度を表面側から深さ方向に高くなるようなレトログレード型に構成することが好ましいと考えられる。かかる構成によれば、基板表面側は深い箇所にして電流増幅率が高くなる。そのため、横型バイポーラトランジスタ50の電流増幅率を向上させ、逆に寄生バイポーラトランジスタ60の電流増幅率を抑制することができると考えられるからである。

20

【0040】

次に、本発明の第2の実施形態について図面を参照しながら説明する。図6は第2の実施形態に係るダイオード素子を有する半導体装置の構造（以下、第2構造と称する）を示す平面図であり、図7はそのZ-Z線に沿った断面図である。なお、第1の実施形態と同様の構成については同一符号を用い、その説明を省略する。なお、図示は省略するが、必要に応じて第1及び第2のP+層4, 5内に第1の実施形態のP-層6, 7と同様に低濃度のイオン注入を行う。

【0041】

横型バイポーラトランジスタを設けた構成は第1の実施形態と同様であるが、第2の実施形態では、図6及び図7に示すように素子分離絶縁膜20によって第1のP+層4と第2のP+層5を分離し、当該素子分離絶縁膜20の下方を介して横型PNPバイポーラトランジスタ70を構成した点が特徴である。

30

【0042】

素子分離絶縁膜20は公知のLOCOS法やSTI法によって形成されるが、分離幅を短くし当該横型PNPバイポーラトランジスタの電流駆動能力を上げる観点からSTI法による絶縁膜（トレンチ絶縁膜）の方が好ましい。素子分離絶縁膜20の膜厚は例えば0.3  $\mu m$ であり、その幅は例えば0.3  $\mu m$ である。

【0043】

このように第2構造においては、素子分離絶縁膜20が第1のP+層4と第2のP+層5との間に配置された横型PNPバイポーラトランジスタを利用したダイオード素子が形成されている。

40

【0044】

次に、第2構造の電流効率について具体例を挙げて説明する。図8において、バツ（ $\times$ ）のプロットを結んだ線は、素子分離絶縁膜20の幅が0.3  $\mu m$ の場合の第2構造であって、各アノード入力電流を流した場合の電流効率を示したものである。また、マル（ $\circ$ ）のプロットを結んだ線は図10及び図11で示した従来構造の電流効率を示している。

【0045】

この図から明らかのような測定した全ての範囲（アノード入力電流が $1 \times 10^{-8} \sim 1 \times 10^{-1}$  [A]）において、第2構造の方が従来構造に比して電流効率が約20パーセン

50

ト程高いことが判る。

【0046】

なお、図8に示すように第2構造においてアノード入力電流を大きくしていくと $1 \times 10^{-4}$  [A]を超える付近から電流効率が徐々に上昇していく。また、従来構造ではアノード入力電流を $1 \times 10^{-4}$  [A]を超えた範囲で徐々に電流効率が上昇している。これらの現象の詳細なメカニズムについては不明であるが、 $1 \times 10^{-1}$  [A]よりも高い範囲においても第2構造の方が従来構造よりも電流効率が高いことが予測される。

【0047】

また、第2構造は第1のP+層4と第2のP+層5との間に素子分離絶縁膜20が形成されているため、第1構造に比して耐圧の効果が高い。従って、アノード(第1のP+層4)側に図2で示したゲート絶縁膜9の耐圧以上の電圧が印加されるのであれば、第2構造が好ましい。

10

【0048】

このように横型バイポーラトランジスタを第1及び第2の実施形態のように設けることで縦型の寄生バイポーラトランジスタによる寄生電流を低減させ、順方向電流能力を向上させることができる。従って、このような半導体装置を用いることで低消費電流を実現し、所望の特性をもった集積回路を実現することが可能となる。

【0049】

また、本発明は上記実施形態に限定されることはなくその要旨を逸脱しない範囲で変更が可能であることは言うまでも無い。

20

【0050】

例えば、上記実施形態では第1のP+層4がNウェル層2上に一つの島状に形成されていたが、図9に示すように二つの島状に形成され(第1のP+層30)、それぞれの第1のP+層30を囲むように電極層31が形成されていてもよく、様々なデザインが可能である。また、第1の実施形態ではサイドウォール11を設けLDD構造を有していたが、同一半導体基板上に形成される他の素子に応じてサイドウォール11やLDD構造を形成させなくてもよい。また、上記実施形態ではP型半導体基板から成る半導体装置について説明したが、N型半導体基板から成る半導体装置に本発明を適用するものであってもよい。

【図面の簡単な説明】

30

【0051】

【図1】本発明の第1の実施形態に係る半導体装置を説明する平面図である。

【図2】本発明の第1の実施形態に係る半導体装置を説明する断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の電流効率を説明するグラフである。

【図4】本発明の第1の実施形態に係る半導体装置の電流効率を説明するグラフである。

【図5】本発明の第1の実施形態に係る半導体装置の電流効率を説明するグラフである。

【図6】本発明の第2の実施形態に係る半導体装置を説明する平面図である。

【図7】本発明の第2の実施形態に係る半導体装置を説明する断面図である。

【図8】本発明の第2の実施形態に係る半導体装置の電流効率を示すグラフである。

【図9】本発明の他の実施形態の半導体装置を説明する断面図である。

40

【図10】従来の半導体装置を説明する平面図である。

【図11】従来の半導体装置を説明する断面図である。

【符号の説明】

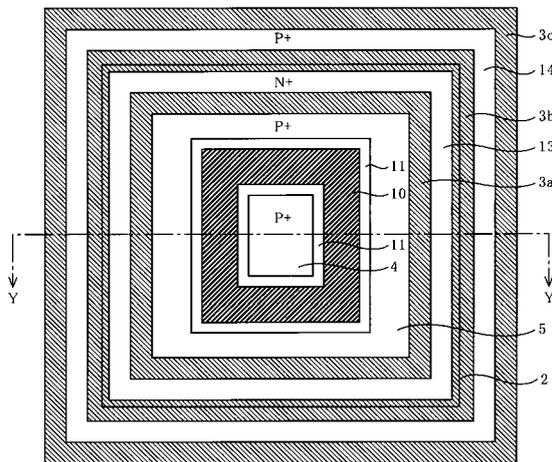
【0052】

1 P型半導体基板      2 Nウェル層      3 a 第1の素子分離絶縁膜  
 3 b 第2の素子分離絶縁膜      3 c 第3の素子分離絶縁膜      4 第1のP+層  
 5 第2のP+層      6 P-層      7 P-層      8 アノード配線  
 9 ゲート絶縁膜      10 電極層      11 サイドウォール  
 12 カソード配線      13 N+層      14 第3のP+層  
 20 素子分離絶縁膜      30 第1のP+層      31 電極層

50

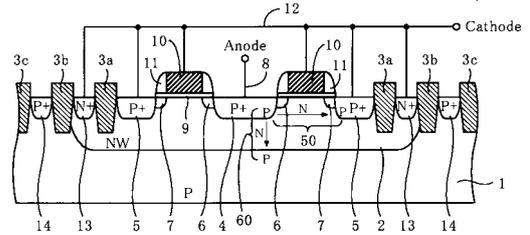
- 50 横型バイポーラトランジスタ      60 寄生バイポーラトランジスタ
- 70 横型バイポーラトランジスタ      100 P型半導体基板
- 101 Nウェル層      102 a ~ 102 c 素子分離絶縁膜
- 103 第1のP+層      104 アノード配線      105 N+層
- 106 カソード配線      110 寄生バイポーラトランジスタ
- Anode アノード電極      Cathode カソード電極

【図1】



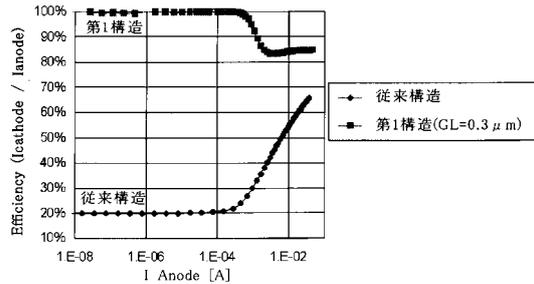
- 2 : Nウェル層      3a : 第1の素子分離絶縁膜
- 3b : 第2の素子分離絶縁膜      3c : 第3の素子分離絶縁膜
- 4 : 第1のP+層      5 : 第2のP+層      10 : 電極層
- 11 : サイドウォール      13 : N+層      14 : 第3のP+層

【図2】

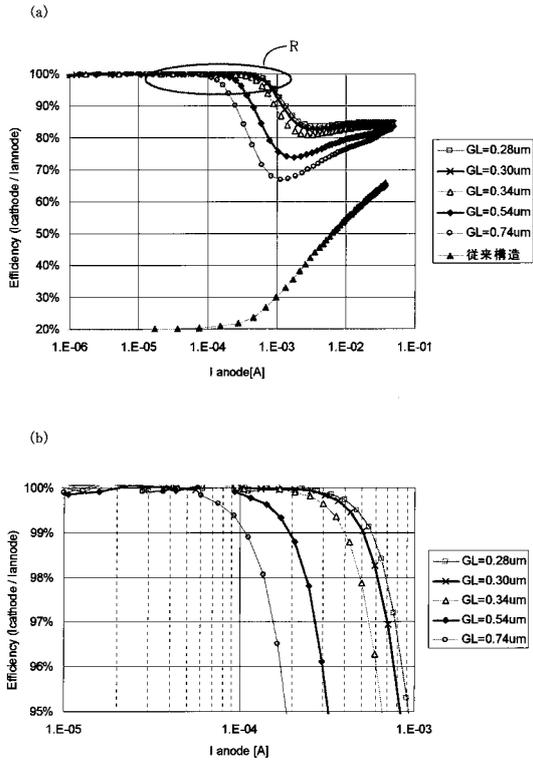


- 1 : P型半導体基板      6 : P-層      7 : P-層
- 8 : アノード配線      9 : ゲート絶縁膜      10 : 電極層
- 12 : カソード配線      50 : 横型バイポーラトランジスタ
- 60 : 寄生バイポーラトランジスタ

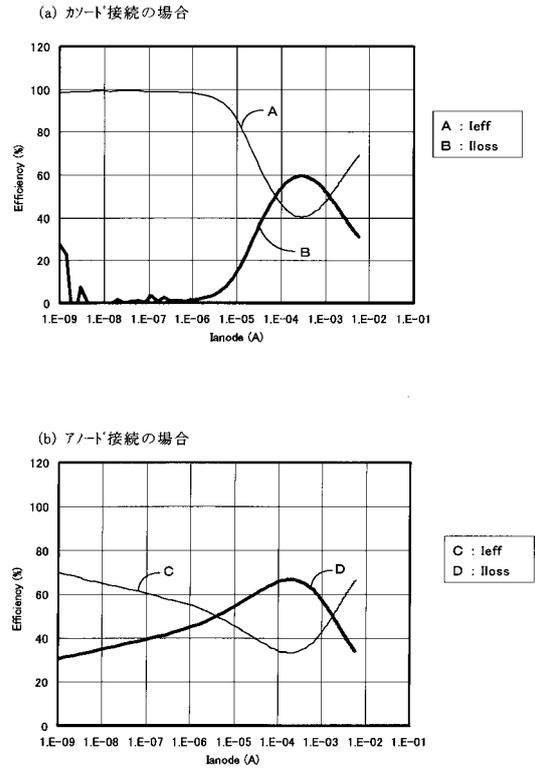
【図3】



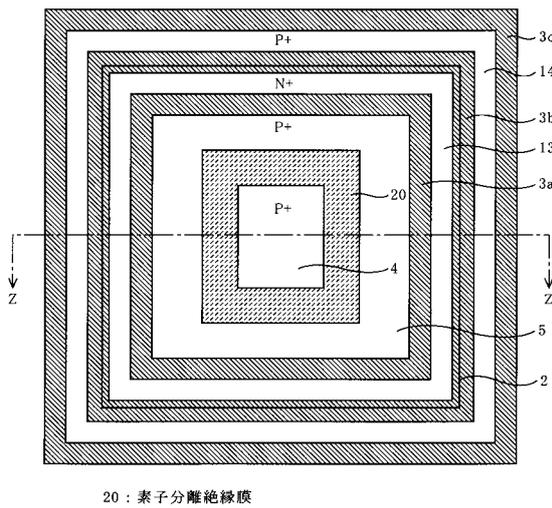
【 図 4 】



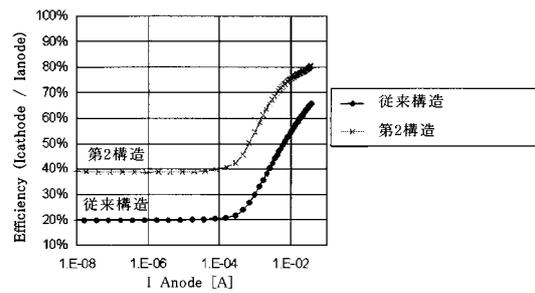
【 図 5 】



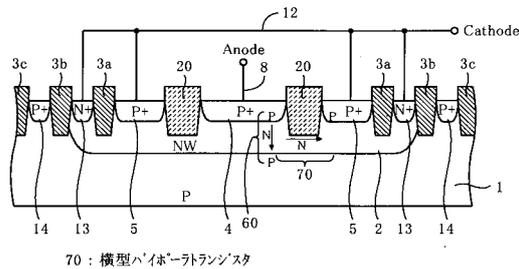
【 図 6 】



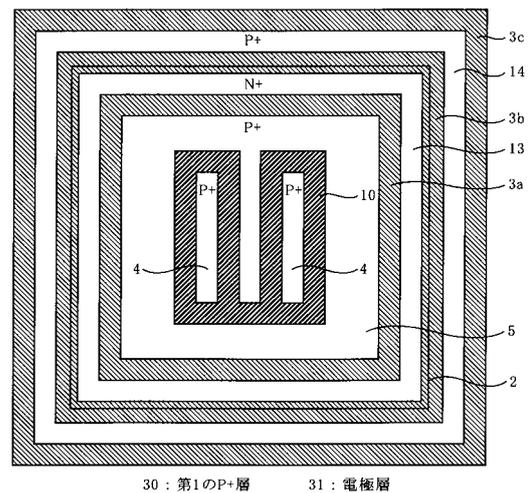
【 図 8 】



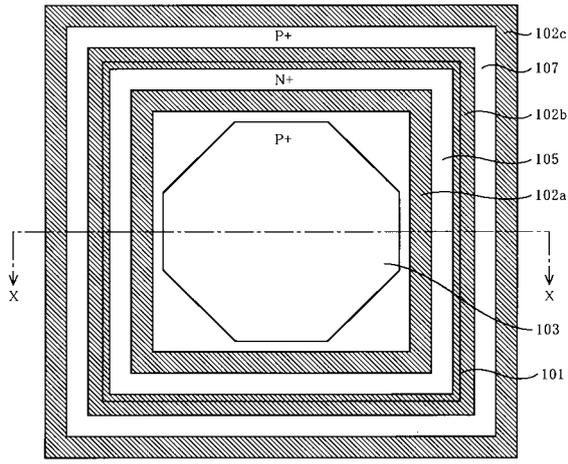
【 図 7 】



【 図 9 】

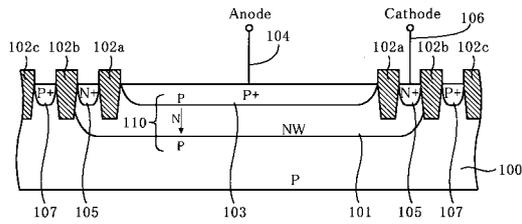


【図10】



101 : NW層      102a~102c : 素子分離絶縁膜  
103 : 第1のP+層      105 : N+層      107 : P+層

【図11】



100 : P型半導体基板      104 : アノード配線  
106 : カソード配線      110 : 寄生バイポーラトランジスタ

---

フロントページの続き

審査官 村岡 一磨

- (56)参考文献 特開平07-202225(JP,A)  
特開平11-307786(JP,A)  
特開2000-022508(JP,A)  
特開2003-179226(JP,A)  
特開2002-050698(JP,A)  
特開平06-069429(JP,A)  
特開平09-069616(JP,A)  
特開平10-173068(JP,A)  
特開平08-330439(JP,A)  
国際公開第98/020564(WO,A1)

- (58)調査した分野(Int.Cl., DB名)  
H01L 29/861  
H01L 29/868