【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成20年5月29日(2008.5.29)

【公開番号】特開2006-31912(P2006-31912A)
【公開日】平成18年2月2日(2006.2.2)
【年通号数】公開・登録公報2006-005
【出願番号】特願2005-170531(P2005-170531)
【国際特許分類】
Ｇ１１Ｃ　19/00　(2006.01)
Ｇ０９Ｇ　3/20　(2006.01)
Ｇ０９Ｇ　3/36　(2006.01)
Ｇ１１Ｃ　19/28　(2006.01)
【ＦＩ】
Ｇ１１Ｃ　19/00　Ｊ
Ｇ０９Ｇ　3/20　６１１Ａ
Ｇ０９Ｇ　3/20　６１１Ｊ
Ｇ０９Ｇ　3/20　６２１Ｍ
Ｇ０９Ｇ　3/20　６２２Ｅ
Ｇ０９Ｇ　3/20　６２３Ｈ
Ｇ０９Ｇ　3/20　６８０Ｇ
Ｇ０９Ｇ　3/36
Ｇ１１Ｃ　19/28　Ｂ

【手続補正書】
【提出日】平成20年4月14日(2008.4.14)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
クロックドインバータを用いたフリップフロップ回路を複数段有し、
前記クロックドインバータは、インバータと、第１の補償回路と、第２の補償回路とを有し、
前記インバータは、一導電型の第１のトランジスタと、前記一導電型とは逆の導電型の第２のトランジスタとを有し、
前記第１のトランジスタのソースは第１の電源線に電気的に接続され、
前記第２のトランジスタのソースは第２の電源線に電気的に接続され、
前記第１のトランジスタのドレインと前記第２のトランジスタのドレインとは電気的に接続されて前記インバータの出力となり、
前記第１の補償回路は、前々段のフリップフロップ回路の出力と、前段のフリップフロップ回路の出力とを用いて、前記第１のトランジスタのゲートに入力される信号を生成し、
前記第２の補償回路は、後段のフリップフロップ回路の出力と、クロック信号とを用いて、前記第２のトランジスタのゲートに入力される信号を生成することを特徴とするシフトレジスタ。
【請求項２】
請求項１において、

前記第１の補償回路及び前記第２の補償回路において生成される信号によって、前記インバータの出力パルスの立ち上がり又は立ち下がりのタイミングが制御され、且つ前記クロック信号を前記第２のトランジスタのゲートに入力するか否かが制御されることを特徴とするシフトレジスタ。

【請求項３】

クロックドインバータを用いたフリップフロップ回路を複数段有し、

前記クロックドインバータは、一導電型の第１のトランジスタ及び前記一導電型とは逆の導電型の第２のトランジスタとを有するインバータと、第３のトランジスタ及び第４のトランジスタを有する第１の補償回路と、第５のトランジスタ及びスイッチング素子を有する第２の補償回路とを有し、

前記第１のトランジスタのソースは第１の電源線に電気的に接続され、

前記第２のトランジスタのソースは第２の電源線に電気的に接続され、

前記第１のトランジスタのドレインと前記第２のトランジスタのドレインとは電気的に接続されて前記インバータの出力となり、

前記第４のトランジスタのソースは前記第１の電源線に電気的に接続され、

前記第５のトランジスタのソースは前記第２の電源線に電気的に接続され、

前記第３のトランジスタのゲート及び前記第４のトランジスタのゲートには、前段のフリップフロップ回路に用いられている前記クロックドインバータから出力される信号が入力されており、

前記第５のトランジスタのゲート及び前記スイッチング素子の制御端子には、後段のフリップフロップ回路から出力される信号が入力されており、

前記スイッチング素子の入力端子にはクロック信号が入力されており、

前記スイッチング素子の出力端子及び前記第５のトランジスタのドレインは、前記第２のトランジスタのゲートに電気的に接続されており、

前記第３のトランジスタのソースまたはドレインの一方には、前々段のフリップフロップ回路に用いられている前記クロックドインバータから出力される信号が入力されており、

前記第３のトランジスタのソースまたはドレインの他方及び前記第４のトランジスタのドレインは前記第１のトランジスタのゲートに電気的に接続されていることを特徴とするシフトレジスタ。

【請求項４】

クロックドインバータを用いたフリップフロップ回路を複数段有し、

前記クロックドインバータは、一導電型の第１のトランジスタ及び前記一導電型とは逆の導電型の第２のトランジスタとを有するインバータと、第３のトランジスタ及び第４のトランジスタを有する第１の補償回路と、第５のトランジスタ及びトランスミッションゲートを有する第２の補償回路とを有し、

前記第１のトランジスタのソースは第１の電源線に電気的に接続され、

前記第２のトランジスタのソースは第２の電源線に電気的に接続され、

前記第１のトランジスタのドレインと前記第２のトランジスタのドレインとは電気的に接続されて前記インバータの出力となり、

前記第４のトランジスタのソースは前記第１の電源線に電気的に接続され、

前記第５のトランジスタのソースは前記第２の電源線に電気的に接続され、

前記第３のトランジスタのゲート及び前記第４のトランジスタのゲートには、前段のフリップフロップ回路に用いられている前記クロックドインバータから出力される信号が入力されており、

前記第５のトランジスタのゲート及び前記トランスミッションゲートの第１の制御端子には、後段のフリップフロップ回路から出力される信号が入力されており、

前記トランスミッションゲートの第２の制御端子には、後段のフリップフロップ回路から出力される信号を反転させた信号が入力されており、

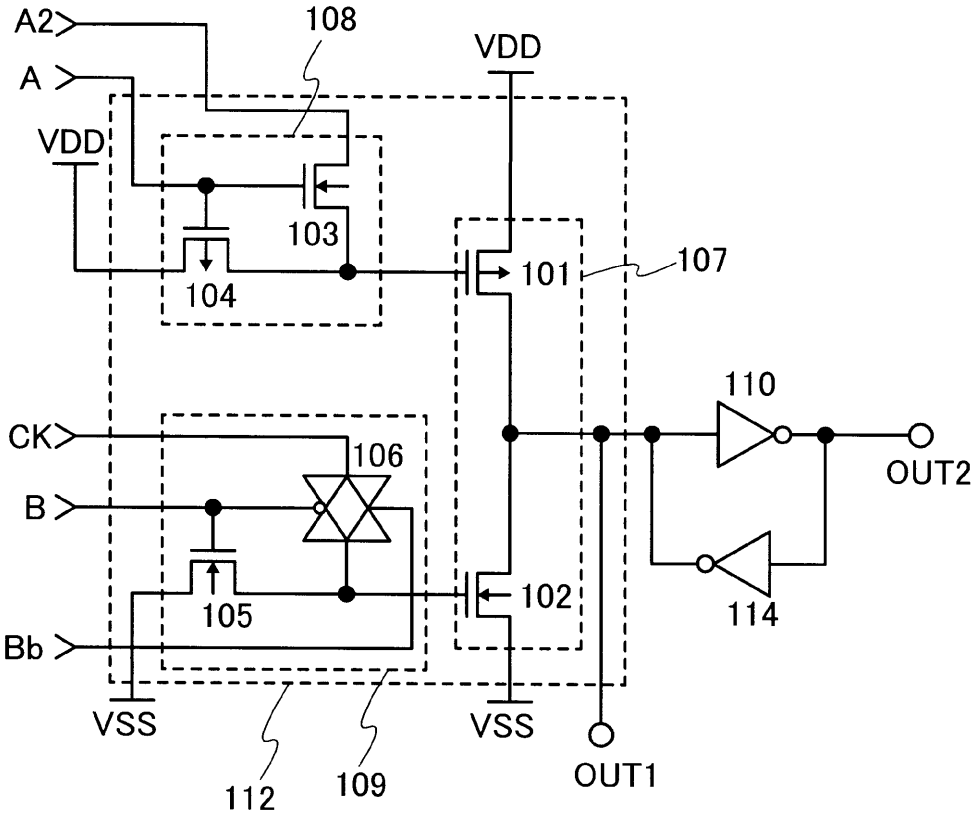
前記トランスミッションゲートの入力端子にはクロック信号が入力されており、

前記トランスミッションゲートの出力端子及び前記第５のトランジスタのドレインは、前記第２のトランジスタのゲートに電気的に接続されており、
前記第３のトランジスタのソースまたはドレインの一方には、前々段のフリップフロップ回路に用いられている前記クロックドインバータから出力される信号が入力されており、
前記第３のトランジスタのソースまたはドレインの他方及び前記第４のトランジスタのドレインは前記第１のトランジスタのゲートに電気的に接続されていることを特徴とするシフトレジスタ。
【請求項５】
請求項３または請求項４において、
前記第１のトランジスタ及び前記第４のトランジスタはｐ型のトランジスタであり、前記第２のトランジスタ、前記第３のトランジスタ及び前記第５のトランジスタはｎ型のトランジスタであることを特徴とするシフトレジスタ。
【請求項６】
クロックドインバータを用いたフリップフロップ回路を複数段有し、
前記クロックドインバータは、一導電型の第１のトランジスタ及び前記一導電型とは逆の導電型の第２のトランジスタとを有するインバータと、第３のトランジスタ及び第４のトランジスタを有する第１の補償回路と、第５のトランジスタ及びスイッチング素子を有する第２の補償回路とを有し、
前記第１のトランジスタのソースは第１の電源線に電気的に接続され、
前記第２のトランジスタのソースは第２の電源線に電気的に接続され、
前記第１のトランジスタのドレインと前記第２のトランジスタのドレインとは電気的に接続されて前記インバータの出力となり、
前記第４のトランジスタのソースは前記第２の電源線に電気的に接続され、
前記第５のトランジスタのソースは前記第１の電源線に電気的に接続され、
前記第３のトランジスタのゲート及び前記第４のトランジスタのゲートには、前段のフリップフロップ回路に用いられている前記クロックドインバータから出力される信号が入力されており、
前記第５のトランジスタのゲート及び前記スイッチング素子の制御端子には、後段のフリップフロップ回路から出力される信号が入力されており、
前記スイッチング素子の入力端子にはクロック信号が入力されており、
前記スイッチング素子の出力端子及び前記第５のトランジスタのドレインは、前記第１のトランジスタのゲートに電気的に接続されており、
前記第３のトランジスタのソースまたはドレインの一方には、前々段のフリップフロップ回路に用いられている前記クロックドインバータから出力される信号が入力されており、
前記第３のトランジスタのソースまたはドレインの他方及び前記第４のトランジスタのドレインは前記第２のトランジスタのゲートに電気的に接続されていることを特徴とするシフトレジスタ。
【請求項７】
クロックドインバータを用いたフリップフロップ回路を複数段有し、
前記クロックドインバータは、一導電型の第１のトランジスタ及び前記一導電型とは逆の導電型の第２のトランジスタとを有するインバータと、第３のトランジスタ及び第４のトランジスタを有する第１の補償回路と、第５のトランジスタ及びトランスミッションゲートを有する第２の補償回路とを有し、
前記第１のトランジスタのソースは第１の電源線に電気的に接続され、
前記第２のトランジスタのソースは第２の電源線に電気的に接続され、
前記第１のトランジスタのドレインと前記第２のトランジスタのドレインとは電気的に接続されて前記インバータの出力となり、
前記第４のトランジスタのソースは前記第２の電源線に電気的に接続され、

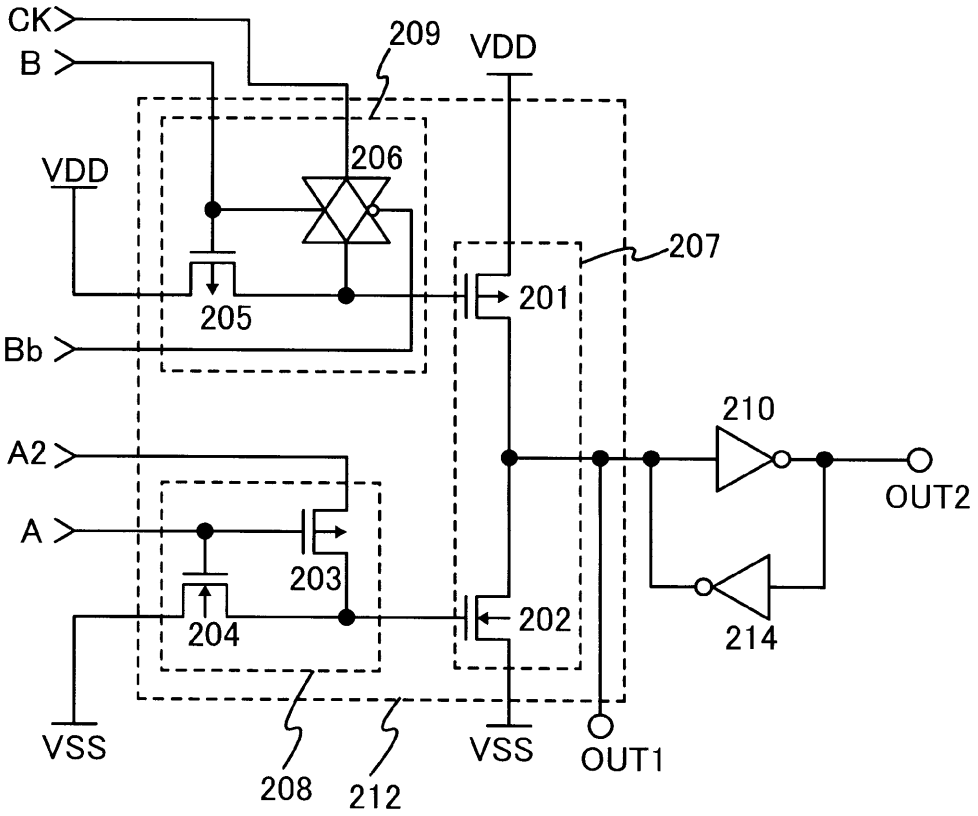
前記第５のトランジスタのソースは前記第１の電源線に電気的に接続され、
前記第３のトランジスタのゲート及び前記第４のトランジスタのゲートには、前段のフリップフロップ回路に用いられている前記クロックドインバータから出力される信号が入力されており、
前記第５のトランジスタのゲート及び前記トランスミッションゲートの第１の制御端子には、後段のフリップフロップ回路から出力される信号が入力されており、
前記トランスミッションゲートの第２の制御端子には、後段のフリップフロップ回路から出力される信号を反転させた信号が入力されており、
前記トランスミッションゲートの入力端子にはクロック信号が入力されており、
前記トランスミッションゲートの出力端子及び前記第５のトランジスタのドレインは、前記第１のトランジスタのゲートに電気的に接続されており、
前記第３のトランジスタのソースまたはドレインの一方には、前々段のフリップフロップ回路に用いられている前記クロックドインバータから出力される信号が入力されており、
前記第３のトランジスタのソースまたはドレインの他方及び前記第４のトランジスタのドレインは前記第２のトランジスタのゲートに電気的に接続されていることを特徴とするシフトレジスタ。
【請求項８】
請求項６または請求項７において、
前記第１のトランジスタ、前記第３のトランジスタ及び前記第５のトランジスタはｐ型のトランジスタであり、前記第２のトランジスタ及び前記第４のトランジスタはｎ型のトランジスタであることを特徴とするシフトレジスタ。
【請求項９】
請求項１乃至請求項８のいずれか一において、
前記第１の電源線には、前記第２の電源線よりも高い電位が入力されることを特徴とするシフトレジスタ。
【請求項１０】
請求項１乃至請求項９のいずれか一において、
前記第１の電源線に入力される電位と前記第２の電源線に入力される電位の電位差は、前記クロック信号の振幅電圧よりも大きいことを特徴とするシフトレジスタ。
【請求項１１】
請求項１乃至請求項９のいずれか一において、
前記第１の電源線に入力される電位と前記第２の電源線に入力される電位のうち高い方の電位は、前記クロック信号の最高電位よりも高く、
前記第１の電源線に入力される電位と前記第２の電源線に入力される電位のうち低い方の電位は、前記クロック信号の最低電位よりも低いことを特徴とするシフトレジスタ。
【請求項１２】
請求項１乃至請求項１１のいずれか一において、
複数の画素を有する画素部と、前記複数の画素の選択を行なう走査線駆動回路と、前記選択された画素へのビデオ信号の入力を制御する信号線駆動回路とを有し、
前記走査線駆動回路または前記信号線駆動回路には前記シフトレジスタが用いられていることを特徴とする半導体表示装置。
【手続補正２】
【補正対象書類名】図面
【補正対象項目名】図４
【補正方法】変更
【補正の内容】

【図４】

(A)


A2
A
VDD
108
VDD
103
104
101
107
110
CK
106
B
105
102
114
Bb
VSS
112
109
VSS
OUT1
OUT2

(B)


CK
B
209
VDD
VDD
206
205
207
201
Bb
210
A2
A
203
204
202
214
VSS
208
212
VSS
OUT1
OUT2