



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I885012 B

(45) 公告日：中華民國 114 (2025) 年 06 月 01 日

(21) 申請案號：109140371

(22) 申請日：中華民國 109 (2020) 年 11 月 18 日

(51) Int. Cl. : C30B25/02 (2006.01)

C30B25/18 (2006.01)

C30B29/38 (2006.01)

(30) 優先權：2019/12/11

歐洲專利局

19215267.6

(71) 申請人：瑞典商艾皮諾科技公司 (瑞典) EPINOVATECH AB (SE)

瑞典

(72) 發明人：奧爾森 馬丁 安德里亞斯 OLSSON, MARTIN ANDREAS (SE)

(74) 代理人：李彥慶；林宗武

(56) 參考文獻：

CN 105914232A

US 2015/0014631A1

期刊 Wen-Yi Lan、Yu-Feng Yin、Chen-Hung Tsai、Mu-Xin Ma、Hsiang-Wei Li、Wei-Chi Lai、JianJang Huang Efficiency improvement of the light-emitting diodes by the lateral overgrowth GaN on an AlN nanorod template Fourteenth International Conference on Solid State Lighting and LED-based Illumination Systems 957100 SPIE 2015-09-08 957100-1

審查人員：鐘文宏

申請專利範圍項數：20 項 圖式數：13 共 44 頁

(54) 名稱

半導體層結構，基於半導體層結構的高電子遷移率電晶體元件，以及其製造方法

(57) 摘要

一種半導體層結構，包括：Si 基底，具有上表面；第一半導體層，設置在 Si 基底上，第一半導體層包括垂直排列於 Si 基底的上表面的多個垂直納米線結構，第一半導體層包括 AlN；第二半導體層，設置在第一半導體層上且橫向和垂直地包圍垂直納米線結構，第二半導體層包括 $Al_xGa_{1-x}N$ ，其中 $0 \leq x \leq 0.95$ ；第三半導體層，設置在第二半導體層上，第三半導體層包括 $Al_yGa_{1-y}N$ ，其中 $0 \leq y \leq 0.95$ ；以及第四半導體層，設置在第三半導體層上，第四半導體層包括 GaN。還提供了一種高電子遷移率電晶體元件以及製造這種結構和元件的方法。

There is provided a semiconductor layer structure comprising: a Si substrate having a top surface; a first semiconductor layer arranged on said substrate, the first semiconductor layer comprising a plurality of vertical nanowire structures arranged perpendicularly to said top surface of said substrate, the first semiconductor layer comprising AlN; a second semiconductor layer arranged on said first semiconductor layer laterally and vertically enclosing said nanowire structures, the second semiconductor layer comprising $Al_xGa_{1-x}N$, wherein $0 \leq x \leq 0.95$; a third semiconductor layer arranged on said second semiconductor layer, the third semiconductor layer comprising $Al_yGa_{1-y}N$, wherein $0 \leq y \leq 0.95$; and a fourth semiconductor layer arranged on said third semiconductor layer, the fourth semiconductor layer comprising GaN. There is also provided a high-electron-mobility transistor device and methods of producing such structures and devices.

指定代表圖：

符號簡單說明：

100:半導體層結構

102:Si 基底

104:上表面

110:第一半導體層

112:垂直納米線結構

120:第二半導體層

130:第三半導體層

140:第四半導體層

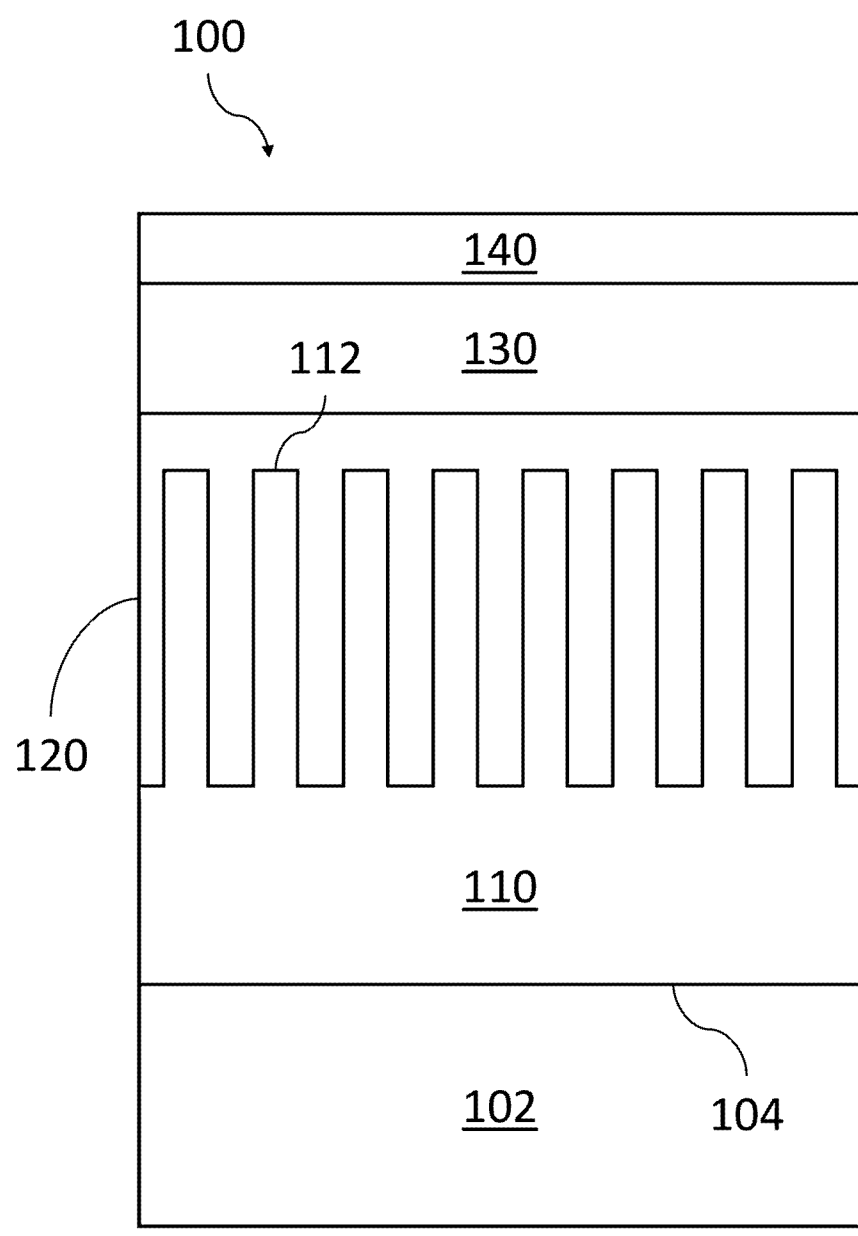


圖 1



I885012

【發明摘要】

【中文發明名稱】半導體層結構，基於半導體層結構的高電子遷移率電晶體元件，以及其製造方法

【英文發明名稱】SEMICONDUCTOR LAYER STRUCTURE, HEMT BASED ON THE SEMICONDUCTOR LAYER STRUCTURE, AND PRODUCING METHODS THEREFOR

【中文】

一種半導體層結構，包括：Si基底，具有上表面；第一半導體層，設置在Si基底上，第一半導體層包括垂直排列於Si基底的上表面的多個垂直納米線結構，第一半導體層包括AlN；第二半導體層，設置在第一半導體層上且橫向和垂直地包圍垂直納米線結構，第二半導體層包括 $Al_xGa_{1-x}N$ ，其中 $0 \leq x \leq 0.95$ ；第三半導體層，設置在第二半導體層上，第三半導體層包括 $Al_yGa_{1-y}N$ ，其中 $0 \leq y \leq 0.95$ ；以及第四半導體層，設置在第三半導體層上，第四半導體層包括GaN。還提供了一種高電子遷移率電晶體元件以及製造這種結構和元件的方法。

【英文】

There is provided a semiconductor layer structure comprising: a Si substrate having a top surface; a first semiconductor layer arranged on said substrate, the first semiconductor layer comprising a plurality of vertical nanowire structures arranged perpendicularly to said top surface of said substrate, the first semiconductor layer comprising AlN; a second semiconductor layer arranged on said first semiconductor

layer laterally and vertically enclosing said nanowire structures, the second semiconductor layer comprising $\text{Al}_x\text{Ga}_{1-x}\text{N}$, wherein $0 \leq x \leq 0.95$; a third semiconductor layer arranged on said second semiconductor layer, the third semiconductor layer comprising $\text{Al}_y\text{Ga}_{1-y}\text{N}$, wherein $0 \leq y \leq 0.95$; and a fourth semiconductor layer arranged on said third semiconductor layer, the fourth semiconductor layer comprising GaN. There is also provided a high-electron-mobility transistor device and methods of producing such structures and devices.

【指定代表圖】圖1

【代表圖之符號簡單說明】

- 100：半導體層結構
- 102：Si基底
- 104：上表面
- 110：第一半導體層
- 112：垂直納米線結構
- 120：第二半導體層
- 130：第三半導體層
- 140：第四半導體層

【發明說明書】

【中文發明名稱】半導體層結構，基於半導體層結構的高電子遷移率電晶體元件，以及其製造方法

【英文發明名稱】SEMICONDUCTOR LAYER STRUCTURE, HEMT BASED ON THE SEMICONDUCTOR LAYER STRUCTURE, AND PRODUCING METHODS THEREFOR

【技術領域】

【0001】本發明是關於一種氮化物半導體層結構、基於其的電子元件、以及製造這種半導體層結構和電子元件的方法。

【先前技術】

【0002】與矽相比，氮化物半導體（即，元素週期表的第三族元素與氮的化合物）具有眾多優勢。基於氮化物半導體的電子元件已漸漸可替代基於矽的電子元件。例如，此類基於氮化物半導體的電子元件可提供更快的開關速度、更高的電子遷移率、更低的電阻、更大的擊穿電壓等。

【0003】然而，氮化物元件的一個長期問題是如何製造獲得氮化物所有優點所需的高品質（例如，低缺陷）的材料。目前已知使用塊狀氮化物材料並非可行的選擇。主要原因是由於氮化物沒有明顯的製造方法來替代能夠有效地形成單晶矽的切克勞斯基（Czochralski）工藝。

【0004】此外，元素矽的相對材料豐度（material abundance）允許在形成晶片和基底時使用塊狀矽材料。與矽相比，氮化物不存在相同的豐度。如此，需要替代方案以有效地製造氮化物半導體材料和元件。

【0005】在Si基底上形成氮化物層和結構可具有某些益處，例如，可需要較少的氮化物材料，以及在其上形成的電子元件可以與在同一基底上形成的矽電子元件可更緊密地集成在一起。使用Si基底進一步允許更大程度地使用現有的製造工具和基礎設施。

【0006】然而，矽和氮化物材料往往具有不同的因數（例如，晶格常數和熱膨脹係數）。由於例如材料特性不匹配，僅在Si基底上形成氮化物層通常會導致裂紋、缺陷以及所形成的氮化物層的總體晶體品質較差。

【0007】目前已知多種彌補這些缺陷的方法，例如使用較厚而複雜的緩衝層結構來濾除晶體缺陷。然而，較厚而複雜的緩衝層結構可能意味著厚度超過 $5\mu\text{m}$ 的氮化鋁鎵層結構。除了執行起來很複雜之外，這些方法目前仍無法製造出令人滿意的高品質氮化物半導體材料。藍寶石和碳化矽有時可作為氮化物的基底。然而，藍寶石和碳化矽目前仍然供應不足，並且可能無法為所有類型的元件提供足夠的材料性能匹配。因此，需要在本技術領域內進行改進。

【發明內容】

【0008】本發明的目的是解決或至少減輕一些上述問題。

【0009】根據本發明的第一方面，提供了一種半導體層結構，包括：

Si基底，具有上表面；

第一半導體層，設置在Si基底上，其中，第一半導體層包括垂直排列於Si基底的上表面的多個垂直納米線結構，第一半導體層包括AlN；

第二半導體層，設置在第一半導體層上且橫向和垂直地包圍垂直納米線結構，其中，第二半導體層包括 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ， $0 \leq x \leq 0.95$ ；

第三半導體層，設置在第二半導體層上，其中，第三半導體層包括 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ， $0 \leq y \leq 0.95$ ；以及

第四半導體層，設置在第三半導體層上，其中，第四半導體層包括GaN。

【0010】在本文中，元素材料可通過其元素符號或縮寫來指代。例如，矽可被指代為Si。在本文中，包括多個元素的化合物可通過元素符號的組合來指代。例如，氮化鎵可被指代為GaN，氮化鋁可被指代為AlN。某些化合物可提供其相對元素組成的比率。例如，氮化鋁鎵可被指代為 $Al_xGa_{1-x}N$ 或 $Al_yGa_{1-y}N$ ，其中x和y是值為0到1變量。下標後綴表示前一元素的相對比例。例如，如果x=0.5或 $Al_{0.5}Ga_{0.5}N$ ，可理解的為原子含量的25%是鋁（Al），25%是鎵（Ga），和50%是氮（N）。僅表示為AlGaN而沒有比率，可替代地指代組成不同的氮化鋁鎵。通常，某層或某結構包括特定材料或元素可被視為至少部分地包括所述材料或元素或基本上由所述材料或元素組成。

【0011】半導體層結構的層可理解為由下而上的順序排序。在本文中，術語“在...上”是指將層或結構設置在其他層或結構上或之上。術語“垂直”是指層彼此設置的方向。垂直方向被視為是垂直於Si基底的上表面，其中上表面可被視為基本上是平面的。術語“橫向”是指垂直於所述垂直方向的任何方向。

【0012】發明人已經認識到，包括被不同的半導體材料橫向和垂直包圍的多個垂直納米線結構的氮化物半導體層結構可促進沿著納米線結構的殼層的位錯（dislocation）的封裝和累積，並因此提供有效的過濾和減少傳播到半導體層結構表面的材料缺陷和裂紋的數量。所述不同的半導體材料可理解為例如與垂直納米線結構的元素組成或含量不同的材料。

【0013】封裝的位錯可能特別傾向於在針對氮化物半導體材料觀察到的纖維狀晶體結構的所謂M方向上從納米線結構橫向傳播。當所述位錯與來自其他納米線結構的位錯橫向合併時，可形成無位錯的薄膜。薄膜可在垂直方向或纖維狀晶體結構的所謂C方向上從納米線結構成核。無位錯薄膜的形成使得封裝

或捕獲的位錯不能傳播而導致裂紋不能形成，從而在製程中增強了薄膜和層結構。如此，可在Si基底上提供高品質的氮化物半導體材料，以形成具有改善性能的電子元件。

【0014】根據本發明，如果薄膜中的位錯首先需要進入另一納米線結構其彈性模量高於在垂直納米線結構之間之二維聚結層，則可防止薄膜中的位錯垂直傳播至例如上述AlGa_N / Ga_N界面。納米線結構越細，阻擋位錯傳播的面積越大。AlGa_N的過度生長將位錯封裝在納米線周圍的殼層中，所述AlGa_N特別是沿纖鋅礦晶體結構的M方向生長。隨後薄膜可在主C方向上生長。這些納米線殼層可橫向結合成薄膜，然後開始在C方向生長。無位錯的薄膜可從位錯並嵌入納米線結構的聚結薄膜中成核，因為被捕獲的位錯無法在C方向上擴散從而發生破裂，從而使薄膜增強。

【0015】此外，發明人已經認識到，與傳統的緩衝層方法相比，本發明的層結構可做得更薄，因此複雜度和材料需求更低。層結構可另外提供有益的製造可擴展性以及與常規製造工具和基礎設施的兼容性。層結構可應用於最大或甚至超過12英寸的晶片尺寸。半導體層結構可進一步包括底部半導體層。底部半導體層設置在Si基底的上表面和第一半導體層的中間，底部半導體層包括AlN。

【0016】通常，術語“中間”可指代為在兩個其他層或結構之間設置某一層或結構，例如以垂直和/或橫向的來中間設置。術語“中間”可進一步涉及步驟和事件的時間順序，例如方法的第二步驟可在同一方法中的第一步驟和第三步驟之間執行。

【0017】通過在半導體層結構中包括具有AlN的底部半導體層，可實現從Si基底的材料過渡更平滑。

【0018】半導體層結構可進一步包括中間半導體層。中間半導體層設置在底部半導體層和第一半導體層的中間，中間半導體層包括AlN。

【0019】如上所述，通過在半導體層結構中包括具有AlN的中間半導體層，可實現從Si基底的材料過渡更平滑。

【0020】Si基底的上表面可具有米勒指數{111}。

【0021】符號{111}表示與具有米勒指數(111)的平面等效的所有平面的集合。上表面還可理解為垂直延伸於任何晶體方向<111>。符號<111>表示與晶體方向[111]等效的所有晶體方向的集合。

【0022】以上述方式定向的Si基底可為纖鋅礦氮化物半導體提供理想的晶體生長方向。本質上，可促進納米線結構沿著纖鋅礦晶體方向[0001]或任何等效方向<0001>垂直有效的定向。這些方向對應於Si基底的方向[111]和<111>。

【0023】第四半導體層可具有在1-5nm範圍內的垂直厚度。

【0024】第四半導體層可作為有源元件層，因此需要的做的非常薄。半導體結構可允許在不犧牲材料品質的情況下形成這樣的薄結構。薄層可使用更少的Ga來製造。這所代表的意義是，與例如Al、N或Si相比，Ga是相對稀有的元素。薄層也可使用更少的時間來製造，從而實現更大的製造能力。第二半導體層可包括至少兩個垂直排列的子層，其中第一子層的x大於第二子層的x，第二子層比第一子層更遠離Si基底。

【0025】如此，對於距離Si基底和/或納米線結構的基底更遠的層，第二半導體層結構可基本上朝著較低的Al含量垂直地分級。發明人已經認識到，包括具有梯度的Al和Ga含量的兩個或更多個（例如，三個）不同的子層的結構可改善位錯的封裝。因此，可實現更高品質的氮化物材料。另外，由於諸如晶格常數和熱膨脹係數的材料特性可更逐漸地變化，優選的材料含量也可逐漸變化。應當理解的是，由於在GaN下方需要用於應變鬆弛的AlGaN合金層，因此砷上

的常規GaN薄膜可能會過厚，約為3-10微米。根據本發明，可在Si基底上沉積/生長較厚的同質外延GaN以提高晶體品質，而無需所有先前必需且繁瑣的AlGaN層。

【0026】根據本發明的第二方面，提供了一種高電子遷移率電晶體元件（high-electron-mobility transistor，HEMT），包括：

根據本發明的第一方面所述的半導體層結構；

金屬源極接觸件，直接相鄰設置在第二半導體層上；

金屬汲極接觸件，直接相鄰設置在第二半導體層上，其中，金屬汲極接觸件與金屬源極接觸件彼此分離；以及

金屬柵極接觸件，設置在第四半導體層上，其中，金屬柵極接觸件橫向設置在金屬源極接觸件和金屬汲極接觸件之間，並且金屬柵極接觸件與金屬源極接觸件以及金屬汲極接觸件彼此分離。

【0027】在其上直接相鄰設置的層或結構可理解為在垂直方向上設置在另一層或結構之上，以及上層或結構與下層或結構共享物理界面。這樣的物理界面可被配置為提供跨界面的導電接觸，即，允許電子和/或電洞傳輸。導電接觸可指代為例如歐姆接觸、肖特基接觸、和/或跨pn接面或隧道接面的接觸。

【0028】與傳統的金屬氧化物半導體場效應電晶體（MOSFET）相比，HEMT具有更高的開關頻率和更好的高功率特性。這在很大程度上歸因於通過HEMT的通道的基本上是二維的電子和/或電洞傳輸。HEMT的通道（通常指代為二維電子氣（two-dimensional electron gas，2DEG））基本位於帶隙大小略有不同的兩種半導體材料之間的異質接面界面上。

【0029】對於氮化物HEMT，最好具有極薄的層（有時需薄至10-30Å），以便在AlGaN/GaN界面上產生必要的異質結（heterojunction）。這樣的薄層可

能需要用具有非常高晶體品質的半導體材料製作。因此，封裝位錯以防止其干擾AlGaN / GaN界面並因此對電晶體通道的性能產生負面影響非常重要。

【0030】通常，氮化物半導體層和結構的材料品質對應於元件（例如，形成在其上的HEMT）的性能。本發明的第一方面可提供一種合適、高品質的半導體層結構，所述半導體層結構用於製造具有良好特性和性能的氮化物HEMT。

【0031】第四半導體層可被設置為垂直鰭片。垂直鰭片被直接相鄰設置在第三半導體層上。金屬柵極接觸件被設置為橫向和垂直地包圍垂直鰭片。垂直鰭片包括p摻雜的GaN。

【0032】所述p摻雜可通過在垂直鰭式GaN晶體中包含少量雜質原子來實現。p摻雜的垂直鰭片有助於更好地進行靜電柵極控制，特別是在常關操作的高頻、大電流和/或大電壓情況下以打開和關閉通道。p摻雜的GaN垂直鰭片可進一步用於改變以常關模式工作的GaN HEMT的閾值電壓。

【0033】根據本發明的第三方面，提供了一種用於製造半導體層結構的方法，包括：

提供Si基底，其中，Si基底具有上表面；

在Si基底上形成第一半導體層，其中，第一半導體層包括垂直排列於Si基底的上表面的多個垂直納米線結構，第一半導體層包括AlN；

在Si基底上沉積第二半導體層以橫向和垂直封閉垂直納米線結構，其中，第二半導體層包括 $Al_xGa_{1-x}N$ ， $0 \leq x \leq 0.95$ ；

在第二半導體層上沉積第三半導體層，其中，第三半導體層包括 $Al_yGa_{1-y}N$ ， $0 \leq y \leq 0.95$ ；以及

在第三半導體層上沉積第四半導體層，其中，第四半導體層包括GaN。

【0034】用於形成的步驟通常指代為通過去除現有材料、添加新材料和/或改變現有材料來形成層或結構的任何方式。沉積通常指代為將新材料添加到現有層和/或結構上。

【0035】根據本發明的第一方面的半導體層結構可利用如上所述的方法來形成。因此，可預期的根據本發明的第三方面所提供的一種用於製造半導體層結構的方法有如上所述類似的優點和有益效果。另外，因為可通過例如等離子處理或濺射將AlN以良好的結晶度沉積在Si基底上，因為將AlN用於第一半導體層和納米線結構可能是有益的。

【0036】另外，由於AlN傾向於保留在反應器的記憶體中，通過濺射形成AlN而非外延形成AlN可很大程度上避免反應器污染，從而污染了隨後生長的層的材料組成。

【0037】形成第一半導體層的多個垂直納米線結構可包括：
在Si基底上沉積第一半導體層；以及
從第一半導體層蝕刻出多個垂直納米線結構。

【0038】在本文中，蝕刻通常指代為選擇性地去除材料。因此，未去除的材料可視為垂直納米線結構。

【0039】從第一層蝕刻出多個納米線結構可有益於減小高品質GaN層所需緩沖區的厚度，從而可至少減少或消除由較大的GaN層厚度引起的Si基底的彎曲。

【0040】形成多個垂直納米線結構可包括在Si基底上外延形成多個垂直納米線結構。

【0041】在本文中，所述外延形成通常指代為通過外延晶體生長形成層和結構。

【0042】所述方法也有益於使用現有的製造工具和基礎設施來製造垂直納米線結構。

【0043】所述方法可進一步包括在所提供的Si基底以及所形成的第一半導體層的中間沉積底部半導體層。底部半導體層包括AlN。

【0044】所述方法可進一步包括在所沉積的底部半導體層以及所形成的第一半導體層的中間沉積中間半導體層。中間半導體層包括AlN。

【0045】涉及底部AlN層和中間AlN層的方法變型可提供與本發明的第一方面相應變型類似的優點。

【0046】形成第二半導體層可包括：

在第一半導體層上形成第一子層；以及

在第一子層上形成第二子層，其中第一子層的x大於第二子層的x。

【0047】所述的方法變型可提供與本發明的第一方面的相應變型類似的優點。

【0048】根據本發明的示例性實施例，在Si基底上濺射包括AlN的第一半導體層，例如，使用Ar / N₂等離子在Si基底上以磁控濺射，而例如通過MOCVD外延生長包括GaN的第四半導體層。

【0049】根據本實施例，第二半導體層可被磁控濺射在第一半導體層上。或者，第二半導體層可例如通過MOCVD外延生長。

【0050】納米線結構可使用UV光刻來進行圖案化，並從第二半導體層蝕刻出。

【0051】根據本實施例，包括AlGaN的第三半導體層可被磁控濺射在第二半導體層上。或者，第三半導體層可例如通過MOCVD外延生長。

【0052】包含Al的磁控濺射層可減少反應器污染，從而避免隨後可能產生的污染，例如避免純度和晶體組成對元件性能至關重要的GaN層的污染。

【0053】根據本發明的第四方面，提供了一種用於製造高電子遷移率電晶體元件的方法，包括：

根據本發明的第三方面的用於製造半導體層結構的方法的步驟；

通過蝕刻掉第三半導體層和第四半導體層的一部分，形成穿過第三半導體層和第四半導體層的至少兩個溝槽；

在溝槽中和第二半導體層上沉積第一金屬層；

通過刻蝕掉第一金屬層的一部分，在溝槽中形成金屬源極接觸件和金屬汲極接觸件；

在金屬源極接觸件和金屬汲極接觸件上形成氧化層；

通過蝕刻掉氧化層的一部分，在至少兩個穿過第三半導體層和第四半導體層的溝槽之間形成穿過氧化層的柵極溝槽；

在柵極溝槽中沉積第二金屬層；以及

通過蝕刻掉第二金屬層的一部分，在柵極溝槽中形成金屬柵極接觸件。

【0054】可採用所述的方法來製造根據本發明的第二方面的HEMT。因此，可預期產生類似的優點和有益效果。

【0055】根據如下的詳細描述，可更清楚的了解本發明的進一步應用範圍。然而，應理解的是，詳細描述和具體示例雖然指示了本發明的優選實施例，但是僅是出於說明的目的，因為根據此詳細描述，本發明範圍內的各種改變和修改對於本領域技術人員將變得顯而易見的。

【0056】因此，應當理解的是，本發明不限於所描述元件的特定組成部分或者所描述的方法的動作，因為這種元件和方法可能會有所不同。還應理解的是，本文所使用的術語僅出於描述特定實施方案的目的，而無意於進行限制。

【0057】必須注意的是，除非上下文另有所指，在說明書和所附權利要求書中使用的冠詞“一”、“一個”、“該”和“所述”旨在表示存在一個或多

個元件。因此，提及“一個元件”或“該元件”可包括多個元件等。此外，詞語“包括”、“包含”、“具有”和類似措詞不排除其他元件或步驟。

【圖式簡單說明】

【0058】本發明的上述和其他方面將參考如下附圖而更詳細地被描述。這些附圖不應視為限制，相反的，它們的目的是用於更好的解釋和理解本發明。為了說明的目的，附圖可能會誇大層和區域的尺寸以提供來說明一般的結構。在全文中，相同的參考標號表示相同的元件。截面圖可被視為是示意圖。截面圖中的元件、層和/或結構不應視為相對於彼此縮放。此外，橫截面可被視為是從側面的角度觀察元件、層和/或結構。帶有虛線邊框的流程圖框可視為方法的某些變體的可選步驟和/或附加步驟。

圖1示出了根據本發明的半導體層結構的橫截面。

圖2示出了半導體層結構變體的橫截面。

圖3示出了半導體層結構變體的橫截面。

圖4示出了半導體層結構變體的橫截面。

圖5示出了根據本發明的HEMT的橫截面。

圖6示出了HEMT變體的橫截面。

圖7示出了用於製造半導體層結構的方法的流程圖。

圖8示出了包含有關用於製造半導體層結構的步驟的更多細節的流程圖。

圖9示出了包含有關用於製造半導體層結構的步驟的更多細節的流程圖。

圖10a至10g示出了半導體層結構在其製造的不同時間狀態期間的橫截面。

圖11示出了用於製造HEMT的方法的流程圖。

圖12a至12i示出了HEMT在其製造的不同時間狀態期間的橫截面。

圖13示出了HEMT接觸佈局的俯視圖。

【實施方式】

【0059】 本發明可經由下文中參考附圖而更全面地被描。在附圖中示出了本發明的當前優選實施例。然而，本發明可以以許多不同的形式來實施，並且不應被解釋為限於在此闡述的實施例。相反，提供這些實施例是為了透徹和完整說明本發明，並將本發明的範圍完全傳達給技術人員。

【0060】 在圖1中，提供了半導體層結構100的截面示意圖，所述半導體層結構100包括：

Si基底102，具有上表面104；

第一半導體層110，設置在Si基底102上，其中第一半導體層110包括垂直排列於Si基底102的上表面104的多個垂直納米線結構112，第一半導體層110包括AlN；

第二半導體層120，設置在第一半導體層110上且橫向和垂直地包圍納米線結構112，其中第二半導體層120包括 $Al_xGa_{1-x}N$ ，其中 $0 \leq x \leq 0.95$ ；

第三半導體層130，設置在第二半導體層120上，其中第三半導體層130包括 $Al_yGa_{1-y}N$ ，其中 $0 \leq y \leq 0.95$ ；以及

第四半導體層140，設置在第三半導體層130上，其中第四半導體層140包括GaN。

【0061】 Si基底102的上表面104可具有{111}的米勒指數（Miller index）。Si基底102可具有面心金剛石立方（face-centered diamond-cubic）晶體結構。

【0062】 Si基底102及上表面104基本上是平坦的。Si基底102可具有在100-1000 μm 範圍內的垂直厚度，優選的可具有在275-525 μm 範圍內的垂直厚度。通常如果沒有另外明確說明，在本文中厚度是指垂直厚度。

【0063】Si基底102可以是基本圓形的晶片形式。所述晶片優選的可具有大於或等於1英寸的直徑，更優選的可具有在2-12英寸範圍內的直徑，最優選的可具有在2-4英寸範圍內的直徑。

【0064】第一半導體層110優選的可具有在100-500nm範圍內的厚度，更優選的可具有在200-300nm範圍內的厚度。

【0065】第一半導體層110的垂直納米線結構112優選的可具有在50-500nm範圍內的垂直長度，更優選的可具有在150-250nm範圍內的垂直長度。

【0066】垂直納米線結構112優選的可具有基本為圓形或六邊形的橫截面。垂直納米線結構112優選的可具有在5-50nm範圍內的橫向直徑，更優選的可具有在10-30nm範圍內的橫向直徑。

【0067】從垂直方向看，多個垂直納米線結構112可以以重複的陣列圖案設置。所述重複的陣列圖案可以是六邊形圖案，其中每個垂直納米線結構112具有六個等距且最接近的其他垂直納米線結構112。或者，所述重複的陣列圖案可以是正方形圖案，其中每個垂直納米線結構112具有四個等距且最接近的其他垂直納米線結構112。與最接近的另一垂直納米線結構112的距離優選的可在10-500nm的範圍內，更優選的可在50-200nm的範圍內。與最接近的另一垂直納米線結構112的距離可替代地理解為垂直納米線結構112之間間距。

【0068】第二半導體層120優選的可具有在100-500nm範圍內的厚度，更優選的可具有在200-300nm範圍內的厚度。第二半導體層120可被視為橫向地包圍、封裝或圍繞垂直納米線結構112，即，第二半導體層120可填充在垂直納米線結構112之間的空間中。第二半導體層120還可被視為垂直地封閉或封裝垂直納米線結構112，即，在垂直納米線結構112的頂部上方垂直延伸並覆蓋其頂部。

【0069】第三半導體層130和第四半導體層140可被視為是相對薄的外延層，即，外延形成的薄膜層。第三半導體層130優選的可具有在1-100nm範圍內的厚度。第四半導體層140可具有在1-5nm範圍內的垂直厚度。

【0070】通常，對於所有基於氮化物的層和結構（例如，第一半導體層110、第二半導體層120、第三半導體層130、第四半導體層140以及垂直納米線結構112），其材料可被視為具有纖鋅礦晶體結構。所述晶體結構可被排列成使得C平面（即，具有米勒指數{0001}的平面）與Si基底102的上表面104對准或平行。在本文公開的所有其他基於氮化物的層和結構也可被視為纖鋅礦晶體結構。GaN薄膜（例如，第四半導體層140）的優選晶體取向（crystal orientation）可對應於纖鋅礦C方向，以使得可在薄膜的外表面獲得垂直C平面。這樣的C平面表面可被視為是用於處理或製造多種類型的元件（例如HEMT和發光二極體（LED））的有益基礎。

【0071】圖2示出了還包括底部半導體層210的半導體層結構100。底部半導體層210層設置在Si基底102的上表面104和第一半導體層110的中間，其中底部半導體層210包括AlN。

【0072】底部半導體層210優選的可具有在10-100nm範圍內的厚度。

【0073】圖3示出了還包括中間半導體層220的半導體層結構100。中間半導體層220設置在底部半導體層210和第一半導體層110的中間，其中中間半導體層220包括AlN。

【0074】中間半導體層220優選的可具有在10-100nm範圍內的厚度。

【0075】圖4示出了包括至少兩個垂直設置的子層121、122的第二半導體層120，其中第一子層121的x大於第二子層122的x，其中第二子層122比第一子層121更遠離Si基底102。

【0076】第二半導體層120示例性地可包括三個垂直設置的子層。最底層的子層（即，最接近Si基底102的子層）可具有 $x=0.9$ 的特徵。最頂層的子層（即，距Si基底102最遠的子層）可具有 $x=0.2$ 的特徵。中間子層（即，最頂層的子層和最底層的子層之間子層）可具有 $x=0.5$ 的特徵。

【0077】第一子層121和第二子層122可各自具有在20-250nm範圍內的厚度。

【0078】在圖5中，提供了高電子遷移率電晶體元件（HEMT）300的截面示意圖，所述HEMT 300包括：

所述半導體層結構100；

金屬源極接觸件301，直接相鄰設置在第二半導體層120上；

金屬汲極接觸件303，直接相鄰設置在第二半導體層120上，其中金屬汲極接觸件303與金屬源極接觸件301彼此分離；以及

金屬柵極接觸件305，設置在第四半導體層140上，其中金屬柵極接觸件305橫向設置在金屬源極接觸件301和金屬汲極接觸件303之間，並且金屬柵極接觸件305與金屬源極接觸件301以及金屬汲極接觸件303彼此分離。

【0079】金屬源極接觸件301和金屬汲極接觸件303可包括金屬材料，例如Ti、Al、Cu、Ni和/或Au。金屬源極接觸件301和金屬汲極接觸件303可包括化合物或合金，例如AlCu。

【0080】除了前述所提到用於金屬源極接觸件301和金屬汲極接觸件303的材料之外，金屬柵極接觸件305可包括Pd和/或Au。金屬柵極接觸件305還可包括用於金屬源極接觸件301和金屬汲極接觸件303的化合物和合金。

【0081】HEMT 300可進一步包括設置在第三半導體層130和第四半導體層140上的氧化層310。氧化層310可被配置為具有相對低介電常數材料的特徵以減小金屬源極接觸件301、金屬汲極接觸件303和金屬柵極接觸件305之間的寄生電容。氧化層310可包括SiO₂或其他類型的Si基氧化物。

【0082】包括 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ 的第三半導體層130可被視為HEMT 300的阻擋層。

【0083】圖6示出了第四半導體層140被設置為垂直鰭片307。垂直鰭片307直接相鄰設置在第三半導體層130上，金屬柵極接觸件305橫向和垂直地包圍垂直鰭片307，且垂直鰭片307包括p摻雜的GaN。垂直鰭片307可從第四半導體層140中蝕刻出。垂直鰭片307可理解為橫向伸長的鰭片，或理解為橫向較短的檯面結構。

【0084】用於GaN的p摻雜的雜質原子可包括來自元素週期表第二族的元素，例如，Mg。雜質可通過，例如熱處理/退火（annealing）或電子轟擊（electron bombardment）/輻照，來激活。第四半導體層140可進一步不同於圖5那樣在金屬源極接觸件301、金屬汲極接觸件303、和金屬柵極接觸件305之間形成連續層。

【0085】在圖7中，提供了用於製造半導體層結構100的方法的流程圖，所述方法包括：

步驟S4001：提供Si基底102，其中Si基底102具有上表面104；

步驟S4003：在Si基底102上形成第一半導體層110，其中第一半導體層110包括垂直排列於Si基底102的上表面104的多個垂直納米線結構112，第一半導體層110包括AlN；

步驟S4005：在Si基底102上沉積第二半導體層120以橫向和垂直封閉納米線結構112，其中第二半導體層120包括 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 \leq x \leq 0.95$ ；

步驟S4007：在第二半導體層120上沉積第三半導體層130，其中第三半導體層130包括 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ，其中 $0 \leq y \leq 0.95$ ；以及

步驟S4009：在第三半導體層130上沉積第四半導體層140，其中第四半導體層140包括GaN。

【0086】可使用包括例如上述切克勞斯基（Czochralski）工藝的常規矽晶片製造方法來形成Si基底102。

【0087】在步驟S4003中，可使用物理氣相沉積（physical vapor deposition，PVD）、化學氣相沉積（chemical vapor deposition，CVD）、等離子增強化學氣相沉積（plasma-enhanced chemical vapor deposition，PECVD）、金屬有機化學氣相沉積（metalorganic chemical vapor deposition，MOCVD）、金屬有機氣相外延（metalorganic vapor-phase epitaxy，MOVPE）、濺射（sputtering）等方法來形成第一半導體層110。

【0088】可使用諸如乾蝕刻、濕蝕刻、化學蝕刻、等離子蝕刻、反應性離子蝕刻等的蝕刻方法來形成第一半導體層110的垂直納米線結構112。所述蝕刻可在旨在限定垂直納米線結構112的圖案化步驟之後執行。垂直納米線結構112可另外使用諸如MOCVD或MOVPE之類的外延方法形成，兩者基本上都指的是同一技術。基於先前所述的圖案化的選擇性區域生長可用於納米線結構112。

【0089】納米線結構112可基於光刻來圖案化、圖案轉移或限定。所述光刻可採用光學光刻，例如紫外線（UV）光刻。所述光刻也可採用電子束光刻（electron beam lithography，EBL）或納米壓印光刻（nanoimprint lithography，NIL）以及各種其他類似的光刻方法。作為替代，所述圖案化可僅包括通過對准或接近於要蝕刻或沉積到其上的層或結構的表面的固體掩模來蝕刻或沉積。

【0090】圖7示出的所述方法可進一步包括步驟S5007：在步驟S4001中所提供的Si基底102和步驟S4003中所形成的第一半導體層110間沉積底部半導體層210，其中底部半導體層210包括AlN。

【0091】在步驟S5007中，可使用與第一半導體層110相似的方法來沉積底部半導體層210。優選的，可使用PVD來沉積底部半導體層210。

【0092】圖7示出的所述方法可進一步包括步驟S5009：在步驟S5007中所沉積的底部半導體層210和步驟S4003中所形成的第一半導體層110間沉積中間半導體層220，其中中間半導體層220包括AlN。

【0093】在步驟S5009中，可使用與第一半導體層110類似的方法來沉積中間半導體層220。優選的，可使用高溫MOCVD / MOVPE來沉積中間半導體層220。

【0094】在步驟S4005、S4007和S4009中，可使用MOCVD / MOVPE來沉積第二半導體層120、第三半導體層130和第四半導體層140。可使用不同的前驅氣體壓力和溫度來創建具有不同組成的固態晶體材料，其範圍從AlN到AlGaIn的各種組成再到GaIn。對於GaIn MOCVD / MOVPE，優選的，可使用等於或高於1000°C的溫度。

【0095】前驅氣體可包括三甲基鋁（TMAI）、三乙基鋁（TEAI）、三甲基鎵（TMGa）、三乙基鎵（TEGa）、苯基肼、二甲基肼（DMHy）、叔丁胺（TBAI）、氨（NH₃）。

【0096】在步驟S4005中，沉積第二半導體層120可以理解為在垂直納米線結構112的纖鋅礦晶體的M方向上從垂直納米線結構112橫向或徑向向外生長一個或多個殼層。來自不同垂直納米線結構112的一個或多個殼層可以聚結以形成作為第二半導體層120的共同薄膜。

【0097】圖8示出了如何形成第一半導體層110的多個垂直納米線結構112的方法，所述方法可包括：

步驟S5001；在Si基底102上沉積第一半導體層110；以及

步驟S5003；從第一半導體層110刻蝕出多個垂直納米線結構112。

【0098】在步驟S5003中，所述蝕刻可以是例如基於先前的圖案化步驟的選擇性蝕刻過程。在步驟S5003中，所述蝕刻可產生垂直納米線結構112。在步驟S5003中，所述蝕刻可以例如是氯基等離子蝕刻程序。

【0099】圖8進一步示出了如何形成第一半導體層110的多個垂直納米線結構112的方法，所述方法可包括步驟S5005；在Si基底102上外延地（例如通過選擇性區域生長MOCVD / MOVPE）形成多個垂直納米線結構112。

【0100】圖9示出了如何形成第二半導體層120的方法，所述方法可包括：步驟S5011；在第一半導體層110上形成第一子層121；以及步驟S5013；在第一子層121上形成第二子層122，其中第一子層121的x大於第二子層122的x。

【0101】第一子層121和第二子層122可通過逐漸改變諸如溫度和前驅氣體壓力之類的參數來實現成分上的差異。

【0102】圖10a至10g示出了用於製造半導體層結構的方法的不同時間階段的截面圖。

【0103】圖10a示出了提供具有上表面104的Si基底102（步驟S4001）。

【0104】圖10b示出了在Si基底102的上表面104上沉積底部半導體層210（步驟S5007）。

【0105】圖10c示出了在底部半導體層210上沉積中間半導體層220（步驟S5009）。

【0106】圖10d示出了在中間半導體層220上形成包括垂直納米線結構112的第一半導體層110（步驟S4003）。值得注意的是，第一半導體層110也可直接形成於Si基底102的上表面104上。

【0107】圖10e示出了在第一半導體層110上沉積第二半導體層120（步驟S4005），其中第二半導體層120橫向和垂直地包圍納米線結構112。

【0108】圖10f示出了在第二半導體層120上沉積第三半導體層130（步驟S4007）。

【0109】圖10g示出了完成的半導體層結構100，其中在第三半導體層130上沉積第四半導體層140（步驟S4009）。

【0110】在圖11中，提供了用於製造HEMT 300的方法的流程圖，所述方法包括：

步驟S4001-S4009以及可選地還包括步驟S5001-S5013；製造半導體層結構100；

步驟S6001；通過蝕刻掉第三半導體層130和第四半導體層140的一部分以形成穿過第三半導體層130和第四半導體層140的至少兩個溝槽702；

步驟S6003；在溝槽702中和第二半導體層120上沉積第一金屬層704；

步驟S6005；通過刻蝕掉第一金屬層704的一部分，在溝槽702中形成金屬源極接觸件301和金屬汲極接觸件303；

步驟S6007；在金屬源極接觸件301和金屬汲極接觸件303上形成氧化層310；

步驟S6009；通過刻蝕掉氧化層310的一部分，在穿過第三半導體層130和第四半導體層140的至少兩個溝槽702間形成穿過氧化層310的柵極溝槽708；

步驟S6011；柵極溝槽708中沉積第二金屬層710；以及

步驟S6013；通過蝕刻掉第二金屬層710的一部分，在柵極溝槽708中形成金屬柵極接觸件305。

【0111】用於形成至少兩個溝槽702的步驟S6001以及用於形成柵極溝槽708的步驟S6009可包括如上所述基於圖案化的選擇性蝕刻。可針對所有溝槽702和柵極溝槽708執行類似的圖案化，但是蝕刻可能需要根據要蝕刻的材料來定制。例如，在步驟S6001中，等離子基蝕刻可用於形成穿過第三半導體層130和第四半導體層140的至少兩個溝槽702。在步驟S6009中，可使用氧化蝕刻方法，

例如氫氟酸（HF）和濕蝕刻，來形成穿過氧化層310的柵極溝槽708。溝槽702和柵極溝槽708可理解為橫向伸長的溝槽或者理解為橫向較短的凹坑。

【0112】在步驟S6003和步驟S6011中的第一金屬層704和第二金屬層708的沉積，可通過例如濺射或金屬蒸發來執行。當沉積時，第一金屬層704可包括與以上關於金屬源極接觸件301和金屬汲極接觸件303描述的材料相同的材料。當沉積時，第二金屬層708可包括與以上關於金屬柵極接觸件305描述的材料相同的材料。

【0113】在步驟S6005和步驟S6013中的金屬源極接觸件301、金屬汲極接觸件303和金屬柵極接觸件305的形成可通過使用適合於待蝕刻的金屬材料的金屬蝕刻方法來蝕刻第一金屬層704和第二金屬層708來執行。再一次，蝕刻可通過圖案化步驟而被介導，以限定要去除的層的區域。所述圖案化步驟可根據之前所述的圖案化方法來執行。

【0114】在步驟S6007中的氧化層310的形成可通過前述的沉積方法，例如，CVD、PECVD和濺射來執行。

【0115】圖12a至12g示出了用於製造HEMT 300的方法的不同時間階段的截面圖。

【0116】圖12a示出了半導體層結構100，其中半導體層結構100是隨後製造HEMT 300的步驟的基礎。

【0117】圖12b示出了形成穿過第三半導體層130和第四半導體層140的至少兩個溝槽702（步驟S6001）。

【0118】圖12c示出了在溝槽702中和第二半導體層120上沉積第一金屬層704（步驟S6003）。

【0119】圖12d示出了通過選擇性地去除第一金屬層704的最初物理地連接金屬源極接觸件301和金屬汲極接觸件303一部分而在溝槽702中形成金屬源極接觸件301和金屬汲極接觸件303（步驟S6005）。

【0120】圖12e示出了在金屬源極接觸件301、金屬汲極接觸件303和半導體層上上形成氧化層310（步驟S S6007）。

【0121】圖12f示出了在金屬源極接觸件301和金屬汲極接觸件303之間形成穿過氧化層310的柵極溝槽708（步驟S6009）。

【0122】圖12g示出了在柵極溝槽708中和第四半導體層140上沉積第二金屬層710（步驟S6011）。

【0123】圖12h示出了選擇性地去除第二金屬層710的一部分，在柵極溝槽708中形成金屬柵極接觸件305（步驟S60013）。現在可視為HEMT 300被完整地製造出。

【0124】圖12i示出了平坦化HEMT 300的頂部的附加步驟。此附加步驟是為了簡化對金屬源極接觸件301和金屬汲極接觸件303的訪問並降低互連複雜度。所述平坦化步驟可使用化學機械拋光（chemical mechanical polishing，CMP）。

【0125】另外，通過研究附圖、公開內容和所附權利要求，本領域技術人員在實踐所要求保護的發明時可理解和實現所公開的實施例的變型。

【0126】圖13示出了HEMT 300接觸佈局的俯視圖。金屬源極接觸件301、金屬汲極接觸件303和金屬柵極接觸件305在本文中多以指佈局設置。金屬源極接觸件301具有三個指，金屬汲極接觸件303具有兩個指，而金屬柵極接觸件305在金屬源極接觸件301和金屬汲極接觸件303之間蜿蜒。HEMT的橫截面（例如，圖5所示的橫截面）可理解為與圖13所示的橫截面802相對應。

【0127】所述佈局進一步提高了元件的有效面積間隔和均勻分佈的電流。由於有效通道寬度較長，因此所述佈局可提供更高的電流。有效通道寬度可理解為指狀物的總數（源極和汲極）減去一，再乘以一個指狀物的長度。所述佈局還可減小柵極電阻，並防止低通濾波器與柵極通道電容一起形成。因此，通過這種佈局提高了HEMT的切換速度。

【0128】本領域技術人員意識到，本發明決不限於上述優選實施例。相反，在所附權利要求的範圍內，許多修改和變化是可能的。另外，通過研究附圖、公開內容和所附權利要求，本領域技術人員在實踐所要求保護的發明時可以理解 and 實現所公開的實施例的變型。

【符號說明】

【0129】

100：半導體層結構

102：Si基底

104：上表面

110：第一半導體層

112：垂直納米線結構

120：第二半導體層

121：第一子層

122：第二子層

130：第三半導體層

140：第四半導體層

210：底部半導體層

220：中間半導體層

300：高電子遷移率電晶體元件（HEMT）

301：金屬源極接觸件

303：金屬汲極接觸件

305：金屬柵極接觸件

307：垂直鱗片

310：氧化層

702：溝槽

704：第一金屬層

708：柵極溝槽

710：第二金屬層

802：橫截面

S4001、S4003、S4005、S4007、S4009、S5001、S5003、S5005、S5007、
S5009、S5011、S5013、S6001、S6003、S6005、S6007、S6009、S6011、S6013：
步驟

【發明申請專利範圍】

【請求項 1】一種半導體層結構，包括：

一 Si 基底，具有一上表面；

一第一半導體層，設置在該 Si 基底上，其中，該第一半導體層包括垂直排列於該 Si 基底的該上表面的多個垂直納米線結構，該第一半導體層包括 AlN；
以及

一第二半導體層，設置在該第一半導體層上且橫向和垂直地包圍該些垂直納米線結構，其中，該第二半導體層包括由 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 製成的殼層， $0 \leq x \leq 0.95$ ，並且在一纖鋅礦晶體結構的 M 方向上從個別的該些垂直納米線結構外延生長。

【請求項 2】如請求項 1 所述的半導體層結構，還包括一底部半導體層，其中，該底部半導體層設置在該 Si 基底的該上表面和該第一半導體層的中間，該底部半導體層包括 AlN。

【請求項 3】如請求項 2 所述的半導體層結構，還包括一中間半導體層，其中，該中間半導體層設置在該底部半導體層和該第一半導體層的中間，該中間半導體層包括 AlN。

【請求項 4】如請求項 1 所述的半導體層結構，其中，該 Si 基板的該上表面的米勒指數為{111}。

【請求項 5】如請求項 1 所述的半導體層結構，其中，該第二半導體層至少包括垂直設置的一第一子層和一第二子層，該第一子層的 x 大於該第二子層的 x ，該第二子層比該第一子層更遠離該 Si 基底。

【請求項 6】如請求項 1 所述的半導體層結構，更包括一第三半導體層，設置在該第二半導體層上，其中，該第三半導體層包括 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ， $0 \leq y \leq 0.95$ 。

【請求項 7】如請求項 6 所述的半導體層結構，更包括一第四半導體層，設置在該第三半導體層上，其中，該第四半導體層包括 GaN。

【請求項 8】如請求項 1 所述的半導體層結構，其中，其中來自不同的該些垂直納米線結構的該殼層橫向合併成在該纖鋅礦晶體結構的 C 方向上生長共同薄膜。

【請求項 9】如請求項 1 所述的半導體層結構，其中，該第二半導體層包括在該纖鋅礦晶體結構的 M 方向上從個別的該些垂直納米線結構橫向傳播的位錯。

【請求項 10】如請求項 9 所述的半導體層結構，其中，該位錯橫向跨越在兩個個別的該些垂直納米線結構之間。

【請求項 11】一種高電子遷移率電晶體元件，包括：

根據請求項 1 所述的半導體層結構；

一第三半導體層，設置在該第二半導體層上，其中，該第三半導體層包括 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ， $0 \leq y \leq 0.95$ ；

一第四半導體層，設置在該第三半導體層上，其中，該第四半導體層包括 GaN；

一金屬源極接觸件，直接相鄰設置在該第二半導體層上；

一金屬汲極接觸件，直接相鄰設置在該第二半導體層上，其中，該金屬汲極接觸件與該金屬源極接觸件彼此分離；以及

一金屬柵極接觸件，設置在該第四半導體層上，其中，該金屬柵極接觸件橫向設置在該金屬源極接觸件和該金屬汲極接觸件之間，並且該金屬柵極接觸件與該金屬源極接觸件以及該金屬汲極接觸件彼此分離。

【請求項 12】如請求項 11 所述的高電子遷移率電晶體元件，其中，該第四半導體層被設置為垂直鱗片，該垂直鱗片直接相鄰設置在該第三半導體層上，該金屬柵極接觸件被設置為橫向和垂直地包圍該垂直鱗片，該垂直鱗片包括 p 摻雜的 GaN。

【請求項 13】如請求項 11 所述的高電子遷移率電晶體元件，其中，該第四半導體層具有在 1-5nm 範圍內的垂直厚度。

【請求項 14】一種用於製造半導體層結構的方法，包括：

提供一 Si 基底，其中，該 Si 基底具有一上表面；

在該 Si 基底上形成一第一半導體層，其中，該第一半導體層包括垂直排列於該 Si 基底的該上表面的多個垂直納米線結構，該第一半導體層包括 AlN；以及

在該 Si 基底上沉積一第二半導體層以橫向和垂直封閉該些垂直納米線結構，其中，該第二半導體層包括 $Al_xGa_{1-x}N$ ， $0 \leq x \leq 0.95$ ，其中，在該些垂直納米線結構的纖鋅礦晶體結構的 M 方向上沉積該第二半導體層，該第二半導體層包括從個別的該些垂直納米線結構橫向或徑向向外外延生長的殼層。

【請求項 15】如請求項 14 所述的方法，其中，形成該第一半導體層包括：

在該 Si 基底上沉積該第一半導體層；以及

從該第一半導體層蝕刻出該些垂直納米線結構。

【請求項 16】如請求項 14 所述的方法，其中，形成該第一半導體層包括在該 Si 基底上外延形成該些垂直納米線結構。

【請求項 17】如請求項 14 所述的方法，還包括在在該 Si 基底和該第一半導體層的中間沉積一底部半導體層，其中，該底部半導體層包括 AlN。

【請求項 18】如請求項 17 所述的方法，還包括在該底部半導體層和該第一半導體層的中間沉積一中間半導體層，其中，該中間半導體層包括 AlN。

【請求項 19】如請求項 14 所述的方法，其中，形成該第二半導體層包括：
在該第一半導體層上形成一第一子層；以及
在該第一子層上形成一第二子層，其中，該第一子層的 x 大於該第二子層的 x 。

【請求項 20】一種用於製造高電子遷移率電晶體元件的方法，包括：
根據請求項 14 所述的用於製造該半導體層結構的方法的步驟；
在該第二半導體層上沉積一第三半導體層，其中，該第三半導體層包括 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ， $0 \leq y \leq 0.95$ ；

在該第三半導體層上沉積一第四半導體層，其中，該第四半導體層包括 GaN；

通過蝕刻掉該第三半導體層和該第四半導體層的一部分，形成穿過該第三半導體層和該第四半導體層的至少兩個溝槽；

在該至少兩個溝槽中和該第二半導體層上沉積一第一金屬層；

通過刻蝕掉該第一金屬層的一部分，在該至少兩個溝槽中形成一金屬源極接觸件和一金屬汲極接觸件；

在該金屬源極接觸件和該金屬汲極接觸件上形成一氧化層；

通過蝕刻掉該氧化層的一部分，在該至少兩個穿過該第三半導體層和該第四半導體層的溝槽之間形成穿過該氧化層的一柵極溝槽；

在該柵極溝槽中沉積一第二金屬層；以及

通過蝕刻掉該第二金屬層的一部分，在該柵極溝槽中形成一金屬柵極接觸

件。

【發明圖式】

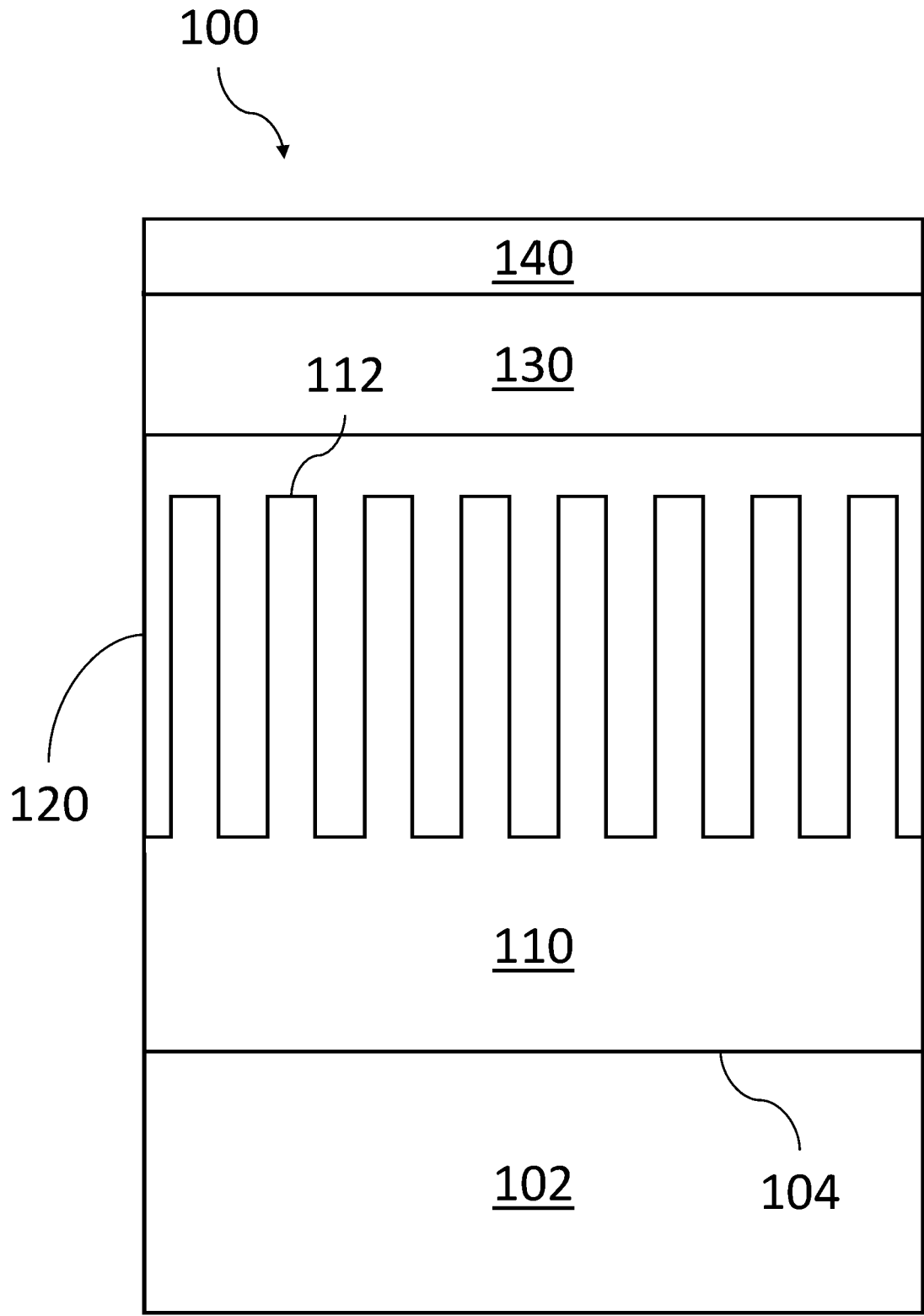


圖 1

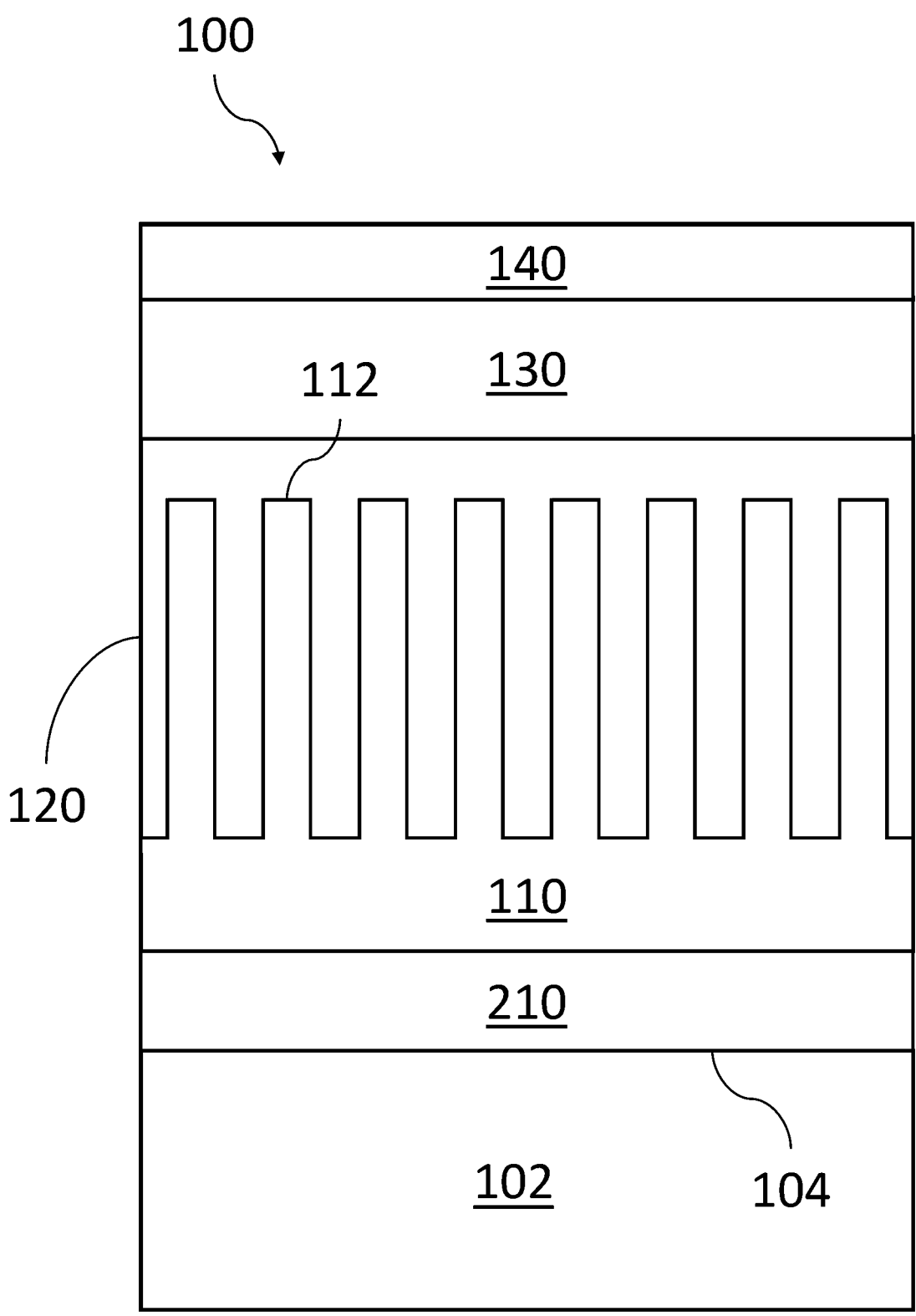


圖 2

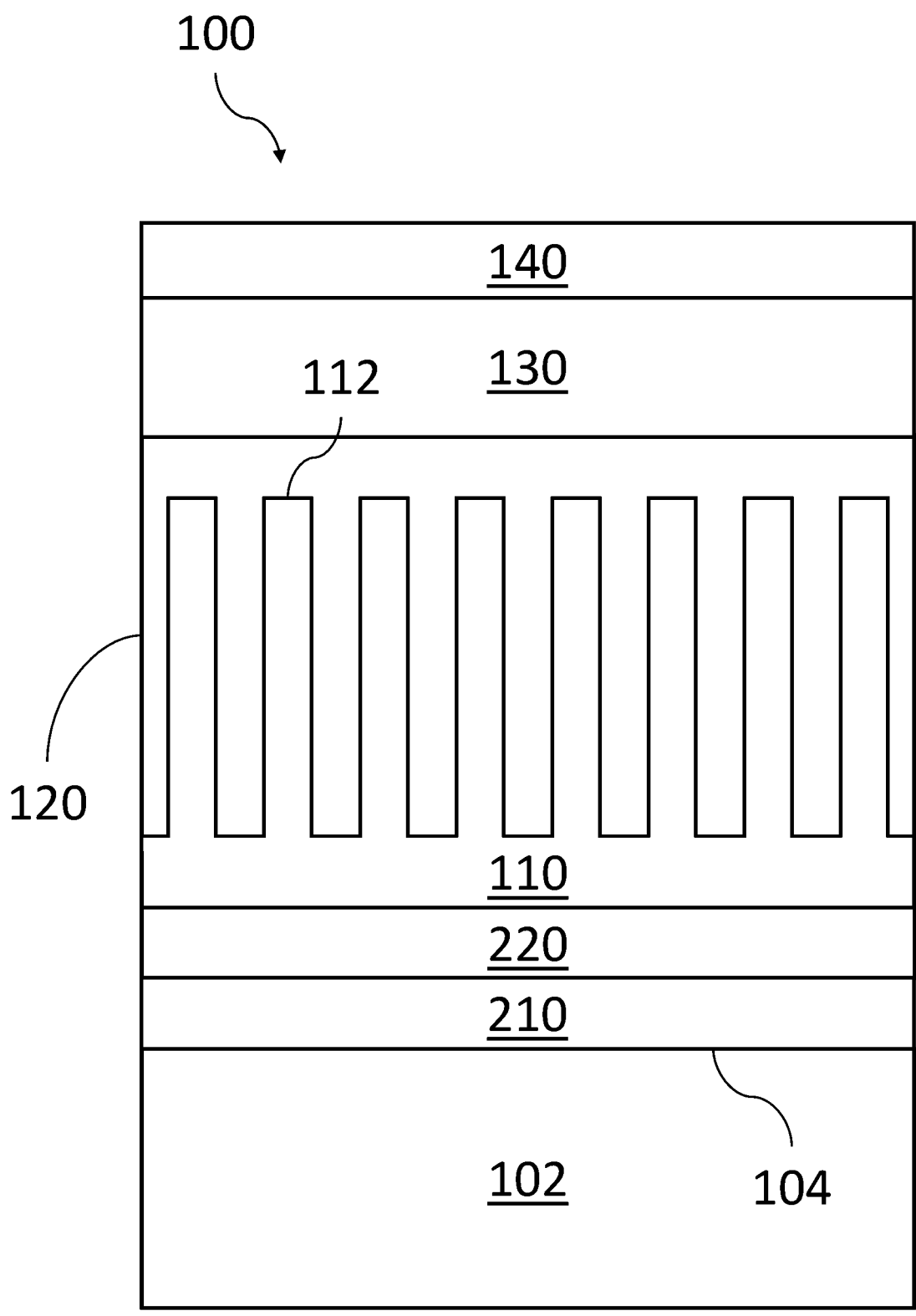


圖 3

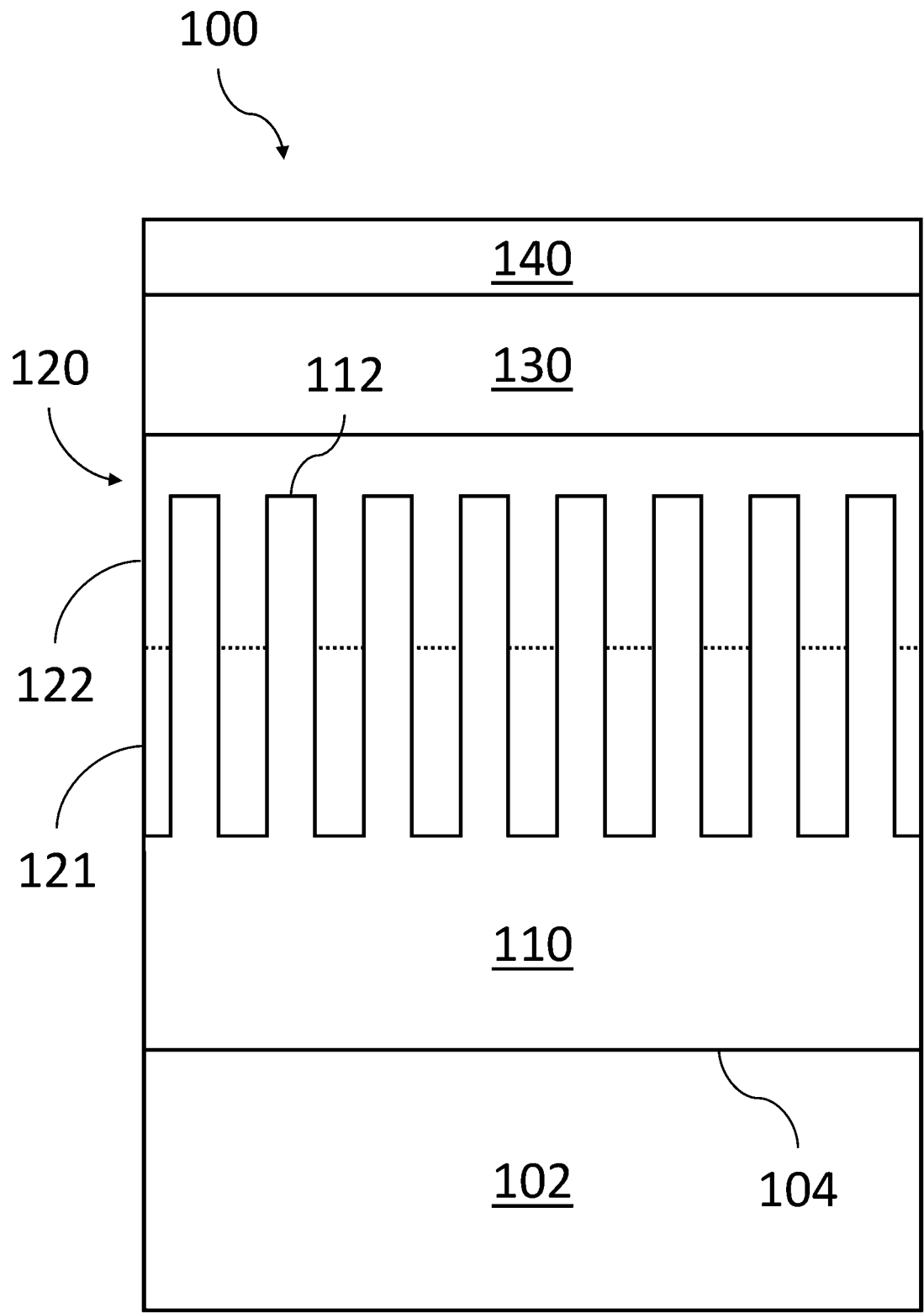


圖 4

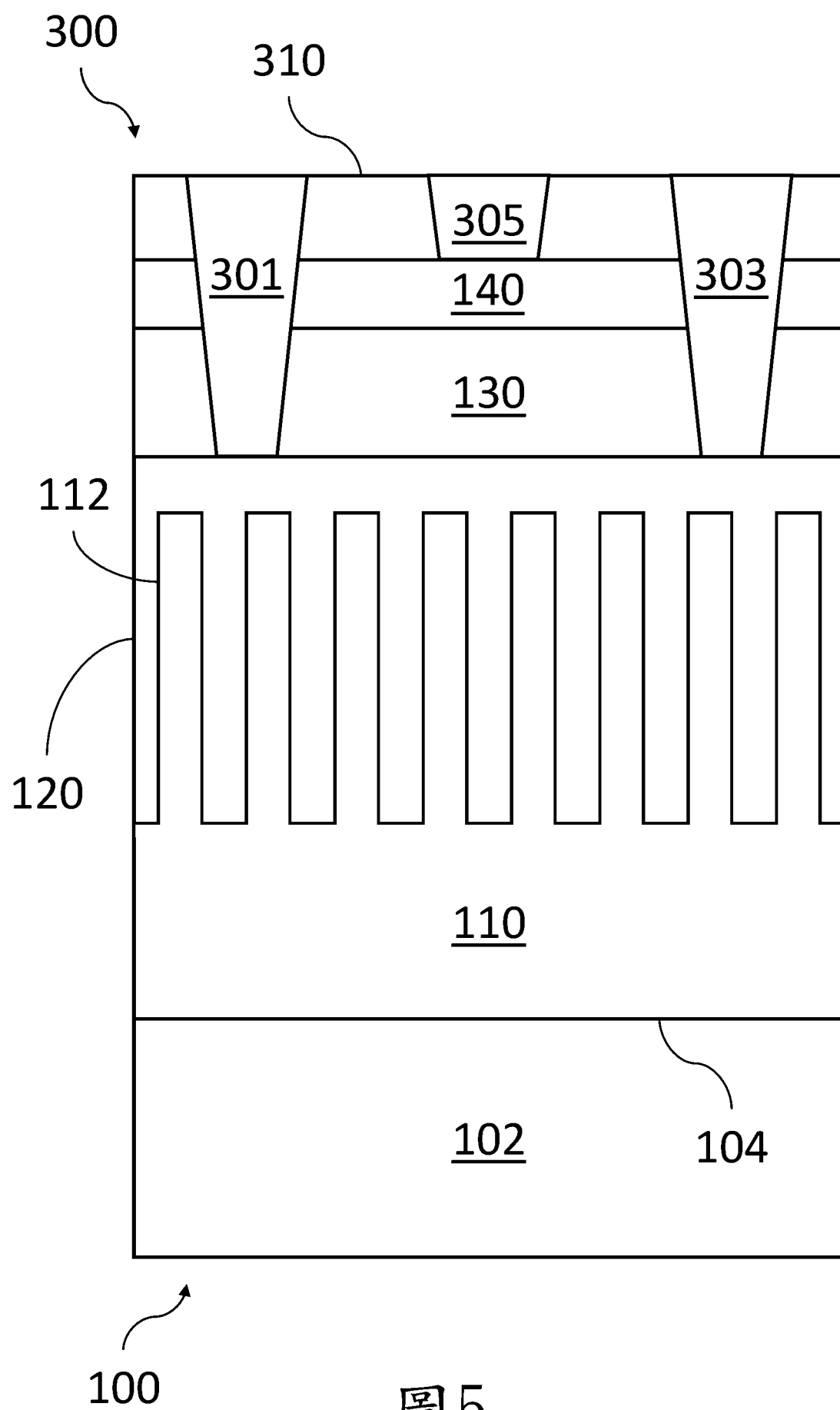


圖5

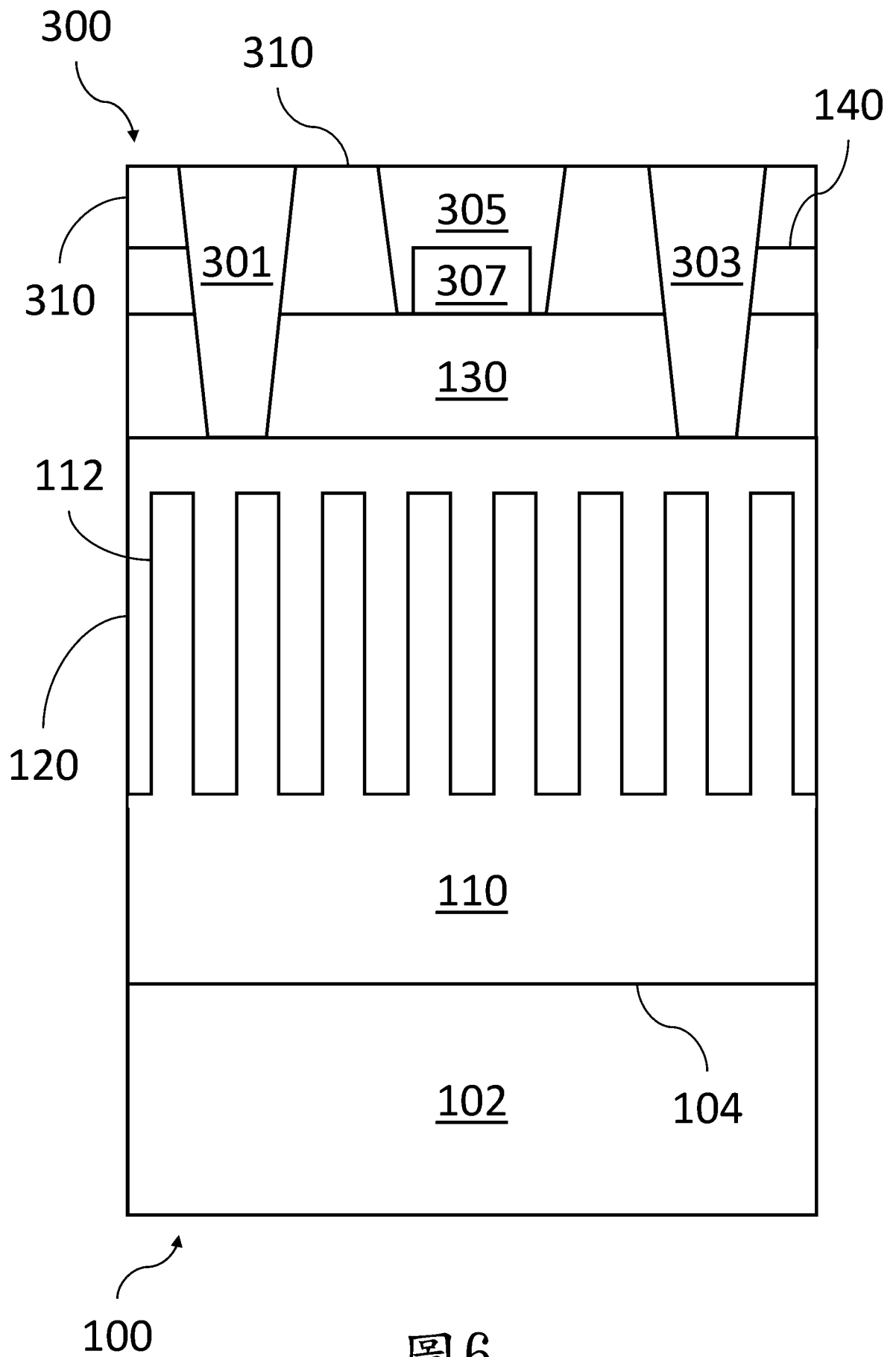


圖 6

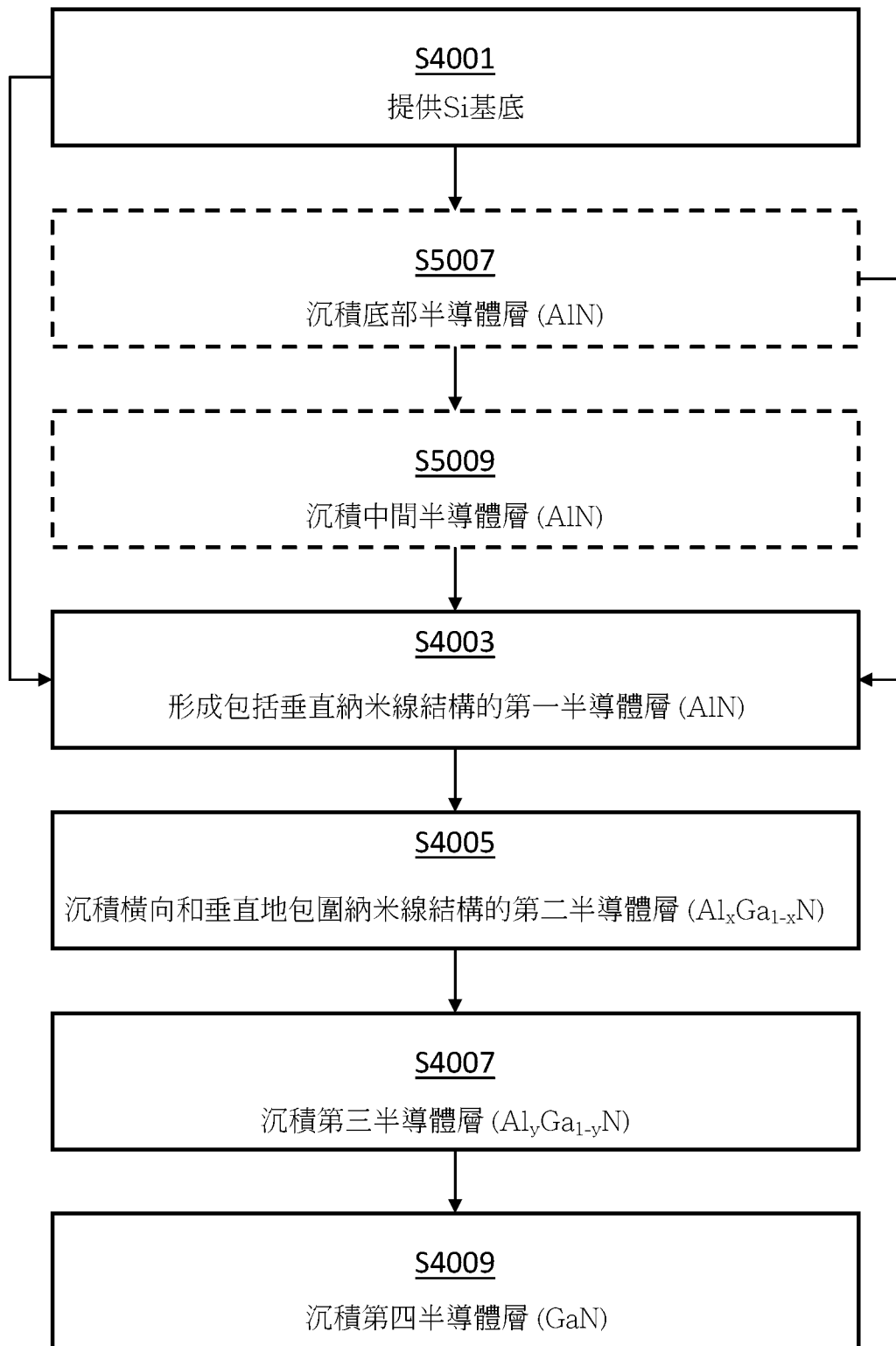


圖 7

S4003

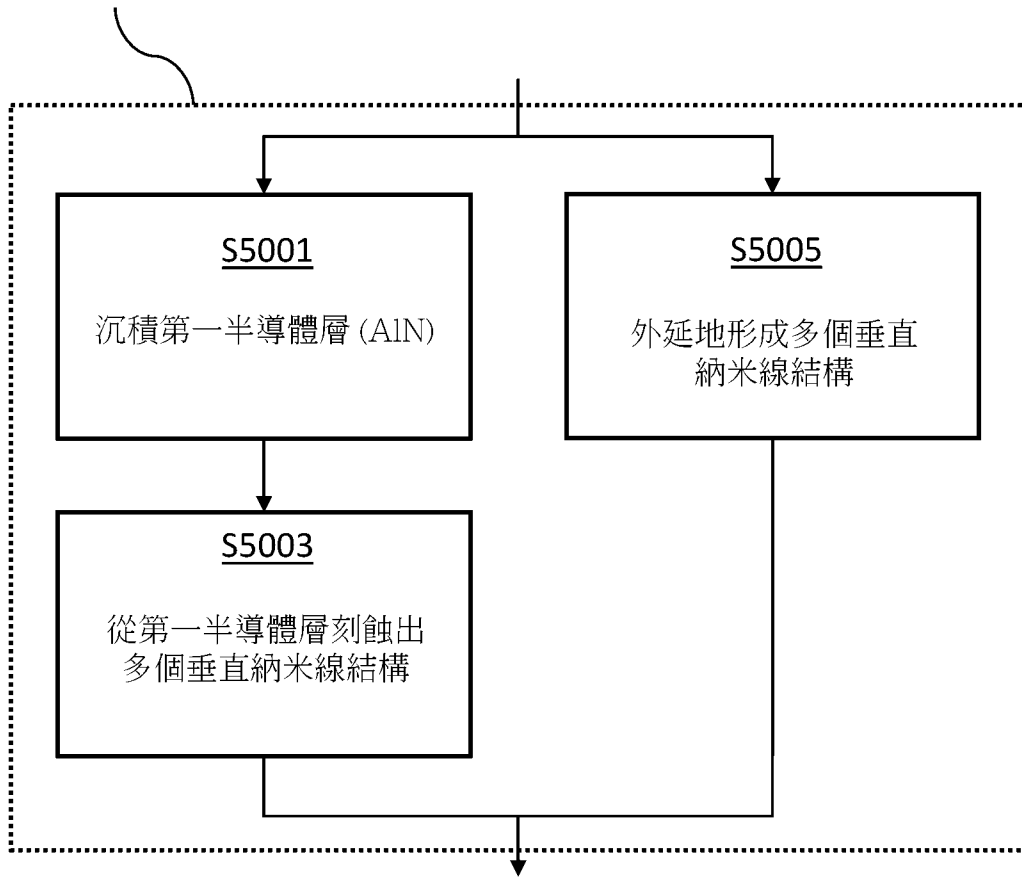


圖 8

S4005

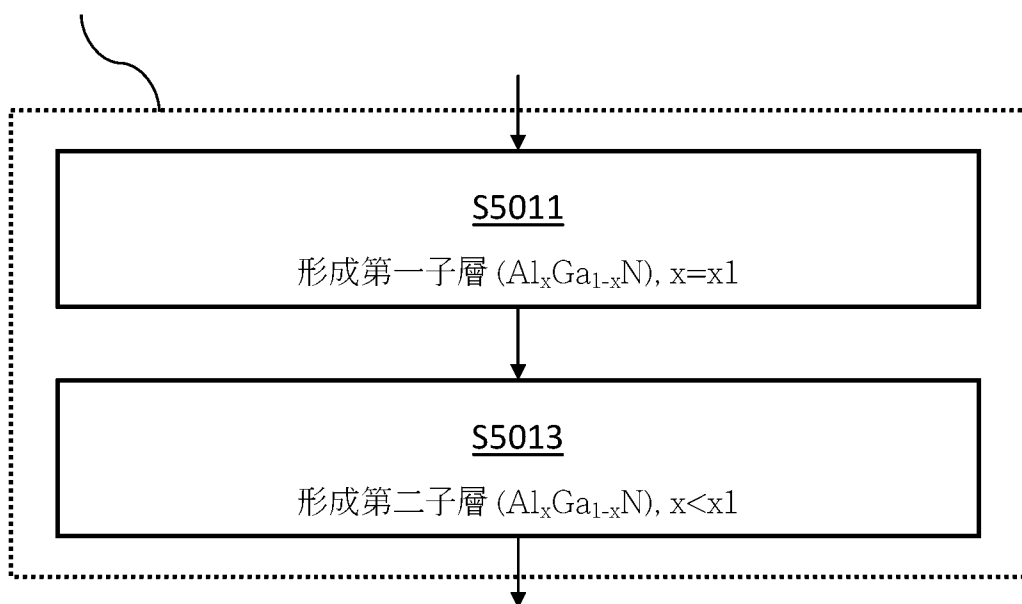


圖 9

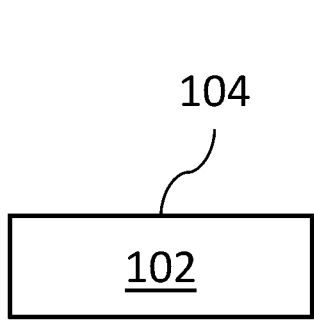


圖 10a

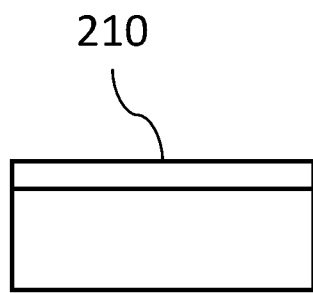


圖 10b

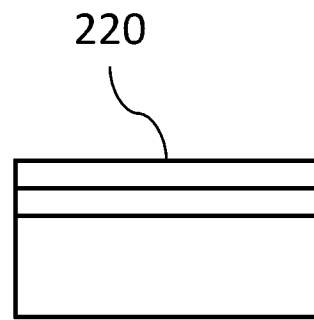


圖 10c

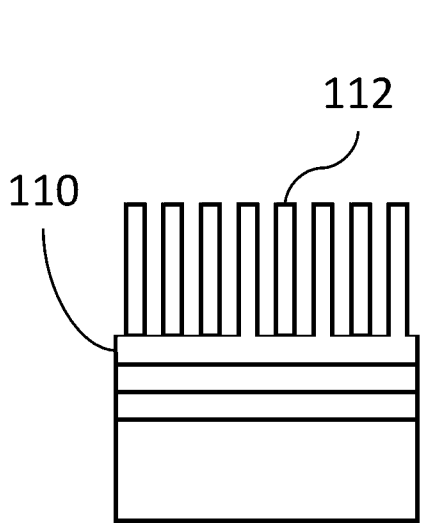


圖 10d

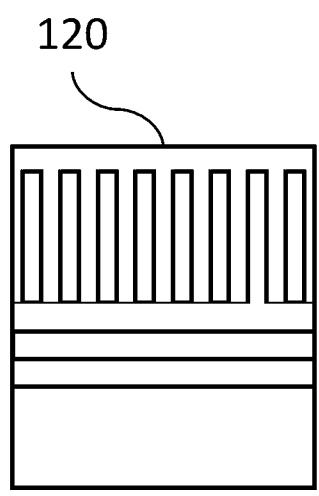


圖 10e

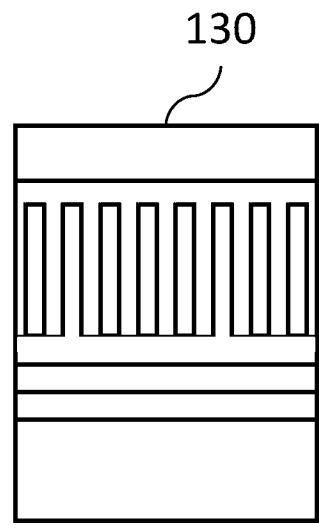


圖 10f

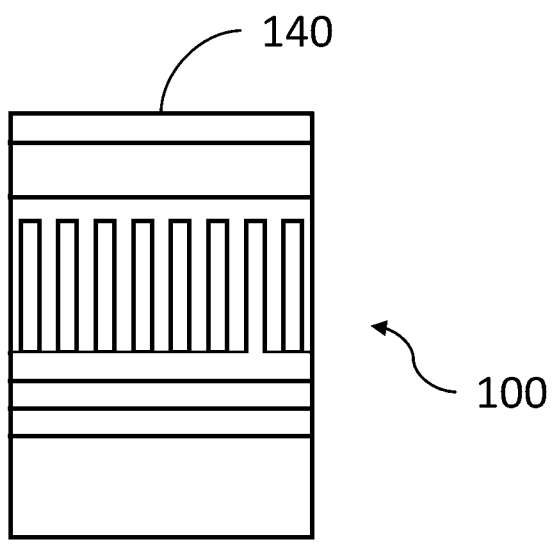


圖 10g

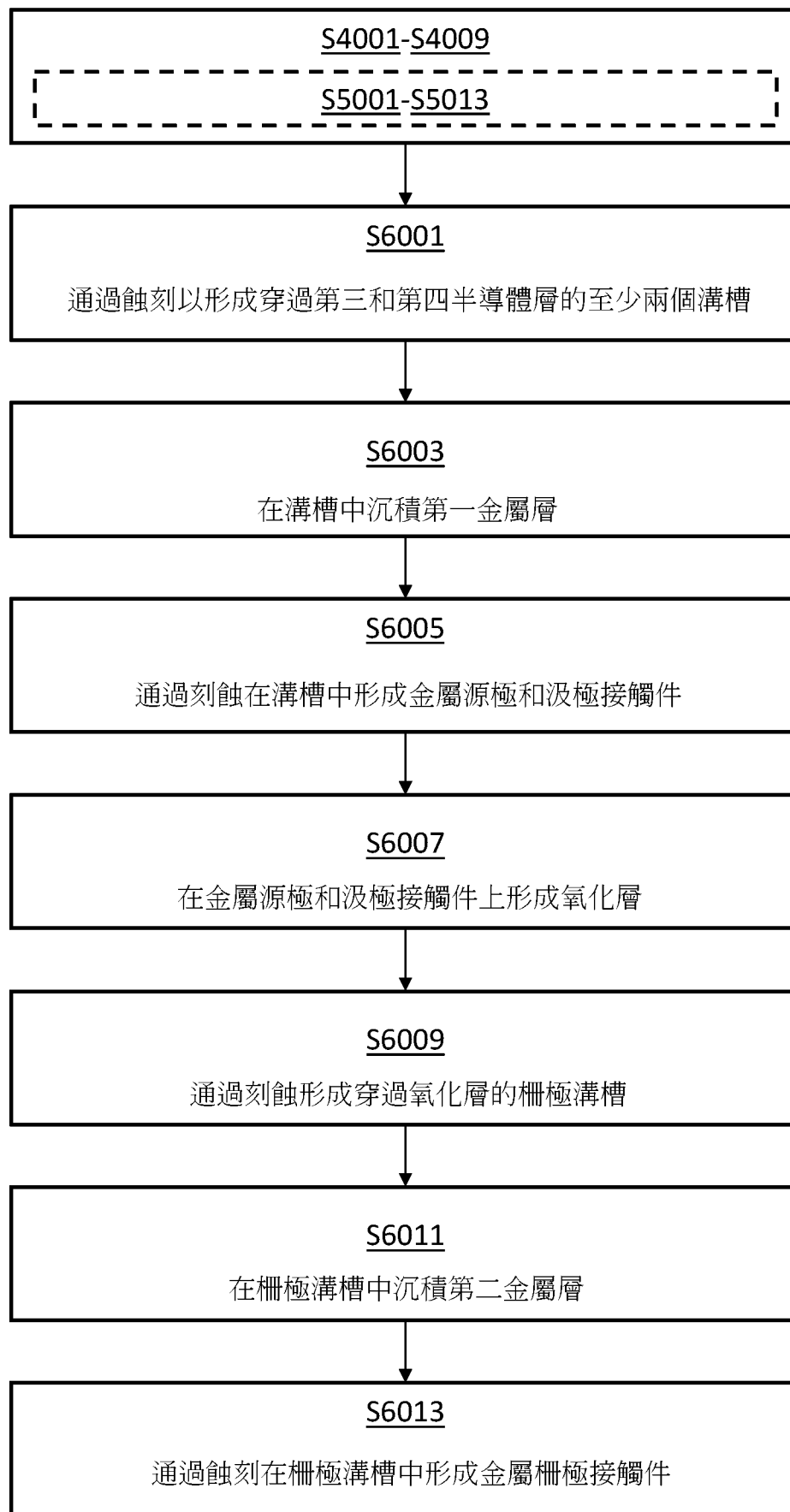
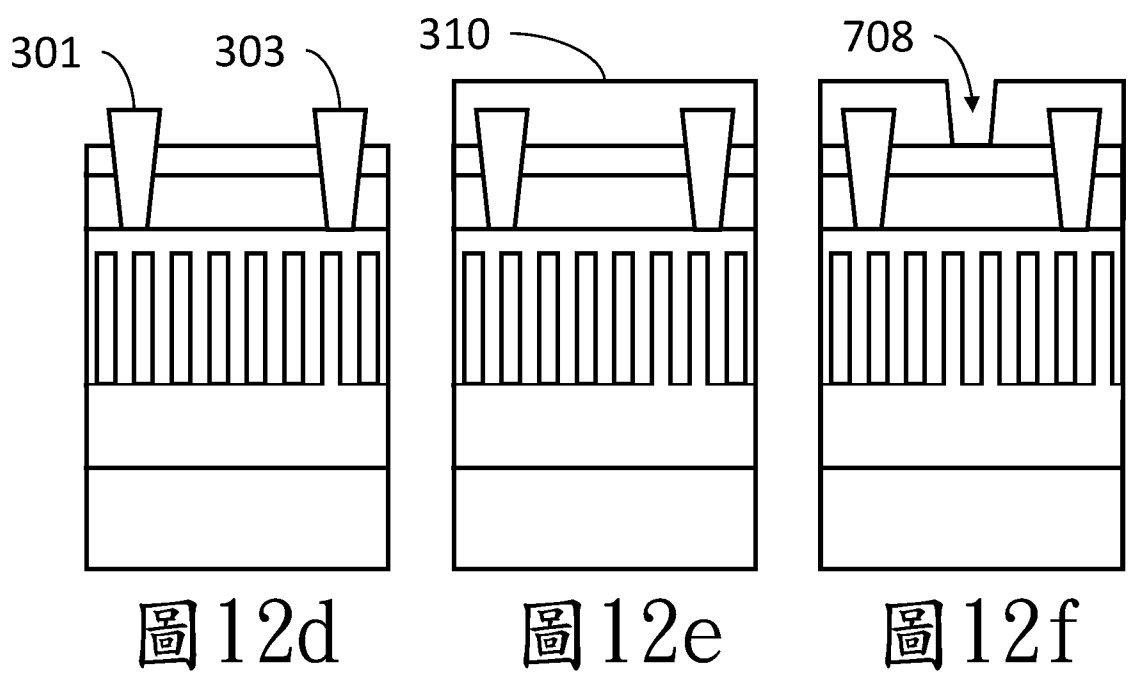
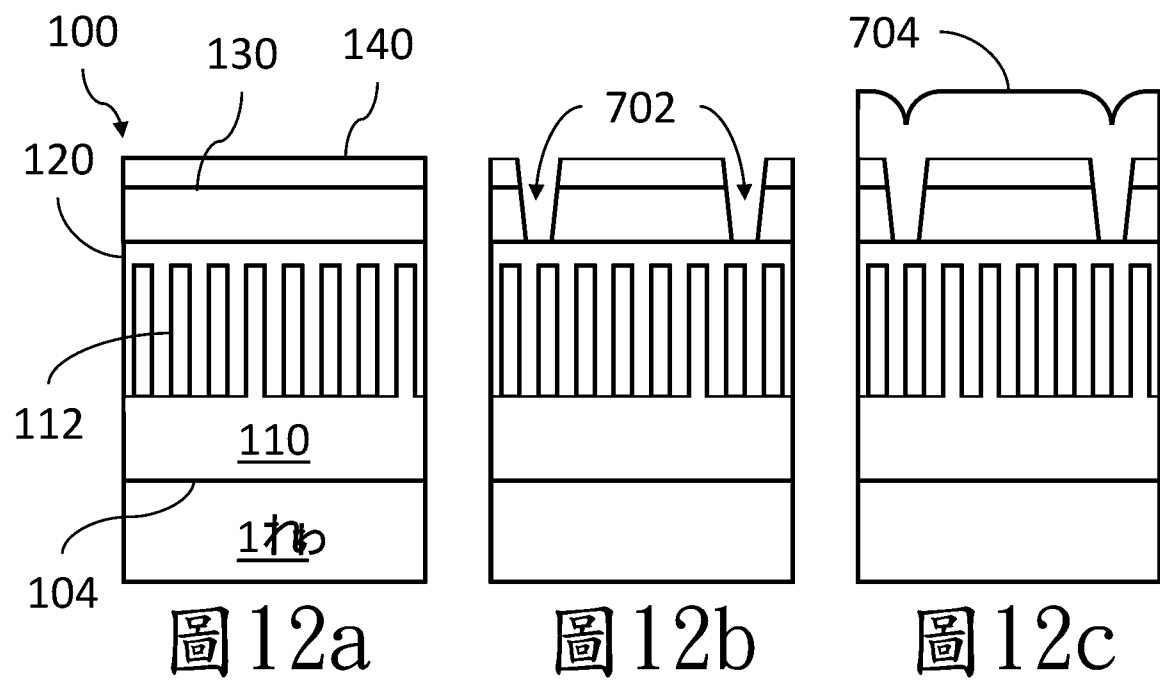


圖 11



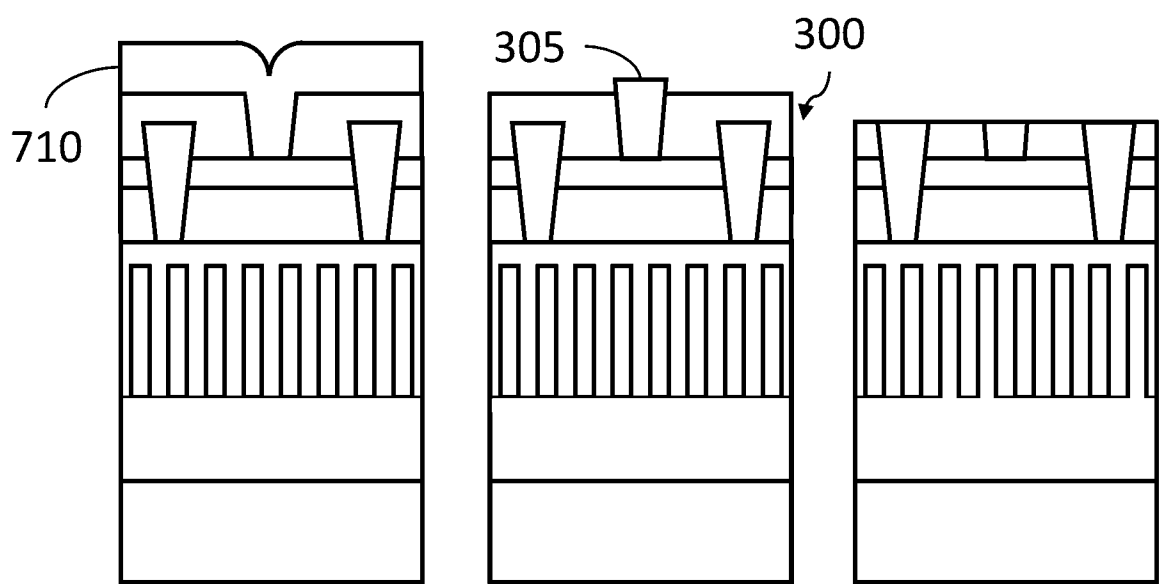


圖 12g

圖 12h

圖 12i

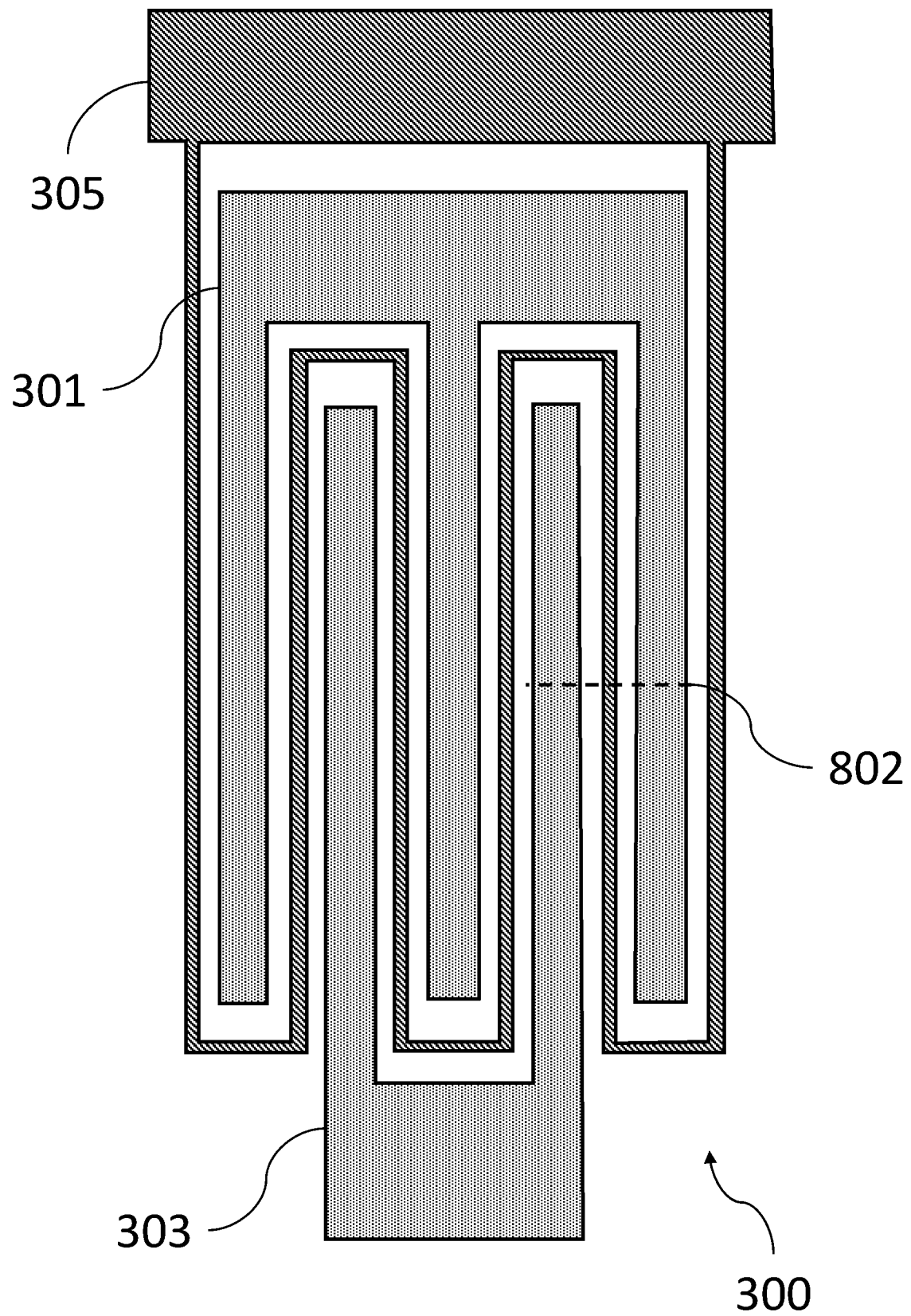


圖 13