

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成24年1月26日(2012.1.26)

【公開番号】特開2010-186525(P2010-186525A)

【公開日】平成22年8月26日(2010.8.26)

【年通号数】公開・登録公報2010-034

【出願番号】特願2009-31380(P2009-31380)

【国際特許分類】

G 11 C 16/02 (2006.01)

G 11 C 16/06 (2006.01)

G 11 C 17/14 (2006.01)

【F I】

G 11 C 17/00 6 0 1 Q

G 11 C 17/00 6 1 1 G

G 11 C 17/00 6 3 3 A

G 11 C 17/06 B

【手続補正書】

【提出日】平成23年12月5日(2011.12.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルAが行列状に配置され、行と列を選択することで所望のメモリセルAを選択して情報を書き込むメモリ回路装置であって、

各列を構成する前記メモリセルAの書き込みが完了しているか完了していないかの書き込み情報を記憶するために前記各列に備えられたメモリセルBと、

前記メモリセルBの前記書き込み情報をを利用して列の選択を行う回路と、
を備え、

選択されている第1の列の前記メモリセルAへの書き込みが完了した後に前記第1の列に備えられた前記メモリセルBに書き込み完了を示す着込み情報の書き込みを行うと、前記回路がこの書き込みによって生じる前記メモリセルBの出力電圧の変化を前記第1の列および次列となる第2の列へ直接伝えることで、前記第1の列は選択状態から否選択状態に変わり、前記第2の列は否選択状態から選択状態に変わるので前記第2の列への書き込みが可能になり、本動作を繰り返すことで、書き込みを行う列が順次選択されていくことを特徴とするメモリ回路装置。

【請求項2】

前記メモリセルBを利用した誤書き込み防止機能をさらに備えていることを特徴とする請求項1記載のメモリ回路装置。

【請求項3】

前記メモリセルBが隣接する列の異なる行にわたって配置されていることを特徴とする請求項1または2に記載のメモリ回路装置。

【請求項4】

前記メモリセルBの記憶する書き込み情報の変化と、列選択信号の変化との間に遅延時間を持たせたことを特徴とする請求項1乃至3のいずれか1項に記載のメモリ回路装置。

【請求項5】

アナログ・デジタル変換回路から構成される行デコーダをさらに有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載のメモリ回路装置。

【請求項 6】

前記アナログ・デジタル変換回路から成る行デコーダからの出力であるワード線にブルアップ、もしくはブルダウン機能をさらに備えることを特徴とする請求項 5 記載のメモリ回路装置。

【請求項 7】

前記アナログ・デジタル変換回路に流れる電流を遮断する機能をさらに備えることを特徴とする請求項 5 または 6 に記載のメモリ回路装置。

【請求項 8】

前記メモリセル A および前記メモリセル B からの情報をラッチ回路に読み出して情報を保持する機能と、前記メモリセル A および前記メモリセル B に流れる電流を遮断する機能とをさらに備えることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載のメモリ回路装置。

【請求項 9】

行列配置された前記メモリセル A の第 1 列の前にさらにメモリセル C を備え、前記メモリセル C の記憶情報によって、前記第 1 列目の前記メモリセル A への書き込みの可否を制御することを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載のメモリ回路装置。

【請求項 10】

情報を記憶する素子として電気的に溶断可能なヒューズを用いることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載のメモリ回路装置。

【請求項 11】

参照電位を有する半導体チップ上に設けられた、前記半導体チップの参照電位と前記アナログ・デジタル変換回路の参照電位とを共通化したことを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載のメモリ回路装置。