(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年5 月11 日 (11.05.2006)

PCT

(10) 国際公開番号
WO 2006/049172 A1

(51) 国際特許分類:
H01L 27/14 (2006.01) *H04N 1/028* (2006.01)
H01L 27/146 (2006.01) *H04N 5/335* (2006.01)

(21) 国際出願番号: PCT/JP2005/020116

(22) 国際出願日: 2005 年11 月1 日 (01.11.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-322191 2004 年11 月5 日 (05.11.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ Kyoto (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 先山 丈介 (SAKIYAMA, Josuke) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP).

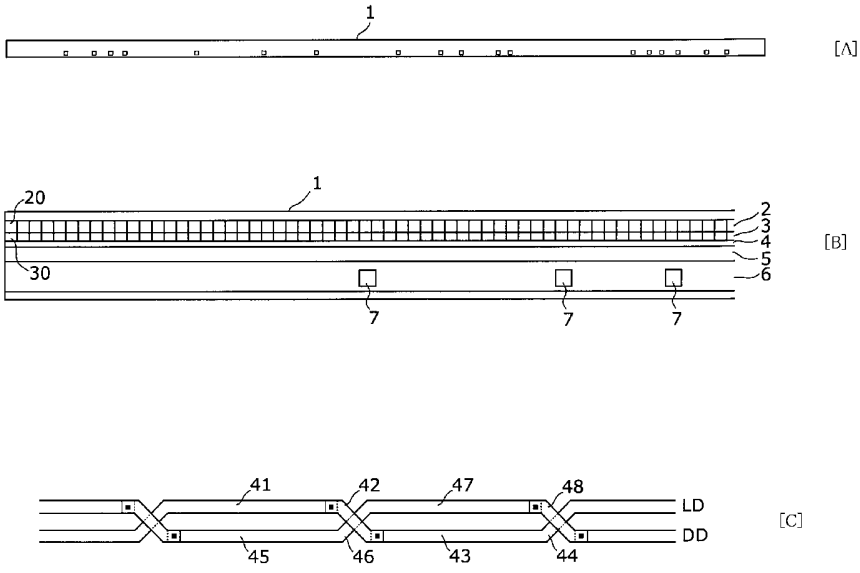
(74) 代理人: 佐野 静夫 , 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

[続葉有]

(54) Title: SEMICONDUCTOR CHIP

(54) 発明の名称: 半導体チップ



(57) Abstract: A semiconductor chip is provided with a light receiving element part including a plurality of light receiving elements linearly arranged in a long side direction, and a read out circuit cell part wherein read out circuits corresponding to the light receiving elements are linearly arranged in the long side direction. In the semiconductor chip, a pair of signal lines, which are a common signal line for signal output and a common signal line for reference output, are provided in a wiring part between the read out circuit cell part and a logic circuit part to extend in the long side direction by converting the positions in a short side direction by prescribed length.

(57) 要約: 長辺方向に直線状に配置された複数の受光素子を含む受光素子部と、受光素子に対応する読み出し回路セルが長辺方向に直線状に配置された読み出し回路セル部とを有した半導体チップにおいて、１対の信号線である信号出力の共通信号線及び基準出力の共通信号線が、

[続葉有]

WO 2006/049172 A1

SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

読み出し回路セル部とロジック回路部との間の配線部に設けられ、所定長さ毎に短辺方向の位置を交換しながら長辺方向に延びるように配設される。

明 細 書

半導体チップ

技術分野

[0001] 本発明は、フォトダイオード等の受光素子とその信号を処理する回路が同一の半導体基板上に集積されたイメージセンサに好適な半導体チップに関する。

背景技術

[0002] 従来より、画像を読み取るためのイメージセンサ用の半導体チップがファクシミリ等の電子機器に用いられている。この半導体チップは、例えば、特許文献1に開示されているように、画素に対応する受光素子が直線状に配置されているため、細長い長方形となっている。

[0003] 図3Aは、このような従来の半導体チップ101を示すものであり、その全体の平面図である。図3Bは端部を拡大した平面図である。図3Cは、図3Bの一部分をさらに拡大したもので、1対の信号線の平面図である。この半導体チップ101は、図3Aに示すように細長い長方形をなしている。図3Bは、図3Aの端部を拡大して示しており、短辺の一側から他側に向かって、画素に対応する受光素子120が直線状に配置された受光素子部102、受光素子120に対応する読み出し回路セル130が直線状に配置された読み出し回路セル部103、図3Cに示す1対の信号線である信号出力及び基準出力の共通信号線LD、DDが設けられる配線部104、外部クロックやスタート信号が入力されて読み出し回路セル部103や後述のアナログ回路部106を制御する制御信号を生成するロジック回路部105、信号出力及び基準出力の共通信号線LD、DDの電圧の差に相当する電圧を出力する減算回路や増幅回路などを含むアナログ回路部106が配置されている。複数の入出力パッド107、107、…が、アナログ回路部106に設けられている。

[0004] ここで、信号出力及び基準出力の共通信号線LD、DDは、配線部104の長辺のほぼ全体にわたり、すなわち、図3Aにおいて、ほぼ左端からほぼ右端まで互いに平行になるように設けられる。このような信号出力及び基準出力の共通信号線LD、DDは、その全長が長いのでノイズが重畳し易いが、配設される場所や形状をできるだけ同

じにすることにより、重畳してもその波形が近いものとなって大部分は後続の減算回路により除去される。

特許文献1:特開平9－205518号公報

発明の開示

発明が解決しようとする課題

[0005] 今日、ファクシミリ等の電子機器の小型化に伴い、イメージセンサ用の半導体チップが搭載されるプリント基板の縮小化が益々求められている。それゆえ、半導体チップも短辺方向のサイズの縮小化が求められている。また、画素数の増加に伴い、制御信号の基準となる外部クロックの周波数は高いものとなってきている。

[0006] そこで、本願発明者は、短辺方向のサイズの縮小化を図るイメージセンサ用の半導体チップの開発に当たり、信号出力及び基準出力の共通信号線とロジック回路部との距離を短くしたところ、減算回路により除去されないロジック回路部からのスイッチングノイズが重畳して外部への出力信号に大きなノイズ波形が残るという問題に直面した。

[0007] 本発明は、係る事由に鑑みてなされたものであり、その目的は、細長い長方形の半導体チップにおける全長が長い1対の信号線のレイアウト形状を工夫することにより重畳するノイズを除去し易いようにした半導体チップを提供することにある。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明では、細長い長方形をなし、スイッチングノイズが発生するロジック回路部と1対の信号線が設けられた配線部を備える半導体チップにおいて、前記1対の信号線は、それぞれが前記ロジック回路部の長辺方向に延びる実質的な外縁に対して近い側の近接片と、遠い側の離反片と、これらを接続する接続片とを有し、互いの近接片と離反片とが平行でかつ互いの接続片が交差するよう配設されている。

[0009] この構成によると、1対の信号線が、ノイズが発生しやすいロジック回路部に対して、近接、離反を交互に繰り返すように配設される。

[0010] また、本発明では、上記の半導体チップにおいて、画素に対応する受光素子が長辺方向に直線状に複数配置された受光部と、受光素子に対応する読み出し回路セ

ルが長辺方向に直線状に複数配置された読み出し回路セル部とを更に備え、前記ロジック回路部は、前記読み出し回路セル部を制御する制御信号を生成し、前記1対の信号線は、複数の前記受光素子の信号出力の共通信号線及び複数の前記受光素子の基準出力の共通信号線であって、前記読み出し回路セル部と前記ロジック回路部との間に設けられている。

[0011] この構成によると、出力ノイズが発生しやすいロジック回路部に対して、受光素子の信号出力の共通信号線と受光素子の基準出力の共通信号線とが、近接、離反を交互に繰り返すように配設される。

発明の効果

[0012] 本発明に係る半導体チップによると、1対の信号線のそれぞれがロジック回路部の長辺方向に延びる実質的な外縁に対して近い側の近接片と遠い側の離反片とこれらを接続する接続片とを有し、互いの近接片と離反片とが平行でかつ互いの接続片が交差するよう配設されているので、全長が長くても重畳するノイズ波形がほぼ同じになるため、ノイズを除去し易くすることができる。

[0013] また、本発明に係る半導体チップによると、受光素子の信号出力の共通信号線と受光素子の基準出力の共通信号線に重畳するノイズ波形がほぼ同じになるため、これら2つの信号を後段の減算回路で減算することによって、容易に除去することが可能になる。

図面の簡単な説明

[0014] [図1]は、イメージセンサ用の半導体チップの回路図である。

[図2A]は、本発明の実施形態に係る半導体チップの全体の平面図である。

[図2B]は、半導体チップの端部を拡大した平面図である。

[図2C]は、半導体チップの一部分を拡大した平面図であり、1対の信号線の平面図である。

[図3A]は、従来の半導体チップの全体の平面図である。

[図3B]は、従来の半導体チップの端部を拡大した平面図である。

[図3C]は、従来の半導体チップの一部分を拡大した平面図であり、1対の信号線の平面図である。

符号の説明

[0015] 1、101 半導体チップ

2、102 受光素子部

3、103 回路セル部

4、104 配線部

5、105 ロジック回路部

6、106 アナログ回路部

7、107 入出力パッド

20、120 受光素子

30、130 回路セル

31、35、36、37、66 トランジスタ

32、61、62、65 バッファ

33、34 コンデンサ

41、47 離反片

42、44、46、48 接続片

43、45 近接片

63 減算回路

64 増幅回路

71 入力パッド

73 出力パッド

発明を実施するための最良の形態

[0016] 以下、本発明の最良の実施形態を、図面を参照しながら説明する。先ず、イメージセンサ用の半導体チップの回路について説明する。図1は半導体チップ1の回路図である。半導体チップ1は、複数の受光素子20を有する受光素子部2と、それぞれの受光素子20に対応する読み出し回路セル30を有する読み出し回路セル部3と、各種制御信号を生成するロジック回路部5と、増幅等を行って出力パッド73を介して外部へ出力信号を出力するアナログ回路部6と、を有して成る。ロジック回路部5は、外部クロックCLK及びスタート信号SPが、それぞれ入力パッド71、72を介して入力さ

れ、読み出し回路セル部3を制御する制御信号BI、WTL、WTD、RD_{n-1}、RD_n、RD_{n+1}などや後述のアナログ回路部6を制御する制御信号PRを生成する。なお、制御信号BI、WTL、WTDは全ての読み出し回路セル30に共通に用いられ、また、制御信号RD_{n-1}、RD_n、RD_{n+1}はそれぞれ別々の読み出し回路セル30に用いられて全部で読み出し回路セル30に対応した数だけ有る。

[0017] 読み出し回路セル30は、図の中央に位置するものについて詳しく説明すると、受光素子20に接続される接続点Aを、制御信号BIに応じてバイアス電圧V_BにプリチャージするPMOS型のトランジスタ31と、接続点Aの電圧をバッファリングして出力するバッファ32と、バッファ32の出力電圧を一時的に保存するコンデンサ33、34と、バッファ32の出力電圧を制御信号WTL、WTDに応じてそれぞれコンデンサ33、34に伝達するNMOS型のトランジスタ35、36と、コンデンサ33、34の電圧をそれぞれ1対の信号線である信号出力及び基準出力の共通信号線LD、DDに対して制御信号RD_nに応じて伝達するNMOS型のトランジスタ37、38と、を有して成る。図の中央に位置するもの以外、すなわち、図の上方や下方に位置する読み出し回路セル30についても同様である。なお、バッファ32はエミッタフォロア回路などで構成される。

[0018] アナログ回路部6は、信号出力及び基準出力の共通信号線LD、DDのそれぞれの電圧をバッファリングして出力するバッファ61、62と、バッファ61の出力電圧とバッファ62の出力電圧の差に相当する電圧を出力する減算回路63と、減算回路63の出力電圧を増幅して出力する増幅回路64と、増幅回路64の出力電圧をバッファリングして外部に出力するバッファ65と、を有して成る。また、アナログ回路部6は、信号出力及び基準出力の共通信号線LD、DDを、制御信号PRに応じて共通信号線用基準電圧V_{DREF}にプリチャージするNMOS型トランジスタ66、67を有する。

[0019] このイメージセンサ用の半導体チップ1は以下のように動作する。接続点Aは受光素子20に入射される光量に応じた電圧になっており、スタート信号SPにより起動すると、接続点Aの電圧がバッファ32、トランジスタ35を介してコンデンサ33に保存される。続いて、接続点Aがトランジスタ31を介してプリチャージされ、その後、光が受光素子20に入射されない状態で、接続点Aの電圧はバッファ32、トランジスタ36を介してコンデンサ34に保存される。次に、トランジスタ66、67を介して信号出力及び

基準出力の共通信号線LD、DDがプリチャージされた後、それぞれの読み出し回路セル30のトランジスタ37、38が順番にONして、コンデンサ33の電圧が信号出力の共通信号線LD、コンデンサ34の電圧が基準出力の共通信号線DDに伝達される。信号出力及び基準出力の共通信号線LD、DDのそれぞれの電圧は、バッファ61、62を介して減算回路63に入力され、その出力電圧は増幅回路64により増幅されてバッファ65を介して外部に出力される。ここで、減算回路63は、信号出力及び基準出力の共通信号線LD、DDのそれぞれの電圧の差を出力するため、それらに重畳した同じノイズ波形は取り除かれる。

[0020] 次に、本発明の実施形態である半導体チップのレイアウト形状について説明する。図2A～図2Cは半導体チップ1の平面図である。この半導体チップ1は、図1に示した上記のイメージセンサの回路を半導体基板上に実現したものである。図2Aは全体の平面図である。図2Bは端部を拡大した平面図である。図2Cは、図2Aの一部分をさらに拡大したもので、1対の信号線の平面図である。この半導体チップ1は、図2Aに示すように細長い長方形(例えば、短辺が約0．35mm、長辺が約18．5mm)をなしている。そして、半導体チップ1の端部を拡大した図2Bに示すように、長方形の短辺の一側から他側に向かって、画素に対応する受光素子20が直線状に配置された受光素子部2、受光素子20に対応する読み出し回路セル30が直線状に配置された読み出し回路セル部3、1対の信号線である信号出力及び基準出力の共通信号線LD、DDが設けられた配線部4、ロジック回路部5、アナログ回路部6が長方形の長辺方向に延びて配置されている。複数の入出力パッド7、7、…が、アナログ回路部6に設けられている。

[0021] 信号出力及び基準出力の共通信号線LD、DDは、配線部4を長辺のほぼ左端から右端まで配設される。これらは、図2Cに示すように、所定長さ毎に短辺方向の位置を交換しながら長辺方向に延びている。具体的には、信号出力の共通信号線LDは、ロジック回路部5の長辺方向に延びる実質的な外縁に対して近い側の近接片43と遠い側の離反片41とこれらを接続する接続片42、44とを有し、これらが繰り返されている。接続片42、44は、長辺方向に対し斜め方向(例えば、45°)に傾いている。基準出力の共通信号線DDも、ロジック回路部5の長辺方向に延びる実質的な外縁に

対して近い側の近接片45と遠い側の離反片47とこれらを接続する接続片46、48とを有し、これらが繰り返されている。接続片46、48は、長辺方向に対し斜め方向(例えば、45°)に傾いている。そして、互いの近接片と離反片、すなわち近接片45と離反片41及び近接片43と離反片47、が平行であり、かつ互いの接続片、すなわち接続片42と接続片46及び接続片44と接続片48が交差するよう配設されているのである。なお、信号出力の共通信号線LDの離反片41、近接片43、接続片44及び基準出力の共通信号線DDの近接片45、接続片46、離反片47は所定のメタル層に形成され、信号出力の共通信号線LDの接続片42及び基準出力の共通信号線DDの接続片48は異なるメタル層に形成されている。

[0022] 信号出力及び基準出力の共通信号線LD、DDはこのように配設されることで、以下のように作用する。信号出力及び基準出力の共通信号線LD、DDはロジック回路部5の近くにあるため、ロジック回路部5を構成する素子又はそれから引き出された配線との寄生容量が大きい。従って、信号出力及び基準出力の共通信号線LD、DDにはそれらの素子から直接又は配線を通して外部クロックCLKに同期したスイッチングノイズが寄生容量を通して伝達され易い。そして、一部分を見ると、信号出力及び基準出力の共通信号線LD、DDのそれぞれに対するスイッチングノイズの影響は異なる。例えば、基準出力の共通信号線DDの近接片45に対するスイッチングノイズの影響は信号出力の共通信号線LDの離反片41に対する影響よりも僅かに大きい。しかし、基準出力の共通信号線DDの離反片47に対するスイッチングノイズの影響は信号出力の共通信号線LDの近接片43に対する影響よりも僅かに小さい。従って、全体として見れば、信号出力及び基準出力の共通信号線LD、DDのそれぞれに対するスイッチングノイズの影響はほぼ等しくなり、重畳するノイズ波形もほぼ同じになる。そして、信号出力及び基準出力の共通信号線LD、DDに重畳したほぼ同じノイズ波形は後続の減算回路63により除去される。

[0023] なお、信号出力及び基準出力の共通信号線LD、DDの離反片41、47、近接片43、45の長辺方向の所定長さは実験又はシミュレーションで最適化が行われる。また、それは必ずしも一定である必要はないが、レイアウト設計の容易化のためには一定であることが望ましい。

[0024] 以上、本発明の実施形態である半導体チップについて説明したが、本発明は、実施形態に記載したものに限られることなく、特許請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。例えば、信号出力及び基準出力の共通信号線LD、DDを分割して高速化を図ることも可能である。また、MOSトランジスタとバイポーラトランジスタの置き換えが可能なのは勿論である。また、本発明はイメージセンサの半導体チップのみならず、他の細長い長方形の半導体チップに適用可能である。

産業上の利用可能性

[0025] 本発明は、ノイズが発生しやすい回路部を有し、その回路部に沿って1対の信号線が配設された細長い半導体チップに利用でき、特に複数の受光素子を有するイメージセンサに好適である。

請求の範囲

[1] 細長い長方形をなし、スイッチングノイズが発生するロジック回路部と1対の信号線が設けられた配線部を備える半導体チップにおいて、

前記1対の信号線は、それぞれが前記ロジック回路部の長辺方向に延びる実質的な外縁に対して近い側の近接片と、遠い側の離反片と、これらを接続する接続片とを有し、

互いの近接片と離反片とが平行でかつ互いの接続片が交差するよう配設されていることを特徴とする半導体チップ。

[2] 請求項1に記載された半導体チップにおいて、

画素に対応する受光素子が長辺方向に直線状に複数配置された受光部と、

受光素子に対応する読み出し回路セルが長辺方向に直線状に複数配置された読み出し回路セル部とを更に備え、

前記ロジック回路部は、前記読み出し回路セル部を制御する制御信号を生成し、

前記1対の信号線は、複数の前記受光素子の信号出力の共通信号線及び複数の前記受光素子の基準出力の共通信号線であって、前記読み出し回路セル部と前記ロジック回路部との間に設けられていることを特徴とする半導体チップ。

[3] 請求項1または請求項2に記載された半導体チップにおいて、

前記1対の信号線の電圧を入力する減算回路を含むアナログ回路部を更に備えていることを特徴とする半導体チップ。

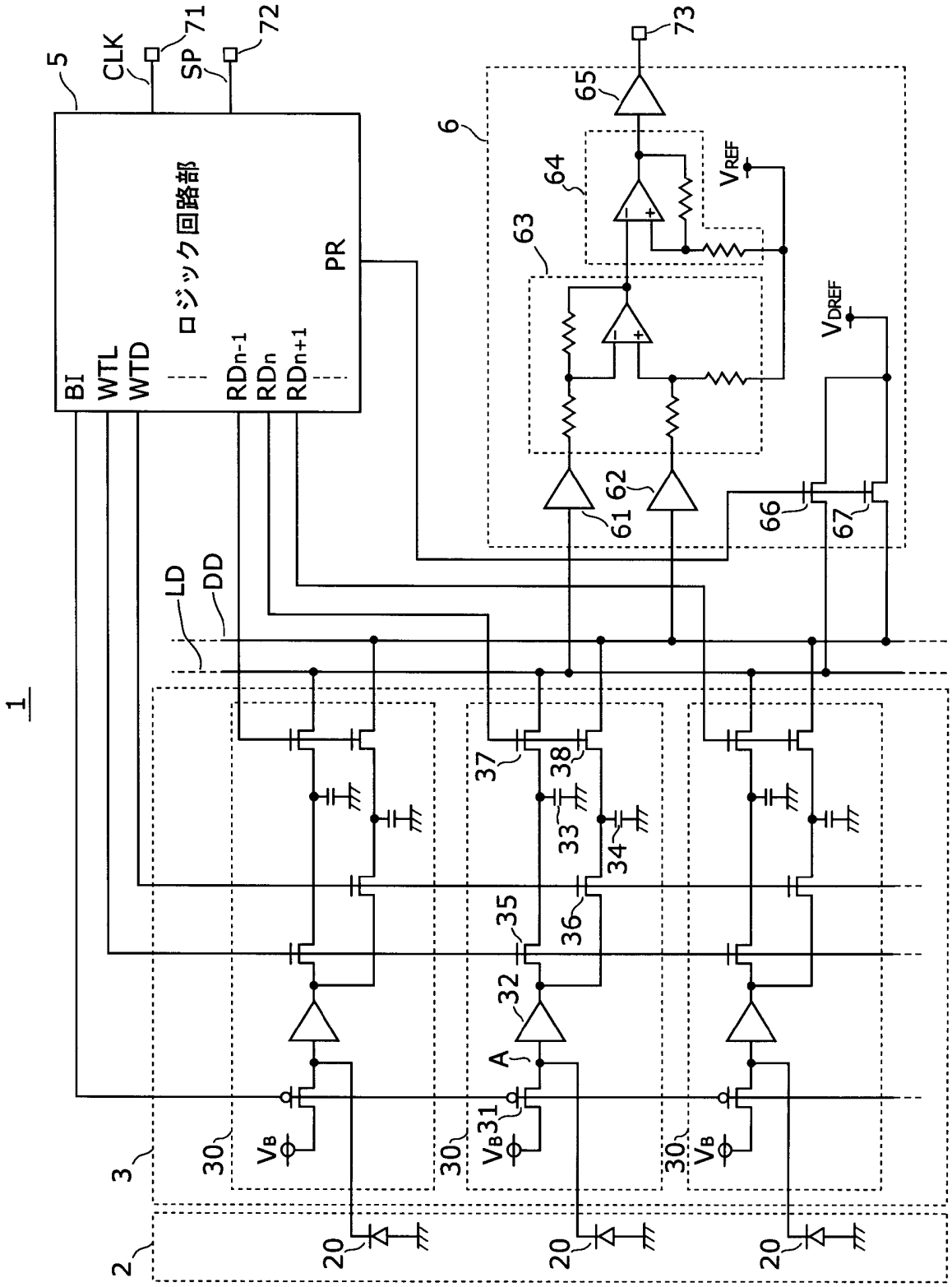
[4] 請求項1または請求項2に記載された半導体チップにおいて、

前記近接片と前記離反片は一定の所定長さであることを特徴とする半導体チップ。

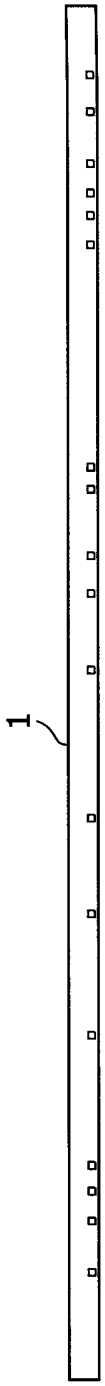
[5] 請求項1または請求項2に記載された半導体チップにおいて、

前記接続片は、長辺方向に対し斜め方向に傾いた部分を有し、交差する一の接続片は前記近接片及び前記離反片と異なるメタル層に形成されていることを特徴とする半導体チップ。

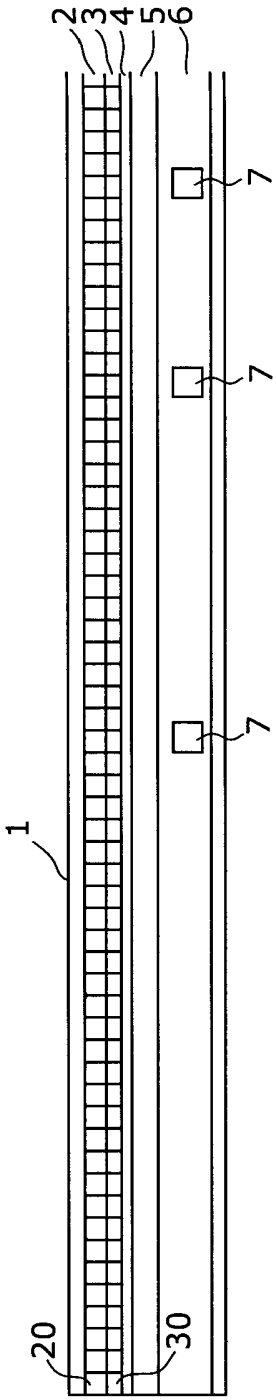
[図1]


1
2
3
5
CLK
SP
71
72
73
ロジック回路部
BI
WTL
WTD
RDn-1
RDn
RDn+1
PR
6
65
64
63
VREF
VDREF
61
62
66
67
LD
DD
20
30
31
32
A
VB
33
34
35
36
37
38

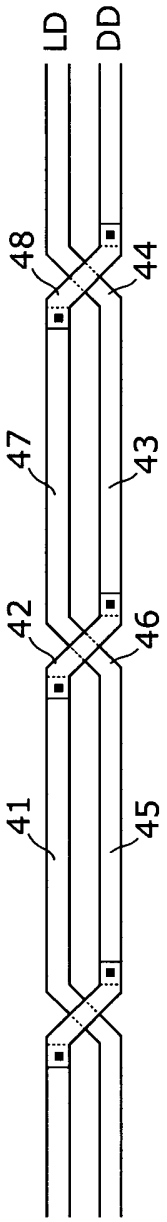
[図2A]



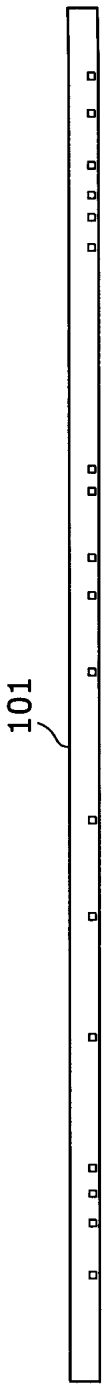
[図2B]



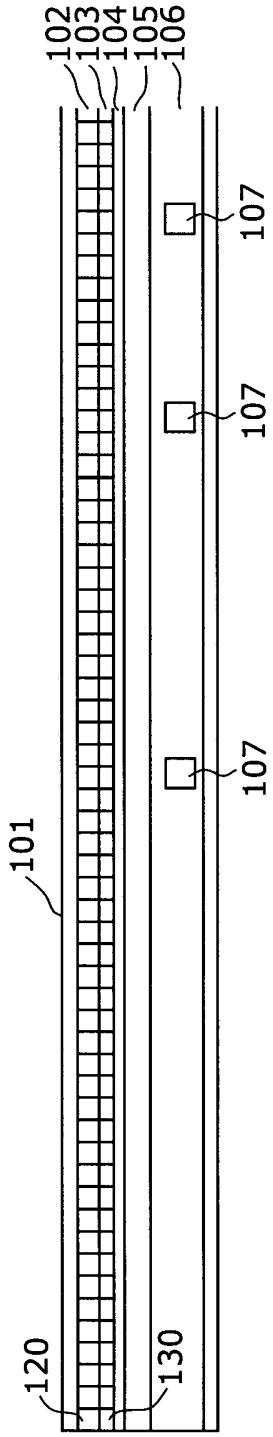
[図2C]



[図3A]



[図3B]



[図3C]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/020116

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/14(2006.01), ***H01L27/146***(2006.01), ***H04N1/028***(2006.01), ***H04N5/335***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/14, H01L27/146, H04N1/028, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 60-229472 A (NEC Corp.), 14 November, 1985 (14.11.85), Full text; Figs. 1 to 5 (Family: none)	1-5
A	JP 62-174943 A (Hitachi, Ltd.), 31 July, 1987 (31.07.87), Full text (Family: none)	1-5
A	JP 57-84149 A (Hitachi, Ltd.), 26 May, 1982 (26.05.82), Full text; Figs. 3 to 5, 12A, 12B (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 January, 2006 (17.01.06)	31 January, 2006 (31.01.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/020116

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-298155 A (Kyocera Corp.), 21 October, 1992 (21.10.92), Full text; Fig. 1 (Family: none)	1-5
A	JP 11-275471 A (Hewlett-Packard Co.), 08 October, 1999 (08.10.99), Full text; Fig. 1 & US 6201572 B1 & EP 933928 A2 & DE 69924312 D	1-5
A	JP 2002-543683 A (Polaroid Corp.), 17 December, 2002 (17.12.02), Par. Nos. [0013] to [0015]; Fig. 3 & US 6704050 B1 & EP 1090499 A1 & WO 2000/065824 A1	1-5

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０２０１１６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　***H01L27/14*** (2006.01)，***H01L27/146*** (2006.01)，***H04N1/028*** (2006.01)，***H04N5/335*** (2006.01)

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L 27/14, H01L 27/146, H04N 1/028, H04N 5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　６０－２２９４７２　Ａ（日本電気株式会社）１９８５．１１．１４，全文，第１－５図（ファミリーなし）	１－５
Ａ	ＪＰ　６２－１７４９４３　Ａ（株式会社日立製作所）１９８７．０７．３１，全文（ファミリーなし）	１－５
Ａ	ＪＰ　５７－８４１４９　Ａ（株式会社日立製作所）１９８２．０５．２６，全文，第３－５，１２Ａ，１２Ｂ図（ファミリーなし）	１－５

☑ Ｃ欄の続きにも文献が列挙されている。　　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１７．０１．２００６	３１．０１．２００６

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	恩田　春香	４Ｌ　８９３４
	電話番号　０３－３５８１－１１０１　内線　３４９８	

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００５／０２０１１６

Ｃ（続き）． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ ４－２９８１５５ Ａ（京セラ株式会社）１９９２．１０．２１，全文，図１（ファミリーなし）	１－５
Ａ	ＪＰ １１－２７５４７１ Ａ（ヒューレット・パッカード・カンパニー）１９９９．１０．０８，全文，図１ ＆ ＵＳ ６２０１５７２ Ｂ１ ＆ ＥＰ ９３３９２８ Ａ２ ＆ ＤＥ ６９９２４３１２ Ｄ	１－５
Ａ	ＪＰ ２００２－５４３６８３ Ａ（ポラロイド コーポレイション）２００２．１２．１７，段落【００１３】－【００１５】，図３ ＆ ＵＳ ６７０４０５０ Ｂ１ ＆ ＥＰ １０９０４９９ Ａ１ ＆ ＷＯ ２０００／０６５８２４ Ａ１	１－５