



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I503899 B

(45)公告日：中華民國 104 (2015) 年 10 月 11 日

(21)申請案號：098145607 (22)申請日：中華民國 98 (2009) 年 12 月 29 日
(51)Int. Cl. : H01L21/52 (2006.01) H01B1/14 (2006.01)
(30)優先權：2009/01/21 美國 12/356,939
(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國
(72)發明人：蒙提茲 魯邦 B MONTEZ, RUBEN B. (US)；帕瑪特 艾立克思 P PAMATAT,
ALEX P. (US)
(74)代理人：陳長文
(56)參考文獻：
TW 521395 TW 200531205
TW 200717738
審查人員：許智誠
申請專利範圍項數：19 項 圖式數：6 共 26 頁

(54)名稱

結合金屬鍺矽材料之基板

SUBSTRATE BONDING WITH METAL GERMANIUM SILICON MATERIAL

(57)摘要

在一實施例中，在結合一第一基板(103)至一第二基板(303)中使用之方法包括在該第一基板上形成一含金屬層。在一實施例中，該含金屬層圍繞一半導體器件，其可為一微機電系統(MEMS)器件。在該第二基板(303)上形成一第一含矽層(401)。在該第一層上形成一第二含鍺及矽層(403)。在該第二層上形成一第三含鍺層(405)。使該第三層與含金屬層接觸。對該第三層及含金屬層加熱(及在一些實施例中，加壓)以在第一基板與第二基板之間形成一機械結合材料，其中該機械結合材料具有電導電性。在機械結合劑圍繞一半導體器件(諸如一 MEMS)之情況中，尤其有利的是該機械結合劑可作為保護 MEMS 之一氣密式密封。

A method that in one embodiment is useful in bonding a first substrate (103) to a second substrate (303) includes forming a layer including metal over the first substrate. The layer including metal in one embodiment surrounds a semiconductor device, which can be a micro electromechanical system (MEMS) device. On the second substrate (303) is formed a first layer comprising silicon (401). A second layer (403) comprising germanium and silicon is formed on the first layer. A third layer (405) comprising germanium is formed on the second layer. The third layer is brought into contact with the layer including metal. Heat (and pressure in some embodiments) is applied to the third layer and the layer including metal to form a mechanical bond material between the first substrate and the second substrate in which the mechanical bond material is electrically conductive. In the case of the mechanical bond surrounding a semiconductor device such as a MEMS, the mechanical bond can be particularly advantageous as a hermetic seal for protecting the MEMS.

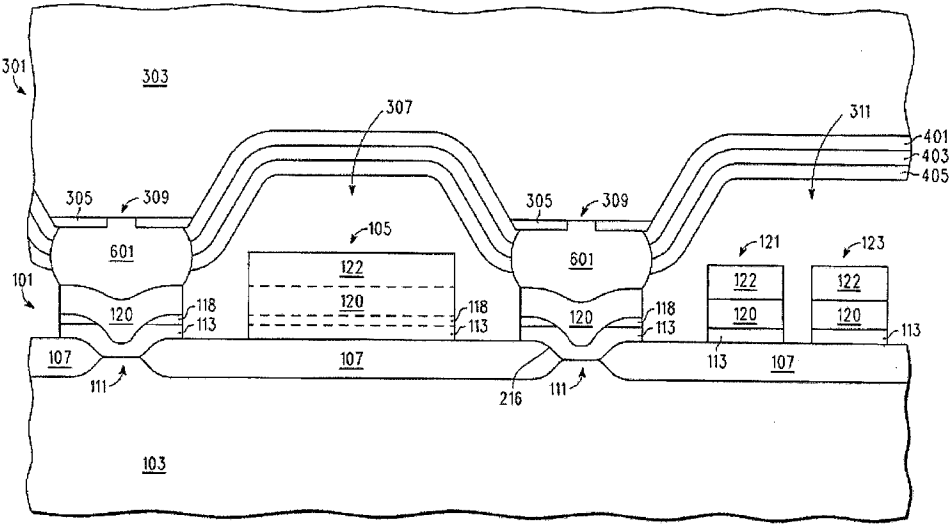


圖 6

- 101 . . . 器件晶圓
- 103 . . . 第一基板
- 105 . . . 半導體器件
- 107 . . . 絕緣體層
- 111 . . . 開口
- 113 . . . 多晶矽層
- 118 . . . 介電層
- 120 . . . 多晶矽層
- 121 . . . 接點
- 122 . . . 金屬層
- 123 . . . 接點
- 216 . . . 多晶矽層之第二部件
- 301 . . . 蓋晶圓
- 303 . . . 第二基板
- 305 . . . 氧化物層
- 307 . . . 溝渠
- 309 . . . 開口
- 311 . . . 溝渠
- 401 . . . 第一含矽層
- 403 . . . 第二含矽及鍺層
- 405 . . . 第三含鍺層
- 601 . . . 鋁、矽、鍺之結合材料



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98/45607

※申請日：98-12-29

※IPC 分類：H01L 21/52 '2006.01

一、發明名稱：(中文/英文)

H01B 1/14 '2006.01

結合金屬鍺矽材料之基板

SUBSTRATE BONDING WITH METAL GERMANIUM SILICON
MATERIAL

二、中文發明摘要：

在一實施例中，在結合一第一基板(103)至一第二基板(303)中使用之方法包括在該第一基板上形成一含金屬層。在一實施例中，該含金屬層圍繞一半導體器件，其可為一微機電系統(MEMS)器件。在該第二基板(303)上形成一第一含矽層(401)。在該第一層上形成一第二含鍺及矽層(403)。在該第二層上形成一第三含鍺層(405)。使該第三層與含金屬層接觸。對該第三層及含金屬層加熱(及在一些實施例中，加壓)以在第一基板與第二基板之間形成一機械結合材料，其中該機械結合材料具有電導電性。在機械結合劑圍繞一半導體器件(諸如一MEMS)之情況中，尤其有利的是該機械結合劑可作為保護MEMS之一氣密式密封。

三、英文發明摘要：

A method that in one embodiment is useful in bonding a first substrate (103) to a second substrate (303) includes forming a layer including metal over the first substrate. The layer including metal in one embodiment surrounds a semiconductor device, which can be a micro electromechanical system (MEMS) device. On the second substrate (303) is formed a first layer comprising silicon (401). A second layer (403) comprising germanium and silicon is formed on the first layer. A third layer (405) comprising germanium is formed on the second layer. The third layer is brought into contact with the layer including metal. Heat (and pressure in some embodiments) is applied to the third layer and the layer including metal to form a mechanical bond material between the first substrate and the second substrate in which the mechanical bond material is electrically conductive. In the case of the mechanical bond surrounding a semiconductor device such as a MEMS, the mechanical bond can be particularly advantageous as a hermetic seal for protecting the MEMS.

四、指定代表圖：

(一)本案指定代表圖為：第（ 6 ）圖。

(二)本代表圖之元件符號簡單說明：

101	器 件 晶 圓
103	第 一 基 板
105	半 導 體 器 件
107	絕 緣 體 層
111	開 口
113	多 晶 矽 層
118	介 電 層
120	多 晶 矽 層
121	接 點
122	金 屬 層
123	接 點
216	多 晶 矽 層 之 第 二 部 件
301	蓋 晶 圓
303	第 二 基 板
305	氧 化 物 層
307	溝 渠
309	開 口
311	溝 渠
401	第 一 含 矽 層
403	第 二 含 矽 及 鍺 層
405	第 三 含 鍺 層

601

鋁、矽、鍺之結合材料

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於半導體器件且更特定而言係關於結合一半導體器件之封閉體之技術。

本申請案已於2009年1月21日於美國申請，其專利申請號為12/356939。

【先前技術】

對於一些類型之半導體器件(諸如微機電系統(MEMS)器件)，期望密封器件(例如氣密式)以使該器件隨著時間適當執行。例如，對於一些類型之MEMS加速計，期望在一腔室中密封MEMS加速計以在隨後之製程期間預防一MEMS加速計之移動部件之污染。

一種密封一MEMS器件之方法係將一蓋晶圓結合至包括MEMS器件之一第二晶圓。該蓋晶圓及第二晶圓形成MEMS器件之一空腔。該蓋晶圓包含位於空腔周圍之在壓力及溫度下結合至第二晶圓之一鉛玻璃料。

需要一種經改良技術以使兩種晶圓結合在一起而密封一半導體器件(諸如一MEMS器件)。

【實施方式】

經參考附圖，可較佳瞭解本發明，且使其許多目標、特徵及優點對熟習此相關技藝之人士為明顯。

以下揭示實現本發明之一模式之一詳細描述。該描述欲說明本發明而不應視為具有限制性。

藉由一金屬多晶矽鍍材料使一蓋晶圓結合至一器件晶圓

以在一半導體器件周圍形成一經密封腔室。在一個晶圓上形成矽(Si)、多晶矽鍺(SiGe)及多晶鍺(Ge)之一堆疊。在第二個晶圓上形成一金屬結構。金屬矽鍺材料係藉由使該金屬結構與鍺結構置於接觸且加熱(及在一些實施例中，加壓)而形成。

圖1為包括待用一蓋晶圓(例如，圖3之301)密封之一半導體器件105之一器件晶圓101之一側視圖。在一實施例中，器件105為一MEMS器件，諸如，例如一加速計或切換器。在一MEMS器件之一項實例中，器件105包括一藉由彈簧支撐且可相對於基板103移動之由多晶矽製成之校樣質塊(圖中未繪示)。在此一實施例中，器件105包括電容結構，其電容可經測定以檢測該校樣質塊之移動。然而，在其他實施例中，器件105可為其他類型之半導體器件。例如，在一實施例中，器件105可為一傳感器。

晶圓101包括一基板103，其在一實施例中係由塊狀單晶形矽製成。在基板103上形成一絕緣體層107(例如SiO₂)。在所示之實施例中，層107係藉由一矽局部氧化(LOCOS)製程形成，然而在其他實施例中可藉由其他方法形成。在一實施例中，可將晶圓101之背面(圖中未繪示)研磨並拋光。形成層107，其中開口111位於隨後形成之半導體器件105之位置周圍。在其他實施例中，開口111可藉由將層107圖案化形成。在一實施例中，層107之厚度為25千埃，然而在其他實施例中可為其他厚度。

在形成層107之後，於該層107上形成多晶矽層113及

120(多晶矽層)及金屬層122。在一實施例中，層113、120及122係分別形成，且然後在形成下一層之前圖案化以形成該等層之所需結構。在一些實施例中，在形成多晶矽層113及120之後或之前可形成介電層(例如層118)，以使從該等層形成之不同結構隔離。而且，可採用犧牲層(圖中未繪示)以形成所需結構，其之後在隨後製程中被移去。在一實施例中，層118可為一富矽氮化物材料。

在所示實施例中，器件105包括層113、118、120、122。在此一器件中，其等層可經圖案化以在器件中之不同位置移去一部分層。然而，為簡單起見，繪示器件105具有位於一路橫跨器件105之虛線中之該等層。在其他實施例中，晶圓101(包括器件105)可包括其他半導體層及金屬層。

晶圓101包括圍繞器件105之一密封環117。環117位於開口111之上方，其中層113之多晶矽材料係在開口111處與基板103之矽材料接觸。

以圖1中所示之接點121及123亦在晶圓101上形成電接點。在所示實施例中，接點121及123包括多晶矽層113、多晶矽層120及金屬層122，但是不包括介電層118。藉由自層113形成之一多晶矽流道(例如圖2之211)，各接點電耦合至器件105之一結構。

在一實施例中，多晶矽層113之厚度為3500埃，然而在其他實施例中，可為其他厚度。在一實施例中，層113係藉由離子植入用一雜質(例如磷)摻雜以增加導電性，然而在其他實施例中可用其他雜質且藉由其他方法摻雜。

在一實施例中，多晶矽層120之厚度為32千埃，然而在其他實施例中，可為其他厚度。在一實施例中，層120係藉由一經摻雜氧化物擴散製程用例如磷摻雜，然而可用其他雜質摻雜以改良導電性且在其他實施例中可藉由其他方法摻雜。

在一經圖案化層120上形成金屬層122。在一實施例中，層122係由鋁製成。在一實施例中，層122係由99.5%之鋁(按原子重量計)及0.5%之銅(按原子重量計)製成。然而，在其他實施例中，層122可由其他金屬製成或包含其他金屬，諸如金、鉑、鎢、鈦、鈷、鎳、錫及鉭。在一些實施例中，層122可包括一些非金屬材料，諸如鍺或矽。在一實施例中，層122包括98%原子重量或更多之一原料金屬材料(例如在一些實施例中為鋁)。在一實施例中，層122具有3至4微米之範圍中之一厚度，然而在其他實施例中，可為其他厚度。

在一實施例中，器件105包括一部分之金屬層122。在一實施例中，利用一部分之層122對器件105之一校樣質塊添加重量。

在一些實施例中，層122係藉由物理氣相沈積、濺射、蒸發、或電鍍形成。隨後使層122圖案化以形成包括密封環117及接點121及123上之所需結構。

圖2繪示晶圓101之一俯視圖。繪示環117具有位於器件105周圍之一長方形形狀。晶圓101包括許多接點201、203、121、123、205及207，其等分別藉由多晶矽流道

211、213、215、221、219及217電耦合至器件105之結構。該等流道係由來自層113之多晶矽製成。

在所示實施例中，流道213、215、221及219穿過環117。在此等位置，環117之層113係藉由氮化物層118及藉由與該等流道側向之位置處之其他介電材料自該等流道電隔離。在所示實施例中，環117包括層113之兩個部件。部件212呈「C」結構，其始於側壁218且繞器件105延伸達三個全邊至側壁220。第二部件216位於一第一組流道211、213及215與一第二組流道221、219及217之間。部件216自側壁218分開而自流道213及215形成一開口且部件216自側壁220分開而形成流道221及219之一開口。

流道211及217係與環117之一部分層113相連。因此，當此等流道自環外之流道部分交叉通過環117至環內之流道部分時，沒有繪示其等之虛線。因此，環117係電耦合至接點205及201。在一實施例中，接點205及201充當接地襯墊且藉由流道並通過開口111中之導電材料電耦合至基板103。

開口111位於環117之層113及流道211及217之其等部分下以予基板103提供歐姆接觸。開口111不位於流道213、215、221及219下而使該等結構自基板103隔離。

在其他實施例中，該基板103之開口可處於不同位置，可為不同大小，及/或可為不同形狀。例如，在一實施例中，開口111位於環117下僅在流道211及217延伸通過環117之位置處。在其他實施例中，該等基板開口可在環117外之位置處位於流道211及217下。在一實施例中，基板開

口可位於接點201及205下。

氮化物介電層118形成之後，將一介電層(例如二氧化矽(圖中未繪示))沈積於晶圓101上。然後，在環117之其等部分處之氮化物層118中形成一開口。隨後，在晶圓101上形成層120。環117之該部分層120係經由氮化物層118之開口與環117之該部分層113接觸。

圖3為蓋晶圓301之一部分側面剖視圖。在所示實施例中，蓋晶圓301包括一塊狀矽基板303及其上所形成之一層氧化物層305。在一實施例中，層305經熱生長，然而在其他實施例中，其可經沈積。層305之厚度為4950埃，但是在其他實施例中，可為其他厚度。

形成層305之後，於溝渠311及307之位置處在層305中形成開口。然後，晶圓301係經一蝕刻製程(濕式或乾式)在基板303中形成溝渠311及307。之後，開口309係在層305中形成以使基板303暴露。

參照圖4，在晶圓301上形成一多晶矽層401。在一實施例中，層401之厚度為750至2500埃之範圍，然而在其他實施例中，可為其他厚度。在一實施例中，層401係藉由一化學氣相沈積製程(CVD)形成，然而在其他實施例中，可由其他製程形成。在一實施例中，層401係藉由於大於550°C之一溫度下之一製程形成。

在一些實施例中，層401充當隨後形成之層403之一晶種層。層403係由矽鍺製成。在一實施例中，層403包括20至40原子百分比之一範圍中之鍺，而其餘為矽。然而，其他

實施例可具有一不同原子百分比之鍺。在一實施例中，層403之鍺濃度可相對於圖4中所示視圖隨著在層403底部之一較低鍺濃度及在層403頂部之一較高鍺濃度而改變。在一實施例中，層403係藉由一CVD製程形成，但是在其他實施例中，可藉由其他製程形成。在一實施例中，矽鍺層403具有500至2000埃之範圍中之一厚度，但是在其他實施例中，可為其他厚度。

在層403上形成層405。層405係由多晶鍺製成。在一實施例中，層405具有2000至4000埃之範圍中之一厚度，然而在其他實施例中，可為其他厚度。在一實施例中，層405係藉由一CVD製程形成，然而在其他實施例中，可藉由其他製程形成。

在一些實施例中，可將晶圓301之背面研磨及拋光。亦在一些實施例中，溝渠(圖中未繪示)可形成於晶圓301之背面。

在一實施例中，多晶層401、403及405不用導電性雜質(例如硼、磷、砷)摻雜。在其他實施例中，其等可用導電性或其他類型之雜質摻雜。

圖5為繪示使晶圓301與晶圓101接觸之一部分剖視圖，其中環117係對準於開口309，溝渠311位於接點121及123上方，且溝渠307位於器件105上方。圖5繪示僅在加熱(及在一些實施例中，加壓)以使兩晶圓結合在一起之前之兩個晶圓。

圖6為已藉由對兩晶圓加熱使晶圓101及301結合在一起

之後之一部分剖視圖。在結合製程期間，環117之層122之金屬材料與層401之多晶矽、層403之多晶矽鍺及層405之多晶鍺反應形成一鋁、矽及鍺之結合材料601。在一實施例中，此材料601為鋁(或在其他實施例中，為其他金屬)、矽及鍺之三成分系統。在一實施例中，鋁(或在其他實施例中，為層122之其他材料)為按體積計之最大組分，繼而為鍺，且接著為矽。材料601具有導電性。在一實施例中，材料601可描述為一Al-Ge-Si共熔化合物。在一實施例中，材料601可描述為一化合物膜。在一實施例中，該材料601之矽之原子重量百分比大於5%。

在環117完全圍繞器件105之實施例中，材料601在晶圓101及301之間為器件105提供一氣密式密封。此外，因為材料601具有導電性，在一些實施例中，其在兩晶圓之間提供一導電路徑(例如一接地路徑)。

晶圓係在425至500°C之範圍之一溫度且更佳在450至475°C之範圍之一溫度結合。然而在其他實施例中，可採用其他溫度。對於層122採用鋁為較佳，因為其可容許採用低於500°C之結合溫度。在一些實施例中，在結合製程期間，基板303與基板103之間之間隙自圖5中所示之其位置減小。

在一些實施例中，除加熱之外，該等晶圓係在壓力下結合在一起。在一實施例中，施加5000至10,000毫巴之範圍之工具力之壓力，而在一些實施例中，一較佳壓力為6500毫巴。然而，在其他實施例中，可採用其他經施加之結合

力壓力。

在一些實施例中，藉由一CVD製程(包括電漿增強CVD製程)形成多晶鍺層405提供一種藉由產生較少粒子之一製程以形成此一層之方法，其導致較低缺陷密度。

此外，在一些實施例中，利用一經CVD沈積之多晶鍺層提供具有一粗糙度之層，該粗糙度容許與層122之材料較佳結合。

在一些實施例中，在一多晶矽鍺層(例如層403)上形成一多晶鍺層(例如層405)可避免在材料601中在晶種層401所定位之位置形成空隙。咸信採用中間矽鍺層403在結合製程期間抑制矽自晶種多晶矽層401遷移至層405。結果，利用該中間矽鍺層403導致材料601成為一更強且更均勻之材料。

在圖6中所示之階段後，進一步處理所得晶圓(圖6中結合在一起之晶圓101及晶圓301)。例如，可將部分之基板303移去而使接點121及123暴露以外部連接該等結合襯墊。之後，將所得晶圓切割成多個晶粒，其中各晶粒包括一類似於器件105之器件，其係用一類似於材料601之材料密封。可封裝此晶粒以併入電子系統中。

在一些實施例中，蓋晶圓301可包括形成其上之一積體電路之半導體器件。例如，一積體電路(例如一微處理器)可在溝渠307中形成。可將積體電路電耦合至器件105。

在所示實施例中，環117之金屬層122係在器件晶圓101上形成且該等多晶層401、403及405係在晶圓301上形成。

在其他實施例中，該等層401、403及405可在器件晶圓上形且結合至一在蓋晶圓301上所形成之金屬環。

在一實施例中，一種方法包括在一第一基板上形成一含金屬層，提供一第二基板，及形成藉由該第二基板支撐之一第一含矽層。該方法亦包括在該第一層上形成一第二含鍺及矽層，在該第二層上形成一第三含鍺層，及使該第三層接觸於含金屬層。該方法進一步包括在使該第三層接觸於含金屬層之後，在第一基板與第二基板之間形成一機械結合材料。形成一機械結合材料包括對該第三層及含金屬層加熱。該結合材料包括該含金屬層之一金屬及第三層之材料。

在另一實施例中，一種在一第一基板與一第二基板之間提供一密封之方法包括通過一結合堆疊使該第一基板接觸於第二基板。該結合堆疊包括一第一含矽層、與該第一層接觸之一第二含鍺及矽層、與該第二層接觸之一第三含鍺層及與該第三層接觸之一含金屬層。該方法包括對結合堆疊加熱及加壓以致使該結合堆疊成為第一基板與第二基板之間之結合劑。

在另一實施例中，一半導體結構包括一第一基板、該第一基板上之一半導體器件、一第二基板及該第一基板與該第二基板之間之一導電性結合劑，其圍繞半導體器件以於第一基板與第二基板之間密封該半導體器件。該導電性結合劑包括金屬、矽及鍺。導電性結合劑中之矽之一原子百分比大於5%。

儘管已繪示並描述本發明之特定實施例，熟習此相關技藝之人士將瞭解，基於本文中之教示，在未偏離本發明及其較寬態樣下可進行其他改變及修改，且因此，附加申請專利範圍欲在其範疇內涵蓋所有此等改變及修改，若其等在本發明之真實精神及範疇內。

【圖式簡單說明】

圖1為根據本發明之一實施例於一個製造階段之一器件晶圓的一部分剖面側視圖。

圖2為根據本發明之一實施例於一個製造階段之一器件晶圓的一部分俯視圖。

圖3為根據本發明之一實施例於一個製造階段之一蓋晶圓的一部分剖面側視圖。

圖4為根據本發明之一實施例於另一製造階段之一蓋晶圓的一部分剖面側視圖。

圖5為根據本發明之一實施例於一個製造階段之一蓋晶圓抵靠器件晶圓而放置的一部分剖面側視圖。

圖6為根據本發明之一實施例於另一製造階段之一蓋晶圓抵靠器件晶圓而放置的一部分剖面側視圖。

不同圖式中採用相同參考符號以表示同一項目，除非另外指明。未必按比例繪圖。

【主要元件符號說明】

101	器件晶圓
103	第一基板
105	半導體器件

107	絕緣體層
111	開口
113	多晶矽層
117	密封環
118	介電層
120	多晶矽層
121	接點
122	金屬層
123	接點
201	接點
203	接點
205	接點
207	接點
211	多晶矽流道
212	多晶矽層之部件
213	多晶矽流道
215	多晶矽流道
216	多晶矽層之第二部件
217	多晶矽流道
218	側壁
219	多晶矽流道
220	側壁
221	多晶矽流道
301	蓋晶圓

303	第二基板
305	氧化物層
307	溝渠
309	開口
311	溝渠
401	第一含矽層
403	第二含矽及鍍層
405	第三含鍍層
601	鋁、矽、鍍之結合材料

七、申請專利範圍：

103年12月18日修正本

1. 一種在一第一基板與一第二基板之間提供一密封之方法，其包括：

在一第一基板上形成一含金屬層；

提供一第二基板；

形成藉由該第二基板支撐之一第一含矽層，

在該第一層上形成一第二含鍺及矽層；

在該第二層上形成一第三含鍺層；

使該第三層接觸於該含金屬層；及

在使該第三層接觸於該含金屬層之後，在該第一基板與該第二基板之間形成一機械結合材料，其中該形成一機械結合材料包括對該第三層及該含金屬層加熱，其中該結合材料包括該含金屬層之一金屬及該第三層之材料；且

在該接觸之前在該第一基板或該第二基板之其中一者上形成一半導體裝置，其中該結合材料圍繞該半導體裝置。

2. 如請求項1之方法，其中該含金屬層之該金屬為鋁。
3. 如請求項2之方法，其中該機械結合材料包括包含鋁、矽及鍺之三成分系統之一材料。
4. 如請求項1之方法，其中該機械結合材料之該形成包括對該第一基板及該第二基板施加一結合力壓力。
5. 如請求項4之方法，其中該結合力壓力大於5000毫巴。
6. 如請求項1之方法，其中該加熱包括於500℃或更小之一

溫度加熱。

7. 如請求項1之方法，其中形成該第一層、該第二層及該第三層之該等步驟進一步特徵為：以該第一層、該第二層及該第三層為多晶。
8. 如請求項1之方法，其進一步包括在形成該含金屬層之前，在該第一基板上形成一多晶矽層，其中形成該含金屬層之該步驟進一步特徵為在該多晶矽層上形成該含金屬層。
9. 如請求項1之方法，其中：

形成該第一層之該步驟進一步特徵為：形成一厚度小於該第三層之厚度之該第一層；

形成該第二層之該步驟進一步特徵為：形成一厚度小於該第三層之厚度之該第二層。
10. 如請求項1之方法，其進一步包括：

在該第一基板上形成一半導體器件，其係藉由包含該含金屬層之一環圍繞；及

在該第二基板中形成一空腔，其中該接觸步驟進一步特徵為使該空腔與該半導體器件對準。
11. 如請求項10之方法，其中形成該半導體器件之該步驟進一步特徵為：該半導體器件為一微機電系統(MEMS)器件。
12. 如請求項1之方法，其中該含金屬層之鋁之一百分比為按原子重量計之98%或更多。
13. 一種在一第一基板與一第二基板之間提供一密封之方

法，其包括：

使該第一基板通過一結合堆疊接觸於該第二基板，其中該結合堆疊包括：

一第一含矽層；

與該第一層接觸之一第二含鍺及矽層；

與該第二層接觸之一第三含鍺層；及

與該第三層接觸之一含金屬層；

對該結合堆疊加熱及加壓以使該結合堆疊成為該第一基板與該第二基板之間之一結合劑，且

在該接觸之前在該第一基板或該第二基板之其中一者上形成一半導體裝置，其中該結合堆疊圍繞該半導體裝置。

14. 如請求項13之方法，其進一步包括在該第一基板上形成一半導體器件，其中該結合堆疊圍繞該半導體器件，其中該接觸步驟進一步特徵為在該第一基板上形成該含金屬層及在該第二基板上形成該第一層。
15. 如請求項13之方法，其中該接觸步驟進一步特徵為該第一層、該第二層及該第三層為多晶。
16. 如請求項13之方法，其中該接觸步驟進一步特徵為：該含金屬層包含鋁。
17. 如請求項13之方法，其中該接觸步驟進一步特徵為：該第一層及該第二層之厚度小於該第三層之厚度。
18. 如請求項13之方法，其中該加熱包括於500°C或更低之一溫度加熱。

19. 一種半導體結構，其包括：

一第一基板；

在該第一基板上之一半導體器件，

一第二基板；

介於該第一基板與該第二基板之間之一導電性結合劑，其圍繞該半導體器件以在該第一基板與該第二基板之間使該半導體器件密封，其中：

該導電性結合劑包括金屬、矽及鍺；及

該導電性結合劑中按矽之原子重量計之一百分比大於5%。

八、圖式：

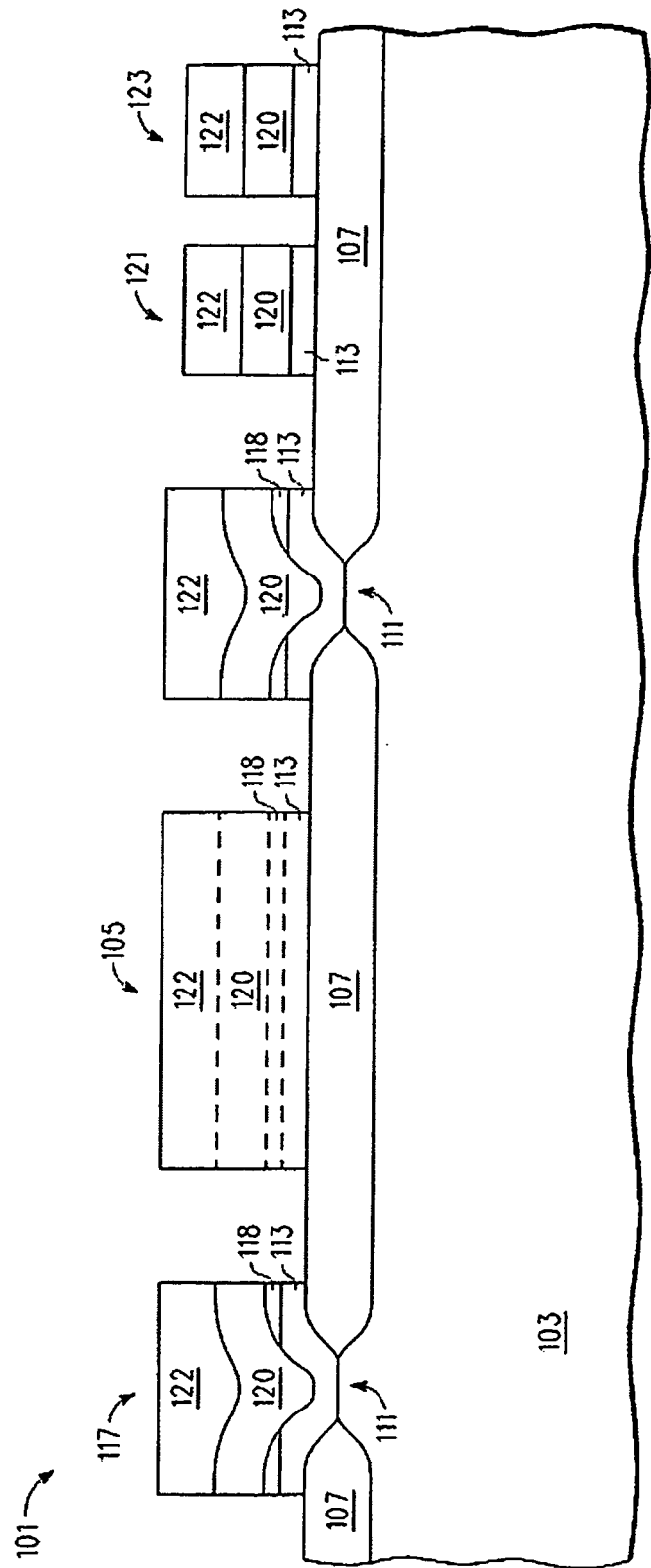


圖 1

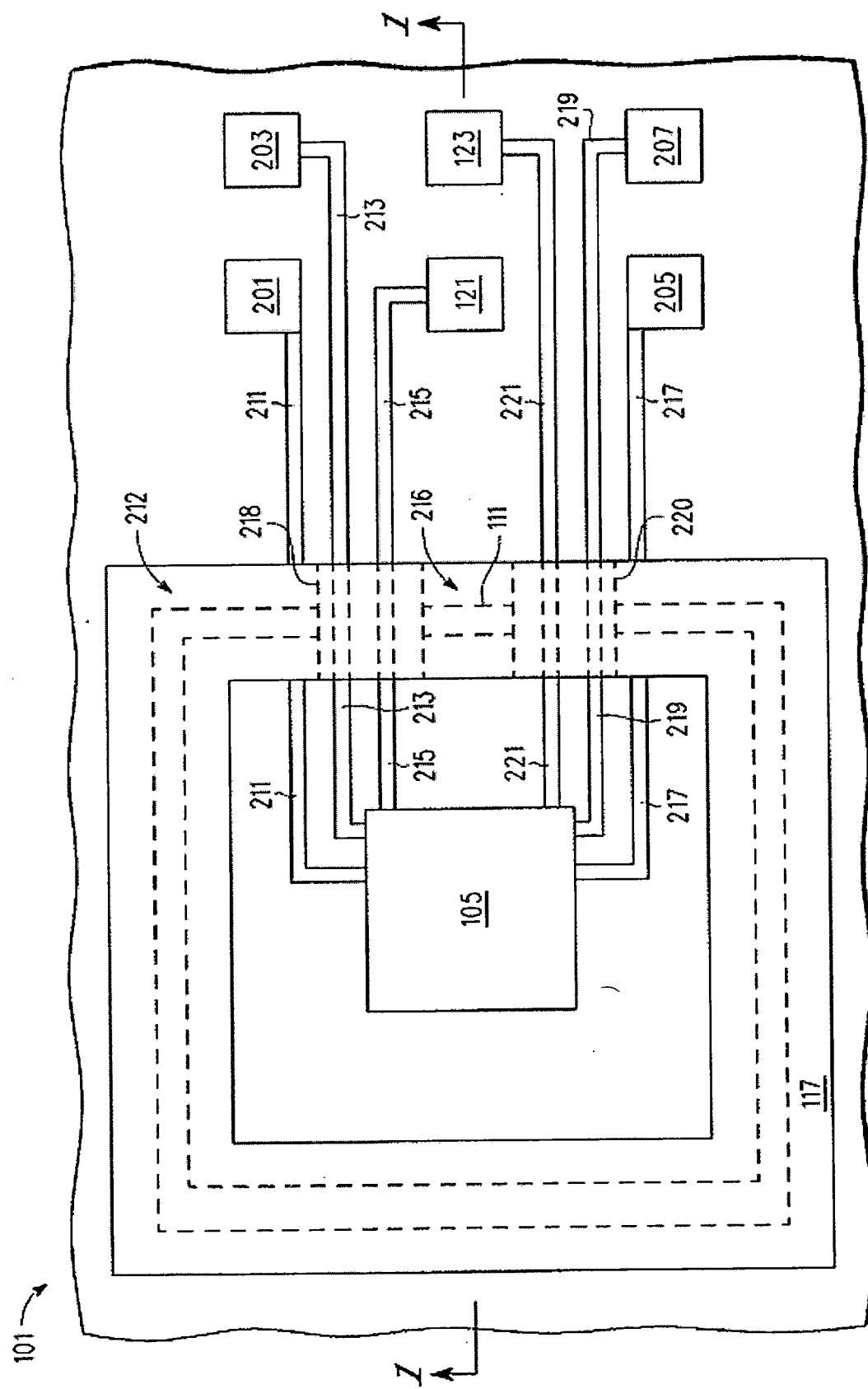


圖 2

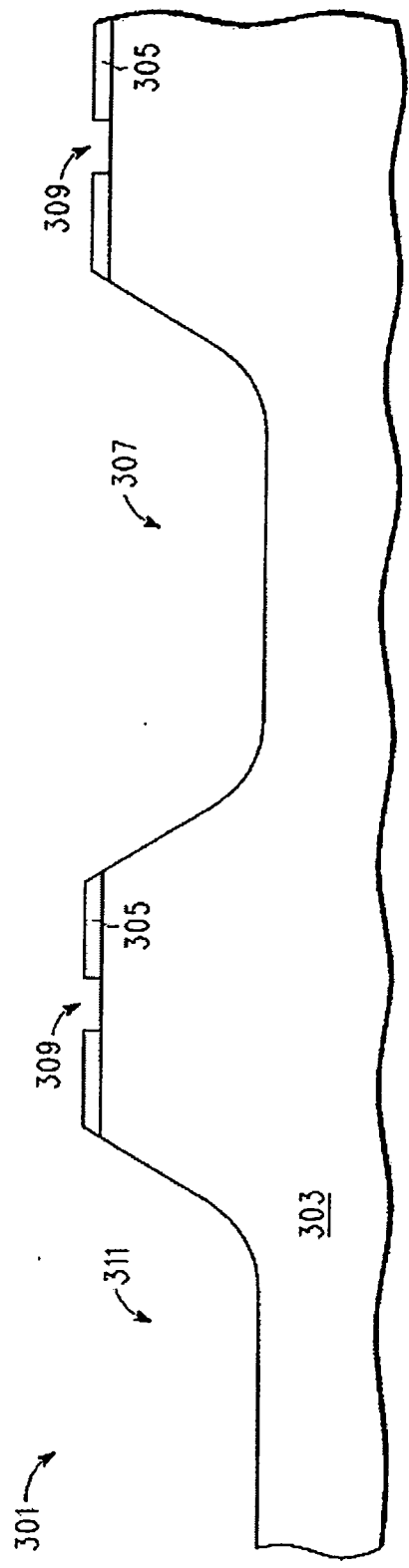


圖 3

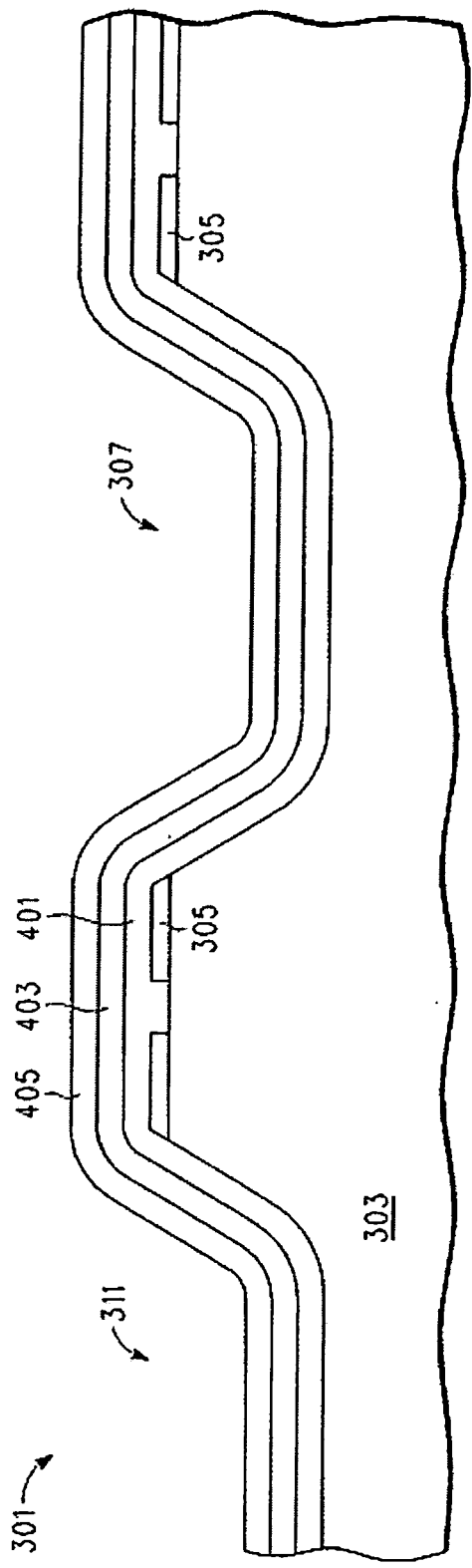


圖 4

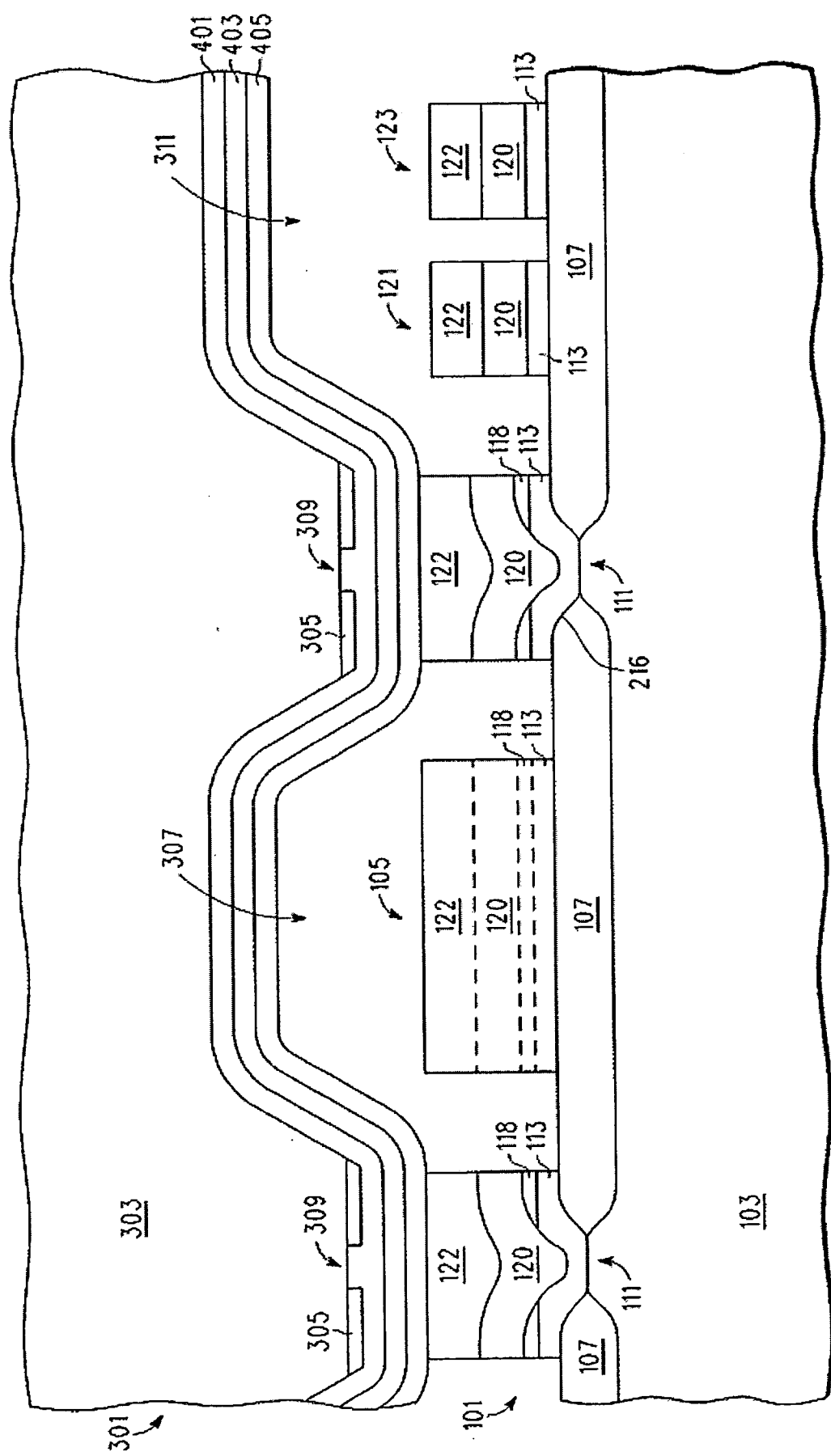


圖 5

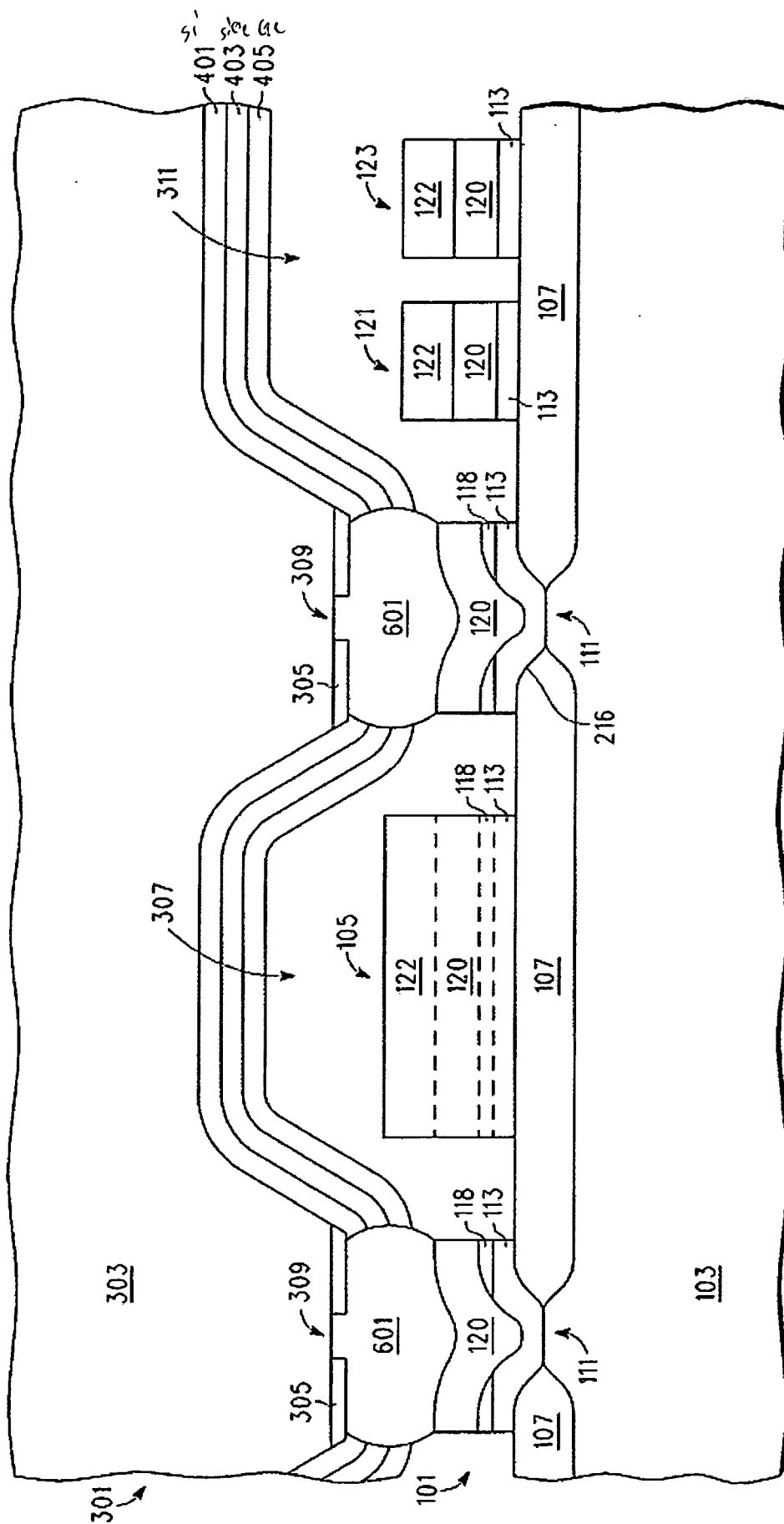


圖 6