

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成23年7月7日(2011.7.7)

【公開番号】特開2008-28395(P2008-28395A)

【公開日】平成20年2月7日(2008.2.7)

【年通号数】公開・登録公報2008-005

【出願番号】特願2007-188757(P2007-188757)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

H 0 1 L 21/318 (2006.01)

G 0 2 F 1/1362 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 21/3205 (2006.01)

G 0 9 F 9/30 (2006.01)

【 F I 】

H 0 1 L 29/78 6 1 7 J

H 0 1 L 29/78 6 1 6 U

H 0 1 L 29/78 6 1 6 S

H 0 1 L 29/78 6 1 2 C

H 0 1 L 29/78 6 2 7 B

H 0 1 L 29/78 6 1 7 U

H 0 1 L 29/78 6 1 7 V

H 0 1 L 29/78 6 1 7 L

H 0 1 L 21/28 B

H 0 1 L 21/28 3 0 1 R

H 0 1 L 29/50 M

H 0 1 L 29/58 G

H 0 1 L 21/318 M

G 0 2 F 1/1362

H 0 1 L 21/88 M

G 0 9 F 9/30 3 3 8

【手続補正書】

【提出日】平成22年6月29日(2010.6.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

絶縁基板上に配置されたスイッチング素子と、

前記絶縁基板上に配置されるバリア層、前記バリア層上に形成された銅または銅合金を含む導電性ライン、前記導電性ラインをカバーする窒化銅膜を含み、前記スイッチング素

子と電氣的に接続される信号伝送配線と、

前記スイッチング素子及び前記信号伝送配線をカバーし、前記スイッチング素子のドレイン電極を部分的に露出するコンタクトホールを有する保護絶縁膜と、

前記絶縁基板上に配置され、前記コンタクトホールを通じて前記スイッチング素子のドレイン電極と電氣的に接続される画素電極と、

を含むことを特徴とするアレイ基板。

【請求項 2】

前記窒化銅膜は、前記導電性ラインの上面をさらにカバーすることを特徴とする請求項 1 に記載のアレイ基板。

【請求項 3】

前記窒化銅膜は、前記導電性ラインの上面及び側面をさらにカバーすることを特徴とする請求項 1 に記載のアレイ基板。

【請求項 4】

前記スイッチング素子は、前記絶縁基板上に配置されたゲート電極、前記ゲート電極上に配置されたゲート絶縁膜、前記ゲート絶縁膜上に配置され、前記ドレイン電極に電氣的に接続される半導体パターン、及び前記半導体パターン上に前記ドレイン電極に離隔されて配置されたソース電極をさらに含むことを特徴とする請求項 1 から 3 のいずれかに記載のアレイ基板。

【請求項 5】

前記ゲート電極には、前記信号伝送配線が電氣的に接続されることを特徴とする請求項 4 に記載のアレイ基板。

【請求項 6】

前記ソース電極には、前記信号伝送配線が電氣的に接続されることを特徴とする請求項 4 に記載のアレイ基板。

【請求項 7】

前記ソース電極は、前記半導体パターン上に配置されるソースバリアパターンと、前記ソースバリアパターン上に形成された銅または銅合金を含むソース導電性パターンと、前記ソース導電性パターンの上面及び側面をカバーするソース窒化銅パターンを含むことを特徴とする請求項 4 から 6 のいずれかに記載のアレイ基板。

【請求項 8】

前記ドレイン電極は、前記半導体パターン上に配置されるドレインバリアパターンと、前記ドレインバリアパターン上に形成された銅または銅合金を含むドレイン導電性パターンと、前記ドレイン導電性パターンの上面及び側面をカバーするドレイン窒化銅パターンを含むことを特徴とする請求項 4 から 6 のいずれかに記載のアレイ基板。

【請求項 9】

前記スイッチング素子は、前記絶縁基板上に前記ドレイン電極に離隔されて配置されたソース電極、前記ソース電極と前記ドレイン電極との間に配置された半導体パターン、前記ソース電極、前記ドレイン電極、及び前記半導体パターンをカバーするゲート絶縁膜、及び前記ゲート絶縁膜上に前記半導体パターンに対応して配置されたゲート電極をさらに含むことを特徴とする請求項 1 から 8 のいずれかに記載のアレイ基板。

【請求項 10】

前記スイッチング素子の前記ドレイン電極と前記画素電極との間に配置され、駆動信号を前記画素電極に印加する駆動素子、前記画素電極上に配置される有機電界発光層、及び前記有機電界発光層上に配置される対向電極をさらに含むことを特徴とする請求項 1 から 9 のいずれかに記載のアレイ基板。

【請求項 11】

絶縁基板上に配置されたスイッチング素子と、

前記絶縁基板上に配置されるバリア層、前記バリア層上に形成された銅または銅合金を含む導電性ライン、

前記導電性ラインをカバーする窒化銅膜を含み、前記スイッチング素子と電氣的に接続

される信号伝送配線と、

前記絶縁基板上に配置され、前記スイッチング素子のドレイン電極と電氣的に接続される画素電極と、

前記スイッチング素子及び前記信号伝送配線をカバーする保護絶縁膜と、

前記保護絶縁膜上に配置される液晶層と、

前記液晶層上に配置され、前記画素電極に向い合う対向電極と、

前記対向電極上に配置され、前記絶縁基板に向い合う対向絶縁基板と、

を含むことを特徴とする表示装置。

【請求項 12】

絶縁基板上にバリア層を形成する段階と、

前記バリア層上に銅または銅合金を含むゲートライン及び前記ゲートラインに電氣的に接続されたゲート電極を形成する段階と、

前記ゲートライン及び前記ゲート電極の表面を窒化プラズマ処理する段階と、

前記絶縁基板上に前記ゲートライン及び前記ゲート電極をカバーするゲート絶縁膜を蒸着する段階と、

前記ゲート絶縁膜上にデータライン、前記データラインに電氣的に接続されるソース電極、前記ソース電極と離隔されて配置されるドレイン電極、及び前記ゲート電極上で前記ソース電極と前記ドレイン電極との間に配置される半導体パターンを形成する段階と、

を含むことを特徴とするアレイ基板の製造方法。

【請求項 13】

前記窒化プラズマ処理と前記ゲート絶縁膜の蒸着は、同一のチャンバ内で、インサイチュで行われることを特徴とする請求項 12 に記載のアレイ基板の製造方法。

【請求項 14】

前記窒化プラズマ処理段階は、アンモニア雰囲気にて 300 W 以上の電力で 20 秒以上行われることを特徴とする請求項 12 または 13 に記載のアレイ基板の製造方法。

【請求項 15】

前記ゲート絶縁膜を蒸着する段階は、

シランガスが、窒素及びアンモニアの第 1 混合ガスを基準に 6.43 体積% 以下であるガスを前記チャンバ内に注入して前記絶縁基板上に第 1 ゲート絶縁層を蒸着する段階と、

シランガスが、窒素及びアンモニアの第 2 混合ガスを基準に 6.43 体積% 以上であるガスを前記チャンバ内に注入して前記第 1 ゲート絶縁層上に第 2 ゲート絶縁層を蒸着する段階と、

シランガスが、窒素及びアンモニアの第 3 混合ガスを基準に 6.43 体積% 以下であるガスを前記チャンバ内に注入して前記第 2 ゲート絶縁層上に第 3 ゲート絶縁層を蒸着する段階と、

を含むことを特徴とする請求項 13 または 14 に記載のアレイ基板の製造方法。

【請求項 16】

前記第 1 ゲート絶縁層の厚さは、10 以上であることを特徴とする請求項 15 に記載のアレイ基板の製造方法。

【請求項 17】

絶縁基板上にゲートライン、前記ゲートラインに電氣的に接続されるゲート電極、及び前記ゲートライン及び前記ゲート電極をカバーするゲート絶縁膜を形成する段階と、

前記ゲート電極に対応する前記ゲート絶縁膜上に半導体パターンを形成する段階と、

前記ゲート絶縁膜上に銅または銅合金を含むデータライン、前記データラインに電氣的に接続されたソース電極、及び前記半導体パターンを基準に前記ソース電極に離隔されたドレイン電極を形成する段階と、

前記データライン、前記ソース電極、及び前記ドレイン電極の表面を窒化プラズマ処理する段階と、

前記半導体パターン、前記データライン、前記ソース電極、及び前記ドレイン電極の形成された前記ゲート絶縁膜上に保護絶縁層を蒸着する段階と、

を含むことを特徴とするアレイ基板の製造方法。

【請求項 18】

前記半導体パターンの形成された前記ゲート絶縁膜上に導電性バリア層を形成する段階をさらに含むことを特徴とする請求項 17 に記載のアレイ基板の製造方法。

【請求項 19】

前記導電性バリア層は、金属または合金を含むことを特徴とする請求項 18 に記載のアレイ基板の製造方法。

【請求項 20】

前記半導体パターンを形成する段階は、

前記ゲート絶縁膜上にアモルファスシリコン層を形成する段階と、

前記アモルファスシリコン層上に n + アモルファスシリコン層を形成する段階と、

を含むことを特徴とする請求項 17 から 19 のいずれかに記載のアレイ基板の製造方法

。

【請求項 21】

前記窒化プラズマ処理されたソース及びドレイン電極をエッチングマスクに用いて前記 n + アモルファスシリコン層を部分的にエッチングする段階をさらに含むことを特徴とする請求項 20 に記載のアレイ基板の製造方法。

【請求項 22】

絶縁基板上に第 1 バリア層、銅または銅合金を含む第 1 導電層及び第 1 窒化銅層を順次蒸着する段階と、

前記第 1 バリア層、前記第 1 導電層、及び前記第 1 窒化銅層をパターンニングしてゲートライン及び前記ゲートラインに電氣的に接続されたゲート電極を形成する段階と、

前記絶縁基板上に前記ゲートライン及び前記ゲート電極をカバーするゲート絶縁膜を蒸着する段階と、

前記ゲート絶縁膜上にデータライン、前記データラインに電氣的に接続されるソース電極、前記ソース電極と離隔して配置されるドレイン電極、及び前記ゲート電極上で前記ソース電極と前記ドレイン電極と間に配置される半導体パターンを形成する段階と、

を含むことを特徴とするアレイ基板の製造方法。

【請求項 23】

前記データライン、前記ソース電極、前記ドレイン電極、及び前記半導体パターンを形成する段階は、

前記ゲート絶縁膜上に第 2 バリア層、銅、または銅合金を含む第 2 導電層及び第 2 窒化銅層を順次蒸着する段階と、

前記第 2 バリア層、前記第 2 導電層、及び前記第 2 窒化銅層をパターンする段階と、

をさらに含むことを特徴とする請求項 22 に記載のアレイ基板の製造方法。

【請求項 24】

前記データライン、前記ソース電極、前記ドレイン電極、及び前記半導体パターンを形成する段階は、

前記データライン、前記ソース電極及び前記ドレイン電極の表面を窒化プラズマ処理する段階をさらに含むことを特徴とする請求項 22 または 23 に記載のアレイ基板の製造方法。

【請求項 25】

絶縁基板上にバリア層を形成する段階と、

前記バリア層上に銅または銅合金を含むゲートライン及び前記ゲートラインに電氣的に接続されたゲート電極を形成する段階と、

前記ゲートライン及び前記ゲート電極の表面を水素プラズマ処理する段階と、

シランガスが、窒素及びアンモニアの第 1 混合ガスを基準に 6 . 43 体積 % 以下であるガスを前記チャンバ内に注入して前記絶縁基板上に第 1 ゲート絶縁層を蒸着する段階と、

シランガスが、窒素及びアンモニアの第 2 混合ガスを基準に 6 . 43 % 体積 % 以上であるガスを前記チャンバ内に注入して前記第 1 ゲート絶縁層上に第 2 ゲート絶縁層を蒸着す

る段階と、

シランガスが、窒素及びアンモニアの第3混合ガスを基準に6．43体積％以下であるガスを前記チャンバ内に注入して前記第2ゲート絶縁層上に第3ゲート絶縁層を蒸着する段階と、

前記第3ゲート絶縁層上にデータライン、前記データラインに電氣的に接続されるソース電極、前記ソース電極と離隔して配置されるドレイン電極、及び前記ゲート電極上で前記ソース電極と前記ドレイン電極との間に配置される半導体パターンを形成する段階と、
を含むことを特徴とするアレイ基板の製造方法。