



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0021184
(43) 공개일자 2019년03월05일

(51) 국제특허분류(Int. Cl.)
H01L 21/768 (2006.01) H01L 21/02 (2006.01)
H01L 21/285 (2006.01)
(52) CPC특허분류
H01L 21/76877 (2013.01)
H01L 21/02205 (2013.01)
(21) 출원번호 10-2018-0097909
(22) 출원일자 2018년08월22일
심사청구일자 없음
(30) 우선권주장
62/548,604 2017년08월22일 미국(US)
16/102,533 2018년08월13일 미국(US)

(71) 출원인
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050
(72) 발명자
우, 즈위안
미국 95120 캘리포니아주 산 호세 랜돌 크릭 드라
이브 6946
쥔, 멩 추
미국 95070 캘리포니아주 새러토가 드 상카 애비
뉴 12471
(74) 대리인
양영준, 백만기

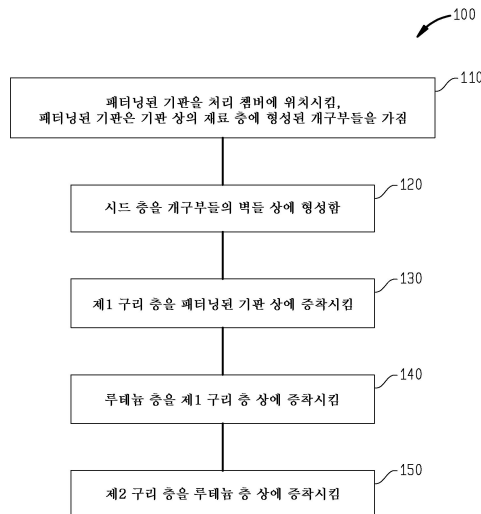
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 구리 인터커넥트들을 위한 시드 층들

(57) 요약

개선된 이동 방지 특성들을 갖는 구리 시드 층을 형성하는 방법들이 본원에서 설명된다. 일 실시예에서, 방법은, 제1 구리 층을 피처에 형성하는 단계, 루테튬 층을 피처의 제1 구리 층 위에 형성하는 단계, 및 제2 구리 층을 피처의 루테튬 층 상에 형성하는 단계를 포함한다. 루테튬 층은, 피처에서 루테튬 층 아래의 소정의 위치에 구리 층을 실질적으로 고정시키고, 구리 층의 실질적인 물리적 이동을 방지한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/2855 (2013.01)

H01L 21/7685 (2013.01)

H01L 2924/01029 (2013.01)

H01L 2924/01044 (2013.01)

(72) 발명자

나익, 메홀 비.

미국 95148 캘리포니아주 산 호세 벨리우드 코트
3088

슈, 벤-리

미국 94087 캘리포니아주 서니베일 에이퍼티. 에이
치 캐슬턴 테라스 1035

명세서

청구범위

청구항 1

인터커넥트 구조를 형성하는 방법으로서,

기관을 제1 처리 챔버에 위치시키는 단계 — 상기 기관은 상기 기관의 재료 층에 형성된 개구부들을 갖는 패터닝된 표면을 포함함 —; 및

시드 층을 상기 개구부들의 벽들 상에 형성하는 단계를 포함하고,

상기 시드 층을 상기 개구부들의 벽들 상에 형성하는 단계는,

제1 구리 층을 상기 개구부들의 벽들 상에 형성하는 단계;

루테늄 층을 상기 제1 구리 층 상에 형성하는 단계; 및

제2 구리 층을 상기 루테늄 층 상에 형성하는 단계를 포함하는, 인터커넥트 구조를 형성하는 방법.

청구항 2

제1항에 있어서,

상기 루테늄 층을 형성하는 단계는, 상기 기관을 루테늄 전구체에 노출시키는 것과 상기 기관을 수소 함유 전구체에 노출시키는 것의 순차적 반복들을 포함하는, 인터커넥트 구조를 형성하는 방법.

청구항 3

제1항에 있어서,

상기 루테늄 층은, 상기 제1 구리 층을 형성하는 데에 사용된 상기 제1 처리 챔버와 상이한 제2 처리 챔버에서 형성되는, 인터커넥트 구조를 형성하는 방법.

청구항 4

제1항에 있어서,

상기 제1 구리 층, 상기 루테늄 층, 및 상기 제2 구리 층은, 상기 기관을 상기 제1 처리 챔버로부터 제거하지 않고 상기 제1 처리 챔버에서 형성되는, 인터커넥트 구조를 형성하는 방법.

청구항 5

제1항에 있어서,

상기 루테늄 층의 두께는 약 1 옹스트롬 내지 약 20 옹스트롬인, 인터커넥트 구조를 형성하는 방법.

청구항 6

제1항에 있어서,

상기 패터닝된 표면은 상기 재료 층 상에 배치된 장벽 층을 더 포함하고, 상기 장벽 층은, 탄탈럼, 탄탈럼 질화물, 텅스텐, 티타늄, 티타늄 텅스텐, 티타늄 질화물, 텅스텐 질화물, 티타늄 구리, 및 이들의 조합들로 구성된 군으로부터 선택된 재료를 포함하며, 상기 제1 구리 층은 상기 장벽 층 상에 형성되는, 인터커넥트 구조를 형성하는 방법.

청구항 7

제6항에 있어서,

상기 장벽 층은 제2 처리 챔버에서 증착되고, 상기 제1 처리 챔버 및 상기 제2 처리 챔버는 이송 챔버에 의해

함께 연결되는, 인터커넥트 구조를 형성하는 방법.

청구항 8

제1항에 있어서,

상기 제1 구리 층을 형성하는 단계는, 상기 기판을 구리 전구체에 노출시키는 것과 상기 기판을 수소 전구체에 노출시키는 것의 순차적 반복들을 포함하는, 인터커넥트 구조를 형성하는 방법.

청구항 9

디바이스를 형성하는 방법으로서,

제1 구리 층을 패터닝된 기판 상에 증착시키는 단계 — 상기 패터닝된 기판은 재료 층 및 상기 재료 층 상에 배치된 장벽 층을 포함하고, 상기 재료 층은 상기 재료 층에 형성된 개구부들을 가짐 —;

루테늄 층을 상기 제1 구리 층 상에 증착시키는 단계; 및

제2 구리 층을 상기 루테늄 층 상에 증착시키는 단계를 포함하는, 디바이스를 형성하는 방법.

청구항 10

제9항에 있어서,

상기 재료 층은 유전체 층을 포함하는, 디바이스를 형성하는 방법.

청구항 11

제10항에 있어서,

상기 장벽 층은 탄탈럼, 탄탈럼 질화물, 텅스텐, 티타늄, 티타늄 텅스텐, 티타늄 질화물, 텅스텐 질화물, 티타늄 구리, 및 이들의 조합들로 구성된 군으로부터 선택된 재료를 포함하는, 디바이스를 형성하는 방법.

청구항 12

제11항에 있어서,

상기 제1 및 제2 구리 층들을 증착시키는 단계는, 상기 패터닝된 기판을, 구리 함유 유기 금속을 포함하는 제1 반응성 전구체 및 수소를 포함하는 제2 반응성 전구체에 순차적으로 노출시키는 것을 포함하는, 디바이스를 형성하는 방법.

청구항 13

디바이스로서,

기판 — 상기 기판은, 상기 기판의 재료 층에 형성된 복수의 개구부들을 갖는 패터닝된 표면을 포함함 —; 및

상기 개구부들의 벽들 상에 배치된 시드 층을 포함하고,

상기 시드 층은:

제1 구리 층;

상기 제1 구리 층 상에 배치된 루테늄 층; 및

상기 루테늄 층 상에 배치된 제2 구리 층을 포함하는, 디바이스.

청구항 14

제13항에 있어서,

상기 루테늄 층의 두께는 약 1 옹스트롬 내지 약 20 옹스트롬인, 디바이스.

청구항 15

제13항에 있어서,

상기 재료 층은 유전체 재료를 포함하고, 상기 디바이스는 상기 시드 층과 상기 개구부들의 벽들 사이에 개재된 장벽 층을 더 포함하며, 상기 장벽 층은 탄탈럼, 탄탈럼 질화물, 텅스텐, 티타늄, 티타늄 텅스텐, 티타늄 질화물, 텅스텐 질화물, 티타늄 구리, 및 이들의 조합들로 구성된 군으로부터 선택된 재료를 포함하는, 디바이스.

발명의 설명

기술 분야

[0001] 본원에서 설명되는 실시예들은 일반적으로, 반도체 디바이스 제조 분야에 관한 것이며, 더 구체적으로, 구리 인터커넥트들을 위한 시드 층들을 형성하는 방법들에 관한 것이다.

배경 기술

[0002] 차세대 디바이스들을 위해 회로 밀도들이 증가하고 트랜지스터 치수들이 계속 축소됨에 따라, 와이어 인터커넥트들의 저항 및 전도율이, 전력 소모, 저항 용량(resistance-capacitance; RC) 지연, 및 신뢰성을 포함하는 주요 디바이스 성능 측정 기준에 대한 디바이스 성능을 지배하기 시작했다. 구리가 일반적으로, 비교적 낮은 저항률 및 높은 전도율을 보여주기 때문에, 구리는 진보된 USLI 및 VSLI 기술들에서의 와이어 인터커넥트들을 위해 사용되는 하나의 재료이다. 종종, 구리 인터커넥트들은, 벌크 구리를 구리 시드 층 상에 전기 도금하기 전에 또는 기판의 재료 표면에 형성된 개구부들 내로의 벌크 구리 리플로우 이전에, 구리 시드 층을 개구부들 내에 증착시킴으로써 형성된다.

[0003] 전형적으로, 구리 시드 층은 후속 전기 도금 프로세스를 위해 요구되는 전류를 흐르게 하거나, 기판의 재료 표면에 형성된 개구부들 내로의 구리 리플로우를 촉진시키기 위해 습윤 층으로서 역할을 한다. 개구부들의 베이스 또는 벽들 상의 구리 시드 층의 적용 범위에서의 갭들은 인터커넥트 구조의 벌크 구리 재료에서의 바람직하지 않은 공극들로 이어질 것이다. 벌크 구리 재료에서의 공극들 또는 적용 범위 갭들은, 잠재적으로, 생성된 디바이스를 쓸모없게 만들거나 감소된 능력을 갖게 하는, 구리 구조들에서의 전자 이동 실패들을 초래한다. 구리 시드 층 적용 범위 갭들의 원인들은 구리 응집 또는 불연속 증착 중 하나 또는 둘 모두를 포함한다. 구리 응집은, 주위 영역들로부터 구리를 떼어내 끌어당기는 것에 의해 일부 영역들에서, 증착된 구리가 더 두꺼운 적용 범위 내로 합쳐질 때 발생한다. 개구부들의 벽들 상의 불연속 증착은 전형적으로, 일부 개구부 기하형상들에 대해, 구리 시드 물리 기상 증착(PVD) 프로세스에 내재된 음영 효과 때문이다.

[0004] 구리 시드 층 상에 증착된 전도성 라이너들, 예컨대, 금속 라이너는 개구부들의 베이스 또는 벽들 상의 시드 층의 적용 범위에 있는 갭들을 충전하고, 이는 후속 전기 도금 프로세스 동안 벌크 구리 재료에서 공극들을 감소시킨다. 그러나, 구리 시드 층과 벌크 구리 층 사이에 배치된 전도성 라이너들은 바람직하지 않게, 구리 시드 층과 벌크 구리 층 사이에 계면 라이너/구리 층을 생성한다. 이 계면 층은 바람직하지 않게, 총 구리 라인 폭을 감소시키고 따라서, 바람직하지 않게, 후속으로 형성되는 구리 인터커넥트의 라인 저항률을 증가시킨다.

[0005] 이에 따라, 관련 기술분야에서 필요한 것은 개선된 구리 시드 층들 및 개선된 구리 시드 층들을 형성하는 방법들이다.

발명의 내용

[0006] 본 개시내용은 일반적으로, 루테튬 도핑된 구리 시드 층(ruthenium doped copper seed layer)을 형성하는 방법들을 설명한다.

[0007] 일 실시예에서, 인터커넥트 구조를 형성하는 방법이 제공된다. 방법은, 패터닝된 기판을 제1 처리 챔버에 위치시키는 단계 - 패터닝된 기판은 기판의 재료 층에 형성된 개구부들을 가짐 -, 및 시드 층을 개구부들의 벽들 상에 형성하는 단계를 포함한다. 시드 층을 개구부들의 벽들 상에 형성하는 단계는, 제1 구리 층을 형성하는 단계, 루테튬 층을 제1 구리 층 상에 형성하는 단계, 및 제2 구리 층을 루테튬 층 상에 형성하는 단계를 포함한다.

[0008] 다른 실시예에서, 디바이스를 형성하는 방법은, 제1 구리 층을 패터닝된 기판 상에 증착시키는 단계 - 패터닝된 기판은 재료 층 및 재료 층 상에 배치된 장벽 층을 포함하고, 재료 층은 재료 층에 형성된 개구부들을 가짐 -, 루테튬 층을 제1 구리 층 상에 증착시키는 단계, 및 제2 구리 층을 루테튬 층 상에 증착시키는 단계를 포함한다. 일부 실시예들에서, 방법은, 전착 프로세스, 리플로우 갭 충전 프로세스, 또는 이들의 조합을 사용하여 구리 층을 개구부 내에 증착시키는 단계를 더 포함한다.

[0009] 다른 실시예에서, 구리 인터커넥트를 형성하는 방법은, 패터닝된 기판을 처리 챔버에 위치시키는 단계 - 패터닝된 기판은 기판의 재료 층에 형성된 개구부들을 가짐 -, 및 시드 층을 개구부들의 벽들 상에 형성하는 단계를 포함한다. 시드 층을 개구부들의 벽들 상에 형성하는 단계는, 제1 구리 층을 패터닝된 기판 상에 증착시키는 단계, 루테튬 층을 제1 구리 층 상에 증착시키는 단계, 및 제2 구리 층을 루테튬 층 상에 증착시키는 단계를 포함한다. 제1 구리 층을 증착시키는 단계는, 패터닝된 기판을, 구리 함유 유기 금속을 포함하는 제1 반응성 전구체 및 수소를 포함하는 제2 반응성 전구체에 순차적으로 노출시키는 것을 포함한다. 루테튬 층을 증착시키는 단계는, 제1 구리 층을, 루테튬 함유 유기 금속을 포함하는 제3 반응성 전구체 및 수소를 포함하는 제4 반응성 전구체에 순차적으로 노출시키는 것을 포함한다. 제2 구리 층을 증착시키는 단계는, 루테튬 층을, 제1 반응성 전구체 및 제2 반응성 전구체에 순차적으로 노출시키는 것을 포함한다.

[0010] 일부 실시예들에서, 본원에서 설명되는 방법들은, 전착 프로세스, 리플로우 캡 충전 프로세스, 또는 이들의 조합을 사용하여 구리 층을 개구부 내에 증착시키는 단계를 더 포함한다.

[0011] 다른 실시예에서, 디바이스는, 패터닝된 표면을 특징으로 하는 기판 - 패터닝된 표면은 기판의 재료 층에 형성된 복수의 개구부들을 가짐 -, 및 개구부들의 벽들 상에 배치된 시드 층을 포함한다. 여기서, 시드 층은 제1 구리 층, 제1 구리 층 상에 배치된 루테튬 층, 및 루테튬 층 상에 배치된 제2 구리 층을 포함한다.

도면의 간단한 설명

[0012] 위에서 언급된 본 개시내용의 특징들이 상세하게 이해될 수 있도록, 위에 간략하게 요약된 본 개시내용의 더 구체적인 설명이 실시예들을 참조하여 이루어질 수 있으며, 실시예들 중 일부는 첨부 도면들에 예시되어 있다. 그러나, 본 개시내용은 동등한 효과의 다른 실시예들을 허용할 수 있으므로, 첨부 도면들은 본 개시내용의 전형적인 실시예들만을 예시하며, 따라서 그것의 범위를 제한하는 것으로 간주되어서는 안 된다는 점에 주목해야 한다.

도 1은, 일 실시예에 따른, 루테튬 도핑된 구리 시드 층을 형성하는 방법을 설명하는 흐름도이다.

도 2a-2e는, 일 실시예에 따른, 도 1에서 설명된 방법의 요소를 예시한다.

이해를 용이하게 하기 위해, 가능한 경우에, 도면들에 공통인 동일한 요소들을 지시하는 데에 동일한 참조 번호들이 사용되었다. 일 실시예의 요소들 및 특징들이, 추가적인 언급 없이 다른 실시예들에 유익하게 포함될 수 있다는 것이 고려된다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 개시내용의 실시예들은 일반적으로, 구리 인터커넥트 구조를 형성하는 방법들, 특히, 복수의 구리 층들 및 구리 층들 사이에 배치된 적어도 하나의 루테튬 층을 포함하는 루테튬 도핑된 구리 시드 층을 형성하는 방법들을 설명한다. 본원에서 설명되는 방법은 물리 기상 증착(PVD) 처리 챔버, 화학 기상 증착(CVD) 처리 챔버, 원자 층 증착(ALD) 처리 챔버, 또는 이들의 조합들에서 수행될 수 있다. 일 실시예에서, PVD, CVD, 및 ALD 처리 챔버들은, 각각, 캘리포니아주 산타 클라라의 어플라이드 머티어리얼스, 인코포레이티드(Applied Materials, Inc.)로부터 모두 입수 가능한, 엔듀라®(ENDURA®) PVD 처리 챔버, 프로듀서®(PRODUCER®) CVD 처리 챔버, 및 올림피아®(OLYMPIA®) ALD 처리 챔버이다.

[0014] 본원에서 설명되는 방법들에 따라 형성된 루테튬 도핑된 시드 층은 인터커넥트 개구부들의 벽들에 걸쳐 연속적인 시드 층 적용 범위를 가능하게 하고, 라이너 두께들을 감소시키는 것을 용이하게 한다. 본원에서, 루테튬 도핑된 시드 층은 제1 구리 층과 제2 구리 층 사이에 증착된 적어도 하나의 루테튬 층을 포함한다. 전형적으로, 제1 및 제2 구리 층들은 PVD 프로세스, CVD 프로세스, 또는 ALD 프로세스를 사용하여 증착되고, 루테튬 층은 CVD 프로세스 또는 ALD 프로세스를 사용하여 증착된다. 구리와 루테튬은 일반적으로, 서로 혼화성(miscible)이 아니고, 따라서, 루테튬 층은 제1 층과 제2 층 중 어느 하나의 층의 구리를 이 층들 사이에 형성된 결정 입계들에 효과적으로 고정시키고, 바람직하게, 피처에서 구리를 소정의 위치에 고정시켜 구리의 전자 이동을 방지한다. 구리를 구리 층과 루테튬 층 사이에 형성된 결정 입계들에 고정시키는 것은, 구리 층들에 있는 구리가 이동하여 바람직하지 않은 구리 응집들을 형성하는 것을 방지한다. 추가로, 본원에서 설명되는 방법들을 사용하여 구리 전자 이동을 방지하는 것은, 이와 관련된 디바이스 고장들을 방지함으로써, 증가된 회로 밀도 및 개선된 신뢰성을 허용한다.

[0015] 본원에서 제공되는 실시예들을 사용하여 구리 응집을 억제하는 것의 이점들은, 개구부가 내부에 형성된 유전체

층 상에 배치된 라이너 층의 두께의 감소를 가능하게 하는 것을 더 포함한다. 라이너 층의 감소된 두께는, 후속하여 형성되는 인터커넥트를 위한 벌크 구리 체적을 증가시킨다. 벌크 구리 체적에서의 이러한 증가는 바람직하게, 개구부에서의 라인 저항을 감소시킨다. 구리 층을 고정시키는 것은 바람직하게, 인터커넥트 피처 개구부들의 벽들 상의 적용 범위에 있는 갭들을 제거한다. 구리 이동에 의해 야기된 적용 범위 갭들을 제거하는 것은 바람직하게, 후속 전착 또는 리플로우/갭 충전 프로세스 동안 구리 인터커넥트의 벌크 구리 재료에 형성되는 공극들을 감소시키거나 제거한다. 유익하게, 루테튬은 다른 도판트들, 예컨대, 코발트 또는 망가니즈보다 더 느리게 구리 내로 확산되므로, 시드 층에 루테튬을 사용함으로써, 벌크 구리 층의 라인 저항은 부정적으로 영향 받지 않는다. 추가로, 설명되는 실시예들에 따라 형성된 루테튬 도핑된 시드 층들은, 후속 구리 리플로우/갭 충전 프로세스를 용이하게 하기 위해, 비교적 얇고 연속적인 표면을 제공한다.

[0016] 도 1은, 일 실시예에 따른, 루테튬 도핑된 구리 시드 층을 형성하는 방법을 설명하는 흐름도이다. 도 2a-2e는, 도 1에 설명된 방법의 요소들을 예시한다.

[0017] 활동(110)에서, 방법(100)은 패터닝된 기판을 처리 챔버에 위치시키는 단계를 포함한다. 패터닝된 기판(200)은 도 2a에 예시되고, 이 기판은 기판(201), 기판(201) 상에 형성된 재료 층(209), 재료 층(209)에 형성된 하나 이상의 개구부들(205), 및 재료 층(209) 상에 배치되고 재료 층의 개구부들(205)을 라이닝하는 장벽 층(206)을 포함한다. 본원에서, 재료 층(209)은 하나 이상의 유전체 층들, 예컨대, 제1 유전체 층(202) 및 제2 유전체 층(204)을 포함한다. 전형적으로, 하나 이상의 유전체 층들(202, 204)은, 실리콘 산화물들, SiN, SiOC, SiC, 저-k 중합체들, 예컨대, 폴리이미드, 및 이들의 조합들로 구성된 군으로부터 선택된 재료로 형성된다.

[0018] 일부 실시예들에서, 재료 층(209)은 제1 유전체 층(202)과 제2 유전체 층(204) 사이에 배치된 식각 정지 층(203)을 더 포함한다. 재료 층(209) 상에 배치된 장벽 층(206)은, 후속하여 증착되는 구리 층들로부터 주위 유전체 층들(202, 204) 내로의 구리 원자들의 확산을 방지한다. 전형적으로, 장벽 층(206)은 금속, 금속 질화물, 금속 합금, 또는 이들의 조합 중 하나 이상을 포함한다. 일부 실시예들에서, 장벽 층(206)은 탄탈럼, 탄탈럼 질화물, 텅스텐, 티타늄, 티타늄 텅스텐, 티타늄 질화물, 텅스텐 질화물, 티타늄 구리, 및 이들의 조합들로 구성된 군으로부터 선택된다. 일부 실시예들에서, 장벽 층은 탄탈럼 질화물을 포함한다. 장벽 층(206)은 임의의 적합한 방법, 예컨대, 화학 기상 증착(CVD), 물리 기상 증착(PVD), 원자 층 증착(ALD), 또는 이들의 조합들을 사용하여 증착된다.

[0019] 활동(120)에서, 방법(100)은 시드 층(207)을 장벽 층(206) 상에 형성하는 단계를 포함한다. 도 2b는, 패터닝된 기판(200)의 장벽 층(206) 상에 증착된 시드 층(207)을 예시한다. 도 2e는 도 2b의 일 부분의 근접 확대도이다.

[0020] 활동(130)에서, 방법(100)은 제1 구리 층(207a)을 패터닝된 기판(200)의 장벽 층(206) 상에 증착시키는 단계를 포함한다. 본원에서, 제1 구리 층(207a)은, 구리 막을 형성하기 위해, 패터닝된 기판(200)을, 구리 함유 유기 금속을 포함하는 제1 반응성 전구체에, 그리고 그 다음, 수소 함유 가스를 포함하는 제2 반응성 전구체에 순차적으로 노출시키는 것을 포함하는 원자 층 증착(ALD) 프로세스를 사용하여 증착된다. 구리 함유 유기 금속 가스들의 예들은 비스(디에틸아미노-2-n-부톡시)구리 (Cu(DEAB)2), 비스(에틸메틸아미노-2-n-부톡시)구리, 비스(디메틸아미노-2-프로폭시)구리 (Cu(DMAP)2), 비스(디메틸아미노-2-n-부톡시)구리 (Cu(DMAB)2), 비스(디메틸아미노-2-에톡시)구리, 비스(에틸메틸아미노-2-프로폭시)구리 (Cu(EMAP)2), 비스(디에틸아미노-2-에톡시)구리, 비스(에틸메틸아미노-2-메틸-2-n-부톡시)구리, 비스(디메틸아미노-2-메틸-2-프로폭시)구리, 비스(디에틸아미노-2-프로폭시)구리 (Cu(DEAP)2), 비스(2-메톡시에톡시)구리, 비스(2,2,6,6-테트라메틸-3,5-헵타디오네이트)구리, 비스(2,2,6,6-테트라메틸-3,5-헵타케토이미네이트)구리, 비스(2-메톡시-2-프로폭시)구리, 및 2,2,6,6-테트라메틸-3,5-헵타디오네이트 구리(TMVS), 및 이들의 조합들을 포함한다. 수소 함유 전구체의 예들은 H2, NH3, 및 이들의 조합들을 포함한다. 일부 실시예들에서, 처리 체적은 제1 및 제2 전구체들의 교번하는 노출들 간에 불활성 가스, 예컨대, 아르곤을 사용하여 퍼징된다.

[0021] 일부 실시예들에서, 제1 구리 층(207a)의 증착 동안, 처리 챔버는 약 1 Torr 내지 약 30 Torr의 압력에서 유지되고, 패터닝된 기판은 약 50 °C 내지 약 400 °C의 온도로 유지된다. 제1 및 제2 반응성 전구체의 유량들은 전형적으로, 300 mm 직경 기판들을 처리하도록 구성된 처리 챔버에 대해 약 3000 sccm 내지 약 9000 sccm이고, 상이한 크기의 기판들에 대해서는 적절하게 비례된다. 일부 실시예들에서, 처리 챔버는, 처리 챔버에 배치된 전극이 플라즈마 전력 공급부에 커플링되는 플라즈마 강화 처리 챔버이다. 플라즈마 전력 공급부는, 전구체들을 처리 플라즈마로 점화시키고 유지하기 위해, 13.56 MHz의 주파수에서 약 100 W 내지 1000 W, 예컨대, 약 400 W를 제공한다. 일부 실시예들에서, 제1 구리 층(207a)은 약 99% 초과 구리 순도를 갖는다. 다른 실시예들에

서, 제1 구리 층은 물리 기상 증착(PVD) 또는 화학 기상 증착(CVD) 프로세스를 사용하여 증착된다. 예를 들어, 일 실시예에서, 제1 구리 층(207a)은, 타겟이 순수 구리 타겟 또는 구리 합금 타겟, 예컨대, 약 0.1% 내지 약 3% Al을 포함하는 Cu-Al 타겟 또는 약 0.1% 내지 약 3% Mn을 포함하는 Cu-Mn 타겟인 PVD 프로세스를 사용하여 증착된다. 이 실시예에서, 타겟은 약 20 kW 내지 약 40 kW의 DC 전력에 커플링되고, 기판은 약 50 W 내지 약 1500 W의 AC 바이어스 전력에 커플링된다. 다른 실시예에서, 제1 구리 층(207a)은 CVD 또는 PVD 프로세스를 사용하여 증착된다.

[0022] 활동(140)에서, 방법(100)은 루테튬 층(207b)을 제1 구리 층(207a) 상에 증착시키는 단계를 포함한다. 여기서, 루테튬 층(207b)은, 제1 구리 층(207a)을 증착시키는 데에 사용된 동일한 처리 챔버에서 증착된다. 전형적으로, 처리 챔버는 제1 구리 층(207a)을 증착시키는 단계와 루테튬 층을 증착시키는 단계 사이에서, 아르곤과 같은 불활성 가스를 사용하여 퍼징된다. 일부 실시예들에서, 루테튬 층(207b)은, 제1 구리 층(207a)이 상부에 증착된 패터닝된 기판(200)을, 루테튬 함유 유기 금속을 포함하는 제3 반응성 전구체에, 그리고 그 다음, 수소, 예컨대, 수소 가스를 포함하는 제4 반응성 전구체에 교번하여 순차적으로 노출시키는 것을 포함하는 ALD 프로세스를 사용하여 증착된다. 루테튬 함유 유기 금속들의 예들은, 메틸-시클로헥사딘 루테튬 트리카르보닐시클로헥사딘, 루테튬 트리카르보닐, 부타디엔 루테튬 트리카르보닐, 디메틸 부타디엔 루테튬 트리카르보닐, $Ru(CO)_3$ 을 갖는 개질된 دين들(dienes), 및 이들의 조합들을 포함한다.

[0023] 전형적으로, 루테튬 층(207b)의 증착 동안, 처리 챔버는 약 1 Torr 내지 약 50 Torr의 압력에서 유지되고, 패터닝된 기판은 약 100 °C 내지 약 400 °C의 온도로 유지된다. 제3 및 제4 반응성 전구체들의 유량들은 300 mm 직경 기판들을 처리하도록 구성된 ALD 처리 챔버에 대해 약 3000 sccm 내지 약 9000 sccm이고, 상이한 크기의 기판들에 대해서는 적절하게 비례된다. 일부 실시예들에서, 처리 챔버에 배치된 전극은, 처리 챔버에 배치된 전구체 가스들의 처리 플라즈마를 점화시키고 유지하는, 13.56 MHz의 주파수에서 약 100 W 내지 1000 W, 예컨대, 약 400 W를 제공하는 플라즈마 전력 공급부에 커플링된다. 일부 실시예들에서, 처리 체적은 제3 및 제4 전구체들의 교번하는 노출들 간에 불활성 가스, 예컨대, 아르곤을 사용하여 퍼징된다. 다른 실시예들에서, 루테튬 층(207b)은 CVD 프로세스를 사용하여 증착되고/증착되거나, 제1 구리 층(207a)을 형성하는 데에 사용된 처리 챔버와 상이한 처리 챔버에서 증착된다. 다른 실시예들에서, 루테튬 층(207b)은 PVD 프로세스를 사용하여 증착된다.

[0024] 활동(150)에서, 방법(100)은 제2 구리 층(207c)을 루테튬 층(207b) 상에 증착시키는 단계를 포함한다. 일부 실시예들에서, 제2 구리 층(207c)은, 활동(130)에서 제1 구리 층(207a)을 그리고 활동(140)에서 루테튬 층(207b)을 형성하는 데에 사용되었던 동일한 처리 챔버에서 증착된다. 일부 실시예들에서, 제2 구리 층(207c)은, 활동(130)에서 제1 구리 층(207a)을 형성하는 데에 사용된 동일한 프로세스를 사용하여 증착된다. 전형적으로, ALD 처리 챔버는 루테튬 층(207b)을 증착시키는 단계와 제2 구리 층(207c)을 증착시키는 단계 사이에서, 아르곤과 같은 불활성 가스로 퍼징된다. 다른 실시예들에서, 제2 구리 층(207c)은, 제1 구리 층(207a) 및/또는 루테튬 층(207b)을 형성하는 데에 사용된 챔버와 상이한 챔버에서 PVD 프로세스 또는 CVD 프로세스를 사용하여 증착된다. 일부 실시예들에서, 장벽 층(206), 구리 층들(207a, 207c), 및/또는 루테튬 층(207b)을 형성하는 데에 사용되는 처리 챔버들은, 증착된 층들 상에 후속 층이 형성되기 전, 증착된 층들의 표면 산화를 방지하기 위해 대기압 미만의 압력들에서 유지되는 이송 챔버에 의해, 진공 또는 제어된 환경 하에서 함께 연결된다.

[0025] 본원에서, 장벽 층(206)은 약 0.5 nm 내지 약 20 nm, 예컨대, 약 1 nm 내지 약 5 nm, 예를 들어, 약 2 nm의 제1 두께(T(1))를 갖는다. 제1 구리 층(207a)은 약 0.5 nm 내지 약 20 nm, 예컨대, 약 0.5 nm 내지 약 10 nm, 이를 테면, 약 0.5 nm 내지 약 5 nm, 예를 들어, 약 4 nm의 제2 두께(T(2))를 갖는다. 루테튬 층(207b)은 약 1 옹스트롬(Å) 내지 약 20 Å, 예컨대, 약 1 Å 내지 약 15 Å, 이를 테면, 약 1 Å 내지 약 10 Å의 제3 두께(T(3))를 갖는다. 제2 구리 층(207c)은 약 0.5 nm 내지 약 200 nm, 예컨대, 약 1 nm 내지 약 20 nm, 또는 약 1 nm 내지 약 5 nm, 예를 들어, 약 2 nm의 제4 두께(T(4))를 갖는다. 전형적으로, 시드 층(207)에서 구리 대 루테튬의 비율은 약 99.9:1 내지 약 4:1이고, 각각의 구리 및 루테튬 층들(207a, 207b, 및 207c)의 두께들(T(2), T(3), 및 T(4))은 시드 층에서 루테튬의 농도를 증가시키거나 감소시키기 위해 조정된다.

[0026] 일부 실시예들에서, 시드 층(207)을 형성하는 단계는, 제2 및 최종 구리 층(207c)을 증착시키기 이전에, 복수의 제1 구리 층들(207a) 및 루테튬 층들(207b)을 순차적으로 증착시키는 단계를 포함한다.

[0027] 도 2d 및 2e는, 구리 인터커넥트의 형성을 더 예시한다. 도 2d는, 전기 도금 프로세스 또는 구리 리플로우/겍층전 프로세스, 예컨대, 열 보조 리플로우 프로세스를 사용하여 시드 층 상에 증착된 벌크 구리 층(208)을 도시한다. 그 다음, 도 2d에 도시된 인터커넥트 구조와 같은 구리 인터커넥트 구조를 형성하기 위해, 벌크 구리 층

(208)은 벌크 막 제거 프로세스, 예컨대, 화학적 기계적 평탄화(CMP)를 사용하여 기판의 표면으로부터 제거된다.

[0028] 본원에서 설명되는 방법들의 이점들은, 시드 층의 형성 동안 억제된 구리 응집, 그의 연속적인 적용 범위를 위해 요구되는 최소 시드 층 두께의 감소, 더 얇은 시드 층을 이용한 개선된 리플로우 충전, 및 상부에 형성된 구리 인터커넥트의 개선된 라인 및/또는 비아 저항을 포함한다. 추가로, 억제된 구리 응집에 부가하여, 본원의 실시예들의 이점은, 구리 전자 이동과 관련된 디바이스 고장들을 방지함으로써, 증가된 회로 밀도 및 개선된 신뢰성 및/또는 유효 수명을 허용하는 억제된 구리 전자 이동을 포함한다.

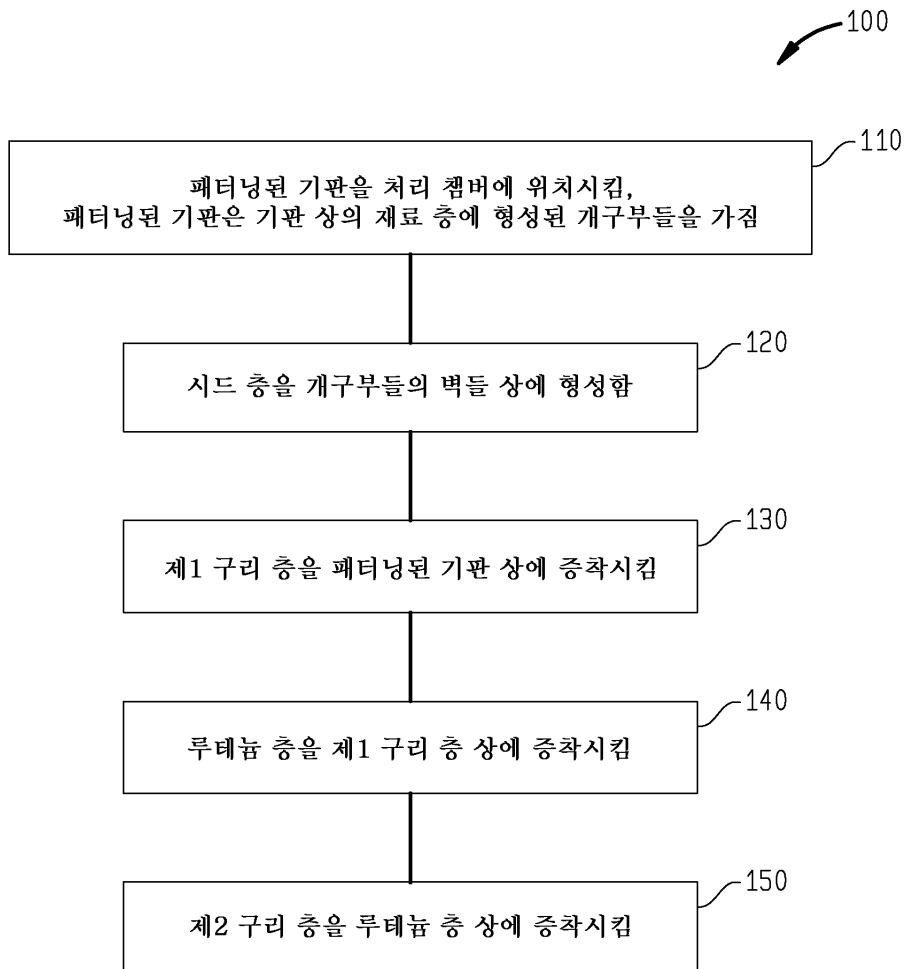
[0029] 전술한 내용은 본 개시내용의 실시예들에 관한 것이지만, 이의 기본 범위로부터 벗어나지 않고 본 개시내용의 다른 실시예들 및 추가 실시예들이 고안될 수 있으며, 본 개시내용의 범위는 이하의 청구항들에 의해 결정된다.

부호의 설명

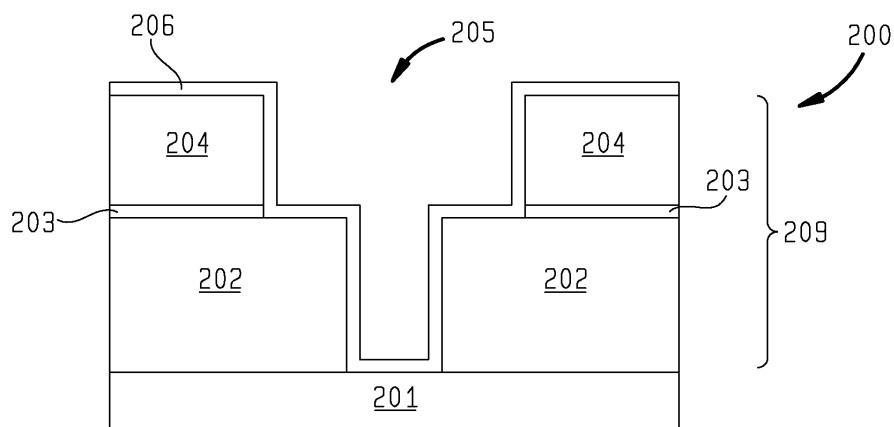
[0030] 100 방법
110 활동
120 활동
130 활동
140 활동
150 활동
200 패터닝된 기판
201 기판
202 제1 유전체 층
203 식각 정지 층
204 제2 유전체 층
205 개구부
206 장벽 층
207 시드 층
207a 제1 구리 층
207b 루테튬 층
207c 제2 구리 층
208 벌크 구리 층
209 재료 층

도면

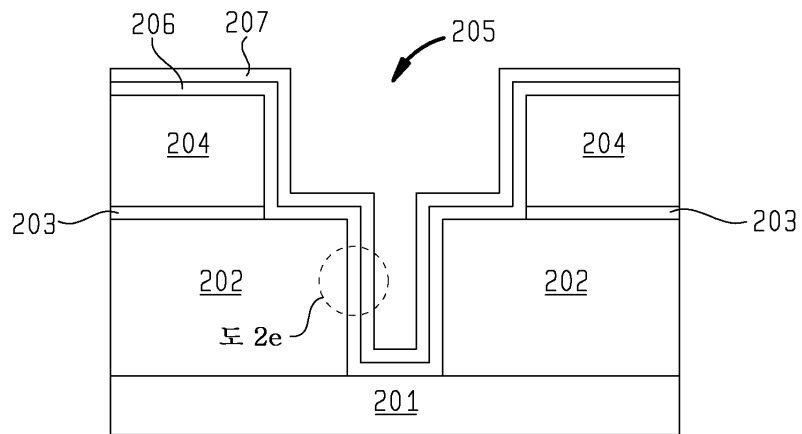
도면1



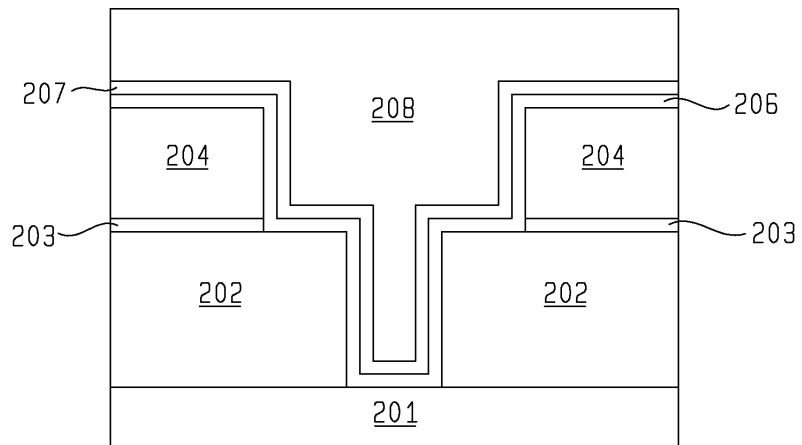
도면2a



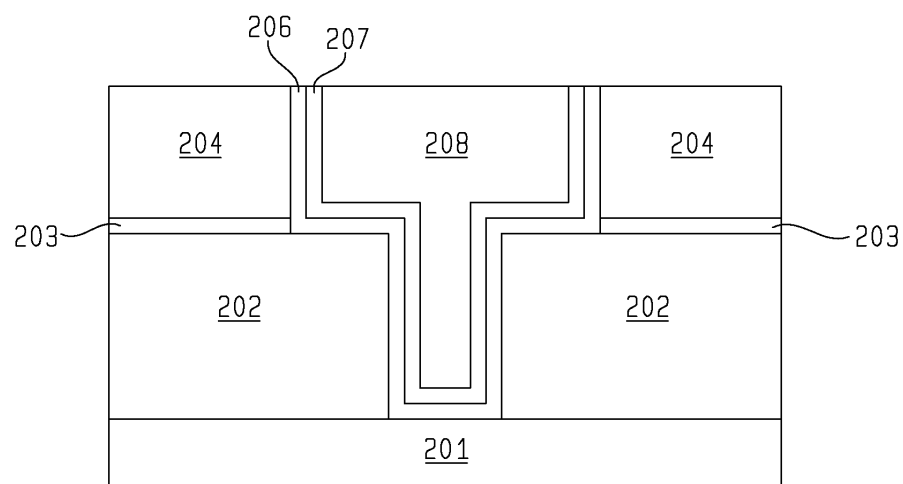
도면2b



도면2c



도면2d



도면2e

