(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5128625号
(P5128625)

(45)発行日　平成25年1月23日(2013.1.23)　(24)登録日　平成24年11月9日(2012.11.9)

(51)Int.Cl.		F I		
B41J 2/44	(2006.01)	B41J	3/21	L
B41J 2/45	(2006.01)	H01L	33/00	J
B41J 2/455	(2006.01)	H01L	33/00	120
H01L 33/00	(2010.01)	H01L	29/74	E
H01L 33/08	(2010.01)	H04N	1/036	A

請求項の数 9　(全 30 頁)　最終頁に続く

(21)出願番号　特願2010-67335(P2010-67335)
(22)出願日　平成22年3月24日(2010.3.24)
(65)公開番号　特開2011-194855(P2011-194855A)
(43)公開日　平成23年10月6日(2011.10.6)
審査請求日　平成23年8月23日(2011.8.23)

(73)特許権者　591044164
株式会社沖データ
東京都港区芝浦四丁目１１番２２号
(73)特許権者　500002571
株式会社沖デジタルイメージング
群馬県高崎市西横手町１番地１
(74)代理人　100086807
弁理士　柿本　恭成
(74)代理人　100155321
弁理士　綾木　健一郎
(74)代理人　100091362
弁理士　阿仁屋　節雄
(74)代理人　100145872
弁理士　福岡　昌浩

最終頁に続く

(54)【発明の名称】駆動装置、プリントヘッド及び画像形成装置

(57)【特許請求の範囲】
【請求項１】
各々、第１電源と接続される第１端子と、前記第１端子との間に駆動電流を流すための第２端子と、前記第１端子及び前記第２端子間の導通状態を制御する第１制御端子とを有し、前記第１端子同士及び前記第２端子同士が共通接続された複数の３端子発光素子を駆動する駆動装置において、
相補接続された第１導電形ＭＯＳトランジスタと前記第１導電形ＭＯＳトランジスタとは異なる極性の第２導電形ＭＯＳトランジスタとを有し、入力された駆動信号に基づいて、前記複数の３端子発光素子のうち導通状態にあるものを駆動する駆動回路を備え、
前記第１導電形ＭＯＳトランジスタは、サブストレート領域に形成され、前記第１電源とは異なる電位の第２電源に接続された第３端子と、共通接続された前記第２端子に接続された第４端子と、前記駆動信号に基づいて前記第３端子及び前記第４端子間の導通状態を制御する第２制御端子とを有し、前記駆動回路の等価出力抵抗値が前記３端子発光素子のターンオン特性で定まる負性抵抗値の絶対値よりも大きくなるように、チャネル形成予定領域に前記サブストレート領域と同極性の不純物が注入されたものであることを特徴とする駆動装置。
【請求項２】
前記第１電源の電位は、電源電位であり、
前記第２電源の電位は、接地電位であり、
前記第１導電形ＭＯＳトランジスタは、前記第３端子であるソースと、前記第４端子で

あるドレーンと、前記第２制御端子であるゲートと、を有するＮチャネルＭＯＳトランジスタであり、
前記第２導電形ＭＯＳトランジスタは、ＰチャネルＭＯＳトランジスタであることを特徴とする請求項１記載の駆動装置。
【請求項３】
前記第１電源の電位は、接地電位であり、
前記第２電源の電位は、電源電位であり、
前記第１導電形ＭＯＳトランジスタは、前記第３端子であるソースと、前記第４端子であるドレーンと、前記第２制御端子であるゲートと、を有するＰチャネルＭＯＳトランジスタであり、
前記第２導電形ＭＯＳトランジスタは、ＮチャネルＭＯＳトランジスタであることを特徴とする請求項１記載の駆動装置。
【請求項４】
前記３端子発光素子は、発光サイリスタであることを特徴とする請求項１～３のいずれか１項に記載の駆動装置。
【請求項５】
請求項１～４のいずれか１項に記載の駆動装置は、更に、
前記３端子発光素子の前記第１制御端子に対してトリガ信号を与えて前記３端子発光素子をオン状態にするシフトレジスタを備えたことを特徴とする駆動装置。
【請求項６】
前記シフトレジスタは、
縦続接続された複数段のフリップフロップ回路を有し、シリアルクロック信号に基づきシリアルデータを入力して前記複数段のフリップフロップ回路から前記トリガ信号を順に出力する構成になっていることを特徴とする請求項５記載の駆動装置。
【請求項７】
前記シフトレジスタは、
３端子スイッチ素子を有する自己走査型回路を備え、クロック信号に基づき複数の前記トリガ信号を順に出力する構成になっていることを特徴とする請求項６記載の駆動装置。
【請求項８】
前記複数の３端子発光素子と、
請求項１～７のいずれか１項に記載の駆動装置と、
を備えたことを特徴とするプリントヘッド。
【請求項９】
請求項８記載のプリントヘッドを備え、
前記プリントヘッドにより露光されて記録媒体に画像を形成することを特徴とする画像形成装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、発光サイリスタ等の３端子発光素子の群を選択的に、且つサイクリックに駆動する駆動装置と、この駆動装置を有するプリントヘッドと、このプリントヘッドを有する電子写真プリンタ等の画像形成装置に関するものである。
【背景技術】
【０００２】
従来、電子写真プリンタ等の画像形成装置に設けられる駆動装置として、多数の発光サイリスタが配列された発光サイリスタアレイレイを駆動するために、相補形ＭＯＳトランジスタ（以下「ＣＭＯＳ」という。）からなるＣＭＯＳインバータと電流制限抵抗とを備え、そのＣＭＯＳインバータにより、電流制限抵抗を介して発光サイリスタアレイのカソードへ駆動電流を供給する構成が知られている（例えば、特許文献１）。
【先行技術文献】

【特許文献】
【０００３】
【特許文献１】特開２００１－２８７３９３号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
しかしながら、従来の駆動装置、プリントヘッド及び画像形成装置では、発光サイリスタの負性抵抗値の絶対値よりも駆動装置側の電流制限抵抗の抵抗値が小さいため、発光サイリスタの負性抵抗領域で発振することがあった。しかも、その発振現象は駆動電流の立ち上がり部や立下り部で発生し、これによって実質的な駆動電流の駆動パルス幅が変動することで、露光エネルギー量が変化してしまうという課題があった。
【課題を解決するための手段】
【０００５】
本発明の駆動装置は、各々、第１電源と接続される第１端子と、前記第１端子との間に駆動電流を流すための第２端子と、前記第１端子及び前記第２端子間の導通状態を制御する第１制御端子とを有し、前記第１端子同士及び前記第２端子同士が共通接続された複数の３端子発光素子を駆動する駆動装置において、相補接続された第１導電形ＭＯＳトランジスタと前記第１導電形ＭＯＳトランジスタとは異なる極性の第２導電形ＭＯＳトランジスタとを有し、入力された駆動信号に基づいて、前記複数の３端子発光素子のうち導通状態にあるものを駆動する駆動回路を備えている。
【０００６】
そして、前記第１導電形ＭＯＳトランジスタは、サブストレート領域に形成され、前記第１電源とは異なる電位の第２電源に接続された第３端子と、共通接続された前記第２端子に接続された第４端子と、前記駆動信号に基づいて前記第３端子及び前記第４端子間の導通状態を制御する第２制御端子とを有し、前記駆動回路の等価出力抵抗値が前記３端子発光素子のターンオン特性で定まる負性抵抗値の絶対値よりも大きくなるように、チャネル形成予定領域に前記サブストレート領域と同極性の不純物が注入されたものであることを特徴とする。
【０００７】
例えば、前記３端子発光素子は、発光サイリスタであり、前記駆動回路の等価出力抵抗値は、前記発光サイリスタのターンオン特性で定まる負性抵抗値の絶対値よりも大きく設定されている。
【０００８】
本発明のプリントヘッドは、前記複数の３端子発光素子と、前記駆動装置とを備えたことを特徴とする。
【０００９】
本発明の画像形成装置は、前記プリントヘッドを備え、前記プリントヘッドにより露光されて記録媒体に画像を形成することを特徴とする。
【発明の効果】
【００１０】
本発明の駆動装置及びプリントヘッドによれば、３端子発光素子を駆動する第１導電形ＭＯＳトランジスタ及び第２導電形ＭＯＳトランジスタを有する駆動回路を備え、その第１導電形ＭＯＳトランジスタのチャネル形成予定領域に、前記駆動回路の等価出力抵抗値が前記３端子発光素子のターンオン特性で定まる負性抵抗値の絶対値よりも大きくなるように、サブストレート領域と同極性の不純物が注入されているので、第１導電形ＭＯＳトランジスタの閾値電圧が増加し、飽和領域で動作して３端子発光素子の定電流駆動を行うことができる。この結果、駆動回路の等価出力抵抗値を３端子発光素子における負性抵抗値の絶対値よりも大きくすることができ、駆動回路の発振を防止することができる。
【００１１】
本発明の画像形成装置によれば、前記プリントヘッドを備えているので、露光エネルギ

ーの変動を抑制でき、印刷濃度むらのない高品質の画像形成が可能になる。
【図面の簡単な説明】
【００１２】
【図１】図１は本発明の実施例１における図５中の印刷制御部及びプリントヘッドの回路構成を示すブロック図である。
【図２】図２は本発明の実施例１における画像形成装置を示す概略の構成図である。
【図３】図３は図２中のプリントヘッド１３の構成を示す概略の断面図である。
【図４】図４は図３中の基板ユニットを示す斜視図である。
【図５】図５は図２の画像形成装置１におけるプリンタ制御回路の構成を示すブロック図である。
【図６】図６は図１中の発光サイリスタ２１０を示す構成図である。
【図７】図７は図１中のＮＭＯＳ４４を示す構成図である。
【図８】図８は図１の動作を示すタイムチャートである。
【図９】図９は図６の発光サイリスタ２１０におけるターンオン過程の動作説明図である。
【図１０】図１０は図７のＮＭＯＳ４４のトランジスタ特性を示す図である。
【図１１】図１１は本発明の実施例２における印刷制御部及びプリントヘッドの回路構成を示すブロック図である。
【図１２】図１２は図１１の動作を示すタイムチャートである。
【図１３】図１３は本発明の実施例３における印刷制御部及びプリントヘッドの回路構成を示すブロック図である。
【発明を実施するための形態】
【００１３】
本発明を実施するための形態は、以下の好ましい実施例の説明を添付図面と照らし合わせて読むと、明らかになるであろう。但し、図面はもっぱら解説のためのものであって、本発明の範囲を限定するものではない。
【実施例１】
【００１４】
（実施例１の画像形成装置）
図２は、本発明の実施例１における画像形成装置を示す概略の構成図である。
【００１５】
この画像形成装置１は、被駆動素子（例えば、発光素子として３端子スイッチ素子である発光サイリスタ）を用いた３端子スイッチ素子アレイとしての発光素子アレイを有する露光装置（例えば、プリントヘッド）が搭載されたタンデム型電子写真カラープリンタであり、ブラック（Ｋ）、イエロー（Ｙ）、マゼンタ（Ｍ）及びシアン（Ｃ）の各色の画像を各々に形成する４つのプロセスユニット１０－１～１０－４を有し、これらが記録媒体（例えば、用紙）２０の搬送経路の上流側から順に配置されている。各プロセスユニット１０－１～１０－４の内部構成は共通しているため、例えば、マゼンタのプロセスユニット１０－３を例にとり、これらの内部構成を説明する。
【００１６】
プロセスユニット１０－３には、像担持体としての感光体（例えば、感光体ドラム）１１が図２中の矢印方向に回転可能に配置されている。感光体ドラム１１の周囲には、この回転方向上流側から順に、感光体ドラム１１の表面に電荷を供給して帯電させる帯電装置１２と、帯電された感光体ドラム１１の表面に選択的に光を照射して静電潜像を形成する露光装置としてのプリントヘッド１３が配設されている。更に、静電潜像が形成された感光体ドラム１１の表面に、マゼンタ（所定色）のトナーを付着させて顕像を発生させる現像器１４と、感光体ドラム１１上のトナーの顕像を転写した際に残留したトナーを除去するクリーニング装置１５が配設されている。なお、これら各装置に用いられているドラム又はローラは、図示しない駆動源からギア等を経由して動力が伝達され回転する。
【００１７】

画像形成装置１の下部には、用紙２０を堆積した状態で収納する用紙カセット２１が装着され、その上方に、用紙２０を１枚ずつ分離させて搬送するためのホッピングローラ２２が配設されている。用紙２０の搬送方向におけるホッピングローラ２２の下流側には、ピンチローラ２３，２４と共に用紙２０を挟持することによってこの用紙２０を搬送する搬送ローラ２５と、用紙２０の斜行を修正し、プロセスユニット１０－１に搬送するレジストローラ２６とが配設されている。これらのホッピングローラ２２、搬送ローラ２５及びレジストローラ２６は、図示しない駆動源からギア等を経由して動力が伝達され回転する。

【００１８】

プロセスユニット１０－１～１０－４の各感光体ドラム１１に対向する位置には、それぞれ半導電性のゴム等によって形成された転写ローラ２７が配設されている。各転写ローラ２７には、感光体ドラム１１上に付着されたトナーによる顕像を用紙２０に転写する転写時に、各感光体ドラム１１の表面電位とこれら各転写ローラ２７の表面電位に電位差を持たせるための電位が印加されている。

【００１９】

プロセスユニット１０－４の下流には、定着器２８が配設されている。定着器２８は、加熱ローラとバックアップローラとを有し、用紙２０上に転写されたトナーを加圧・加熱することによって定着する装置であり、この下流に、排出ローラ２９，３０、排出部のピンチローラ３１，３２、及び用紙スタッカ部３３が設けられている。排出ローラ２９，３０は、定着器２８から排出された用紙２０を、排出部のピンチローラ３１，３２と共に挟持し、用紙スタッカ部３３に搬送する。これらの定着器２８及び排出ローラ２９等は、図示しない駆動源からギア等を経由して動力が伝達されて回転する。

【００２０】

このように構成される画像記録装置１は、次のように動作する。

先ず、用紙カセット２１に堆積した状態で収納されている用紙２０が、ホッピングローラ２２によって、上から１枚ずつ分離されて搬送される。続いて、この用紙２０は、搬送ローラ２５、レジストローラ２６及びピンチローラ２３，２４に挟持されて、プロセスユニット１０－１の感光体ドラム１１と転写ローラ２７の間に搬送される。その後、用紙２０は、感光体ドラム１１及び転写ローラ２７に挟持され、その記録面にトナー像が転写されると同時に感光体ドラム１０－１の回転によって搬送される。同様にして、用紙２０は、順次プロセスユニット１０－２～１０－４を通過し、その通過過程で、各プリントヘッド１３により形成された静電潜像を各現像器１４によって現像した各色のトナー像が、その記録面に順次転写されて重ね合わされる。

【００２１】

このようにして記録面上に各色のトナー像が重ね合わされた後、定着器２８によってトナー像が定着された用紙２０は、排出ローラ２９，３０及びピンチローラ３１，３２に挟持されて、画像形成装置１の外部の用紙スタッカ部３３に排出される。以上の過程を経て、カラー画像が用紙２０上に形成される。

【００２２】

（実施例１のプリントヘッド）

図３は、図２中のプリントヘッド１３の構成を示す概略の断面図である。図４は、図３中の基板ユニットを示す斜視図である。

【００２３】

図３に示すプリントヘッド１３は、ベース部材１３ａを有し、このベース部材１３ａ上に、図４に示す基板ユニットが固定されている。基板ユニットは、ベース部材１３ａ上に固定されるプリント基板１３ｂと、このプリント基板１３ｂ上に接着剤等で固定され、シフトレジスタが集積された複数の集積回路（以下「ＩＣ」という。）チップ１００と、この各ＩＣチップ１００上に接着剤等で固定された複数のチップ状の発光素子列（例えば、発光サイリスタ列）からなる発光素子アレイ２００とにより構成されている。各発光素子アレイ２００と各ＩＣチップ１００とは、図示しない薄膜配線等により電気的に接続され

、更に、各ＩＣチップ１００中の複数の端子とプリント基板１３ｂ上の図示しない配線パッドとが、ボンディングワイヤ１３ｇにより電気的に接続されている。

【００２４】

複数の発光素子アレイ２００上には、柱状の光学素子を多数配列してなるレンズアレイ（例えば、ロッドレンズアレイ）１３ｃが配置され、このロッドレンズアレイ１３ｃがホルダ１３ｄにより固定されている。ベース部材１３ａ、プリント基板１３ｂ及びホルダ１３ｄは、クランプ部材１３ｅ，１３ｆにより固定されている。

【００２５】

（実施例１のプリンタ制御回路）

図５は、図２の画像形成装置１におけるプリンタ制御回路の構成を示すブロック図である。

【００２６】

このプリンタ制御回路は、画像形成装置１における印刷部の内部に配設された印刷制御部４０を有している。印刷制御部４０は、マイクロプロセッサ、読み出し専用メモリ（ＲＯＭ）、随時読み書き可能なメモリ（ＲＡＭ）、信号の入出力を行う入出力ポート、タイマ等によって構成され、図示しない上位コントローラからの制御信号ＳＧ１、及びビデオ信号（ドットマップデータを一次元的に配列したもの）ＳＧ２等によってプリンタ全体をシーケンス制御して印刷動作を行う機能を有している。印刷制御部４０には、プロセスユニット１０－１～１０－４の４つのプリントヘッド１３、定着器２８のヒータ２８ａ、ドライバ５０，５２、用紙吸入口センサ５４、用紙排出口センサ５５、用紙残量センサ５６、用紙サイズセンサ５７、定着器用温度センサ５８、帯電用高圧電源５９、及び転写用高圧電源６０等が接続されている。ドライバ５０には現像・転写プロセス用モータ（ＰＭ）５１が、ドライバ５２には用紙送りモータ（ＰＭ）５３が、帯電用高圧電源５９には現像器１４が、転写用高圧電源６０には転写ローラ２７が、それぞれ接続されている。

【００２７】

このような構成のプリンタ制御回路では、次のような動作を行う。

印刷制御部４０は、上位コントローラからの制御信号ＳＧｌによって印刷指示を受信すると、先ず、温度センサ５８によって定着器２８内のヒータ２８ａが使用可能な温度範囲にあるか否かを検出し、温度範囲になければヒータ２８ａに通電し、使用可能な温度まで定着器２８を加熱する。次に、ドライバ５０を介して現像・転写プロセス用モータ５１を回転させ、同時にチャージ信号ＳＧＣによって帯電用高圧電源５９をオン状態にし、現像器１４の帯電を行う。

【００２８】

そして、セットされている図２中の用紙２０の有無及び種類が用紙残量センサ５６、用紙サイズセンサ５７によって検出され、その用紙２０に合った用紙送りが開始される。ここで、用紙送りモータ５３はドライバ５２を介して双方向に回転させることが可能であり、最初に逆転させて、用紙吸入口センサ５４が検知するまで、セットされた用紙２０を予め設定された量だけ送る。続いて、正回転させて用紙２０をプリンタ内部の印刷機構内に搬送する。

【００２９】

印刷制御部４０は、用紙２０が印刷可能な位置まで到達した時点において、図示しない画像処理部に対してタイミング信号ＳＧ３（主走査同期信号、副走査同期信号を含む）を送信し、ビデオ信号ＳＧ２を受信する。画像処理部においてページ毎に編集され、印刷制御部４０に受信されたビデオ信号ＳＧ２は、印刷データとして各プリントヘッド１３に転送される。各プリントヘッド１３は、それぞれ１ドット（ピクセル）の印刷のために設けられた発光サイリスタを複数個略直線状に配列したものである。

【００３０】

ビデオ信号ＳＧ２の送受信は、印刷ライン毎に行われる。各プリントヘッド１３によって印刷される情報は、負電位に帯電された図示しない各感光体ドラム１１上において電位の上昇したドットとして潜像化される。そして、現像器１４において、負電位に帯電され

た画像形成用のトナーが、電気的な吸引力によって各ドットに吸引され、トナー像が形成される。

【００３１】

その後、トナー像は転写ローラ２７へ送られ、一方、転写信号ＳＧ４によって正電位に転写用高圧電源６０がオン状態になり、転写ローラ２７は感光体ドラム１１と転写ローラ２７との間隔を通過する用紙２０上にトナー像を転写する。転写されたトナー像を有する用紙２０は、ヒータ２８ａを内蔵する定着器２８に当接して搬送され、この定着器２８の熱によって用紙２０に定着される。この定着された画像を有する用紙２０は、更に搬送されてプリンタの印刷機構から用紙排出口センサ５５を通過してプリンタ外部へ排出される。

【００３２】

印刷制御部４０は、用紙サイズセンサ５７、及び用紙吸入口センサ５４の検知に対応して、用紙２０が転写ローラ２７を通過している間だけ転写用高圧電源６０からの電圧を転写ローラ２７に印加する。印刷が終了し、用紙２０が用紙排出口センサ５５を通過すると、帯電用高圧電源５９による現像器１４への電圧の印加を終了し、同時に現像・転写プロセス用モータ５１の回転を停止させる。以後、上記の動作を繰り返す。

【００３３】

（実施例１の印刷制御部及びプリントヘッド）

図１は、本発明の実施例１における図５中の印刷制御部４０及びプリントヘッド１３の概略の回路構成を示すブロック図である。

【００３４】

プリントヘッド１３は、ＩＣチップ１００内に形成されたシフトレジスタ１１０と、発光素子アレイ２００とを有している。

【００３５】

シフトレジスタ１１０は、発光素子アレイ２００にトリガ信号（例えば、トリガ電流）を与えてオン／オフ動作させる回路であり、複数個のフリップフロップ回路（以下「ＦＦ」という。）１１１（＝１１１－１～１１１－ｎ）を有している。各ＦＦ１１１は、データを入力する入力端子Ｄ、データを出力する出力端子Ｑ、及びシリアルクロック信号（以下単に「シリアルクロック」という。）ＳＣＫを入力するクロック端子ＣＫをそれぞれ有し、初段のＦＦ１１１－１の入力端子ＤがシリアルデータＳＩを入力し、このＦＦ１１１－１の出力端子Ｑが、２段目のＦＦ１１１－２の入力端子Ｄに接続され、以下同様に終段のＦＦ１１１－ｎまで縦続接続されている。印刷制御部４０からシリアルクロックＳＣＫ及びシリアルデータＳＩが供給されると、このシフトレジスタ１１０では、シリアルクロックＳＣＫに同期して、シリアルデータＳＩを初段から終段のＦＦ１１１－１～１１１－ｎへと順次入力してシフトしていき、シフトしたデータを各段の出力端子Ｑ１～Ｑｎから出力する構成になっている。

【００３６】

シフトレジスタ１１０は、例えば、シリコンウェハ基材上に公知のＣＭＯＳ構造を用いて作成されるが、その他、ガラス基板上に公知の薄膜トランジスタ（ＴＦＴ）技術を用いて製造することもできる。

【００３７】

発光素子アレイ２００は、３端子発光素子である例えば複数のＰゲート型発光サイリスタ２１０（＝２１０－１～２１０－ｎ，・・・）を有し、これらの各発光サイリスタ２１０の第１端子（例えば、アノード）が第１電源（例えば、電源電圧ＶＤＤ電源）に接続され、第２端子（例えば、カソード）が駆動電流Ｉｏｕｔを流す共通端子ＩＮに接続され、第１制御端子（例えば、ゲート）がシフトレジスタ１１０の各出力端子Ｑ１～Ｑｎに接続されている。各発光サイリスタ２１０は、アノード・カソード間に電源電圧ＶＤＤが印加された状態で、ゲートにトリガ電流が入力されると、アノード・カソード間がオン状態になってカソード電流が流れ、発光する素子である。発光サイリスタ２１０－１～２１０－ｎ，・・・の総数は、例えば、Ａ４サイズの用紙に１インチ当たり６００ドットの解像度

で印刷可能なプリントヘッドの場合、４９９２個であり、これらが配列されることになる。

【００３８】

印刷制御部４０は、発光素子アレイ２００のオン／オフを指令するオン／オフ指令信号ＤＲＶＯＮ－Ｐ（但し、「－Ｐ」は正論理を意味する。）、シフトレジスタ１１０に対する制御信号であるシリアルデータＳＩ及びシリアルクロックＳＣＫをプリントヘッド１３へ供給する図示しない回路と、複数の発光素子アレイ２００を時分割に駆動する複数の駆動回路４１と、ＶＤＤ電源や第２電源（例えば、グランドＧＮＤ＝０Ｖ）等とを有している。図１においては、説明を簡略化するために１個の駆動回路４１のみが図示されている。複数の発光素子アレイ２００は、例えば、総数４９９２個の発光サイリスタ２１０－１～２１０－ｎ，・・・を有し、これらの発光サイリスタ２１０－１～２１０－ｎ，・・・が複数の発光サイリスタ２１０－１～２１０－ｎの組にグループ化され、各グループ毎に設けられた駆動回路４１によってそれらが同時並行的に分割駆動が行われる構成になっている。

【００３９】

印刷制御部４０側の駆動回路４１等と、プリントヘッド１３側のシフトレジスタ１１０とにより、本実施例１の駆動装置が構成されている。

【００４０】

一例として典型的な設計例を挙げると、発光サイリスタ２１０（＝２１０－１～２１０－ｎ）を１９２個配列してアレイ化した発光素子アレイ２００のチップを図４のプリント基板１３ｂ上に２６個整列する。これにより、プリントヘッド１３に必要な総数４９９２個の発光サイリスタ２１０－１～２１０－ｎ，・・・を構成している。この際、駆動回路４１は前記２６個の発光素子アレイ２００に対応して設けられ、これらの駆動回路４１における出力端子の総数が２６である。なお、駆動回路４１は、図１においては印刷制御部４０の内部に配置されているが、プリントヘッド１３の内部に配置しても良い。

【００４１】

駆動回路４１は、入力されるオン／オフ指令信号ＤＲＶＯＮ－Ｐを反転してデータ端子ＤＡに出力するＣＭＯＳインバータ４２により構成されている。ＣＭＯＳインバータ４２は、第２導電形ＭＯＳトランジスタ（例えば、ＰチャネルＭＯＳトランジスタ、以下「ＰＭＯＳ」という。）４３と、第１導電形ＭＯＳトランジスタ（例えば、ＮチャネルＭＯＳトランジスタ、以下「ＮＭＯＳ」という。）４４とを有し、これらがＶＤＤ電源とグランドＧＮＤとの間に直列に接続されている。即ち、ＰＭＯＳ４３は、ゲートにオン／オフ指令信号ＤＲＶＯＮ－Ｐが入力され、ソースがＶＤＤ電源に接続され、ドレーンがデータ端子Ｄに接続されている。ＮＭＯＳ４４は、第２制御端子（例えば、ゲート）にオン／オフ指令信号ＤＲＶＯＮ－Ｐが入力され、第３端子（例えば、ソース）がグランドＧＮＤに接続され、第４端子（例えば、ドレーン）がデータ端子ＤＡに接続されている。データ端子ＤＡは、発光素子アレイ２００側の共通端子ＩＮに接続されている。

【００４２】

（実施例１の発光サイリスタ）

図６（ａ）～（ｄ）は、図１中の発光サイリスタ２１０を示す構成図である。

【００４３】

図６（ａ）は、発光サイリスタ２１０の回路シンボルを示し、アノードＡ、カソードＫ、及びゲートＧの３つの端子を有している。

【００４４】

図６（ｂ）は、発光サイリスタ２１０の断面構造を示す図である。発光サイリスタ２１０は、例えば、ＧａＡｓウェハ基材を用い、公知のＭＯ－ＣＶＤ（Ｍｅｔａｌ　Ｏｒｇａｎｉｃ－Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法により、ＧａＡｓウェハ基材の上層に所定の結晶をエピタキシャル成長させることで製造される。

【００４５】

即ち、図示しない所定のバッファ層や犠牲層をエピタキシャル成長させた後、ＡｌＧａ

Ａｓ材料にＮ型不純物を含ませたＮ型層２１１と、Ｐ型不純物を含ませ成層したＰ型層２１２と、Ｎ型不純物を含ませたＮ型層２１３とを順に積層させたＮＰＮの３層構造からなるウェハ形成する。次いで、公知のフォトリソグラフィ法を用いて、最上層であるＮ型層２１３の一部に、選択的にＰ型不純物領域２１４を形成する。更に、公知のエッチング法により、図示しない溝部を形成することで、素子分離を行う。又、前記エッチングの過程で、発光サイリスタ２１０の最下層となるＮ型領域２１１の一部を露出させ、この露出領域に金属配線を形成してカソードＫを形成する。これと同時に、Ｐ型領域２１４とＰ型領域２１２にも、それぞれアノードＡとゲートＧが形成される。

【００４６】

図６（ｃ）は、発光サイリスタ２１０の他の形態を示す断面構造図である。この断面構造では、例えば、ＧａＡｓウェハ基材を用い、公知のＭＯ－ＣＶＤ法により、そのＧａＡｓ基材の上層に所定の結晶をエピタキシャル成長させることで製造される。

【００４７】

即ち、図示しない所定のバッファ層や犠牲層をエピタキシャル成長させた後、ＡｌＧａＡｓ材料にＮ型不純物を含ませたＮ型層２１１、Ｐ型不純物を含ませ成層したＰ型層２１２と、Ｎ型不純物を含ませたＮ型層２１３と、Ｐ型不純物を含ませ成層したＰ型層２１５とを順に積層させたＰＮＰＮの４層構造のウェハを形成する。更に、公知のエッチング法を用いて、図示しない溝部を形成することで素子分離を行う。又、前記エッチングの過程で、発光サイリスタ２１０の最下層となるＮ型領域２１１の一部を露出させ、この露出領域に金属配線を形成してカソードＫを形成する。同様に、最上層となるＰ型領域２１５の一部を露出させ、この露出領域に金属配線を形成してアノードＡを形成する。これと同時に、Ｐ型領域２１２にゲートＧが形成される。

【００４８】

図６（ｄ）は、図６（ｂ）、（ｃ）と対比させて描いた発光サイリスタ２１０の等価回路図である。発光サイリスタ２１０は、ＰＮＰトランジスタ（以下「ＰＮＰＴＲ」という。）２２１とＮＰＮトランジスタ（以下「ＮＰＮＴＲ」という。）２２２とからなり、ＰＮＰＴＲ２２１のエミッタが発光サイリスタ２１０のアノードＡに相当し、ＮＰＮＴＲ２２２のベースが発光サイリスタ２１０のゲートＧに相当し、ＮＰＮＴＲ２２２のエミッタが発光サイリスタ２１０のカソードＫに相当している。又、ＰＮＰＴＲ２２１のコレクタは、ＮＰＮＴＲ２２２のベースに接続され、ＰＮＰＴＲ２２１のベースが、ＮＰＮＴＲ２２２のコレクタに接続されている。

【００４９】

なお、図６に示す発光サイリスタ２１０では、ＧａＡｓウェハ基材上にＡｌＧａＡｓ層を構成したものであるが、これに限定されるものではなく、ＧａＰ、ＧａＡｓＰ、ＡｌＧａＩｎＰといった材料を用いるものであっても良く、更には、サファイヤ基板上にＧａＮやＡｌＧａＮ、ＩｎＧａＮといった材料を成膜したものであっても良い。

【００５０】

図６の発光サイリスタ２１０は、例えば、エピタキシャルフィルムボンディング法を用いて、シフトレジスタ１１０を集積したＩＣウェハと接着され、両者の接続端子間がフォトリソグラフィ法を用いて配線される。更に、公知のダイシング法を用いて複数のチップに分離することで、図４に示すように、ＩＣチップ１００及び発光素子アレイ２００からなる複合チップが形成される。

【００５１】

（図１中のＮＭＯＳ）

図７（ａ）～（ｃ）は、図１中のＮＭＯＳ４４を示す構成図である。

【００５２】

図７（ａ）は、ＮＭＯＳ４４の回路シンボルを示し、ドレーンＤ、ゲートＧ、及びソースＳの３つの端子を有している。図７（ｂ）は、ＮＭＯＳ４４のチャネル方向への縦断面を示す断面図であって、製造途中における一段階の断面が示されている。更に、図７（ｃ）は、ＮＭＯＳ４４のチャネル方向への縦断面を示す断面図である。

【００５３】
図７（ｃ）に示すように、ＮＭＯＳ４４は、図１中のＰＭＯＳ４３と共に、例えば、Ｎ型シリコンウェハからなる基板３００に形成されている。基板３００の表面内には図示しないＰＭＯＳ４３が形成され、このＰＭＯＳ４３に対してＮＭＯＳ４４を電気的に分離するために、ＮＭＯＳ形成用のサブストレート領域（例えば、Ｐウェル領域（Ｐｗｅｌｌ））３０１が、基板３００内に形成されている。Ｐウェル領域３０１は、基板３００内にＰ型不純物を島状に拡散して形成される。Ｐウェル領域３０１内には、Ｎ型不純物を拡散してソース領域３０２とドレーン領域３０３とが対向して形成されている。
【００５４】
ソース領域３０２とドレーン領域３０３との間のチャネル形成予定領域３０４上には、図示しないゲート絶縁膜を介して、ポリシリコンからなるゲート部３０５が形成されている。ソース領域３０２とドレーン領域３０３とは、ゲート部３０５をマスクとして、Ｎ型不純物を基板３００中に拡散させることにより形成される。これらのソース領域３０２、ドレーン領域３０３、及びゲート部３０５により、ＮＭＯＳ４４が構成されており、このＮＭＯＳ４４を図示しない他の素子と電気的に分離するために、ソース領域３０２及びドレーン領域３０３の周囲にフィールド酸化膜３０６が形成されている。
【００５５】
ソース領域３０２、ドレーン領域３０３、及びゲート部３０５上のコンタクト領域には、図示しないメタル電極が形成され、ソース領域３０２にソースＳが、ドレーン領域３０３にドレーンＤが、ゲート部３０５にゲートＧが、それぞれ接続されている。全体は、図示しないパッシベーション膜により覆われている。
【００５６】
図７（ｂ）には、ゲート部３０５を形成する前に、チャネル形成予定領域３０４に対して行われる不純物注入工程が示されている。この不純物注入工程では、ＮＭＯＳ４４のチャネル形成予定領域３０４を除き、それ以外の他回路で用いられるＮＭＯＳ等の形成領域がレジスト膜３０７で覆われる。露出したチャネル形成予定領域３０４には、破線矢印にて示すように、サブストレート領域であるＰウェル領域３０１と同極性の不純物（例えば、ホウ素Ｂからなる Ｐ型不純物）が注入される。この不純物注入工程の後に、図７（ｃ）に示すようなゲート部３０５の形成と、このゲート部３０５をマスクとして用いたソース領域３０２及びドレーン領域３０３の形成とが行われる。
【００５７】
本実施例１の不純物注入工程は、以下の理由により行われる。
ＮＭＯＳ４４では、チャネル形成予定領域３０４における浅い領域に、リンＰ等のＮ型不純物を注入しておくことで、反転層であるチャネルの形成を容易にして閾値電圧を下げ、所望のトランジスタ特性に調整することができる。これに対し、本実施例１では、チャネル形成予定領域３０４における浅い領域に、ホウ素Ｂ等のＰ型不純物を注入しておき、反転層であるチャネルが形成し難くすることで、逆に閾値電圧を増加させて後述するトランジスタ特性を調整するようにしている。
【００５８】
（実施例１の印刷制御部及びプリントヘッドの概略動作）
図１において、例えば、印刷制御部４０におけるオン／オフ指令信号ＤＲＶＯＮ－Ｐが低レベル（以下「Ｌレベル」という。）の場合、ＣＭＯＳインバータ４２を構成するＰＭＯＳ４３がオン状態、ＮＭＯＳ４４がオフ状態となり、出力側のデータ端子ＤＡは、高レベル（以下「Ｈレベル」という。）レベル（　電源電圧ＶＤＤ）となる。この結果、プリントヘッド１３側の共通端子ＩＮも略電源電圧ＶＤＤとなり、各発光サイリスタ２１０のアノード・カソード間電圧は略０Ｖとなって、そこに流れる駆動電流Ｉｏｕｔもゼロとなり、発光サイリスタ２１０－１～２１０－ｎが全て非発光状態となる。
【００５９】
これに対し、オン／オフ指令信号ＤＲＶＯＮ－ＰがＨレベルの場合、ＣＭＯＳインバータ４２を構成するＰＭＯＳ４３がオフ状態、ＮＭＯＳ４４がオン状態となって、出力側の

データ端子ＤＡがＬレベル（＝０Ｖ）となる。この結果、プリントヘッド１３側の共通端子ＩＮも０Ｖとなり、各発光サイリスタ２１０のアノードに電源電圧ＶＤＤが印加され、カソードがＬレベル（＝０Ｖ）となって、各発光サイリスタ２１０のアノード・カソード間に電源電圧ＶＤＤが印加される。この際、発光サイリスタ２１０－１～２１０－ｎのうち、発光指令されている発光サイリスタ２１０のゲートのみを選択的にＨレベルとすることで、この発光サイリスタ２１０のゲートにはトリガ電流を生じ、発光指令されているサイリスタ２１０がターンオンすることになる。

【００６０】

ターンオンした発光サイリスタ２１０のカソードに流れる電流は、データ端子ＤＡに流入する電流（即ち、駆動電流Ｉｏｕｔ）であり、発光サイリスタ２１０は発光状態となってその駆動電流Ｉｏｕｔの値に応じた光出力を生じる。

【００６１】

後述するように、ＮＭＯＳ４４は飽和領域で動作するように設計条件が設定され、電子デバイス物理の理論により良く知られているように、この時のドレーン電流１ｄは、次式で与えられる

$$Id = K \cdot (W/L) \cdot (Vgs - Vtn)^2$$

但し、Ｋ；定数

Ｗ；ＮＭＯＳ４４のゲート幅

Ｌ；ＮＭＯＳ４４のゲート長

Ｖｔｎ；ＮＭＯＳ４４の閾値電圧

Ｖｇｓ；ＮＭＯＳ４４のゲート・ソース間電圧（　電源電圧ＶＤＤ）

【００６２】

この式から明らかなように、ＮＭＯＳ４４のドレーン電流１ｄ、即ち、発光サイリスタ２１０の駆動電流Ｉｏｕｔは、閾値電圧Ｖｔｎの電位を調整することで変化させることができる。

【００６３】

その上、ＮＭＯＳ４４のように飽和領域で動作するＭＯＳトランジスタにおいては、その素子サイズを適切に設定することで、ドレーン電位が多少変動したとしても、ドレーン電流値を所定値に保つことが可能である。このような特性はＭＯＳトランジスタの定電流特性として公知であり、良好な特性を得るためには、ＮＭＯＳ４４のゲート長Ｌを大きめに設定することが望ましい。

【００６４】

なお、図１における駆動回路４１においては、データ端子ＤＡをＨレベルとするためにＰＭＯＳ４３を設けているが、ＮＭＯＳ４４をオフ状態にすることで駆動電流Ｉｏｕｔを遮断して発光サイリスタ２１０－１～２１０－ｎをターンオフさせることができるので、発光サイリスタ２１０のスイッチング速度に高速性を要求されないケースにおいては、ＰＭＯＳ４３を省略することも可能である。

【００６５】

（実施例１の印刷制御部及びプリントヘッドの詳細動作）

図８は、図１のプリントヘッド１３及び印刷制御部４０の詳細な動作を示すタイムチャートである。

【００６６】

この図８では、図２の画像形成装置１での印刷動作時における１ライン走査において、図１の発光サイリスタ２１０－１～２１０－ｎ（例えば、ｎ＝８）を順次点灯させる場合の動作波形が示されている。

【００６７】

先ず、画像形成装置１のおける電源投入時の予備動作として、図１のシフトレジスタ１１０のリセット処理が行われる。このリセット処理では、シリアルデータＳＩをＬレベルとしておき、シフトレジスタ１１０の段数（例えば、ｎ＝８）に相当する個数のシリアルクロックＳＣＫのクロックパルスをシフトレジスタ１１０に入力する。これにより、シフ

トレジスタ１１０の全出力端子Ｑ１～Ｑ８がＬレベルとなる。

【００６８】

１ライン分の走査に先立ち、図８の時刻ｔ１において、シリアルデータＳＩがＨレベルに設定される。次いで時刻ｔ２において、シリアルクロックＳＣＫの第１パルスＳＣＫ１が入力される。第１パルスＳＣＫ１が立ち上がると、シリアルデータＳＩはシフトレジスタ１１０内の第１段ＦＦ１１１－１に取り込まれ、これより僅かに遅れて、第１段ＦＦ１１１－１の出力端子Ｑ１がＨレベルへと遷移する。第１パルスＳＣＫ１が立ち上がった後で、時刻ｔ３にてシリアルデータＳＩが再びＬレベルに戻される

【００６９】

第１段ＦＦ１１１－１の出力端子Ｑ１がＨレベルとなることで、発光サイリスタ２１０－１のゲート電位が上昇する。次いで時刻ｔ４にて、オン／オフ指令信号ＤＲＶＯＮ－ＰがＨレベルにされる。これにより、ＣＭＯＳインバータ４２のＮＭＯＳ４４がオン状態になってデータ端子ＤＡがＬレベルになり、発光サイリスタ２１０－１のゲート・カソード間に電位差が生じる。この結果、トリガ電流によって発光サイリスタ２１０－１がターンオンして発光状態となる。

【００７０】

発光サイリスタ２１０－１による発光状態は、主としてアノード・カソード間に流れる電流によるので、一度ターンオンした発光サイリスタ２１０－１をオフさせるためには、アノード・カソード間に印加される電圧をゼロにする必要がある。そのため、時刻ｔ５において、オン／オフ指令信号ＤＲＶＯＮ－ＰがＬレベルにされる。すると、ＣＭＯＳインバータ４２のＰＭＯＳ４３がオン状態になってデータ端子ＤＡがＨレベルとなり、発光サイリスタ２１０－１のアノード・カソード間電圧が略０Ｖになり、この発光サイリスタ２１０－１がオフする。

【００７１】

前述したように、発光サイリスタ２１０－１～２１０－ｎの発光出力は、主としてそのアノード・カソード間に流れる駆動電流Ｉｏｕｔの電流値によるので、図１において駆動源として定電流特性を有する駆動回路４１を用いることで、発光サイリスタ２１０の発光時におけるアノード・カソード間電圧に多少の素子ばらつきを生じていたとしても、その駆動電流Ｉｏｕｔを所定値に保つことができる。

【００７２】

なお、図８では、発光サイリスタ２１０－１を発光させるために、時刻ｔ４でデータ端子ＤＡをＬレベルとし、消灯させるために、時刻ｔ５でデータ端子ＤＡをＨレベルとしているが、発光サイリスタ２１０－１を発光させる必要がない場合には、時刻ｔ４～ｔ５の間もデータ端子ＤＡをＨレベルのままとすれば良い。このように、データ端子ＤＡの論理レベルにより、発光サイリス２１０－１の発光状態／非発光状態を切り替えることができる。

【００７３】

次いで、時刻ｔ６において、シリアルクロックＳＣＫの第２パルスＳＣＫ２が立ち上がる。この時、シリアルデータＳＩはＬレベルとなっているので、これより僅かに遅れて、シフトレジスタ１１０内における第１段ＦＦ１１１－１の出力端子Ｑｌ がＬレベルへと遷移する一方で、第２段ＦＦ１１１－２の出力端子Ｑ２がＨレベルに変化する。時刻ｔ７において、オン／オフ指令信号ＤＲＶＯＮ－ＰがＨレベルにされる。これにより、ＣＭＯＳインバータ４２のＮＭＯＳ４４がオン状態になってデータ端子ＤＡがＬレベルになる。その結果、発光サイリスタ２１０－２のゲート・カソード間に電位差を生じ、これによるトリガ電流によって発光サイリスタ２１０－２がターンオンして発光状態となる。

【００７４】

発光サイリスタ２１０－２による発光状態は、主としてアノード・カソード間に流れる駆動電流Ｉｏｕｔの電流値によるので、一度ターンオンした発光サイリスタ２１０－２をオフさせるためには、アノード・カソード間に印加される電圧を略０Ｖにすることが必要になる。そのため、時刻ｔ８において、オン／オフ指令信号ＤＲＶＯＮ－ＰがＬレベルに

される。これにより、ＣＭＯＳインバータ４２のＰＭＯＳ４３がオン状態になってデータ端子ＤＡがＨレベルになり、発光サイリスタ２１０－２のアノード・カソード間電圧が略０Ｖになって発光サイリスタ２１０－２がオフ状態になる。

【００７５】

このように、シリアルクロックＳＣＫの第１パルスＳＣＫ１、第２パルスＳＣＫ２、第３パルスＳＣＫ３、第４パルスＳＣＫ４、第５パルスＳＣＫ５、第６パルスＳＣＫ６、第７パルスＳＣＫ７、及び第８パルスＳＣＫ８の立ち上が毎に、シフトレジスタ１１０の第１段出力端子Ｑ１、第２段出力端子Ｑ２、第３段出力端子Ｑ３、第４段出力端子Ｑ４、第５段出力端子Ｑ５、第６段出力端子Ｑ６、第７段出力端子Ｑ７、及び第８段出力端子Ｑ８が順に１出力端子Ｑだけがレベルとなり、他の出力端子ＱがＬレベルとなる。このように、シリアルデータＳＩがＬレベルの時、出力端子Ｑ１～Ｑｎに接続される発光サイリスタ２１０－１～２１０－ｎの内、対応する出力端子Ｑ１～ＱｎがＨレベルとなっているものだけが択一的に発光する。

【００７６】

この際、発光サイリスタ２１０－１～２１０－ｎをオンさせるためには、これらの発光サイリスタ２１０－１～２１０－ｎのゲート・カソード間のＰＮ接合部を順方向にバイアスさせる電位差を与え、ゲート電流を供給させるだけで良い。又、発光サイリスタ２１０－１～２１０－ｎをオフ状態のままとするためには、ゲート・カソード間の電位差を順方向電圧以下としておくだけで十分であり、電位差を０Ｖにしたり、逆方向へ電圧を印加することもできる。

【００７７】

更に、図８の発光サイリスタ２１０－１における時刻ｔ４～ｔ５間の駆動時間Ｔ１、発光サイリスタ２１０－２における時刻ｔ７～ｔ８間の駆動時間Ｔ２等は、異なる時間であっても良く、発光サイリスタ２１０－１～２１０－ｎの発光効率にばらつきを生じていたとしても、これを補正して所定の露光エネルギー量が得られるようにするため、駆動時間Ｔ１，Ｔ２等を異なる値に制御することは容易である。

【００７８】

（実施例１の発光サイリスタの動作）

図９（ａ）～（ｄ）は、図６の発光サイリスタ２１０におけるターンオン過程の動作説明図であり、同図（ａ）は発光サイリスタ２１０のシンボルと各端子の電圧、電流の記号を示す図、同図（ｂ）は同図（ａ）の等価回路を示す図、及び同図（ｃ）、（ｄ）は動作波形を示す図である。

【００７９】

図９（ａ）に示す発光サイリスタ２１０において、Ｖａｋはアノード・カソード間電圧、Ｖｇｋはゲート・カソード間電圧、Ｉａはアノード電流、及び、Ｉｇはゲート電流である。

【００８０】

図９（ｂ）において、破線で囲まれた発光サイリスタ２１０の等価回路は、ＰＮＰＴＲ２２１及びＮＰＮＴＲ２２２により構成されている。

【００８１】

例えば、発光サイリスタ２１０のターンオン過程を説明するために、ゲートＧがＨレベルになっている場合を考える。

【００８２】

発光サイリスタ２１０を駆動するために図示しない駆動回路の出力電圧がＬレベルとされ、この時、ゲートはＨレベルとされているので、ゲート電流Ｉｇが発生する。このゲート電流Ｉｇは、発光サイリス２１０のゲート・カソード間のＰＮ接合、即ちＮＰＮＴＲ２２２のエミッタ・ベース間を順方向電流となって流れる。

【００８３】

ゲート電流Ｉｇは、発光サイリスタ２１０の内部にあるＮＰＮＴＲ２２２のベース電流Ｉｂに相当するものである。このベース電流Ｉｂが流れることで、ＮＰＮＴＲ２２２はオ

ン状態への移行を開始して、このＮＰＮＴＲ２２２のコレクタにコレクタ電流Ｉｋを生じる。なお、図示したＩｋはエミッタ電流であるが、ＮＰＮＴＲ２２２のエミッタ電流とコレクタ電流とは略等しい。コレクタ電流Ｉｋは、ＰＮＰＴＲ２２１のベース電流となり、このＰＮＰＴＲ２２１もまたオン状態へと移行させる。これにより生じたコレクタ電流は、ＮＰＮＴＲ２２２のベース電流Ｉｂを増強し、このＮＰＮＴＲ２２２のオン状態への移行を加速させることになる。

【００８４】

一方、ＰＮＰＴＲ２２１が完全にオン状態に移行した後には、そのコレクタ・エミッタ間電圧、即ち、アノード・ゲート間電圧Ｖａｇが低下して、ゲート電位が上昇し、図示しないゲート駆動回路のＨレベル出力電圧ＶｏＨ以上となると、ゲート駆動出力端子側から発光サイリスタ２１０のゲートＧに流れるゲート電流Ｉｇを略ゼロとすることができる。この結果、発光サイリスタ２１０のカソードＫには、アノード電流Ｉａと略等しいカソード電流Ｉｋが流れることになり、発光サイリスタ２１０が完全にオン状態となる。

【００８５】

図９（ｃ）は、発光サイリスタ２１０のターンオン過程を説明する図であって、横軸にカソード電流Ｉｋ、縦軸にアノード・カソード間電圧Ｖａｋを示している。

【００８６】

発光サイリスタ２１０の消灯状態において、カソード電流Ｉｋは略ゼロであり、図９（ｃ）のグラフの原点（０，０）の状態にある。発光サイリスタ２１０のターンオン開始に伴い、カソード駆動が行われると、図９（ｃ）中の矢印で示したようにカソード電位が降下する結果、アノード・カソード間電圧Ｖａｋは上昇してゆき、ピーク点のアノード電圧Ｖｐに到達する。このアノード電圧Ｖｐが印加されることで、ゲート電流Ｉｇ（＝ＮＰＮＴＲ２２２のベース電流Ｉｂ）を生じる。図９（ｃ）において、丸印を付して示すポイント（Ｉｐ，Ｖｐ）は、発光サイリスタ２１０のオフ領域ＡＲ１とオン遷移領域ＡＲ２との境目に相当している。

【００８７】

ポイント（Ｉｐ，Ｖｐ）におけるピーク点のカソード電流Ｉｐから、更にカソード電流Ｉｋが増加するに伴い、アノード・カソード間電圧Ｖａｋが低下していき、丸印を付して示すポイント（Ｉｖ，Ｖｖ）に到達する。このポイント（Ｉｖ，Ｖｖ）は、発光サイリスタ２１０のオン遷移領域ＡＲ２とオン領域ＡＲ３との境目に相当している。ポイント（Ｉｖ，Ｖｖ）の時のゲート電流Ｉｇは、略ゼロにまで低下していて、図示しないゲート駆動回路は、実質的に発光サイリスタ２１０のゲートＧから切り離されたのと等価な状態にある。

【００８８】

ポイント（Ｉｖ，Ｖｖ）から更にカソード電流Ｉｋが増加するに伴い、発光サイリスタ２１０のアノード・カソード間電圧Ｖａｋが再び増加していき、丸印を付して示すポイント（Ｉ１，Ｖｌ）に到達する。このポイント（Ｉ１，Ｖ１）は、発光サイリスタ２１０における発光駆動の最終動作ポイントであり、図１の駆動回路４１から供給される駆動電流Ｉｏｕｔに等しいカソード電流Ｉｋ（＝Ｉ１）により、所定の発光パワーで発光駆動が行われる。

【００８９】

図９（ｄ）は、図９（ｃ）に対応する図であって、横軸にカソード電流Ｉｋ、縦軸にゲート電流Ｉｇを示しており、前記発光サイリスタ２１０のターンオン過程において生じる発光サイリスタ２１０のゲート電流Ｉｇとそのピーク値Ｉｇ１と前記アノード電圧Ｖｐとカソード電流Ｉｐとの関係を示している。

【００９０】

なお、図９（ｃ）に示すオン遷移領域ＡＲ２においては、カソード電流Ｉｋの増加によりアノード・カソード間電圧Ｖａｋが低下する特性を示しており、このオン遷移領域ＡＲ２でアノード・カソード間は負性抵抗を示す。図９（ｃ）において一点鎖線で示すのは、前記負性抵抗領域における特性線の接線であって、この接線の傾きが負性抵抗値に対応し

ており、その負性抵抗値は、発光サイリスタ２１０の製造ばらつきやチップ温度等により変動するが、典型例では数ｋΩに達するものである。

【００９１】

これに対し、従来の駆動回路（図１の駆動回路４１に相当）は、ＰＭＯＳ及びＮＭＯＳからなるＣＭＯＳインバータ（図１のＣＭＯＳインバータ４２に対応）と、このＣＭＯＳインバータの出力側と発光サイリスタのカソード（図１の発光サイリスタ２１０のカソードに相当）との間に接続された電流制限抵抗とにより構成され、その電流制限抵抗の抵抗値の典型例が、例えば２００Ωに設定されている。そのため、従来の駆動回路を用いて図９の特性の発光サイリスタ２１０を駆動する場合を考えると、そのターンオン過程は、図９（ｃ）のグラフの原点（０，０）を出発して図９（ｃ）中の矢印で示す通り、ポイント（Ｉｐ，Ｖｐ）を経由してポイント（Ｉｖ，Ｖｖ）に至り、最終的にポイント（Ｉ１，Ｖ１）で発光駆動が行われることになる。その途中でオン遷移領域ＡＲ２にて示す負性抵抗領域を経由することになるが、前記駆動回路の出力抵抗値（これは前記電流制限抵抗の抵抗値に略等しい）は、発光サイリスタの負性抵抗値よりも小さいため、そのオン遷移領域ＡＲ２で発振してしまうという問題点があった。

【００９２】

このような従来の問題点を解決するために、本実施例１の駆動回路４１では、従来の電流制限抵抗を省略し、ＣＭＯＳインバータ４２におけるＮＭＯＳ４４を図７のような構成にしている。以下、本実施例１におけるＮＭＯＳ４４のトランジスタ特性を説明する。

【００９３】

（実施例１のＮＭＯＳのトランジスタ特性）

図１０（ａ）、（ｂ）は、図７のＮＭＯＳ４４のトランジスタ特性を示す図である。

【００９４】

図１０（ａ）は、ＮＭＯＳ４４のゲート電圧とドレーン電流の関係を示す図であって、横軸はゲート・ソース間電圧Ｖｇｓを示し、縦軸にドレーン電流の平方根をＳＱＲＴ（Ｉｄ）として示している。

【００９５】

図１０（ａ）において、例えば、曲線ＴＣ１はゲート・ソース間電圧Ｖｇｓの増加に対して略直線的に変化しており、この曲線ＴＣ１の接線と横軸との交点が、ＮＭＯＳ４４の閾値電圧Ｖｔ１となっている。なお、曲線ＴＣ１は、図７（ｂ）においてチャネル形成予定領域３０４に対するＰ型不純物の注入量が少ない場合を示している。

【００９６】

これに対し、チャネル形成予定領域３０４に対するＰ型不純物の注入量を増していくと、図１０（ａ）の曲線ＴＣ２のように、閾値電圧Ｖｔ１が大きくなる方向にシフトしていく（この時の閾値電圧はＶｔ２）。更にチャネル形成予定領域３０４に対するＰ型不純物の注入量を増していくと、曲線ＴＣ３のような閾値電圧Ｖｔ３を有する特性が得られる。

【００９７】

図１０（ｂ）は、ＮＭＯＳ４４において、ゲート・ソース間電圧を電源電圧ＶＤＤに略等しくした場合におけるドレーン電圧とドレーン電流の関係を模式的に示す図であって、横軸はドレーン・ソース間電圧Ｖｄｓを示し、縦軸にドレーン電流Ｉｄを示している。

【００９８】

図１０（ｂ）において、曲線ＴＣ１０は図１０（ａ）の曲線ＴＣ１と、曲線ＴＣ２０は図１０（ａ）の曲線ＴＣ２と、曲線ＴＣ３０は図１０（ａ）の曲線ＴＣ３とに対応するものであって、例えば、曲線ＴＣ１０においてはドレーン電流Ｉｄとして大きな値が得られる一方で、ドレーン・ソース間電圧Ｖｄｓが増加するに従いドレーン電流Ｉｄもまた増加する特性となる。曲線ＴＣ２０においては、曲線ＴＣ１０の場合よりもドレーン電流Ｉｄが小さくなるように特性変化している。又、曲線ＴＣ３０においては、曲線ＴＣ２０の場合よりも更にドレーン電流Ｉｄが小さくなってしまうものの、ドレーン・ソース間電圧Ｖｄｓが所定値以上であれば、ドレーン電流Ｉｄが略一定とみなせて駆動電流Ｉｏｕｔとなり、ドレーン・ソース間電圧Ｖｄｓ電圧によらない定電流特性が得られることが判る。

【００９９】
以上の関係を定量的に説明すると、電子デバイス物理の理論により良く知られているように、ＮＭＯＳ４４のドレーン電流Ｉｄは、次式で与えられる。

$$Id = K \cdot (W/L) \cdot (Vgs - Vtn)^2$$

但し、Ｋ；定数
Ｗ；ＮＭＯＳ４４のゲート幅
Ｌ；ＮＭＯＳ４４のゲート長
Ｖｇｓ；ＮＭＯＳ４４のゲート・ソース間電圧
Ｖｔｎ；ＮＭＯＳ４４の閾値電圧

【０１００】
図１及び図７を用いて説明したように、本実施例１の駆動回路４１において、ＮＭＯＳ４４は、チャネル形成予定領域３０４に対するＰ型不純物の注入が行われ、その注入量を適切に調整することで閾値電圧Ｖｔｎを増加させている。

【０１０１】
この時、ＮＭＯＳ４４のゲート・ソース間に印加される電圧のＨレベルは、電源電圧ＶＤＤに略等しく、たかだか３．３Ｖ程度であるため、前記閾値電圧Ｖｔｎの増加によって、オーバドライブ電圧ΔＶ（＝Ｖｇｓ－Ｖｔｎ）は減少していき、ＮＭＯＳ４４は飽和領域で動作するようになる。

【０１０２】
又、前記電源電圧ＶＤＤを前記３．３Ｖから下げて、例えば３．０Ｖや２．７Ｖといった値に設定することは容易であり、電源電圧ＶＤＤを下げることで、ＮＭＯＳ４４を飽和領域で動作させることはいっそう容易になる。

【０１０３】
その上、ＮＭＯＳ４４のゲート幅Ｗとゲート長Ｌの比は、ＮＭＯＳ４４の設計段階で比較的自由に、広範囲に渡って変化させることが可能であり、前述したように前記閾値電圧Ｖｔｎもまた調整することが可能であって、前記ドレーン電流Ｉｄもまた比較的自由に調整することができる。

【０１０４】
更に、ＮＭＯＳ４４においては、そのゲート長Ｌを比較的大きめに設定することで、ドレーン電位が多少変動したとしても、ドレーン電流値を所定値に保つことが可能である。このような特性は、ＭＯＳトランジスタの定電流特性として公知であり、良好な特性を得るためには、前記ゲート長Ｌを大きめに設定することが望ましい。

【０１０５】
前記ＮＭＯＳ４４が定電流動作する場合、その出力抵抗は非常に大きくなり（理想的には無限大）、図９（ｃ）に示す発光サイリスタ２１０の特性曲線に引いた負荷線は略縦線となって、発光サイリスタ２１０の特性曲線とは唯一点でのみ交わることになる。

【０１０６】
このようにすることで、本実施例１の駆動回路４１では、発光サイリスタ２１０の負性抵抗に起因して発振するという従来の問題を解決することができる。

【０１０７】
（実施例１の効果）
本実施例１によれば、次の（１）～（３）のような効果がある。

【０１０８】
（１）　本実施例１の駆動回路４１を有する駆動装置とこれを用いたプリントヘッド１３によれば、駆動回路４１におけるＮＭＯＳ４４にサブストレート領域と同極性の不純物を注入することで、閾値電圧Ｖｔｎを増加させ、飽和領域動作させることでＮＭＯＳ４４による定電流駆動を実現している。そのため、駆動回路４１の出力抵抗値を発光サイリスタ２１０の負性抵抗値よりも大きくすることができ、負性抵抗に起因する発振現象を未然に防止することができる。

【０１０９】

（２）　本実施例１の駆動回路４１の構成においては、従来の駆動回路に設けられているＣＭＯＳインバータ（本実施例１のＣＭＯＳインバータ４２に対応）の出力端子とデータ端子ＤＡとの間の電流制限抵抗を、不要とすることができる。そのため、図３のプリントヘッド１３における図４の基板ユニットを構成するプリント基板１３ｂにおいて、従来設けられていた電流制限抵抗の占有領域を削減することができ、更に、ＣＭＯＳインバータ４２の出力端子と従来の電流制限抵抗との接続配線に要する占有面積も削減することができるので、プリントヘッド１３に用いられるプリント基板１３ｂの小型化を図ることが可能になる。

【０１１０】

（３）　本実施例１の画像形成装置１によれば、プリントヘッド１３を採用しているので、スペース効率及び光取り出し効率に優れた高品質の画像形成装置１を提供することができる。即ち、プリントヘッド１３を用いることにより、本実施例１のフルカラーの画像形成装置１に限らず、モノクロ、マルチカラーの画像形成装置においても効果が得られるが、特に、露光装置としてのプリントヘッド１３を数多く必要とするフルカラーの画像形成装置１において一層大きな効果が得られる。

【実施例２】

【０１１１】

（実施例２の印刷制御部及びプリントヘッド）

図１１は、本発明の実施例２における印刷制御部及びプリントヘッドの概略の回路構成を示すブロック図であり、実施例１を示す図１中の要素と共通の要素には共通の符号が付されている。

【０１１２】

本実施例２の画像形成装置１では、プリントヘッド１３Ａ及び印刷制御部４０Ａの回路構成が、実施例１のプリントヘッド１３及び印刷制御部４０と異なっている。

【０１１３】

本実施例２のプリントヘッド１３Ａは、実施例１のシフトレジスタ１１０とは異なる構成の自己走査型シフトレジスタ１１０Ａと、実施例１と同様の発光素子アレイ２００等とを有している。

【０１１４】

自己走査型シフトレジスタ１１０Ａは、発光素子アレイ２００にトリガ電流を与えてオン／オフ動作させる回路であり、自己走査サイリスタを用いた複数段の回路１２０（＝１２０－１～１２０－ｎ）により構成されている。各段の回路１２０（＝１２０－１～１２０－ｎ、例えばｎ＝４９９２）は、アノードがＶＤＤ電源に接続された自己走査サイリスタ１２１と、カソードが自己走査サイリスタ１２１のゲートに接続されたダイオード１２２と、自己走査サイリスタ１２１のゲート及びグランドＧＮＤ間に接続された抵抗１２３とにより構成されている。奇数段目の各回路１２０－１，１２０－３，・・・，１２０－（ｎ－１）における自己走査サイリスタ１２１は、アノードがＶＤＤ電源に接続され、カソードが抵抗１２４－１の一端に接続され、ゲートが抵抗１２３を介してグランドＧＮＤに接続されると共に、そのゲートがダイオード１２２のカソード・アノードを介して抵抗１２４－２の一端に接続されている。偶数段目の各回路１２０－２，１２０－４，・・・，１２０－ｎにおける自己走査サイリスタ１２１は、アノードがＶＤＤ電源に接続され、カソードが抵抗１２４－２の一端に接続され、ゲートが抵抗１２３を介してグランドＧＮＤに接続されると共に、そのゲートがダイオード１２２のカソード・アノードを介して抵抗１２４－１の一端に接続されている。更に、各段の自己走査サイリスタ１２１のゲートは、自己走査型シフトレジスタ１１０Ａの各出力端子Ｑ１～Ｑｎにそれぞれ接続されている。

【０１１５】

各段の回路１２０－１～１２０－ｎにおける自己走査サイリスタ１２１は、発光素子アレイ２００における発光サイリスタ２１０と同様なレイヤ構造を有し、且つ同様な回路動作を行う素子であるが、発光サイリスタ２１０のような発光機能を必要としないので、上

層がメタル膜等で覆われ、遮光して用いられる。各段の自己走査サイリスタ１２１におけるゲートにカソードが接続されたダイオード１２２は、各段の自己走査サイリスタ１２１のゲート間を接続するものであって、発光サイリスタ２１０－１～２１０－ｎが順次点灯する時の走査方向（例えば、図１１において右方向）を決定するために設けられている。

【０１１６】

印刷制御部４０Ａは、複数の発光素子アレイ２００を時分割に駆動するための実施例１と同様の複数の駆動回路４１と、自己走査型シフトレジスタ１１０Ａに対してクロック信号（以下単に「クロック」という。）を供給するクロック駆動回路４５と、図示しない電源端子やグランド端子等とを有している。図１１においては、図１と同様に、説明を簡略化するために１個の駆動回路４１のみが図示されている。複数の発光素子アレイ２００は、例えば、総数４９９２個の発光サイリスタ２１０－１～２１０－ｎ，・・・を有し、これらの発光サイリスタ２１０－１～２１０－ｎ，・・・が複数の発光サイリスタ２１０－１～２１０－ｎの組にグループ化され、各グループ毎に設けられた駆動回路４１によってそれらが同時並行的に分割駆動が行われる構成になっている。

【０１１７】

印刷制御部４０Ａ側の駆動回路４１及びクロック駆動回路４５等と、プリントヘッド１３側の自己走査型シフトレジスタ１１０Ａとにより、本実施例２の駆動装置が構成されている。

【０１１８】

一例として典型的な設計例を挙げると、実施例１と同様に、発光サイリスタ２１０（＝２１０－１～２１０－ｎ）を１９２個配列してアレイ化した発光素子アレイ２００のチップを図４のプリント基板１３ｂ上に２６個整列する。これにより、プリントヘッド１３Ａに必要な総数４９９２個の発光サイリスタ２１０－１～２１０－ｎ，・・・を構成している。この際、駆動回路４１は前記２６個の発光素子アレイ２００に対応して設けられ、これらの駆動回路４１における出力端子の総数が２６である。これに対し、クロック駆動回路４５は、前記アレイ化したチップを並列に駆動することができ、回路を共用することができる。なお、駆動回路４１やクロック駆動回路４５は、図１１においては印刷制御部４０Ａの内部に配置されているが、プリントヘッド１３Ａの内部に配置しても良い。

【０１１９】

クロック駆動回路４５は、クロックを出力する複数の出力端子ＣＫ１Ｒ，ＣＫ１Ｃ，ＣＫ２Ｒ，ＣＫ２Ｃを有し、これらの出力端子ＣＫ１Ｒ，ＣＫ１Ｃ，ＣＫ２Ｒ，ＣＫ２Ｃが、図示しないスリーステート型バッファに接続されている。スリーステート型バッファは、ＣＭＯＳ出力駆動部を備えた回路であって、Ｈレベル出力状態、Ｌレベル出力状態の他に、他の出力状態であるハイインピーダンス（以下「Ｈｉ－Ｚ」という。）出力状態を有している。

【０１２０】

クロック駆動回路４５の出力端子ＣＫ１Ｒ，ＣＫ１Ｃ，ＣＫ２Ｒ，ＣＫ２Ｃには、抵抗４６－１、コンデンサ４７－１、抵抗４６－２、及びコンデンサ４７－２の一端がそれぞれ接続されている。抵抗４６－１の他端及びコンデンサ４７－１の他端は、クロック端子ＣＫ１に接続され、このクロック端子ＣＫ１が、プリントヘッド１３Ａ側の抵抗１２４－１の他端に接続されている。抵抗４６－２の他端及びコンデンサ４７－２の他端は、クロック端子ＣＫ２に接続され、このクロック端子ＣＫ２が、プリントヘッド１３Ａ側の抵抗１２４－２の他端に接続されている。

【０１２１】

（実施例２の印刷制御部及びプリントヘッドの概略動作）

図１１において、例えば、印刷制御部４０Ａにおけるオン／オフ指令信号ＤＲＶＯＮ－ＰがＬレベルの場合、ＣＭＯＳインバータ４２のＰＭＯＳ４３がオン状態、ＮＭＯＳ４４がオフ状態となり、ＣＭＯＳインバータ４２の出力側のデータ端子ＤＡがＨレベル（　電源電圧ＶＤＤ）となる。

【０１２２】

この結果、プリントヘッド１３Ａ側の共通端子ＩＮも略電源電圧ＶＤＤとなり、各発光サイリスタ２１０のアノード・カソード間電圧は略０Ｖとなって、そこに流れる駆動電流Ｉｏｕｔもゼロとなり、発光サイリスタ２１０－１～２１０－ｎが全て非発光状態となる。

【０１２３】

これに対し、オン／オフ指令信号ＤＲＶＯＮ－ＰがＨレベルの場合、ＣＭＯＳインバータ４２を構成するＰＭＯＳ４３がオフ状態、ＮＭＯＳ４４がオン状態となって、出力側のデータ端子ＤＡがＬレベル（＝０Ｖ）となる。この結果、プリントヘッド１３Ａ側の共通端子ＩＮも０Ｖとなり、各発光サイリスタ２１０のアノードに電源電圧ＶＤＤが印加され、カソードがＬレベル（＝０Ｖ）となって、各発光サイリスタ２１０のアノード・カソード間に電源電圧ＶＤＤが印加される。この際、発光サイリスタ２１０－１～２１０－ｎのうち、発光指令されている発光サイリスタ２１０のゲートのみを選択的にＨレベルとすることで、この発光サイリスタ２１０のゲートにはトリガ電流を生じ、発光指令されているサイリスタ２１０がターンオンすることになる。

【０１２４】

ターンオンした発光サイリスタ２１０のカソードに流れる電流は、データ端子ＤＡに流入する電流（即ち、駆動電流Ｉｏｕｔ）であり、発光サイリスタ２１０は発光状態となってその駆動電流Ｉｏｕｔの値に応じた光出力を生じる。

【０１２５】

なお、図１１における駆動回路４１においては、実施例１と同様に、データ端子ＤＡをＨレベルとするためにＰＭＯＳ４３を設けているが、ＮＭＯＳ４４をオフ状態にすることで駆動電流Ｉｏｕｔを遮断して発光サイリスタ２１０－１～２１０－ｎをターンオフさせることができるので、発光サイリスタ２１０のスイッチング速度に高速性を要求されないケースにおいては、ＰＭＯＳ４３を省略することも可能である。

【０１２６】

（実施例２の印刷制御部及びプリントヘッドの詳細動作）

図１２は、図１１のプリントヘッド１３Ａ及び印刷制御部４０Ａの詳細な動作を示すタイムチャートである。

【０１２７】

この図１２では、実施例１と同様に、図２の画像形成装置１での印刷動作時における１ライン走査において、図１１の発光サイリスタ２１０－１～２１０－ｎ（例えば、ｎ＝８）を順次点灯させる場合の動作波形が示されている。

【０１２８】

本実施例２のように、自己走査サイリスタ１２１を用いた自己走査型シフトレジスタ１０Ａの場合、２つのクロック端子ＣＫ１，ＣＫ２から供給される２相クロックが用いられ、この２相クロックを生成するために、クロック駆動回路４５には、各クロック毎に２種の出力端子ＣＫ１Ｃ，ＣＫ１ＲとＣＫ２Ｃ，ＣＫ２Ｒが設けられている。これらの出力端子ＣＫ１Ｒ、ＣＫ１ＣとＣＫ２Ｒ，ＣＫ２Ｃとは、図示しないスリーステート出力型バッファによって駆動される。即ち、スリーステート型バッファは、ＣＭＯＳ出力駆動部を備えた回路であって、Ｈレベル出力状態、Ｌレベル出力状態の他に、他の出力状態であるＨｉ－Ｚ出力状態を切り替える機能を有している。

【０１２９】

図１２のタイムチャートにおいて、左端部に示す状態においては、出力端子ＣＫ１Ｃ，ＣＫ１Ｒ，ＣＫ２Ｃ，ＣＫ２Ｒの各信号はＨレベルとされる。

【０１３０】

クロック駆動回路４５の出力端子ＣＫ１Ｒ，ＣＫ１Ｃ，ＣＫ２Ｒ，ＣＫ２Ｃの内、出力端子ＣＫ１Ｒ，ＣＫ１Ｃは、抵抗４６－１とコンデンサ４７－１をそれぞれ介してクロック端子ＣＫ１に接続され、出力端子ＣＫ２Ｒ，ＣＫ２Ｃは、抵抗４６－２とコンデンサ４７－２をそれぞれ介してクロック端子ＣＫ２に接続されている。そのため、図１２のタイムチャートの左端部に示す状態においては、クロック端子ＣＫ１，ＣＫ２の各信号は共に

Ｈレベルとなって、第１段、第３段、第５段、第７段回路１２０－１，１２０－３，１２０－５，１２０－７の各自己走査サイリスタ１２１の組と、第２段、第４段、第６段、第８段回路１２０－２，１２０－４，１２０－６，１２０－８の各自己走査サイリスタ１２１の組とのいずれも、そのカソードがＨレベルとされ、オフ状態となっている。

【０１３１】

以下、第１段、第２段、第３段回路１２０－１，１２０－２，１２０－３における各自己走査サイリスタ１２１のターンオン過程（１）～（３）を説明する。

【０１３２】

（１）　第１段回路１２０－１における自己走査サイリスタ１２１のターンオン過程

図１２の時刻ｔ１において、クロック駆動回路４５の出力端子ＣＫｌＲがＬレベルとされる。すると、コンデンサ４７－１には、出力端子ＣＫ１Ｃからコンデンサ４７－１、抵抗４６－１、及び出力端子ＣＫ１Ｒに向かう方向に充電電流を生じ、このコンデンサ４７－１の両端電圧が上昇していく。これに伴い、クロック端子ＣＫ１の電位がａ部のようにグランドＧＮＤ電位へと降下していく。

【０１３３】

時刻ｔ２において、出力端子ＣＫ１ＣがＬレベルとされ、出力端子ＣＫ１Ｒが、図１２の中間電位の横破線で示されたＨｉ－Ｚ状態とされる。時刻ｔ２で前記Ｈｉ－Ｚ状態に遷移したことで、クロック端子ＣＫ１には、図１２のｂ部に示すようなアンダシュート波形を生じる。このアンダシュート波形は、コンデンサ４７－１の充電電圧により生じる。

【０１３４】

図１１のクロック駆動回路４５において、図示しないスリーステート出力型バッファには、寄生ダイオードが生じており、前記アンダシュート波形を生じることで、その寄生ダイオードに電流が流れ、前記ｂ部の負電圧レベルがクランプされる。この結果、ｂ部に示すアンダシュート波形の極小部は、略－０．６Ｖ程度の負電圧にとどまる。その後、コンデンサ４７－１の充電電荷が自己放電して、コンデンサ４７－１の両端電圧が減少していく。そのため、ｂ部に示すアンダシュートは、時間経過と共に解消していく。

【０１３５】

クロック端子ＣＫ１にｂ部のアンダシュートを生じることで、第１段回路１２０－１におけるサイリスタ１２１のアノード・カソード間には比較的大きな電圧が印加される。この時、クロック端子ＣＫ２はＨレベルとなっており、第１段回路１２０－１のダイオード１２２を介して、そのサイリスタ１２１のゲートにトリガ電流が流れ、サイリスタ１２１がターンオンする。このサイリスタ１２１のオン状態は、クロック端子ＣＫ１におけるカソード電位波形がＨレベルとなるまで継続する。

【０１３６】

次の時刻ｔ３において、出力端子ＣＫ１ＣがＨｉ－Ｚ状態とされ、クロック端子ＣＫ１がＬレベルになる。これにより、クロック端子ＣＫ１は、グランドＧＮＤ電位に略等しくなる。

【０１３７】

一方、時刻ｔ４において、発光サイリスタ２１０－１の発光指令のためにオン／オフ指令信号ＤＲＶＯＮ－ＰがＨレベルとされ、ＣＭＯＳインバータ４２の出力側のデータ端子ＤＡがＬレベルに遷移する。この時、第１段回路１２０－１のサイリスタ１２１はオン状態となっていて、カソード・ゲート間には順電圧相当の電位差を生じており、そのサイリスタ１２１のゲート電位がカソード電位よりも上昇する。

【０１３８】

発光サイリスタ２１０－１と第１段回路１２０－１におけるサイリスタ１２１とは、ゲート同士が接続されているので、発光サイリスタ２１０－１のゲートにトリガ電流が流れ、この発光サイリスタ２１０－１がターンオンする。発光サイリスタ２１０－１のオン状態は、時刻ｔ６において、オン／オフ指令信号ＤＲＶＯＮ－ＰがＬレベルとされ、データ端子ＤＡがＨレベルに遷移するまで継続される。

【０１３９】

（２）　第２段回路１２０－２における自己走査サイリスタ１２１のターンオン過程
時刻ｔ５において、出力端子ＣＫ２Ｒがレベルとされる。これにより、コンデンサ４７－２には、出力端子ＣＫ２Ｃからコンデンサ４７－２、抵抗４６－２、及び出力端子ＣＫ２Ｒに向かう方向に充電電流を生じ、コンデンサ４７－２の両端電圧が上昇していく。これに伴い、クロック端子ＣＫ２の電位は、図１２のｃ部に示すように、グランドＧＮＤ電位へと降下していく。

【０１４０】
その後、時刻ｔ７において、出力端子ＣＫ２Ｃがレベルとされ、出力端子ＣＫ２Ｒが、中間電位の横破線で図示されたＨｉ－Ｚ状態とされる。時刻ｔ７で前記状態に遷移したことで、クロック端子ＣＫ２には、図１２のｄ部に示すようなアンダシュート波形を生じる。このアンダシュート波形は、コンデンサ４７－２の充電電圧により生じる。図１１のクロック駆動回路４５において、図示しないスリーステート型バッファには寄生ダイオードが生じており、前記アンダシュート波形を生じることで、前記寄生ダイオードに電流が流れ、前記負電圧レベルがクランプされる。この結果、ｄ部に示すアンダシュート波形の極小部は、略－０．６Ｖ程度の負電圧にとどまる。その後、コンデンサ４７－２の充電電荷が自己放電して、このコンデンサ４７－２の両端電圧が減少していく。これにより、ｄ部に示すアンダシュートは、時間経過と共に解消していく。

【０１４１】
クロック端子ＣＫ２にｄ部のアンダシュートを生じることで、第２段回路１２０－２におけるサイリスタ１２１のアノード・カソード間には、比較的大きな電圧が印加される。この時、クロック端子ＣＫ２はＨレベルとなっており、第１段回路１２０－１のサイリスタ１２１は未だオン状態にあって、そのゲート電位が高くなっている。そのため、第２段回路１２０－２のダイオード１２２を介して、第２段回路１２０－２におけるサイリスタ１２１のゲートにトリガ電流が流れ、そのサイリスタ１２１がターンオンする。第２段回路１２０－２におけるサイリスタ１２１のオン状態は、クロック端子ＣＫ２におけるカソード電位波形がＨレベルとなるまで継続される。

【０１４２】
次に、時刻ｔ８において、出力端子ＣＫ２ＣがＨｉ－Ｚ状態とされ、出力端子ＣＫ２Ｒがレベルとされる。これにより、クロック端子ＣＫ２の電位がグランドＧＮＤ電位に略等しくなる。これと同時に、時刻ｔ８において、出力端子ＣＫ１Ｃ，ＣＩ１Ｒが共にＨレベルとされ、クロック端子ＣＫ１もＨレベルとなる。この結果、第１段回路１２０－１におけるサイリスタ１２１がターンオフする。

【０１４３】
一方、時刻ｔ９において、発光サイリスタ２１０－２の発光指令のためにオン／オフ指令信号ＤＲＶＯＮ－ＰがＨレベルとされ、ＮＭＯＳ４４がオン状態になり、データ端子ＤＡがレベルに遷移する。この時、第２段回路１２０－２におけるサイリスタ１２１はオン状態となっていて、カソード・ゲート間には順電圧相当の電位差を生じており、そのゲート電位がカソード電位よりも上昇している。

【０１４４】
発光サイリスタ２１０－２と第２段回路１２０－２のサイリスタ１２１とは、ゲート同士が接続されているので、発光サイリスタ２１０－２のゲートにトリガ電流が流れて、この発光サイリスタ２１０－２がターンオンする。発光サイリスタ２１０－２のオン状態は、時刻ｔ１１において、オン／オフ指令信号ＤＲＶＯＮ－ＰがレベルとされてＰＭＯＳ４３がオン状態となり、データ端子ＤＡがＨレベルに遷移するまで継続される。

【０１４５】
（３）　第３段回路１２０－３における自己走査サイリスタ１２１のターンオン過程
時刻ｔ１０において、出力端子ＣＫ１ＲがレベルとされるとＣＫ１Ｒ、コンデンサ４７－１には、出力端子ＣＫ１Ｃからコンデンサ４７－１、抵抗４６－１、及び出力端子ＣＫ１Ｒに向かう方向に充電電流を生じ、このコンデンサ４７－１の両端電圧が上昇していく。これに伴い、クロック端子ＣＫ１の電位は、図１２のｅ部のように降下していく。

【０１４６】
次に、時刻ｔ１２において、出力端子ＣＫ１ＣがＬレベルとされ、出力端子ＣＫ１Ｒが、図１２の中間電位の横破線にて図示されるＨｉ－Ｚ状態とされる。時刻ｔ１２で前記状態に遷移したことで、クロック端子ＣＫ１には、図１２のｆ部に示すようなアンダシュート波形を生じる。このアンダシュート波形は、コンデンサ４７－１の充電電圧により生じる。
【０１４７】
図１１のクロック駆動回路４５において、図示しないスリーステート型バッファには、寄生ダイオードが生じており、前記アンダシュート波形を生じることで、その寄生ダイオードに電流が流れ、前記負電圧レベルがクランプされる。この結果、ｆ部に示すアンダシュート波形の極小部は、略－０．６Ｖ程度の負電圧にとどまる。その後、コンデンサ４７－１の充電電荷が自己放電して、このコンデンサ両端電圧が減少していく。これにより、ｆ部に示すアンダシュートは、時間経過と共に解消していく。
【０１４８】
クロック端子ＣＫ１にｆ部のアンダシュートを生じることで、第３段回路１２０－３におけるサイリスタ１２１のアノード・カソード間には、比較的大きな電圧が印加される。この時、クロック端子ＣＫ１はＨレベルとなっており、第２段回路１２０－２のサイリスタ１２１は未だオン状態にあって、そのゲート電位が高くなっている。そのため、第３段回路１２０－３におけるダイオード１２２を介して、第３段回路１２０－３におけるサイリスタ１２１のゲートにトリガ電流が流れ、このサイリスタ１２１がターンオンする。第３段回路１２０－３におけるサイリスタ１２１のオン状態は、クロック端子ＣＫ１におけるそのカソード電位波形がＨレベルとなるまで継続される。
【０１４９】
次に、時刻ｔ１３において、出力端子ＣＫ１ＣがＨｉ－Ｚ状態とされ、出力端子ＣＫ１ＲがＬレベルとされる。そのため、クロック端子ＣＫ１の電位は、グランドＧＮＤ電位に略等しくなる。それと同時に、時刻ｔ１３において、出力端子ＣＫ２Ｃ，ＣＫ２Ｒが共にＨレベルとされ、クロック端子ＣＫ２もＨレベルとなる。この結果、第２段回路１２０－２におけるサイリスタ１２１がターンオフする。
【０１５０】
以上、図１２を参照して詳細に説明したように、クロック端子ＣＫ１，ＣＫ２から供給される２つのクロックは、異なる位相をもって同様の波形が繰り返す形状を有しており、この波形の２つのクロックが、第１段、第３段、第５段、第７段回路１２０－１，１２０－３，１２０－５，１２０－７における各サイリスタ１２１の組と、第２段、第４段、第６段、第８段回路１２０－２，１２０－４，１２０－６，１２０－８における各サイリスタ１２１の組とに順次入力されることで、第１段～第８段回路１２０－１～１２０－８における各サイリスタ１２１が、第１段回路１２０－１から第８段回路１２０－８の方向へ順次オンしていく。
【０１５１】
オン状態にあるサイリスタ１２１のゲート電位は、略Ｈレベルであり、オフ状態にあるサイリスタ１２１のゲート電位は、グランドＧＮＤ電位に略等しいＬレベルである。又、第１段～第８段回路１２０－１～１２０－８における各サイリスタ１２１のゲート電位は、シフトレジスタ１１０Ａにおける各出力端子Ｑ１～Ｑ８の信号となっている。この結果、実施例１の図８において示したのと同様の出力端子Ｑ１～Ｑ８の信号を得ることができ、シフトレジスタ１１０Ａからの点灯指令によって選択される発光サイリスタ２１０－１～２１０－８の順次点灯を行うことが可能となる。
【０１５２】
（実施例２の効果）
本実施例２によれば、実施例１の効果（１）～（３）と同様の効果があり、更に、次の（４）のような効果もある。
【０１５３】

（４）　本実施例２によれば、発光サイリスタ２１０－１～２１０－ｎの順次点灯のための自己走査型シフトレジスタ１１０Ａを、自己走査型サイリスタ１２１を用いて構成しているので、実施例１で備える必要のあったシリコン基材上等に形成されたシフトレジスタ１１０を不要としている。そのため、自己走査型シフトレジスタ１１０Ａと発光素子アレイ２００とをモノリシックに集積することができ、より小型化が可能になる。

【実施例３】

【０１５４】

（実施例３の印刷制御部及びプリントヘッド）

図１３は、本発明の実施例３における印刷制御部及びプリントヘッドの概略の回路構成を示すブロック図であり、実施例１を示す図１中の要素と共通の要素には共通の符号が付されている。

【０１５５】

本実施例３の画像形成装置１では、プリントヘッド１３Ｂ及び印刷制御部４０Ｂの回路構成が、実施例１のプリントヘッド１３及び印刷制御部４０と異なっている。

【０１５６】

本実施例３のプリントヘッド１３Ｂは、実施例１と同様のシフトレジスタ１１０と、実施例１の発光素子アレイ２００とは異なる構成の発光素子アレイ２００Ｂ等とを有している。

【０１５７】

発光素子アレイ２００Ｂは、３端子発光素子である例えば複数のＮゲート型発光サイリスタ２１０Ｂ（＝２１０Ｂ－１～２１０Ｂ－ｎ，・・・）を有し、これらの各発光サイリスタ２１０Ｂの第１端子（例えば、カソード）が第１電源（例えば、グランドＧＮＤ＝０Ｖ）に接続され、第２端子（例えば、アノード）が駆動電流Ｉｏｕｔを流す共通端子ＩＮに接続され、第１制御端子（例えば、ゲート）がシフトレジスタ１１０の各出力端子Ｑ１～Ｑｎに接続されている。各発光サイリスタ２１０Ｂは、アノード・カソード間に電源電圧ＶＤＤが印加された状態で、ゲートにトリガ電流が入力されると、アノード・カソード間がオン状態になってカソードが流れ、発光する素子である。

【０１５８】

印刷制御部４０Ｂは、発光素子アレイ２００Ｂのオン／オフを指令するオン／オフ指令信号ＤＲＶＯＮ－Ｎ（但し、「－Ｎ」は負論理を意味する。）、シフトレジスタ１１０に対する制御信号であるシリアルデータＳＩ及びシリアルクロックＳＣＫをプリントヘッド１３Ｂへ供給する図示しない回路と、複数の発光素子アレイ２００Ｂを時分割に駆動する複数の駆動回路４１Ｂと、第２電源（例えば、電源電圧ＶＤＤ電源）やグランド等とを有している。図１３においては、実施例１と同様に、説明を簡略化するために１個の駆動回路４１Ｂのみが図示されている。複数の発光素子アレイ２００Ｂは、例えば、総数４９９２個の発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎ，・・・を有し、これらの発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎ，・・・が複数の発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎの組にグループ化され、各グループ毎に設けられた駆動回路４１Ｂによってそれらが同時並行的に分割駆動が行われる構成になっている。

【０１５９】

なお、駆動回路４１Ｂは、図１３においては印刷制御部４０の内部に配置されているが、プリントヘッド１３Ｂの内部に配置しても良い。

【０１６０】

駆動回路４１Ｂは、入力されるオン／オフ指令信号ＤＲＶＯＮ－Ｎを反転してデータ端子ＤＡに出力するＣＭＯＳインバータ４２Ｂにより構成されている。ＣＭＯＳインバータ４２Ｂは、本実施例３の特徴である第１導電形ＭＯＳトランジスタ（例えば、ＰＭＯＳ）４３Ｂと、通常の第２導電形ＭＯＳトランジスタ（例えば、ＮＭＯＳ）４４Ｂとを有し、これらがＶＤＤ電源とグランドＧＮＤとの間に直列に接続されている。即ち、ＰＭＯＳ４３Ｂは、第２制御端子（例えば、ゲート）にオン／オフ指令信号ＤＲＶＯＮ－Ｎが入力され、第３端子（例えば、ソース）がＶＤＤ電源に接続され、第４端子（例えば、ドレーン

）がデータ端子ＤＡに接続されている。ＮＭＯＳ４４Ｂは、ゲートにオン／オフ指令信号ＤＲＶＯＮ－Ｎが入力され、ソースがグランドＧＮＤに接続され、ドレーンがデータ端子ＤＡに接続されている。データ端子ＤＡは、発光素子アレイ２００Ｂ側の共通端子ＩＮに接続されている。

【０１６１】

本実施例３の特徴であるＰＭＯＳ４３Ｂは、Ｎ型シリコンウェハからなる基板内、又はその基板中に形成されたサブストレート領域（例えば、Ｎウェル領域）内に形成されるものであって、ソース領域とドレーン領域との間のチャネル形成予定領域に、砒素Ａｓ等のＮ型不純物を注入することで、図示しないその他のＰＭＯＳよりも閾値電圧Ｖｔｐの絶対値を大きくすることができる（通常、ＰＭＯＳの閾値電圧Ｖｔｐは負の値をとるが、明確化のために、その閾値電圧Ｖｔｐの絶対値が大きいと表現する。）。この際、チャネル形成予定領域に注入するＮ型不純物の量を調整することで、ＰＭＯＳ４３Ｂの閾値電圧Ｖｔｐを調整することができる。

【０１６２】

印刷制御部４０Ｂ側の駆動回路４１Ｂ等と、プリントヘッド１３Ｂ側のシフトレジスタ１１０とにより、本実施例３の駆動装置が構成されている。その他の構成は、実施例１と同様である。

【０１６３】

（実施例３の印刷制御部及びプリントヘッドの動作）

図１３において、例えば、印刷制御部４０Ｂにおけるオン／オフ指令信号ＤＲＶＯＮ－ＮがＨレベルの場合、ＣＭＯＳインバータ４２Ｂを構成するＰＭＯＳ４３Ｂがオフ状態、ＮＭＯＳ４４Ｂがオン状態となり、出力側のデータ端子ＤＡは、Ｌレベル（＝グランド電位）となる。この結果、プリントヘッド１３Ｂ側の共通端子ＩＮも略グランド電位となり、各発光サイリスタ２１０Ｂのアノード・カソード間電圧は略０Ｖとなって、そこに流れる駆動電流Ｉｏｕｔもゼロとなり、発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎが全て非発光状態となる。

【０１６４】

これに対し、オン／オフ指令信号ＤＲＶＯＮ－ＮがＬレベルの場合、ＣＭＯＳインバータ４２Ｂを構成するＰＭＯＳ４３Ｂがオン状態、ＮＭＯＳ４４Ｂがオフ状態となって、出力側のデータ端子ＤＡがＨレベル（　電源電圧ＶＤＤ）となる。この結果、プリントヘッド１３Ｂ側の共通端子ＩＮも略電源電圧ＶＤＤとなり、各発光サイリスタ２１０Ｂのアノード・カソード間に略電源電圧ＶＤＤが印加される。この際、発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎのうち、発光指令されている発光サイリスタ２１０Ｂのゲートのみをシフトレジスタ１１０によって選択的にＬレベルとすることで、この発光サイリスタ２１０Ｂのゲートにはトリガ電流を生じ、発光指令されているサイリスタ２１０Ｂがターンオンすることになる。

【０１６５】

ターンオンした発光サイリスタ２１０Ｂのカソードに流れる電流は、データ端子ＤＡに流入する電流（即ち、駆動電流Ｉｏｕｔ）であり、発光サイリスタ２１０Ｂは発光状態となってその駆動電流Ｉｏｕｔの値に応じた光出力を生じる。

【０１６６】

具体的な設計例として、例えば電源電圧ＶＤＤを３．３Ｖとする場合、ＰＭＯＳ４３Ｂがオン状態になる時、そのゲート・ソース間に電圧が印加されることになるが、その電圧値はたかだか３．３Ｖであって、前述した閾値電圧Ｖｔｐを大きくすることで、ＰＭＯＳ４３Ｂを飽和領域で動作させることができる。

【０１６７】

電子デバイス物理の理論により良く知られているように、この時のＰＭＯＳ４３Ｂのドレーン電流Ｉｄは、次式で与えられる。

$$Id = K \cdot (W/L) \cdot (Vgs - Vtp)^2$$

但し、Ｋ；定数

Ｗ；ＰＭＯＳ４３Ｂのゲート幅
Ｌ；ＰＭＯＳ４３Ｂのゲート長
Ｖｔｐ；ＰＭＯＳ４３Ｂの閾値電圧
Ｖｇｓ；ＰＭＯＳ４３Ｂのゲート・ソース間電圧（　電源電圧ＶＤＤ）

【０１６８】
この式から明らかなように、ＰＭＯＳ４３Ｂのドレーン電流Ｉｄ、即ち、発光サイリスタ２１０Ｂの駆動電流Ｉｏｕｔは、閾値電圧Ｖｔｐの電位を調整することで変化させることができる。ＰＭＯＳ４３Ｂの閾値電圧Ｖｔｐは、チャネル形成予定領域に注入するＮ型不純物の量を変えることで調整することができ、ドレーン電流Ｉｄもまた変化させることができる。

【０１６９】
なお、図１３における駆動回路４１Ｂにおいては、データ端子ＤＡをＬレベルとするためにＮＭＯＳ４２Ｂを設けているが、ＰＭＯＳ４３Ｂをオフ状態にすることで駆動電流Ｉｏｕｔを遮断して発光サイリスタ２１０Ｂ－１～２１０Ｂ－ｎをターンオフさせることができるので、発光サイリスタ２１０Ｂのスイッチング速度に高速性を要求されないケースにおいては、ＮＭＯＳ４４Ｂを省略することも可能である。

【０１７０】
（実施例３の効果）
本実施例３によれば、実施例１とほぼ同様の効果がある。又、シフトレジスタ１１０に代えて、実施例２における図１１のクロック駆動回路４５及び自己走査型シフトレジスタ１１０Ａを設ければ、実施例２とほぼ同様の効果が得られる。

【０１７１】
（変形例）
本発明は、上記実施例１～３に限定されず、種々の利用形態や変形が可能である。この利用形態や変形例としては、例えば、次の（Ｉ）、（ＩＩ）のようなものがある。

【０１７２】
（Ｉ）　実施例１～３において、光源として用いられる発光サイリスタ２１０，２１０Ｂに適用した場合について説明したが、本発明は、サイリスタをスイッチング素子として用い、このスイッチング素子に例えば直列に接続された他の素子（例えば、有機エレクトロルミネセンス素子（以下「有機ＥＬ素子」という。）、表示素子等）への電圧印加制御を行う場合にも適用可能である。例えば、有機ＥＬ素子のアレイで構成される有機ＥＬプリントヘッドを備えたプリンタ、表示素子の列を有する表示装置等において利用することができる。

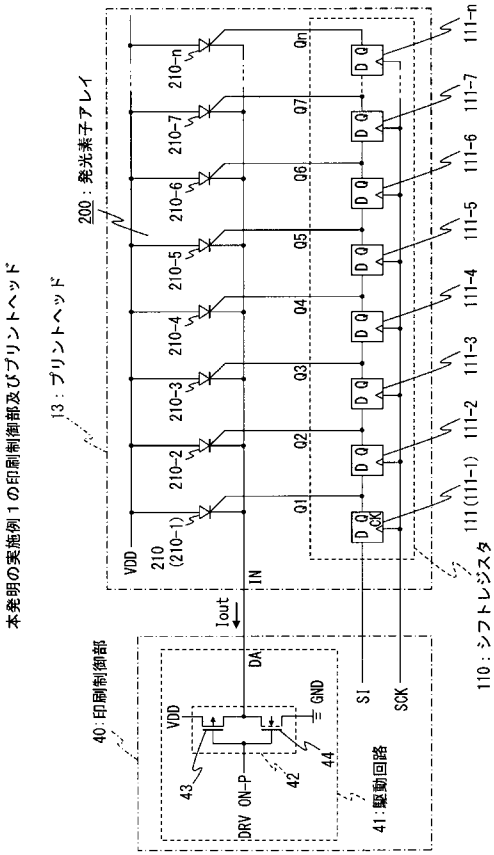
【０１７３】
（ＩＩ）　表示素子（例えば、列状あるいはマトリクス状に配列された表示素子）の駆動（即ち、電圧印加の制御）のためスイッチング素子としても用いられるサイリスタにも適用可能である。又、本発明は、３端子構造を備えたサイリスタの他、第１と第２の２つのゲートを備えた４端子サイリスタＳＣＳ（Ｓｉｌｉｃｏｎ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｃｏｎｔｒｏｌｌｅｄ　Ｓｗｉｔｃｈ）の場合にも適用可能である。

【符号の説明】

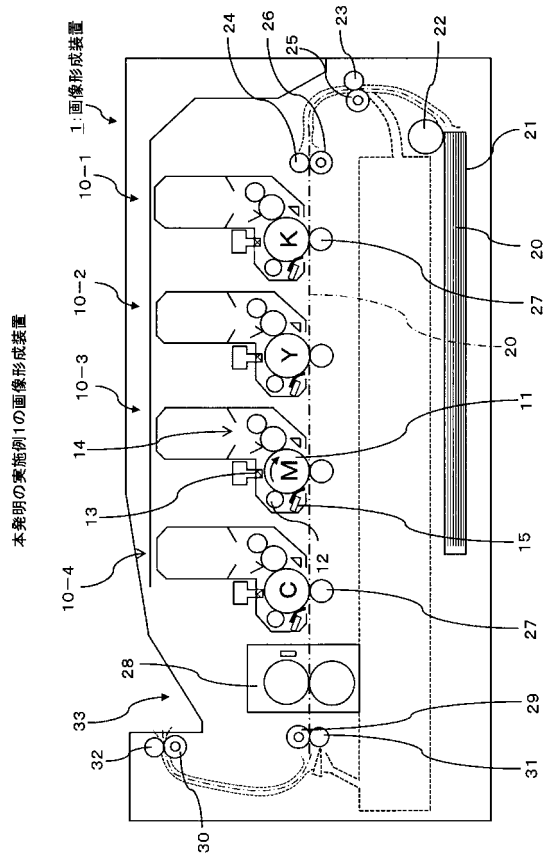
【０１７４】
１　　画像形成装置
１３，１３Ａ，１３Ｂ　　プリントヘッド
４０，４０Ａ，４０Ｂ　　印刷制御部
４１，４１Ｂ　　駆動回路
４３Ｂ　　ＰＭＯＳ
４４　　ＮＭＯＳ
４５　　クロック駆動回路
１１０　　シフトレジスタ
１１０Ａ　　自己走査型シフトレジスタ

１１１，１１１－１～１１１－ｎ　　ＦＦ
１２０，１２０－１～１２０－ｎ　　第１～第ｎ段回路
１２１　　サイリスタ
２００，２００Ｂ　　発光素子アレイ
２１０，２１０Ｂ，２１０－１～２１０－ｎ，２１０Ｂ－１～２１０Ｂ－ｎ　　発光サイリスタ

【図１】



【図２】



【図３】

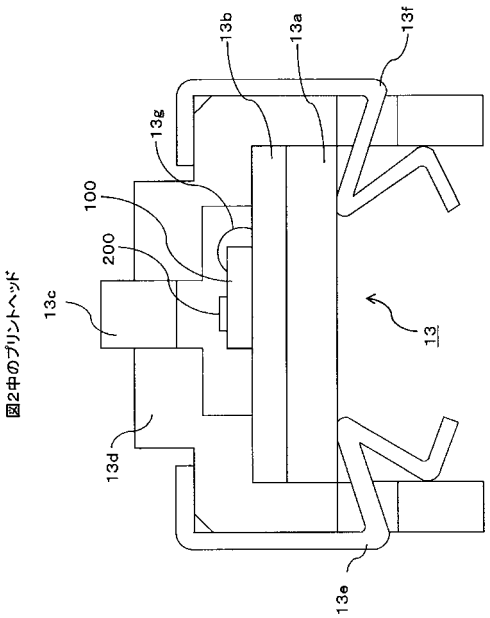


図2中のプリントヘッド

【図４】

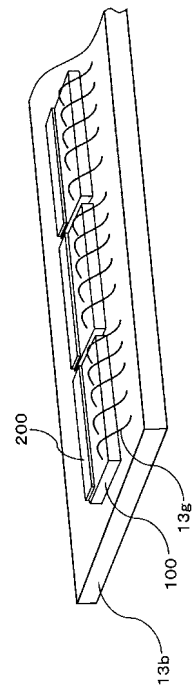


図3中の基板ユニット

【図５】

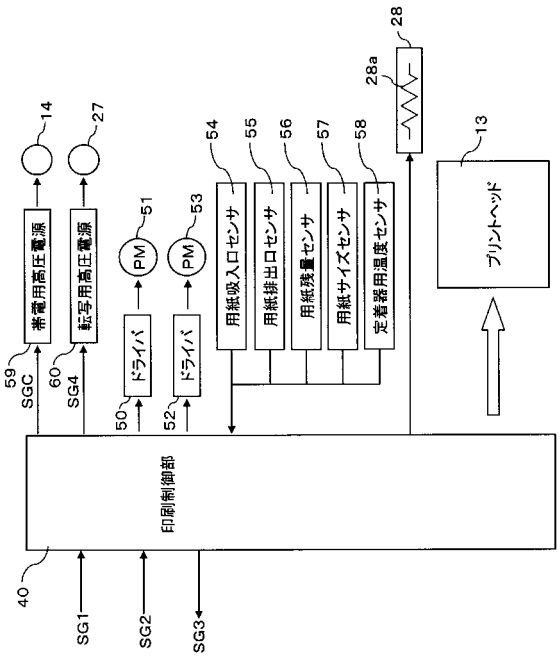
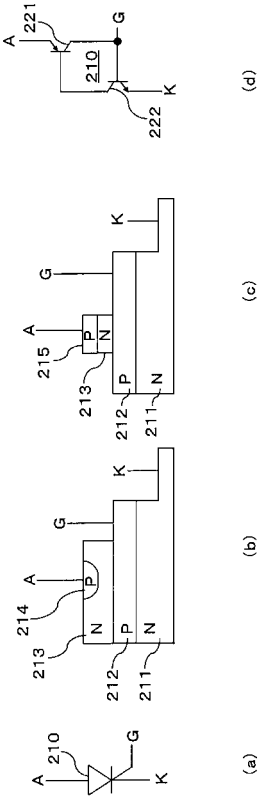


図2の画像形成装置1のプリンタ制御回路

図1中の発光サイリスタ

【図６】



【図７】

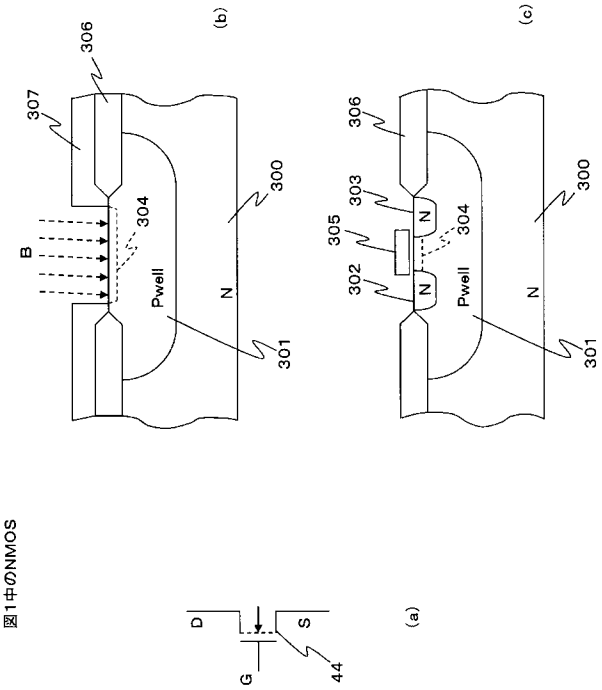


図1中のNMOS

【図８】

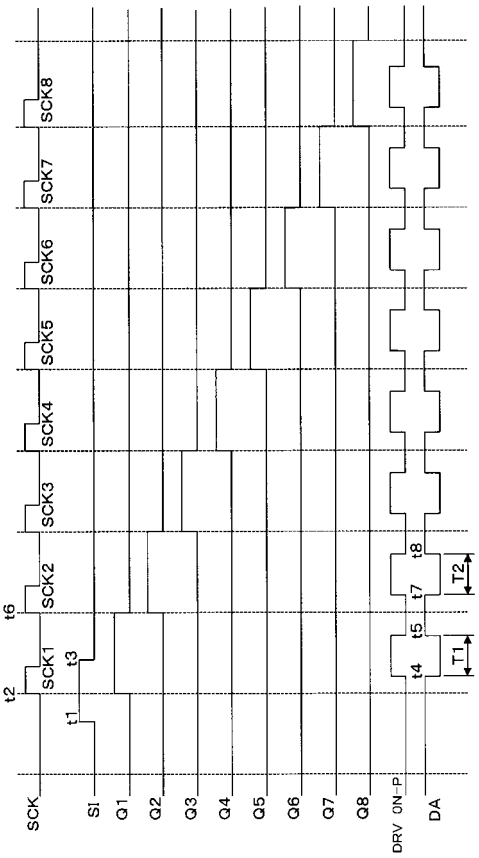
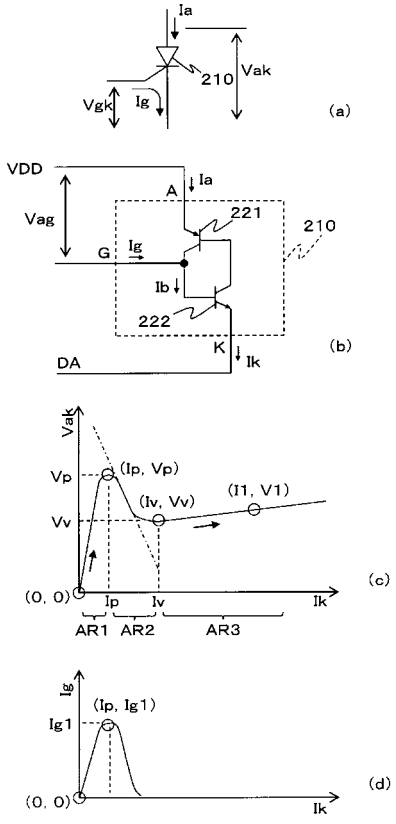


図1の動作を示すタイムチャート

【図９】

図6の発光サイリスタにおけるターンオン過程



【図１０】

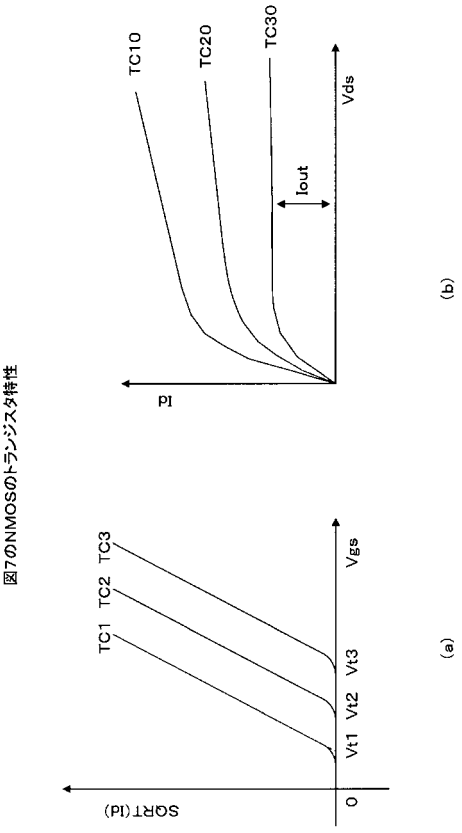
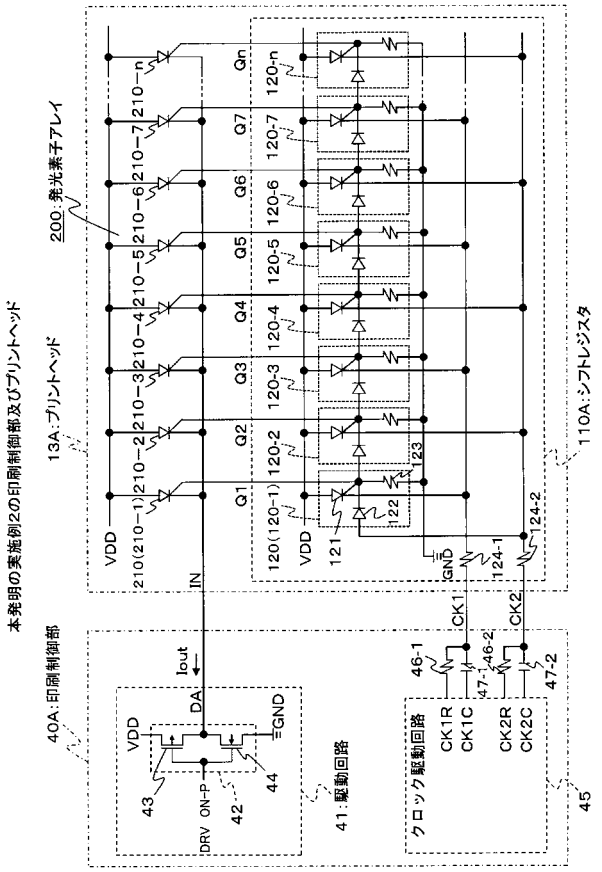


図7のNMOSのトランジスタ特性

【図１１】


本発明の実施例2の印刷制御部及びプリントヘッド
200:発光素子アレイ
13A:プリントヘッド
40A:印刷制御部
110A:シフトレジスタ
41:駆動回路
クロック駆動回路
VDD
GND
IN
Iout
DA
DRV
ON-P
CK1
CK2
CK1R
CK1C
CK2R
CK2C

【図１２】

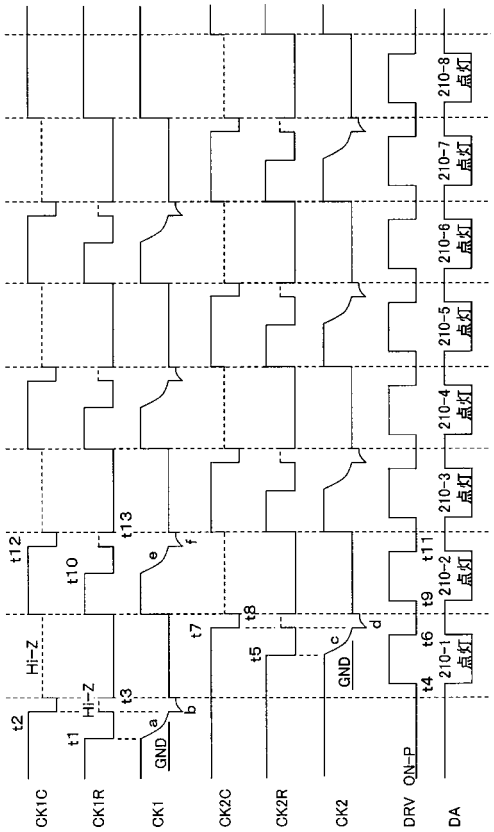
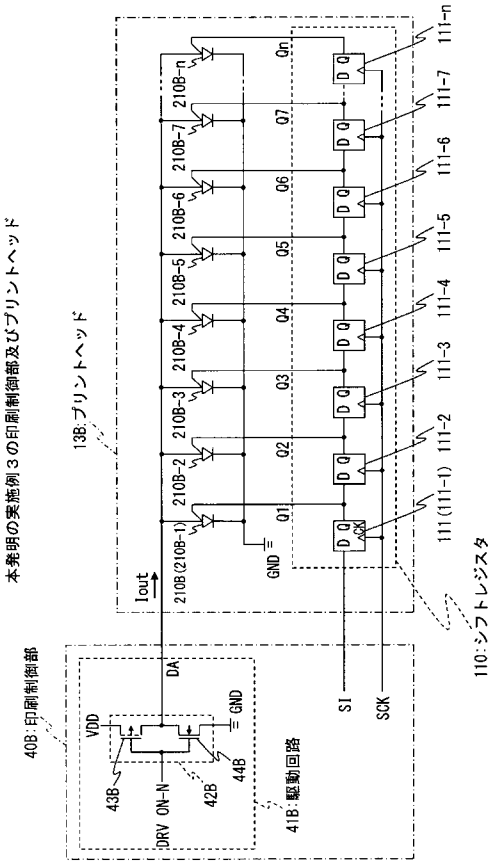


図11の動作を示すタイムチャート
CK1C
CK1R
CK1
CK2C
CK2R
CK2
DRV
ON-P
DA
Hi-Z
GND
点灯

【図１３】


本発明の実施例３の印刷制御部及びプリントヘッド
13B:プリントヘッド
40B:印刷制御部
110:シフトレジスタ
41B:駆動回路
Iout
DA
VDD
GND
DRV
ON-N
SI
SCK

フロントページの続き

(51)Int.Cl. ＦＩ
Ｈ０１Ｌ 29/74 (2006.01)
Ｈ０４Ｎ 1/036 (2006.01)

(72)発明者 南雲 章
東京都八王子市東浅川町５５０番地の１ 株式会社 沖デジタルイメージング内

審査官 山口 陽子

(56)参考文献 特開平０９－２４００５７（ＪＰ，Ａ）
特開平１０－０５０８６０（ＪＰ，Ａ）
特開２００９－２８９８３６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｂ４１Ｊ 2／４４
Ｂ４１Ｊ 2／４５
Ｂ４１Ｊ 2／４５５
Ｈ０１Ｌ ２９／７４
Ｈ０１Ｌ ３３／００
Ｈ０１Ｌ ３３／０８
Ｈ０４Ｎ 1／０３６