



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월07일
(11) 등록번호 10-1209564
(24) 등록일자 2012년12월03일

(51) 국제특허분류(Int. Cl.)
H01L 29/72 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2011-0070194
(22) 출원일자 2011년07월15일
심사청구일자 2011년07월15일
(65) 공개번호 10-2012-0022056
(43) 공개일자 2012년03월09일
(30) 우선권주장
JP-P-2010-191998 2010년08월30일 일본(JP)
(56) 선행기술조사문헌
KR1020060116149 A
JP2001025235 A

(73) 특허권자
미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3
고
(72) 발명자
테라시마 토모히데
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3
고 미쓰비시덴키 가부시키가이샤 나이
(74) 대리인
이화익, 김홍두

전체 청구항 수 : 총 20 항

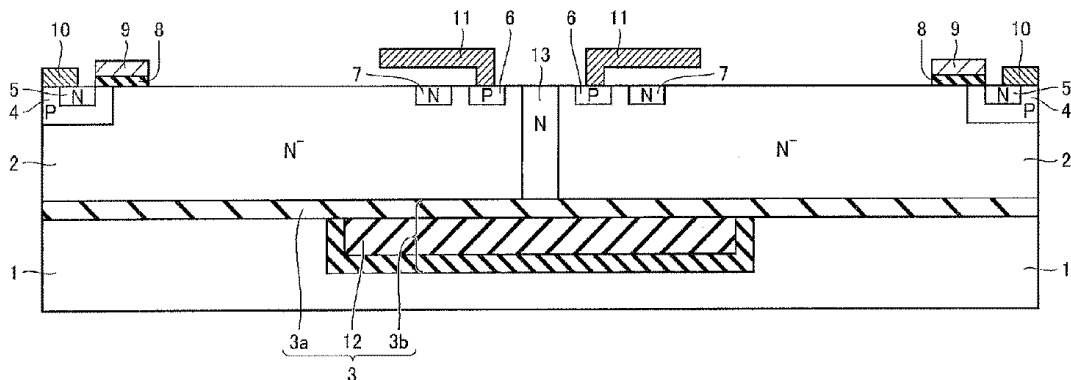
심사관 : 최정민

(54) 발명의 명칭 반도체장치

(57) 요약

반도체 기판(1)의 주표면 위에, 상대적으로 두께가 얇은 부분(3a)과 두꺼운 부분(3b)을 포함하는 유전체 부(3)를 개재시켜 N- 반도체층(2)이 형성되어 있다. N- 반도체층(2)의 소정의 영역에서는, N형 불순물 영역(5)과 P형 불순물 영역(4)이 형성되어 있다. N형 불순물 영역(5)과 N- 반도체층(2)에 의해 끼워진 P형 불순물 영역(4)의 부분의 표면 위에 게이트 전극(9)이 형성되어 있다. P형 불순물 영역(4)으로부터 거리를 둔 N- 반도체층(2)의 소정의 영역에서는, P형 불순물 영역(6)이 형성되어 있다. N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, 공핍층 저지부로서, N- 반도체층(2)의 불순물 농도보다도 높은 불순물 농도를 갖는 N형 불순물 영역(13)이 형성되어 있다.

대표도



특허청구의 범위

청구항 1

주표면을 갖는 반도체 기판과,

상기 반도체 기판의 주표면에 접촉하도록 형성되고, 제1두께 및 상기 제1두께보다도 두꺼운 제2두께를 갖는 유전체부와,

상기 유전체부에 접촉하도록 형성되고, 제1불순물 농도를 갖는 제1도전형의 반도체 영역과,

상기 반도체 영역 중 상기 제1두께를 갖는 상기 유전체부의 부분의 바로 위에 위치하는 제1영역에 있어서, 상기 반도체 영역의 표면으로부터 제1깊이에 걸쳐 형성된 제1도전형의 제1불순물 영역과,

상기 제1영역에 있어서, 상기 제1불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록, 상기 반도체 영역의 표면으로부터 상기 제1깊이보다도 깊은 제2깊이에 걸쳐 형성된 제2도전형의 제2불순물 영역과,

상기 제1불순물 영역과 상기 반도체 영역에 의해 끼워진 상기 제2불순물 영역의 부분의 표면 위에 게이트 절연막을 개재시켜 형성된 게이트 전극부와,

상기 제2불순물 영역으로부터 거리를 둔, 상기 반도체 영역 중 상기 제2두께를 갖는 상기 유전체부의 부분의 바로 위에 위치하는 제2영역에 있어서, 상기 반도체 영역의 표면으로부터 제3깊이에 걸쳐 형성된 제2불순물 농도를 갖는 제2도전형의 제3불순물 영역과,

상기 제2영역에 있어서의 소정의 위치에 있어서, 상기 반도체 영역의 표면으로부터 상기 유전체부에 이르도록 형성된, 도전형 영역을 포함하는 공핍층 저지부를 구비한, 반도체장치.

청구항 2

제 1항에 있어서,

상기 공핍층 저지부는, 상기 제3불순물 영역에 대해 상기 제2불순물 영역이 위치 하는 쪽과 반대측에 배치되는 제1배치, 및, 상기 제2불순물 영역과 상기 제3불순물 영역을 연결하는 방향과 교차하는 한쪽과 다른 쪽으로부터, 상기 제3불순물 영역을 끼우도록 배치되는 제2배치 중 어느 한가지의 배치가 되도록 형성된, 반도체장치.

청구항 3

제 2항에 있어서,

상기 공핍층 저지부는, 상기 제1불순물 농도보다도 높은 제3불순물 농도를 갖는 제1도전형의 제4불순물 영역에 의해 형성된, 반도체장치.

청구항 4

제 2항에 있어서,

상기 공핍층 저지부는, 상기 반도체 영역과는 전기적으로 절연되고, 상기 제3불순물 영역에 전기적으로 접속된 도전체부에 의해 형성된, 반도체장치.

청구항 5

제 2항에 있어서,

상기 공핍층 저지부는, 상기 반도체 영역을 관통해서 상기 반도체 영역의 표면으로부터 상기 유전체부에 이르도록 형성된 절연체부와,

상기 절연체부를 둘러싸는 상기 반도체 영역의 부분에 형성되고, 상기 제1불순물 농도보다도 높은 제3불순물 농도를 갖는 제1도전형의 제4불순물 영역에 의해 형성된, 반도체장치.

청구항 6

제 2항에 있어서,

상기 공핍층 저지부는 제1배치가 되도록 형성되고,

상기 제3불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록, 상기 반도체 영역의 표면으로부터 상기 제3깊이보다도 깊은 제4깊이에 걸쳐 형성된 제1도전형의 제5불순물 영역을 구비한, 반도체장치.

청구항 7

제 2항에 있어서,

상기 공핍층 저지부는 제1배치가 되도록 형성되고,

상기 제2영역에 있어서의, 상기 제3불순물 영역에 대해 상기 제2불순물 영역이 위치하는 측에 있어서, 상기 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성되고, 상기 제3불순물 영역에 전기적으로 접속되고, 상기 제1불순물 농도보다도 높은 제4불순물 농도를 갖는 제1도전형의 제6불순물 영역을 구비한, 반도체장치.

청구항 8

제 2항에 있어서,

상기 공핍층 저지부는 제1배치가 되도록 형성되고,

상기 제2영역에 있어서의, 상기 제3불순물 영역에 대해 상기 제2불순물 영역이 위치하는 쪽과는 반대의 측에 있어서, 상기 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성되고, 상기 제3불순물 영역에 전기적으로 접속되고, 상기 제1불순물 농도보다도 높은 제4불순물 농도를 갖는 제1도전형의 제6불순물 영역을 구비한, 반도체장치.

청구항 9

제 2항에 있어서,

상기 공핍층 저지부는 제1배치가 되도록 형성되고,

상기 제2영역에 있어서, 상기 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성되고, 상기 제3불순물 영역에 전기적으로 접속되고, 상기 제1불순물 농도보다도 높은 제3불순물 농도를 갖는 제1도전형의 복수의 제6불순물 영역을 구비하는 동시에, 상기 제3불순물 영역을 복수 구비하고,

복수의 상기 제3불순물 영역과 복수의 상기 제6불순물 영역은, 상기 제2불순물 영역과 상기 제3불순물 영역을 연결하는 방향과 교차하는 방향으로 교대로 형성된, 반도체장치.

청구항 10

제 7항에 있어서,

상기 제2영역에 있어서, 상기 제3불순물 영역 및 상기 제6불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록 형

성되고, 상기 제2불순물 농도보다도 낮은 제5불순물 농도를 갖는 제2도전형의 제7불순물 영역을 구비한, 반도체 장치.

청구항 11

제 8항에 있어서,

상기 제2영역에 있어서, 상기 제3불순물 영역 및 상기 제6불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록 형성되고, 상기 제2불순물 농도보다도 낮은 제5불순물 농도를 갖는 제2도전형의 제7불순물 영역을 구비한, 반도체 장치.

청구항 12

제 9항에 있어서,

상기 제2영역에 있어서, 상기 제3불순물 영역 및 상기 제6불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록 형성되고, 상기 제2불순물 농도보다도 낮은 제5불순물 농도를 갖는 제2도전형의 제7불순물 영역을 구비한, 반도체 장치.

청구항 13

제 10항에 있어서,

상기 제2영역에 있어서, 상기 제7불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록 형성된 제1도전형의 제8불순물 영역을 구비한, 반도체장치.

청구항 14

제 2항에 있어서,

상기 공핍층 저지부는 제2배치가 되도록 형성되고,

상기 제2영역에 있어서, 상기 제3불순물 영역에 대해 상기 제2불순물 영역이 위치 하는 측에 있어서, 상기 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성되고, 상기 제3불순물 영역에 전기적으로 접속되고, 상기 제1불순물 농도보다도 높은 제4불순물 농도를 갖는 제1도전형의 제6불순물 영역과,

상기 제2영역에 있어서, 상기 제3불순물 영역 및 상기 제6불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록 형성되고, 상기 제2불순물 농도보다도 낮은 제5불순물 농도를 갖는 제2도전형의 제7불순물 영역을 구비한, 반도체 장치.

청구항 15

제 2항에 있어서,

상기 공핍층 저지부는 제2배치가 되도록 형성되고,

상기 제2영역에 있어서, 상기 제3불순물 영역에 대해 상기 제2불순물 영역이 위치 하는 측과는 반대의 측에 있어서, 상기 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성되고, 상기 제3불순물 영역에 전기적으로 접속되고, 상기 제1불순물 농도보다도 높은 제4불순물 농도를 갖는 제1도전형의 제6불순물 영역과,

상기 제2영역에 있어서, 상기 제3불순물 영역 및 상기 제6불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록 형성되고, 상기 제2불순물 농도보다도 낮은 제5불순물 농도를 갖는 제2도전형의 제7불순물 영역을 구비한, 반도체 장치.

청구항 16

주표면을 갖는 반도체 기관과,

상기 반도체 기관의 주표면에 접촉하도록 형성되고, 제1두께 및 상기 제1두께보다도 두꺼운 제2두께를 갖는 유전체부와,

상기 유전체부에 접촉하도록 형성되고, 제1불순물 농도를 갖는 제1도전형의 반도체 영역과,

상기 반도체 영역 중 상기 제1두께를 갖는 상기 유전체부의 부분의 바로 위에 위치하는 제1영역에 있어서, 상기 반도체 영역의 표면으로부터 제1깊이에 걸쳐 형성된 제2불순물 농도를 갖는 제2도전형의 제1불순물 영역과,

상기 반도체 영역 중 상기 제2두께를 갖는 상기 유전체부의 부분의 바로 위에 위치하는 제2영역을 향해 상기 제1불순물 영역으로부터 연장되고, 상기 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성되고, 상기 제2불순물 농도보다도 낮은 제3불순물 농도를 갖는 제2도전형의 제2불순물 영역과,

상기 제2불순물 영역으로부터 거리를 두고, 상기 제2영역에 있어서 상기 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성된 제2도전형의 제3불순물 영역과,

상기 제2불순물 영역과 상기 제3불순물 영역에 의해 끼워진 상기 반도체 영역의 부분의 표면 위에 게이트 절연막을 개재시켜 형성된 게이트 전극부와,

상기 제2영역에 있어서 소정의 위치에 있어서, 상기 반도체 영역의 표면으로부터 상기 유전체부에 이르도록 형성된, 도전형 영역을 포함하는 공핍층 저지부를 구비한, 반도체장치.

청구항 17

제 16항에 있어서,

상기 공핍층 저지부는, 상기 제3불순물 영역에 대해 상기 제2불순물 영역이 위치 하는 측과 반대측에 배치되는 제1배치, 및, 상기 제2불순물 영역과 상기 제3불순물 영역을 연결하는 방향과 교차하는 한쪽과 다른 쪽으로부터, 상기 제3불순물 영역을 끼우도록 배치되는 제2배치의 어느 한가지의 배치가 되도록 형성된, 반도체장치.

청구항 18

제 17항에 있어서,

상기 공핍층 저지부는, 상기 제1불순물 농도보다도 높은 제4불순물 농도를 갖는 제1도전형의 제4불순물 영역에 의해 형성된, 반도체장치.

청구항 19

제 17항에 있어서,

상기 공핍층 저지부는, 상기 반도체 영역과는 전기적으로 절연되고, 상기 제3불순물 영역에 전기적으로 접속된 도전체부에 의해 형성된, 반도체장치.

청구항 20

제 17항에 있어서,

상기 공핍층 저지부는, 상기 반도체 영역을 관통해서 상기 반도체 영역의 표면으로부터 기 유전체부에 이르도록

형성된 절연체부와,

상기 절연체부를 둘러싸는 상기 반도체 영역의 부분에 형성되고, 상기 제1불순물 농도보다도 높은 제4불순물 농도를 갖는 제1도전형의 제4불순물 영역에 의해 형성된, 반도체장치.

명세서

기술분야

[0001] 본 발명은 반도체장치에 관한 것으로서, 특히, 주로 인버터 회로 등에 적용되는 반도체장치에 관한 것이다.

배경기술

[0002] 유도전동기 등의 부하를 동작시키기 위해, 직류전압을 교류전압으로 변환하는 인버터 회로가 이용되고 있다. 인버터 회로에는, 스위칭 소자로서 게이트 절연형 바이폴라 트랜지스터(IGBT: Insulated Gate Bipolar Transistor)가 적용되고 있다.

[0003] 이러한 종류의 반도체 장치에서는, SOI(Silicon On Insulator) 기판이 적용되고 있다. SOI 기판에서는, 반도체 기판의 주표면 위에 절연막을 개재시켜 N- 반도체층이 형성되어 있다. N- 반도체층에는, 그것의 표면으로부터 소정의 깊이에 걸쳐 제1 N형 불순물 영역이 형성되어 있다. 그 제1 N형 불순물 영역을 옆쪽과 아래쪽에서 둘러싸도록, 제1 P형 불순물 영역이 형성되어 있다. 제1 N형 불순물 영역과 N-반도체층에 의해 끼워진 제1 P형 불순물 영역의 부분의 표면 위에 게이트 절연막을 개재시켜 게이트 전극이 형성되어 있다. 또한, 제1 P형 불순물 영역의 표면과 제1 N형 불순물 영역의 표면에 접촉하도록, 에미터 전극이 형성되어 있다.

[0004] 제1 P형 불순물 영역과 거리를 둔 N-반도체층의 소정의 영역에는, 그것의 표면으로부터 소정의 깊이에 걸쳐 제2 P형 불순물 영역이 형성되어 있다. 제2 P형 불순물 영역의 표면에 접촉하도록 콜렉터 전극이 형성되어 있다. 제2 P형 불순물 영역에 대하여 제1 P형 불순물 영역이 위치하는 측에 소정의 거리를 둔 소정의 N- 반도체층의 소정의 영역에는, 그 표면으로부터 소정의 깊이에 걸쳐, 공핍층의 스톱퍼로서의 제2 N형 불순물 영역이 형성되어 있다. 에미터 전극, 콜렉터 전극 및 게이트 전극에 의해, IGBT의 각 전극이 구성된다.

[0005] 반도체장치가 오프인 상태에서는, 제1 P형 불순물 영역과 N- 반도체층의 계면으로부터 주로 N- 반도체층을 향해 공핍층이 퍼진다. 이때, N- 반도체층의 불순물 농도와 두께를 조정함으로써, N- 반도체층의 전체를 공핍화시킬 수 있으며, N- 반도체층의 표면에 있어서의 전계가 대충 균일하게 되는 상태에 있어서 최대의 내압이 얻어진다.

[0006] 이 상태를 기초로, 에미터(전극)와 콜렉터(전극)의 거리(간격)를 넓혀 가면, 최종적으로는 콜렉터(전극) 바로 아래의 N- 반도체층의 부분에 있어서의 전계의 집중에 의해 전체의 내압이 제한되게 된다. 전술한 IGBT의 경우, 내압은, 공핍층의 끝이 제2 P형 불순물 영역에 접촉하는 펀치스루 현상으로 의해 결정되거나, 또는, 제2 P형 불순물 영역, N- 반도체층 및 제1 P형 불순물 영역으로 구성되는 기생의 PNP 트랜지스터의 리크 전류로 인해 결정되게 된다.

[0007] 종래, 반도체장치의 내압을 상승시키기 위해, 상기한 것과 같이, 공핍층의 스톱퍼로서의 제2 N형 불순물 영역을 설치하는 방법이 일반적으로 채용되고 있다. 또한, 콜렉터 전극을 에미터측을 향해 연장시키는 방법도 채용되고 있다.

[0008] 한편, 발명자는, 일본국 특개평 06-188438호 공보에 있어서, 반도체 기판과 N- 반도체층과의 사이에 소정의 두께를 갖는 유전체부를 설치한 반도체장치를 제안하였다. 이 반도체 장치에서는, 콜렉터 전극의 바로 아래에 위치하는 유전체부의 두께가, 그 이외의 영역에 위치하는 유전체부의 두께보다도 두껍게 형성된다. 반도체 기판, 유전체부 및 N- 반도체층의 구조(적층 구조)에서는, 전계강도는 각 유전율의 비교 역수가 된다. 이 때문에, 두께가 보다 두꺼운 유전체부를 설치함으로써, 그 유전체부에 있어서의 전압 강하를 보다 크게 할 수 있고, 그 만큼, 공핍층이 퍼지려고 하는, 콜렉터(전극) 바로 아래의 N- 반도체층의 부분에 있어서의 전압 강하를 작게 할 수 있다. 그 결과, 반도체장치 전체의 내압 마진이 상승하여, 반도체장치의 내압특성을 향상시킬 수 있다.

[0009] 상기한 것과 같이, 종래의 반도체 장치에서는, 내압특성을 향상시키기 위해 다양한 제안이 행해지고 있

다. 반도체장치로서는, IGBT 이외에, IGBT를 스위칭 동작시키는 신호를 발생하는 소자로서 적용되고 있는 p채널형의 MOS(Metal Oxide Semiconductor) 트랜지스터(PMOS)에 대해서도, 내압특성의 향상이 요구되고 있다.

발명의 내용

해결하려는 과제

[0010] 본 반도체장치는, 전술한 개발의 일환으로 이루어진 것으로서, 그 목적은, 한층 더의 내압특성의 향상이 도모되는 반도체장치를 제공하는 것이다.

과제의 해결 수단

[0011] 본 발명에 따른 반도체장치는, 주표면을 갖는 반도체 기판과, 유전체부와, 제1불순물 농도를 갖는 제1도전형의 반도체 영역과, 제1도전형의 제1불순물 영역과, 제2도전형의 제2불순물 영역과, 게이트 전극부와, 제2불순물 농도를 갖는 제2도전형의 제3불순물 영역과, 도전성 영역을 포함하는 공핍층 저지부를 구비하고 있다. 유전체부는, 반도체 기판의 주표면에 접촉하도록 형성되고, 제1두께 및 제1두께보다도 두꺼운 제2두께를 갖는다. 제1불순물 농도를 갖는 제1도전형의 반도체 영역은, 유전체부에 접촉하도록 형성되어 있다. 제1도전형의 제1불순물 영역은, 반도체 영역 중 제1두께를 갖는 유전체부의 부분의 바로 위에 위치하는 제1영역에 있어서, 반도체 영역의 표면으로부터 제1깊이에 걸쳐 형성되어 있다. 제2도전형의 제2불순물 영역은, 제1영역에 있어서, 제1불순물 영역을 옆쪽과 아래쪽으로부터 둘러싸도록, 반도체 영역의 표면으로부터 제1깊이보다도 깊은 제2깊이에 걸쳐 형성되어 있다. 게이트 전극부는, 제1불순물 영역과 반도체 영역에 의해 끼워진 제2불순물 영역의 부분의 표면 위에 게이트 절연막을 개재시켜 형성되어 있다. 제2불순물 농도를 갖는 제2도전형의 제3불순물 영역은, 제2불순물 영역으로부터 거리를 둔, 반도체 영역 중 제2두께를 갖는 유전체부의 부분의 바로 위에 위치하는 제2영역에 있어서, 반도체 영역의 표면으로부터 제3깊이에 걸쳐 형성되어 있다. 도전성 영역을 포함하는 공핍층 저지부는, 제2영역에 있어서의 소정의 위치에 있어서, 반도체 영역의 표면으로부터 유전체부에 이르도록 형성되어 있다.

[0012] 본 발명에 따른 다른 반도체장치는, 주표면을 갖는 반도체 기판과, 유전체부와, 제1불순물 농도를 갖는 제1도전형의 반도체 영역과, 제2불순물 농도를 갖는 제2도전형의 제1불순물 영역과, 제3불순물 농도를 갖는 제2도전형의 제2불순물 영역과, 제2도전형의 제3불순물 영역과, 게이트 전극부와, 도전성 영역을 포함하는 공핍층 저지부를 구비하고 있다. 유전체부는, 반도체 기판의 주표면에 접촉하도록 형성되고, 제1두께 및 제1두께보다도 두꺼운 제2두께를 갖는다. 제1불순물 농도를 갖는 제1도전형의 반도체 영역은, 유전체부에 접촉하도록 형성되어 있다. 제2불순물 농도를 갖는 제2도전형의 제1불순물 영역은, 반도체 영역 중 제1두께를 갖는 유전체부의 부분의 바로 위에 위치하는 제1영역에 있어서, 반도체 영역의 표면으로부터 제1깊이에 걸쳐 형성되어 있다. 제3불순물 농도를 갖는 제2도전형의 제2불순물 영역은, 반도체 영역 중 제2두께를 갖는 유전체부의 부분의 바로 위에 위치하는 제2영역을 향해 제1불순물 영역으로부터 연장되어, 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 제2도전형의 제3불순물 영역은, 제2불순물 영역으로부터 거리를 두고, 제2영역에 있어서 반도체 영역의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 게이트 전극부는, 제2불순물 영역과 제3불순물 영역에 의해 끼워진 반도체 영역의 부분의 표면 위에 게이트 절연막을 개재시켜 형성되어 있다. 도전성 영역을 포함하는 공핍층 저지부는, 제2영역에 있어서의 소정의 위치에 있어서, 반도체 영역의 표면으로부터 유전체부에 이르도록 형성되어 있다.

발명의 효과

[0013] 본 발명에 따른 반도체장치에 따르면, 제2영역에 있어서의 소정의 위치에 있어서, 반도체 영역의 표면으로부터 유전체부에 이르도록 도전성 영역을 포함하는 공핍층 저지부가 형성되어 있다. 이에 따라, 오프 상태에 있어서, 제2불순물 영역과 반도체 영역의 계면으로부터 반도체 영역으로 향해 퍼지는 공핍층이 제3불순물 영역에까지 퍼지는 것을, 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 더욱 더 향상시킬 수 있다.

[0014] 본 발명에 따른 다른 반도체장치에 따르면, 제2영역에 있어서의 소정의 위치에 있어서, 반도체 영역의 표면으로부터 유전체부에 이르도록 도전성 영역을 포함하는 공핍층 저지부가 형성되어 있다. 이에 따라, 오프 상태에 있어서, 제1불순물 영역과 반도체 영역의 계면으로부터 반도체 영역을 향해 퍼지는 공핍층이 제3불순물 영역에까지 퍼지는 것을, 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0015] 본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부도면과 관련되어 이해되는 본 발명에 관한 다음의 상세한 설명으로부터 명확해질 것이다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 각 실시형태에 관한 반도체장치가 적용되는 인버터 회로를 도시한 도면이다.

도 2는 본 발명의 실시형태 1에 관한 반도체장치를 나타낸 부분 평면도다.

도 3은 동 실시형태에 있어서, 도 2에 나타낸 단면선 III-III에 있어서의 단면도다.

도 4는 동 실시형태에 있어서, 반도체장치의 온 동작을 설명하기 위한 단면도다.

도 5는 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서의 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 6은 비교예에 관한 반도체장치를 나타낸 부분 단면도다.

도 7은 비교예에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 부분 단면도다.

도 8은 동 실시형태에 있어서, 내압을 설명하기 위한 전계강도와 N- 반도체층의 표면으로부터의 깊이의 관계를 나타낸 그래프다.

도 9는 동 실시형태에 있어서, 변형예에 관한 반도체장치를 나타낸 부분 평면도다.

도 10은 본 발명의 실시형태 2에 관한 반도체장치를 나타낸 부분 단면도다.

도 11은 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 12는 본 발명의 실시형태 3에 관한 반도체장치를 나타낸 부분 단면도다.

도 13은 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 14는 본 발명의 실시형태 4에 관한 반도체장치를 나타낸 부분 단면도다.

도 15는 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 16은 본 발명의 실시형태 5에 관한 반도체장치를 나타낸 부분 단면도다.

도 17은 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 18은 동 실시형태에 있어서, 변형예 1에 관한 반도체장치를 나타낸 부분 단면도다.

도 19는 동 실시형태에 있어서, 변형예 1에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 20은 동 실시형태에 있어서, 변형예 2에 관한 반도체장치를 나타낸 부분 평면도다.

도 21은 동 실시형태에 있어서, 도 20에 나타낸 단면선 XXI-XXI에 있어서의 단면도다.

도 22는 동 실시형태에 있어서, 도 20에 나타낸 단면선 XXII-XXII에 있어서의 단면도다.

도 23은 동 실시형태에 있어서, 변형예 2에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 24는 동 실시형태에 있어서, 변형예 2에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

도 25는 본 발명의 실시형태 6에 관한 반도체장치를 나타낸 부분 단면도다.

도 26은 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 27은 동 실시형태에 있어서, 변형예 1에 관한 반도체장치를 나타낸 부분 단면도다.

도 28은 동 실시형태에 있어서, 변형예 1에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 29는 동 실시형태에 있어서, 변형예 2에 관한 반도체장치를 나타낸 부분 단면도다.

도 30은 동 실시형태에 있어서, 변형예 2에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 31은 동 실시형태에 있어서, 변형예 3에 관한 반도체장치를 나타낸 부분 평면도다.

도 32는 동 실시형태에 있어서, 변형예 3에 관한 반도체장치를 나타낸 부분 확대 평면도다.

도 33은 동 실시형태에 있어서, 도 32에 나타낸 단면선 XXXIII-XXXIII에 있어서의 부분 단면도다.

도 34는 동 실시형태에 있어서, 도 32에 나타낸 단면선 XXXIV-XXXIV에 있어서의 부분 단면도다.

도 35는 동 실시형태에 있어서, 변형예 3에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 36은 동 실시형태에 있어서, 변형예 3에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

도 37은 본 발명의 실시형태 7에 관한 반도체장치를 나타낸 부분 평면도다.

도 38은 동 실시형태에 있어서, 도 37에 나타낸 단면선 XXXVIII-XXXVIII에 있어서의 단면도다.

도 39는 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 40은 비교예에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 부분 단면도다.

도 41은 동 실시형태에 있어서, 변형예 1에 관한 반도체장치를 나타낸 부분 단면도다.

도 42는 동 실시형태에 있어서, 변형예 1에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 43은 동 실시형태에 있어서, 변형예 2에 관한 반도체장치를 나타낸 부분 단면도다.

도 44는 동 실시형태에 있어서, 변형예 2에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 단면도다.

도 45는 본 발명의 실시형태 8에 관한 반도체장치를 나타낸 부분 평면도다.

도 46은 동 실시형태에 있어서, 반도체장치를 나타낸 부분 확대 평면도다.

도 47은 동 실시형태에 있어서, 도 46에 나타낸 단면선 XLVII-XLVII에 있어서의 부분 단면도다.

도 48은 동 실시형태에 있어서, 도 46에 나타낸 단면선 XLVIII-XLVIII에 있어서의 부분 단면도다.

도 49는 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 50은 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

도 51은 동 실시형태에 있어서, 변형예 1에 관한 반도체장치를 나타낸 부분 확대 평면도다.

도 52는 동 실시형태에 있어서, 도 51에 나타낸 단면선 LII-LII에 있어서의 부분 단면도다.

도 53은 동 실시형태에 있어서, 도 51에 나타낸 단면선 LIII-LIII에 있어서의 부분 단면도다.

도 54는 동 실시형태에 있어서, 변형예 1에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 55는 동 실시형태에 있어서, 변형예 1에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

도 56은 동 실시형태에 있어서, 변형예 2에 관한 반도체장치를 나타낸 부분 확대 평면도다.

도 57은 동 실시형태에 있어서, 도 56에 나타낸 단면선 LVII-LVII에 있어서의 부분 단면도다.

도 58은 동 실시형태에 있어서, 도 56에 나타낸 단면선 LVIII-LVIII에 있어서의 부분 단면도다.

도 59는 동 실시형태에 있어서, 변형예 2에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 60은 동 실시형태에 있어서, 변형예 2에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

도 61은 본 발명의 실시형태 9에 관한 반도체장치를 나타낸 부분 확대 평면도다.

도 62는 동 실시형태에 있어서, 도 61에 나타낸 단면선 LXII-LXII에 있어서의 부분 단면도다.

도 63은 동 실시형태에 있어서, 도 61에 나타낸 단면선 LXIII-LXIII에 있어서의 부분 단면도다.

도 64는 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 65는 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

도 66은 본 발명의 실시형태 10에 관한 반도체장치를 나타낸 부분 확대 평면도다.

도 67은 동 실시형태에 있어서, 도 66에 나타낸 단면선 LXVII-LXVII에 있어서의 부분 단면도다.

도 68은 동 실시형태에 있어서, 도 66에 나타낸 단면선 LXVIII-LXVIII에 있어서의 부분 단면도다.

도 69는 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 70은 동 실시형태에 있어서, 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

도 71은 동 실시형태에 있어서, 변형예 1에 관한 반도체장치를 나타낸 부분 확대 평면도다.

도 72는 동 실시형태에 있어서, 도 71에 나타낸 단면선 LXXII-LXXII에 있어서의 부분 단면도다.

도 73은 동 실시형태에 있어서, 도 71에 나타낸 단면선 LXXIII-LXXIII에 있어서의 부분 단면도다.

도 74는 동 실시형태에 있어서, 변형예 1에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 75는 동 실시형태에 있어서, 변형예 1에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

도 76은 동 실시형태에 있어서, 변형예 2에 관한 반도체장치를 나타낸 부분 확대 평면도다.

도 77은 동 실시형태에 있어서, 도 76에 나타낸 단면선 LXXVII-LXXVII에 있어서의 부분 단면도다.

도 78은 동 실시형태에 있어서, 도 76에 나타난 단면선 LXXVIII-LXXVIII에 있어서의 부분 단면도다.

도 79는 동 실시형태에 있어서, 변형예 2에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제1 단면도다.

도 80은 동 실시형태에 있어서, 변형예 2에 관한 반도체장치의 오프 상태에 있어서 공핍층이 퍼지는 방법을 설명하기 위한 제2 단면도다.

발명을 실시하기 위한 구체적인 내용

[0017] 우선, 처음에, 본 반도체장치가 적용되는 회로의 일례로서, 유도전동기(54)를 구동시키는 인버터 회로에 대해 간단히 설명한다. 도 1에 나타난 것과 같이, 인버터 회로(50)의 제1드라이버 회로(51)에는, 유도전동기(54)에 전류를 보내주는 동작(동작 A)을 행하기 위한 스위칭 소자로서, 제1 IGBT(BT1)이 설치되어 있다. 한편, 제2드라이버 회로(52)에는, 유도전동기(54)로부터 전류를 인출하는 동작(동작 B)을 행하기 위한 스위칭 소자로서 제2 IGBT(BT2)이 설치되어 있다.

[0018] 제1 IGBT(BT1)과 제2 IGBT(BT2)는 직렬로 접속되고, 그 접속점(53)에 유도전동기(54)가 접속되어 있다. 제1 IGBT(BT1)의 게이트는 제1드라이버 회로(51)에 접속되고, 제2 IGBT(BT2)의 게이트는 제2드라이버 회로(52)에 접속되어 있다. 제1드라이버 회로(51)와 제2드라이버 회로(52)에 의해 제1 IGBT(BT1)과 제2 IGBT(BT2)를 교대로 온, 오프시킴으로써 동작 A와 동작 B가 교대로 행해지게 된다.

[0019] 이때, 접속점(53)에서는, 그것의 전위가 전원전압과 접지전위 사이에서 변동한다. 이 때문에, 전위의 변동에 대해 제1 IGBT(BT1)의 게이트를 온, 오프시키기 위한 일정한 펄스 전위(신호)를 발생시키기 위해, 제1드라이버 회로(51)에는, p채널형의 MOS 트랜지스터(PMOS) PT를 포함하는 회로가 설치되어 있다. 이 회로에서는, MOS 트랜지스터의 드레인 전압의 변동에 대해 드레인 전류가 거의 같은 값을 표시하는 성질(포화 영역)을 이용해서 일정한 펄스 전위가 발생되게 된다.

[0020] 각 실시형태에서는, 전술한 인버터 회로에 적용되는 IGBT와 p채널형의 MOS 트랜지스터에 대해 구체적으로 설명한다.

[0021] 실시형태 1

[0022] 여기에서는, IGBT의 제1예에 대해 설명한다. 도 2 및 도 3에 나타난 것과 같이, 반도체 기판(1)의 주표면에 접촉하도록 유전체부(3)가 형성되어 있다. 유전체부(3)에는, 상대적으로 두께가 얇은 부분(3a)과 상대적으로 두께가 두꺼운 부분(3b)이 설치되어 있다. 두께가 두꺼운 부분(3b)에서는, 유전체막(12)이 형성되어 있다. 그 유전체부(3)의 표면에 접촉하도록, 소정의 두께의 N- 반도체층(2)이 형성되어 있다. N- 반도체층(2)의 불순물 농도는, 예를 들면, $5 \times 10^{14} / \text{cm}^3 \sim 5 \times 10^{15} / \text{cm}^3$ 정도이다. 유전체부(3) 중에서 상대적으로 두께가 얇은 부분(3a)의 바로 위에 위치하는 N- 반도체층(2)의 영역(영역 A)에서는, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐, N형 불순물 영역 5가 형성되어 있다. 그 N형 불순물 영역 5를 옆쪽과 아래쪽으로부터 둘러싸도록, N- 반도체층(2)의 표면으로부터 N형 불순물 영역 5보다도 깊은 영역에 걸쳐 P형 불순물 영역 4가 형성되어 있다. N형 불순물 영역 5와 N- 반도체층(2)에 의해 끼워진 P형 불순물 영역 4의 부분의 표면 위에 게이트 절연막(8)을 개재시켜 게이트 전극(9)이 형성되어 있다. 또한, P형 불순물 영역 4 및 N형 불순물 영역 5에 접촉하도록, 에미터 전극(10)이 형성되어 있다.

[0023] 한편, P형 불순물 영역 4로부터 거리를 둔, 유전체부(3) 중 상대적으로 두께가 두꺼운 부분(3b)의 바로 위에 위치하는 N- 반도체층(2)의 영역(영역 B)에서는, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 P형 불순물 영역 6이 형성되어 있다. 그 P형 불순물 영역 6에 접촉하도록, 콜렉터 전극(11)이 형성되어 있다. 또한, P형 불순물 영역 4와 P형 불순물 영역 6 사이에 위치하는 N- 반도체층(2)의 부분에는, 그 표면으로부터 소정의 깊이에 걸쳐, 공핍층의 스톱퍼로서 N형 불순물 영역 7이 형성되어 있다. 더구나, 영역 B에서는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, 공핍층 저지부로서, N- 반도체층(2)의 불순물 농도보다도 높은 불순물 농도를 갖는 N형 불순물 영역 13이 형성되어 있다. N형 불순물 영역 13의 불순물 농도는, 예를 들면, $1 \times 10^{16} / \text{cm}^3 \sim 1 \times 10^{19} / \text{cm}^3$ 정도이다. 이때, 이 불순물 농도는, N- 반도체층(2)의 표면으로부터 불순물 이온을 도입함으로써 형성하는 경우에는, 그것의 표면 부근의 불순물 농도가 된다.

[0024] 도 2에 나타난 것과 같이, N형 불순물 영역 13은 일방향으로 연장하도록 형성되어 있다. 그 N형 불순물

영역 13을 원주 방향으로부터 둘러싸도록, P형 불순물 영역 6 및 N형 불순물 영역 7이 배치되어 있다. 더구나, 그 N형 불순물 영역 7 등을 원주 방향으로부터 둘러싸도록, P형 불순물 영역 4, N형 불순물 영역 5, 게이트 전극(9) 및 에미터 전극(10)이 배치되어 있다.

[0025] 다음에, 전술한 반도체장치(IGBT)의 동작에 대해 설명한다. 도 4에 나타난 것과 같이, 우선, 게이트 전극(9)에 소정의 임계전압보다도 높은 전압을 인가함으로써, 게이트 전극(9)의 바로 아래에 위치하는 P형 불순물 영역 4의 부분에 채널이 형성된다. 채널이 형성되면, 에미터 전극(10)으로부터 N형 불순물 영역 5 및 채널을 거쳐 N- 반도체층(2)에 전자 e가 주입되고, 한편, 콜렉터 전극(11)으로부터 P형 불순물 영역 6을 거쳐 N- 반도체층(2)에 홀h가 주입된다. 이에 따라, N- 반도체층(2)의 저항값이 전도도 변조에 의해 내려가, 콜렉터측으로부터 에미터측으로 향해 전류가 흐르는 상태(온 상태)가 된다.

[0026] 한편, 게이트 전극(9)에 임계전압보다도 낮은 전압을 인가하면, P형 불순물 영역 4에 형성된 채널이 소멸한다. 채널이 소멸하면, N- 반도체층(2)에의 전자의 주입이 멈추고, N- 반도체층(2)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(10) 혹은 콜렉터 전극(11)으로 배출됨으로써 소멸하고, 최종적으로 전류가 차단되는 상태(오프 상태)가 된다. 이때, 에미터 전극(10)의 전위는 거의 접지전위인 것에 대해서, 콜렉터 전극(11)에는, 예를 들면, 약 500~600V 정도의 전압이 인가된 상태가 된다.

[0027] 이 때문에, 도 5에 나타난 것과 같이, 역바이어스가 작용하는 P형 불순물 영역 4와 N- 반도체층(2)의 계면으로부터 공핍층 31이 퍼지게 된다. 여기에서, N- 반도체층(2)을 향해 퍼지는 공핍층(31)의 끝을 공핍층 끝 31a로 나타내고, P형 불순물 영역 4를 향해 퍼지는 공핍층(31)의 끝을 공핍층 끝 31b로 나타낸다. 도 5에 나타난 것과 같이, 공핍층(31)은, 주로 불순물 농도가 비교적 낮은 N- 반도체층(2)을 향해 퍼져, 그것의 공핍층 끝 31a는, 공핍층의 스톱퍼로서의 N형 불순물 영역 7이 배치되어 있는 영역의 근방에까지 이른다. 특히, 전술한 반도체 장치에서는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르는 N형 불순물 영역 13이 형성되어 있음으로써, 공핍층(31)이 P형 불순물 영역 6에까지 퍼지는 것을 확실하게 저지해서 내압특성을 향상시킬 수 있다. 이 것에 대해서, 비교예를 참조하여 설명한다.

[0028] 비교예에 관한 반도체장치는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르는 N형 불순물 영역 13이 형성되어 있지 않은 점을 제외하면, 도 3 등에 도시된 반도체장치와 같은 구조이다. 도 6에 나타난 것과 같이, 반도체 기판(101)의 주표면에 접촉하도록, 상대적으로 두께가 얇은 부분(103a)과 상대적으로 두께가 두꺼운 부분(103b)을 포함하는 유전체부(103)가 형성되어 있다. 그 유전체부(103)의 표면에 접촉하도록, 소정의 두께의 N- 반도체층(102)이 형성되어 있다. N- 반도체층(102)에 있어서의 소정의 영역에서는, N- 반도체층(102)의 표면으로부터 소정의 깊이에 걸쳐, N형 불순물 영역 105가 형성되어 있다.

[0029] 그 N형 불순물 영역 105를 옆쪽과 아래쪽으로부터 둘러싸도록, N- 반도체층(102)의 표면으로부터 N형 불순물 영역 105보다도 깊은 영역에 걸쳐 P형 불순물 영역 104가 형성되어 있다. N형 불순물 영역 105와 N- 반도체층(102)에 의해 끼워진 P형 불순물 영역 104의 부분의 표면 위에 게이트 절연막(108)을 개재시켜 게이트 전극(109)이 형성되어 있다. P형 불순물 영역 104 및 N형 불순물 영역 105에 접촉하도록, 에미터 전극(110)이 형성되어 있다.

[0030] 한편, P형 불순물 영역 104로부터 거리를 둔 N- 반도체층(102)의 소정의 영역에서는, N- 반도체층(102)의 표면으로부터 소정의 깊이에 걸쳐 P형 불순물 영역 106이 형성되어 있다. 그 P형 불순물 영역 106에 접촉하도록, 콜렉터 전극(111)이 형성되어 있다. P형 불순물 영역 104와 P형 불순물 영역 106 사이에 위치하는 N- 반도체층(102)의 부분에는, 그것의 표면으로부터 소정의 깊이에 걸쳐, 공핍층의 스톱퍼로서 N형 불순물 영역 107이 형성되어 있다.

[0031] 비교예에 관한 반도체 장치에서는, 게이트 전극(109)에 소정의 임계전압보다도 높은 전압을 인가함으로써 N- 반도체층(102)에 전자 e와 홀 h가 주입되어, N- 반도체층(102)의 저항값이 전도도 변조에 의해 내려가, 콜렉터측으로부터 에미터측을 향해 전류가 흐르는 상태(온 상태)가 된다.

[0032] 한편, 게이트 전극(109)에 임계전압보다도 낮은 전압을 인가함으로써 N- 반도체층(102)에의 전자의 주입이 멈추고, N- 반도체층(102)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(110) 혹은 콜렉터 전극(111)으로 배출됨으로써 소멸하여, 전류가 차단되는 상태(오프 상태)가 된다. 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 104와 N- 반도체층(102)의 계면으로부터, 주로, 불순물 농도가 비교적 낮은 N- 반도체층(102)을 향해 퍼진다.

[0033] 이때, 도 7에 나타난 것과 같이, N- 반도체층(102)을 향해 퍼지려고 하는 공핍층 중에서, N- 반도체층

(102)의 표면과 그 근방의 영역에서는, 스톱퍼로서의 N형 불순물 영역 107에 의해 그것의 퍼짐이 저지된다. 한편, P형 불순물 영역 106의 아래쪽에 위치하는 N- 반도체층(102)의 영역에서는, 공핍층 끝 131a는 P형 불순물 영역 106의 근방에까지 이르게 된다. 이 때문에, 비교예에 관한 반도체장치의 내압은, 공핍층 끝 131a가 P형 불순물 영역 106에 접촉하는 펀치스루 현상에 의해 결정되거나, 또는, P형 불순물 영역 106, N- 반도체층(102) 및 P형 불순물 영역 104로 구성되는 기생의 PNP 트랜지스터의 리크 전류에 의해 결정되게 된다. 이 때문에, 내압특성의 한층 더의 향상에는 한계가 있다.

[0034] 이에 대해, 전술한 반도체 장치에서는, 전제가 되는 구조로서, 유전체부(3) 중의 상대적으로 두께가 두꺼운 부분(3b)의 바로 위에 위치하는 N- 반도체층(2)의 영역에, 고전압이 인가되는 P형 불순물 영역 6이 형성되어 있다. 유전체부(3)와 N- 반도체층(2)의 적층 구조에서는, 전계강도는 각 유전율의 비의 역수가 된다. 유전체부(3)의 유전율(약 3.7 정도)은, N- 반도체층(2)의 유전율(약 11.7 정도)보다도 낮고, 더구나, 그것의 유전체부(3)가 보다 두껍게 형성되어 있다.

[0035] 도 8은, 전계강도와 N- 반도체층의 표면으로부터의 깊이의 관계를 나타낸 그래프다. 반도체장치의 내압은, 그래프에 의해 둘러싸인 영역의 면적에 해당한다. 그 내압 중에서, N- 반도체층(2)에 있어서의 전압 강하는 면적 SE1에 해당하고, 유전체부에 있어서의 전압 강하는 면적 SE2에 해당한다. 컬렉터 전극(11)이 배치되어 있는 영역의 유전체부(부분 3b)를 두껍게 하여, 유전체부(부분 3b)에 있어서의 전압 강하를 보다 크게 함으로써, 그 영역에 위치하는 N- 반도체층(2)의 부분에 있어서의 전압 강하를 보다 작게 할 수 있다. 이에 따라, 컬렉터 전극(11)에 접속되어 있는 P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을 억제해도, 반도체장치의 내압이 저하하는 것을 억제할 수 있다.

[0036] 도 5에 나타난 것과 같이, 전술한 반도체 장치에서는, 그와 같은 공핍층의 퍼짐을 억제하는 공핍층 저지부로서 N형 불순물 영역 13을 구비하고 있다. N형 불순물 영역 13은, N- 반도체층(2)의 불순물 농도보다도 높은 불순물 농도를 갖고, N- 반도체층(2)의 표면으로부터 유전체부(3)(부분 3b)에 이르도록 형성되어 있다. 이에 따라, P형 불순물 영역 6의 아래쪽에 위치하는 N- 반도체층(2)의 부분으로부터 P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을, 반도체장치의 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0037] 이때, 전술한 반도체 장치에서는, 유전체부(3)의 두께가 두꺼운 부분(3b)에 유전체막(12)을 형성한 경우에 대해 설명하였다. 두께가 두꺼운 부분(3b)에서는, 유전체막(12)을 형성하는 대신에 공동부를 형성해도 된다. 공동부의 유전율(약 1.0 정도)은, 유전체막의 유전율보다도 작다. 이 때문에, 유전체부(부분 3b)에 있어서의 전압 강하가 더욱 더 커지는 만큼, N- 반도체층(2)의 부분에 있어서의 전압 강하가 한층 더 작아진다. 그 결과, 내압의 마진이 한층 더 상승하여, 반도체장치의 내압특성을 확실하게 향상시킬 수 있다.

[0038] 변형예

[0039] 이때, 전술한 반도체 장치에서는, 평면 구조로서, 도 2에 나타난 것과 같이, P형 불순물 영역 6은, N형 불순물 영역 13을 둘러싸도록 형성된 경우를 예로 들어 설명하였다. P형 불순물 영역 6의 평면 구조로서는, 도 9에 나타난 것과 같이, 연장할 N형 불순물 영역 13에 대하여, 연장 방향과 교차하는 한쪽과 다른 쪽에 각각 간격을 두고, P형 불순물 영역 6을 배치시켜도 된다. 이와 같은 배치의 반도체장치에 있어서도, P형 불순물 영역 6을 향해 공핍층(31)이 퍼지는 것을, 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0040] 실시형태 2

[0041] 여기에서는, IGBT의 제2예에 대해 설명한다. 도 10에 나타난 것과 같이, 유전체부(3) 중의 상대적으로 두께가 두꺼운 부분(3b)의 바로 위에 위치하는 N- 반도체층(2)의 영역(영역 B)에 있어서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, 공핍층 저지부로서, 절연막 14와 도전체부(15)가 형성되어 있다. 도전체부(15)는, 예를 들면, 폴리실리콘 막 등으로 형성되고, N- 반도체층(2)과는 절연막 14에 의해 전기적으로 절연되고, 컬렉터 전극(11)에 전기적으로 접속되어 있다. 이때, 이 이외의 구성에 대해서는, 도 3에 나타난 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그것의 설명을 반복하지 않는 것으로 한다.

[0042] 전술한 반도체장치(IGBT)에서는, 게이트 전극(9)에 소정의 임계전압보다도 높은 전압을 인가함으로써

N- 반도체층(2)에 전자와 홀이 주입되고, N- 반도체층(2)의 저항값이 전도도 변조에 의해 내려가, 콜렉터측으로부터 에미터측을 향해 전류가 흐르는 상태(온 상태)가 된다.

[0043] 한편, 게이트 전극(9)에 임계전압보다도 낮은 전압을 인가함으로써 N- 반도체층(2)에 전자의 주입이 멈추고, N- 반도체층(2)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(10) 혹은 콜렉터 전극(11)에 배출됨으로써 소멸하여, 최종적으로 전류가 차단되는 상태(오프 상태)가 된다. 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 4와 N- 반도체층(2)의 계면으로부터, 주로, N- 반도체층(2)을 향해 공핍층이 퍼진다.

[0044] 이때, 도 11에 나타난 것과 같이, 영역 B에서는, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, 절연막 14와 도전체부(15)가 형성되어 있다. 이에 따라, 전술한 것과 같이, P형 불순물 영역 6의 아래쪽에 위치하는 N- 반도체층(2)의 부분으로부터 P형 불순물 영역 6을 향해 공핍층(31)이 퍼지는 것을, 반도체장치의 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0045] 그런데, 반도체 기판(1), 유전체부(3) 및 N- 반도체층(2)을 구비한 적층 구조는, SOI 기판으로서 제공된다. SOI 기판의 N- 반도체층(2)에 다양한 소자를 형성하는 경우에는, 서로의 소자를 전기적으로 분리할 필요가 있다. 그 때문에, 트렌치 분리 구조가 채용되고 있다. 트렌치 분리 구조에서는, N- 반도체층(2)을 관통해서 유전체부(3)에 이르는 트렌치가 형성되고, 그 트렌치 내부에 절연막을 개재하여 폴리실리콘 막 등이 형성되게 된다.

[0046] 전술한 반도체 장치에서는, 그와 같은 트렌치 분리 구조를 형성할 때에, 동시에, P형 불순물 영역 6의 근방에 트렌치 분리 구조를 형성함으로써, 새로운 공정을 추가하지 않고, 그 트렌치 분리 구조를 절연막 14와 도전체부(15)를 구비한 공핍층 저지부로서 이용할 수 있다.

[0047] 실시형태 3

[0048] 여기에서는, IGBT의 제3예에 대해 설명한다. 도 12에 나타난 것과 같이, 유전체부 중 상대적으로 두께가 두꺼운 부분(3b)의 바로 위에 위치하는 N- 반도체층(2)의 영역(영역 B)에 있어서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, 공핍층 저지부로서, N형 불순물 영역 13과 절연막 14가 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 3에 나타난 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그것의 설명을 반복하지 않는 것으로 한다.

[0049] 전술한 반도체장치(IGBT)에서는, 게이트 전극(9)에 소정의 임계전압보다도 높은 전압을 인가함으로써 N- 반도체층(2)에 전자와 홀이 주입되고, N- 반도체층(2)의 저항값이 전도도 변조에 의해 내려가, 콜렉터측으로부터 에미터측을 향해 전류가 흐르는 상태(온 상태)가 된다.

[0050] 한편, 게이트 전극(9)에 임계전압보다도 낮은 전압을 인가함으로써 N- 반도체층(2)에 전자의 주입이 멈추고, N- 반도체층(2)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(10) 혹은 콜렉터 전극(11)으로 배출됨으로써 소멸하여, 최종적으로 전류가 차단되는 상태(오프 상태)가 된다. 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 4와 N- 반도체층(2)의 계면으로부터, 주로, N- 반도체층(2)을 향해 공핍층이 퍼진다.

[0051] 이때, 도 13에 나타난 것과 같이, 영역 B에서는, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, N형 불순물 영역 13과 절연막 14가 형성되어 있다. 이에 따라, 전술한 것과 같이, P형 불순물 영역 6의 아래쪽에 위치하는 N- 반도체층(2)의 부분으로부터 P형 불순물 영역 6을 향해 공핍층(31)이 퍼지는 것을, 반도체장치의 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0052] 또한, 상기한 것과 같이, N- 반도체층(2)에 형성되는 소자를 전기적으로 분리하기 위해, 트렌치가 형성되게 된다. 전술한 반도체 장치에서는, 그와 같은 트렌치를 N- 반도체층(2)에 형성할 때에, 동시에, P형 불순물 영역 6의 근방에 트렌치를 형성하고, 그 트렌치의 측벽에 N형의 불순물 이온을 주입함으로써 N형 불순물 영역 13을 형성할 수 있다. 이에 따라, N- 반도체층(2)의 표면에서 N형의 불순물을 확산시킴으로써 N형 불순물 영역을 형성하는 경우와 비교하여, N형의 불순물의 횡방향으로의 확산을 억제할 수 있어, 소자 면적을 보다 작게 하는데 기여할 수 있다.

- [0053] 실시형태 4
- [0054] 여기에서는, IGBT의 제4예에 대해 설명한다. 이 반도체장치는, 도 3에 나타난 반도체장치에 있어서의 N형 불순물 영역 7을, P형 불순물 영역 6을 둘러싸는 N형 불순물 영역으로 치환한 것이다. 도 14에 나타난 것과 같이, P형 불순물 영역 6을 옆쪽과 아래쪽으로부터 둘러싸도록 N형 불순물 영역 7b가 형성되어 있다. 이때, 이외의 구성에 대해서는, 도 3에 나타난 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그것의 설명을 반복하지 않는 것으로 한다.
- [0055] 전술한 반도체장치(IGBT)에서는, 게이트 전극(9)에 소정의 임계전압보다도 높은 전압을 인가함으로써 N- 반도체층(2)에 전자와 홀이 주입되어, N- 반도체층(2)의 저항값이 전도도 변조에 의해 내려가, 콜렉터측으로부터 에미터측을 향해 전류가 흐르는 상태(온 상태)가 된다.
- [0056] 한편, 게이트 전극(9)에 임계전압보다도 낮은 전압을 인가함으로써 N- 반도체층(2)에 전자의 주입이 멈추고, N- 반도체층(2)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(10) 혹은 콜렉터 전극(11)으로 배출됨으로써 소멸하여, 최종적으로 전류가 차단되는 상태(오프 상태)가 된다. 도 15에 나타난 것과 같이, 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 4와 N- 반도체층(2)의 계면으로부터, 주로, N- 반도체층(2)을 향해 공핍층이 퍼진다.
- [0057] 전술한 반도체장치(IGBT)의 경우, P형 불순물 영역 6을 둘러싸도록 N형 불순물 영역 7b가 형성되어 있기 때문에, 온 상태로 할 때, N- 반도체층(2)으로의 홀의 주입 효율이 다소 떨어지게 된다. 그렇지만, 오프 상태에 있어서는, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을, P형 불순물 영역 6을 둘러싸도록 형성된 N형 불순물 영역 7b와, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성된 N형 불순물 영역 13에 의해, 반도체장치의 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.
- [0058] 이때, 전술한 반도체 장치에서는, 공핍층 저지부로서, 도 3에 도시되는 N형 불순물 영역 13을 적용한 경우에 대해 설명하였다. 공핍층 저지부로서는, 이밖에, 도 10에 나타난 것과 같이, 트렌치 내에 절연막 14 및 도전체부(15)를 형성한 구조를 적용해도, 공핍층이 퍼지는 것을, 내압을 저하시키지 않고 확실하게 억제할 수 있어, 반도체장치의 내압특성을 향상시킬 수 있다. 또한, 도 12에 나타난 것과 같이, 트렌치의 측벽에 N형 불순물 영역 13을 형성하고, 그 트렌치에 절연막 14를 충전한 구조를 적용해도, 공핍층이 퍼지는 것을, 내압을 저하시키지 않고 확실하게 억제할 수 있어, 반도체장치의 내압특성을 향상시킬 수 있다.
- [0059] 실시형태 5
- [0060] 여기에서는, IGBT의 제5예에 대해 설명한다. 이 반도체장치는, 도 3에 나타난 반도체장치에 있어서의 N형 불순물 영역 7을, 콜렉터 전극에 접속시킨 것이다. 도 16에 나타난 것과 같이, 콜렉터 전극(11)에 전기적으로 접속되도록, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 N형 불순물 영역 16이 형성되어 있다.
- [0061] 전술한 반도체 장치에서는, 게이트 전극(9)에 소정의 임계전압보다도 높은 전압을 인가함으로써, N형 불순물 영역 5로부터 N- 반도체층(2)에 전자가 주입된다. 이때, 콜렉터 전극(11)에 접속된 N형 불순물 영역 16이 형성되어 있음으로써, 주입된 전자의 일부가 N형 불순물 영역 16에 흐르는 MOSFET의 동작이 행해지고, 이 동안, 홀의 주입은 억제되게 된다. N- 반도체층(2)으로의 전자의 주입량이 서서히 증가하면, P형 불순물 영역 6으로부터 N- 반도체층(2)으로 홀도 주입되어, IGBT로서 동작을 하게 된다.
- [0062] 한편, 게이트 전극(9)에 임계전압보다도 낮은 전압을 인가함으로써 N- 반도체층(2)에 전자의 주입이 멈추고, N- 반도체층(2)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(10) 혹은 콜렉터 전극(11)으로 배출됨으로써 소멸하여, 최종적으로 전류가 차단되는 상태(오프 상태)가 된다. 이때, N- 반도체층(2)에 주입되는 홀의 양이 억제되어 있음으로써 보다 빠르게 오프 상태가 되어, 반도체장치의 동작을 고속화할 수 있다.
- [0063] 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 4와 N- 반도체층(2)의 계면으로부터, 주로, N- 반도체층(2)을 향해 공핍층이 퍼진다. 이때, 도 17에 나타난 것과 같이, 영역 B에서는, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, N형 불순물 영역 13이 형성되어 있다. 이에 따라, 전술한 것과 같이, P형 불순물 영역 6의 아래쪽에 위치하는 N- 반도체층(2)의 부분으로부터 P형 불순물 영역 6을

향해 공핍층(31)이 퍼지는 것을, 반도체장치의 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0064] 이때, 이 반도체 장치에서는, MOSFET와 IGBT의 중간의 동작을 시키기 위해, N- 반도체층(2)에 주입된 전자가 콜렉터 전극에 직접 흘러 들어오도록 콜렉터 전극이 N- 반도체층(2)에 전기적으로 접속되어 있는 것이 중요하기 때문에, N형 불순물 영역 16을 생략해도 동일한 효과가 얻어진다. 또한, 이 경우에는, 공핍층의 스톱퍼로서 N형 불순물 영역 7(도 3 참조)을 설치할 필요가 있다.

[0065] 변형예 1

[0066] 전술한 반도체 장치에서는, N형 불순물 영역 16을, P형 불순물 영역 6에 대해 P형 불순물 영역 4의 측에 배치한 경우(배치 A)에 대해 설명하였다. N형 불순물 영역 16의 배치 패턴으로서는, 이밖에, 도 18에 나타난 것과 같이, N형 불순물 영역 16을, P형 불순물 영역 6에 대해 P형 불순물 영역 4가 위치하는 측과는 반대의 측에 배치해도 된다(배치 B). 이 경우, 온 동작시에, N- 반도체층(2)에 주입된 전자가 N형 불순물 영역 16으로 흐르는 경로가 배치 A인 경우에 비해 다소 멀리 돌아가게 되기 때문에, MOSFET로서 동작하는 시간이 보다 짧아져, 그 만큼 IGBT로서 동작하게 된다.

[0067] 도 19에 나타난 것과 같이, 배치 B의 경우에 있어서도, 오프 상태에 있어서는, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성된 N형 불순물 영역 13에 의해, 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0068] 변형예 2

[0069] 또한, N형 불순물 영역 16의 배치 패턴으로서는, 도 20, 도 21 및 도 22에 나타난 것과 같이, N형 불순물 영역 16과 P형 불순물 영역 6을, N형 불순물 영역 13이 연장되는 방향을 따라 교대로 배치시켜도 된다(배치 C). 도 23 및 도 24에 나타난 것과 같이, 배치 C의 경우에 있어서도, 오프 상태에 있어서는, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성된 N형 불순물 영역 13에 의해, 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압 특성을 한층 더 향상시킬 수 있다.

[0070] 실시형태 5에 관한 반도체 장치에서는, N형 불순물 영역 16과 P형 불순물 영역 6의 배치 패턴이나 사이즈 등을 바꿈으로써, IGBT와 MOSFET의 동작의 비율을 변화시킬 수 있어, 용도에 따른 반도체장치를 제공하는 것이 가능하게 된다.

[0071] 이때, 전술한 반도체 장치에서는, 공핍층 저지부로서, 도 3에 도시되는 N형 불순물 영역 13을 적용한 경우에 대해 설명하였다. 공핍층 저지부로서는, 이밖에, 도 10에 나타난 것과 같이, 트렌치 내에 절연막 14 및 도전체부(15)를 형성한 구조를 적용해도, 공핍층의 퍼짐을 내압을 저하시키지 않고 확실하게 억제하여, 반도체장치의 내압특성을 향상시킬 수 있다. 또한, 도 12에 나타난 것과 같이, 트렌치의 측벽에 N형 불순물 영역 13을 형성하고, 그 트렌치에 절연막 14를 충전한 구조를 적용해도, 공핍층의 퍼짐을 내압을 저하시키지 않고 확실하게 억제하여, 반도체장치의 내압특성을 향상시킬 수 있다.

[0072] 실시형태 6

[0073] 여기에서는, IGBT의 제6예에 대해 설명한다. 이 반도체장치는, 도 16에 도시되는 N형 불순물 영역 16 및 P형 불순물 영역 6을 옆쪽과 아래쪽으로부터 둘러싸도록 P-불순물 영역을 형성한 것이다. 도 25에 나타난 것과 같이, N형 불순물 영역 16 및 P형 불순물 영역 6을 옆쪽과 아래쪽으로부터 둘러싸도록, N- 반도체층(2)의 표면으로부터 소정의 깊이로 걸쳐 P-불순물 영역 17이 형성되어 있다. P-불순물 영역 17의 불순물 농도는, P형 불순물 영역 6의 불순물 농도보다도 낮게 설정되어 있다.

[0074] 전술한 반도체 장치에서는, 게이트 전극(9)에 소정의 임계전압보다도 높은 전압을 인가함으로써, N형 불순물 영역 5로부터 N- 반도체층(2)에 전자가 주입된다. 이때, 콜렉터 전극(11)에 접속되어 있는 N형 불순물 영역 16이, 불순물 농도가 낮은 P-불순물 영역 17에 의해 둘러싸여 있음으로써, 주입된 전자의 일부가 P-불순물

영역 17을 통해 N형 불순물 영역 16으로 흐르게 된다. 이 때문에, P형 불순물 영역 6으로부터 N- 반도체층(2)으로의 홀의 주입이 억제되게 되지만, 도 5에 도시되는 반도체장치의 경우와 비교하여, P-불순물 영역 17이 형성되어 있음으로써, 약하기는 하지만 홀의 주입을 확보할 수 있다. 즉, 도 5에 도시되는 반도체 장치에서는, 동작의 당초에서는, MOSFET의 동작을 하는 것에 대해, 본 반도체 장치에서는 당초부터 IGBT의 동작을 하게 된다.

[0075] 한편, 게이트 전극(9)에 임계전압보다도 낮은 전압을 인가함으로써 N- 반도체층(2)에의 전자의 주입이 멈추고, N- 반도체층(2)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(10) 혹은 콜렉터 전극(11)으로 배출됨으로써 소멸하여, 최종적으로 전류가 차단되는 상태(오프 상태)가 된다. 이때, N- 반도체층(2)에 주입되는 홀의 양이 억제되어 있음으로써 보다 빠르게 오프 상태로 되어, 반도체장치의 동작을 고속화할 수 있다.

[0076] 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 4와 N- 반도체층(2)의 계면으로부터, 주로, N- 반도체층(2)을 향해 공핍층이 퍼진다. 이때, 도 26에 나타난 것과 같이, 영역 B에서는, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, N형 불순물 영역 13이 형성되어 있다. 이에 따라, 전술한 것과 같이, P형 불순물 영역 6의 아래쪽에 위치하는 N- 반도체층(2)의 부분으로부터 P형 불순물 영역 6을 향해 공핍층(31)이 퍼지는 것을, 반도체장치의 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0077] 이때, 이 반도체 장치에서는, N- 반도체층(2)에 주입된 전자가 콜렉터 전극(11)에 직접 흘러 들어오는 것이 중요하기 때문에, N형 불순물 영역 16을 생략해도 동일한 효과가 얻어진다.

[0078] 변형예 1

[0079] 전술한 반도체 장치에서는, N형 불순물 영역 16을, P형 불순물 영역 6에 대해 P형 불순물 영역 4의 측에 배치한 경우(배치 A)에 대해 설명하였다. N형 불순물 영역 16의 배치 패턴으로서는, 이밖에, 도 27에 나타난 것과 같이, N형 불순물 영역 16을, P형 불순물 영역 6에 대해 P형 불순물 영역 4가 위치하는 측과는 반대의 측에 배치해도 된다(배치 B).

[0080] 도 28에 나타난 것과 같이, 배치 B의 경우에 있어서도, 오프 상태에 있어서는, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성된 N형 불순물 영역 13에 의해, 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0081] 변형예 2

[0082] 또한, 도 29에 나타난 것과 같이, P-불순물 영역 17을 옆쪽과 아래쪽으로부터 둘러싸도록, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 N형 불순물 영역 22를 형성해도 된다.

[0083] 이 경우에는, 도 30에 나타난 것과 같이, 오프 상태에 있어서는, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을, P-불순물 영역 17을 둘러싸도록 형성된 N형 불순물 영역 22와, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성된 N형 불순물 영역 13에 의해, 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다. 이때, 도 29에 도시되는 구조에 있어서, N형 불순물 영역 16과 P형 불순물 영역 6의 배치를, 도 27에 도시하는 것과 같이 교체해도 되고, 이 경우에 있어서도, 반도체장치의 내압특성을 향상시킬 수 있다.

[0084] 변형예 3

[0085] 더구나, N형 불순물 영역 16과 P형 불순물 영역 6의 배치 패턴으로서는, 도 31, 도 32, 도 33 및 도 34에 나타난 것과 같이, N형 불순물 영역 16과 P형 불순물 영역 6을, N형 불순물 영역 13이 연장되는 방향을 따라 교대로 배치시켜도 된다(배치 C). 도 35 및 도 36에 나타난 것과 같이, 배치 C의 경우에 있어서도, 오프 상태에 있어서는, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성된 N형 불순물 영역 13에 의해, 내압을 저하시키지 않고 확실하게 저지할 수 있다.

다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0086] 이때, 전술한 반도체 장치에서는, 공핍층 저지부로서, 도 3에 도시되는 N형 불순물 영역 13을 적용한 경우에 대해 설명하였다. 공핍층 저지부로서는, 이밖에, 도 10에 나타난 것과 같이, 트렌치 내에 절연막 14 및 도전체부(15)를 형성한 구조를 적용해도 된다. 이 경우에 있어서도, 공핍층의 퍼짐을, 내압을 저하시키지 않고 확실하게 억제하여, 반도체장치의 내압특성을 향상시킬 수 있다. 또한, 도 12에 나타난 것과 같이, 트렌치의 측벽에 N형 불순물 영역 13을 형성하고, 그 트렌치에 절연막 14를 충전한 구조를 적용해도 된다. 이 경우에도, 공핍층의 퍼짐을, 내압을 저하시키지 않고 확실하게 억제하여, 반도체장치의 내압특성을 향상시킬 수 있다.

[0087] 실시형태 7

[0088] 여기에서는, 인버터 회로에 적용되는 p채널형의 MOS 트랜지스터(PMOS)의 제1예에 대해 설명한다. 도 37 및 도 38에 나타난 것과 같이, 반도체 기판(1)의 주표면에 접촉하도록 유전체부(3)가 형성되어 있다. 유전체부(3)에는, 상대적으로 두께가 얇은 부분(3a)과 상대적으로 두께가 두꺼운 부분(3b)이 설치되어 있다. 그 유전체부(3)의 표면에 접촉하도록, 소정의 두께의 N- 반도체층(2)이 형성되어 있다. N- 반도체층(2)의 불순물 농도는, 예를 들면, $5 \times 10^{14}/\text{cm}^2 \sim 5 \times 10^{15}/\text{cm}^2$ 정도이다. 유전체부(3) 중 상대적으로 두께가 얇은 부분(3a)의 바로 위에 위치하는 N- 반도체층(2)의 영역(영역 A)에서는, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐, P형 불순물 영역 4가 형성되어 있다. P불순물 영역 4의 불순물 농도는, 예를 들면, $1 \times 10^{16}/\text{cm}^2 \sim 1 \times 10^{19}/\text{cm}^2$ 정도이다. 그 P형 불순물 영역 4에 접촉하도록, 드레인 전극(19)이 형성되어 있다. 또한, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐, P형 불순물 영역 4에 접하고 P형 불순물 영역 4의 불순물 농도보다도 낮은 불순물 농도를 갖는 P- 불순물 영역(18)이 형성되어 있다. P- 불순물 영역(18)의 불순물 농도는, 예를 들면, $2 \times 10^{15}/\text{cm}^2 \sim 2 \times 10^{16}/\text{cm}^2$ 정도이다.

[0089] 한편, P- 불순물 영역(18)으로부터 거리를 둔, 유전체부(3) 중 상대적으로 두께가 두꺼운 부분(3b)의 바로 위에 위치하는 N- 반도체층(2)의 영역(영역 B)에서는, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 P형 불순물 영역 6이 형성되어 있다. 그 P형 불순물 영역 6에 접촉하도록, 소스 전극(20)이 형성되어 있다. 또한, P- 불순물 영역(18)과 P형 불순물 영역 6에 의해 끼워진 N- 반도체층(2)의 부분의 표면 위에 게이트 절연막(8)을 개재시켜 게이트 전극(9)이 형성되어 있다. 더구나, 영역에서는 N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록, 공핍층 저지부로서, N- 반도체층(2)의 불순물 농도보다도 높은 불순물 농도를 갖는 N형 불순물 영역(13)이 형성되어 있다.

[0090] 도 37에 나타난 것과 같이, N형 불순물 영역(13)은 일방향으로 연장되도록 형성되어 있다. P형 불순물 영역 6은 N형 불순물 영역(13)을 따라 배치되어 있다. 게이트 전극(9)은, 평면적으로 그 P형 불순물 영역 6 등을 원주 방향으로 둘러싸도록 배치되어 있다.

[0091] 다음에, 전술한 반도체장치(PMOS)의 동작에 대해 설명한다. 소스 전위보다도 소정의 전위만큼 낮은 전압을 게이트 전극(9)에 인가함으로써, 게이트 전극(9)의 바로 아래에 위치하는 N- 반도체층(2)의 부분에 채널이 형성된다. 채널이 형성되면, 소스 전극(20)으로부터 드레인 전극(19)에 전류가 흐르는 상태(온 상태)가 된다.

[0092] 한편, 게이트 전극(9)에 인가하는 전위를 상승시키면, N- 반도체층(2)에 형성된 채널이 소멸해서 오프 상태로 된다. 이때, 드레인 전극(19)의 전위는 거의 접지 전위인 것에 대해서, 소스 전극(20)에는, 예를 들면, 약 500~600V 정도의 전압이 인가된 상태가 된다.

[0093] 이 때문에, 도 39에 나타난 것과 같이, 역바이어스가 작용하는 P형 불순물 영역 4 및 P- 불순물 영역(18)과 N- 반도체층(2)의 계면으로부터 공핍층(31)이 퍼지게 된다. 도 39에 나타난 것과 같이, 공핍층(31)은, 주로 불순물 농도가 비교적 낮은 N- 반도체층(2)을 향해 퍼져, 그것의 공핍층 끝 31a는, 공핍층의 스톱퍼로서의 N형 불순물 영역 7이 배치되어 있는 영역의 근방에까지 이른다. 특히, 전술한 반도체 장치에서는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르는 N형 불순물 영역 13이 형성되어 있음으로써, 공핍층(31)이 P형 불순물 영역 6에까지 퍼지는 것을, 내압을 저하시키지 않고 확실하게 저지하여, 반도체장치의 내압특성을 향상시킬 수 있다. 이것에 대해서, 비교예를 참조하여 설명한다.

[0094] 비교예에 관한 반도체장치는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르는 N형 불순물 영역 13이 형성되어 있지 않은 점을 제외하면, 도 38 등에 도시되는 반도체장치와 같은 구조이다. 도 40에 나타난 것과 같이, 반도체 기판(101)의 주표면에 접촉하도록, 상대적으로 두께가 얇은 부분 103a와 상대적으로 두께가 두

꺼운 부분 103b를 포함하는 유전체부(103)가 형성되어 있다. 그 유전체부(103)의 표면에 접촉하도록, 소정의 두께의 N- 반도체층(102)이 형성되어 있다.

[0095] N- 반도체층(102)에 있어서의 소정의 영역에서는, N- 반도체층(102)의 표면으로부터 소정의 깊이에 걸쳐, P형 불순물 영역 104가 형성되어 있다. 그 P형 불순물 영역 104에 접촉하도록, 드레인 전극(119)이 형성되어 있다. 또한, N- 반도체층(102)의 표면으로부터 소정의 깊이에 걸쳐, P형 불순물 영역 104에 접하고 P형 불순물 영역 104의 불순물 농도보다도 낮은 불순물 농도를 갖는 P- 불순물 영역(118)이 형성되어 있다.

[0096] 한편, P- 불순물 영역(118)으로부터 거리를 둔 N- 반도체층(102)의 소정의 영역에서는, N- 반도체층(102)의 표면으로부터 소정의 깊이에 걸쳐, P형 불순물 영역 106이 형성되어 있다. P- 불순물 영역(118)과 P형 불순물 영역 106에 의해 끼워진 N- 반도체층(102)의 부분의 표면 위에 게이트 절연막(108)을 개재시켜 게이트 전극(109)이 형성되어 있다. P형 불순물 영역 106에 접촉하도록, 소스 전극(120)이 형성되어 있다.

[0097] 비교예에 관한 반도체 장치에서는, 소스 전위보다도 소정의 전위만큼 낮은 전압을 게이트 전극(109)에 인가함으로써, 온 상태가 된다. 한편, 게이트 전극(109)에 인가하는 전위를 상승시키면, 오프 상태가 된다. 이때, 도 40에 나타낸 것과 같이, 역바이어스가 작용하는 P형 불순물 영역 104 및 P- 불순물 영역(118)과 N- 반도체층(102)의 계면으로부터 공핍층 131이 퍼져, P형 불순물 영역 106의 아래쪽에 위치하는 N- 반도체층(102)의 영역에서는, 공핍층 끝 131a는 P형 불순물 영역 106의 근방에까지 이르게 된다.

[0098] 이 때문에, 비교예에 관한 반도체 장치의 내압은, 공핍층 끝 131a가 P형 불순물 영역 106에 접촉하는 펀치스루 현상 등에 의해 결정되거나, 또는, P형 불순물 영역 104, N- 반도체층(102) 및 P형 불순물 영역 106으로 구성되는 기생의 PNP 트랜지스터의 리크 전류에 의해 결정되게 된다. 또한, 이 문제에 대해, 통상, P형 불순물 영역 6을 둘러싸도록 N형 불순물 영역을 형성하는 대책이 강구된다. 그렇지만, N형 불순물 영역을 형성하는 것에 따라 N- 반도체층(102)의 표면에서는 불순물 농도가 상승하여, 임계전압 V_{th} 가 상승하게 된다. 이 때문에, 내압특성의 한층 더의 향상에는 한계가 있다.

[0099] 이에 대해, 전술한 반도체 장치에서는, 전체가 되는 구조로서, 도 3에 도시되는 반도체장치와 마찬가지로, 유전체부(3) 중 상대적으로 두께가 두꺼운 부분(3b)의 바로 위에 위치하는 N- 반도체층(2)의 영역에, 고전압이 인가되는 P형 불순물 영역 6이 형성되어 있다. 이에 따라, 유전체부(부분 3b)에 있어서의 전압 강하를 보다 크게 하고, 그 영역에 위치하는 N- 반도체층(2)의 부분에 있어서의 전압 강하를 보다 작게 할 수 있어, 소스 전극(20)에 접속되어 있는 P형 불순물 영역 6을 향해 공핍층이 퍼지는 것을 억제해도, 반도체장치의 내압이 저하하는 것을 억제 할 수 있다. 또한, 임계전압 V_{th} 가 상승하는 일도 없다.

[0100] 전술한 반도체 장치에서는, 그와 같은 공핍층의 퍼짐을 억제하는 공핍층 저지부로서, N형 불순물 영역 13을 구비하고 있다. N형 불순물 영역 13은, N- 반도체층(2)의 불순물 농도보다도 높은 불순물 농도를 갖고, N- 반도체층(2)의 표면으로부터 유전체부(3)(부분 3b)에 이르도록 형성되어 있다. 이에 따라, P형 불순물 영역 6의 아래쪽에 위치하는 N- 반도체층(2)의 부분으로부터 P형 불순물 영역 6을 향해 공핍층(31)이 퍼지는 것을, 반도체장치의 내압을 저하시키지 않고 확실하게 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0101] 변형예 1

[0102] 전술한 반도체 장치에서는, 공핍층 저지부로서, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르는 N형 불순물 영역 13을 예로 들어 설명하였다. 공핍층 저지부로서는, 도 10에 나타낸 것과 같이, 트렌치 내부에 절연막 14 및 도전체부(15)를 형성한 구조를 적용해도 된다. 이 경우에는, 도 41에 나타낸 것과 같이 N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 N형 불순물 영역(21)이 형성되어 있다. 또한, 그 N형 불순물 영역과 P형 불순물 영역 6에 접촉하도록 소스 전극(20)이 형성되어 있다. 트렌치 내부에 절연막 14를 개재시켜 형성된 도전체부(15)와 소스 전극(20)이 전기적으로 접속되어 있다.

[0103] 도 42에 나타낸 것과 같이, 이 반도체장치에 있어서도, 오프 상태에서는, P형 불순물 영역 6의 아래쪽에 위치하는 N- 반도체층(2)의 부분으로부터 P형 불순물 영역 6을 향해 공핍층(31)이 퍼지는 것을, 내압을 저하시키지 않고 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0104] 변형예 2

[0105] 또한, 공핍층 저지부로서는, 도 12에 나타난 것과 같이, 트렌치의 측벽에 N형 불순물 영역 13을 형성하고, 그 트렌치에 절연막 14를 충전한 구조를 적용해도 된다. 이 경우에는, 도 43에 나타난 것과 같이, 트렌치의 측벽에 형성되는 N형 불순물 영역 13과 P형 불순물 영역 6에 접촉하도록 소스 전극(20)이 형성된다.

[0106] 도 44에 나타난 것과 같이, 이 반도체장치에 있어서도, 오프 상태에서는, P형 불순물 영역 6의 아래쪽에 위치하는 N- 반도체층(2)의 부분으로부터 P형 불순물 영역 6을 향해 공핍층(31)이 퍼지는 것을, 내압을 저하시키지 않고 저지할 수 있다. 그 결과, 내압의 마진이 상승하여, 반도체장치의 내압특성을 한층 더 향상시킬 수 있다.

[0107] 실시형태 8

[0108] 여기에서는, 도 3에 도시되는 반도체장치에 근거한 평면 구조의 베리에이션에 대해 설명한다. 도 45에 나타난 것과 같이, 컬렉터 전극이 접속되는 P형 불순물 영역 6과, 공핍층 저지부로서의 N형 불순물 영역 13이, 일 방향을 따라 교대로 배치되어 있다. 도 46 및 도 47에 나타난 것과 같이, P형 불순물 영역 6은, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 또한, 도 46 및 도 48에 나타난 것과 같이, N형 불순물 영역 13은, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 3 등에 나타난 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그것의 설명을 반복하지 않는 것으로 한다.

[0109] 전술한 반도체 장치에서는, 게이트 전극(9)에 소정의 임계전압보다도 높은 전압을 인가함으로써 N- 반도체층(2)에 전자와 홀이 주입되어, N- 반도체층(2)의 저항값이 전도도 변조에 의해 내려가, 컬렉터측으로부터 에미터측을 향해 전류가 흐르는 상태(온 상태)가 된다.

[0110] 한편, 게이트 전극(9)에 임계전압보다도 낮은 전압을 인가함으로써 N- 반도체층(2)에의 전자의 주입이 멈추고, N- 반도체층(2)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(10) 혹은 컬렉터 전극(11)에 배출됨으로써 소멸하여, 최종적으로 전류가 차단되는 상태(오프 상태)가 된다. 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 4와 N- 반도체층(2)의 계면으로부터, 주로, N- 반도체층(2)을 향해 공핍층이 퍼진다.

[0111] 이때, 도 49에 나타난 것과 같이, N형 불순물 영역 13이 배치되어 있는 부분에서는, 공핍층이 퍼지는 것을, N형 불순물 영역 13에 의해, 내압을 저하시키지 않고 저지할 수 있다. (공핍층 끝 31a). 이에 따라, N형 불순물 영역 13에 의해 끼워지도록 P형 불순물 영역 6이 배치되어 있는 부분에서는, 그와 같은 N형 불순물 영역이 배치되어 있지 않은 경우와 비교하여, 도 50에 나타난 것과 같이, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것이, 내압을 저하시키지 않고 저지되게 된다(공핍층 끝 31a). 그 결과, 내압의 마진이 한층 더 상승하여, 반도체장치의 내압특성을 확실하게 향상시킬 수 있다.

[0112] 변형예 1

[0113] 평면 구조의 베리에이션으로서, 도 3에 나타난 반도체장치에 근거한 평면 구조를 예로 들어 설명하였다. 그것의 베리에이션으로서, 도 10에 도시되는 반도체장치에 근거한 것이어도 된다. 이 경우에는, 도 51에 나타난 것과 같이, 컬렉터 전극이 접속되는 P형 불순물 영역 6과, 공핍층 저지부로서의 절연막 14 및 도전체부(15)가, 일 방향을 따라 교대로 배치되어 있다. 도 51 및 도 52에 나타난 것과 같이, P형 불순물 영역 6은, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 또한, 도 51 및 도 53에 나타난 것과 같이, 절연막 14 및 도전체부(15)는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성되어 있다.

[0114] 이 반도체장치에 있어서도, 도 54에 나타난 것과 같이, 오프 상태에 있어서, 절연막 14 및 도전체부(15)가 배치되어 있는 부분에서는, 공핍층이 퍼지는 것을, 절연막 14 및 도전체부(15)에 의해, 내압을 저하시키지 않고 저지할 수 있다(공핍층 끝 31a). 이에 따라, 절연막 14 및 도전체부(15)에 의해 끼워지도록 P형 불순물 영역 6이 배치되어 있는 부분에서는, 그와 같은 절연막 14 및 도전체부(15)가 배치되어 있지 않은 경우와 비교하여, 도 55에 나타난 것과 같이, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것이, 내압을 저하시키지 않고 저지되게 된다(공핍층 끝 31a). 그 결과, 내압의 마진이 한층 더 상승하여, 반도체장치의 내압특성을 확실하게 향

상시킬 수 있다.

[0115] 변형예 2

[0116] 더구나, 평면 구조의 배리어이션으로서, 도 12에 도시되는 반도체장치에 근거한 것이어도 된다. 이 경우에는, 도 56에 나타난 것과 같이, 컬렉터 전극이 접속되는 P형 불순물 영역 6과, 공핍층 저지부로서의 N형 불순물 영역 13 및 절연막 14가, 일 방향을 따라 교대로 배치되어 있다. 도 56 및 도 57에 나타난 것과 같이, P형 불순물 영역 6은, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 또한, 도 56 및 도 58에 나타난 것과 같이, N형 불순물 영역 13 및 절연막 14는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성되어 있다.

[0117] 이 반도체장치에 있어서도, 도 59에 나타난 것과 같이, 오프 상태에 있어서, N형 불순물 영역 13 및 절연막 14가 배치되어 있는 부분에서는, 공핍층이 퍼지는 것을, N형 불순물 영역 13 및 절연막 14에 의해, 내압을 저하시키지 않고 저지할 수 있다(공핍층 끝 31a). 이에 따라, N형 불순물 영역 13 및 절연막 14에 의해 끼워지도록 P형 불순물 영역 6이 배치되어 있는 부분에서는, 그와 같은 N형 불순물 영역 13 및 절연막 14가 배치되어 있지 않은 경우와 비교하여, 도 60에 나타난 것과 같이, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것이, 내압을 저하시키지 않고 저지되게 된다(공핍층 끝 31a). 그 결과, 내압의 마진이 한층 더 상승하여, 반도체장치의 내압특성을 확실하게 향상시킬 수 있다.

[0118] 실시형태 9

[0119] 여기에서는, 도 25에 도시되는 반도체장치에 근거한 평면 구조의 배리어이션에 대해 설명한다. 도 61에 나타난 것과 같이, 컬렉터 전극이 접속되는 P형 불순물 영역 6 등과, 공핍층 저지부로서의 절연막 14 및 도전체부(15)가, 일 방향을 따라 교대로 배치되어 있다. 도 61 및 도 62에 나타난 것과 같이, P형 불순물 영역 6은, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 또한, 도 61 및 도 63에 나타난 것과 같이, 절연막 14 및 도전체부(15)는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 24에 나타난 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그것의 설명을 반복하지 않는 것으로 한다.

[0120] 전술한 반도체 장치에서는, 게이트 전극(9)에 소정의 임계전압보다도 높은 전압을 인가함으로써 N- 반도체층(2)에 전자와 홀이 주입되고, N- 반도체층(2)의 저항값이 전도도 변조에 의해 내려가, 컬렉터측으로부터 에미터측을 향해 전류가 흐르는 상태(온 상태)가 된다.

[0121] 한편, 게이트 전극(9)에 임계전압보다도 낮은 전압을 인가함으로써 N- 반도체층(2)에의 전자의 주입이 멈추고, N- 반도체층(2)에 축적되어 있었던 전자와 홀은, 재결합함으로써 소멸하거나, 에미터 전극(10) 혹은 컬렉터 전극(11)으로 배출됨으로써 소멸하여, 최종적으로 전류가 차단되는 상태(오프 상태)가 된다. 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 4와 N- 반도체층(2)의 계면으로부터, 주로, N- 반도체층(2)을 향해 공핍층이 퍼진다.

[0122] 이때, 도 64에 나타난 것과 같이, 절연막 14 및 도전체부(15)가 배치되어 있는 부분에서는, 공핍층이 퍼지는 것을, 절연막 14 및 도전체부(15)에 의해, 내압을 저하시키지 않고 저지할 수 있다(공핍층 끝 31a). 이에 따라, 절연막 14 및 도전체부(15)에 의해 끼워지도록 P형 불순물 영역 6이 배치되어 있는 부분에서는, 그와 같은 절연막 14 및 도전체부(15)가 배치되어 있지 않은 경우와 비교하여, 도 65에 나타난 것과 같이, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것이, 내압을 저하시키지 않고 저지되게 된다(공핍층 끝 31a). 그 결과, 내압의 마진이 한층 더 상승하여, 반도체장치의 내압특성을 확실하게 향상시킬 수 있다. 또한, 도 61 및 도 62에 도시되는 구조에 있어서, N형 불순물 영역 16과 P형 불순물 영역의 배치를 교체하여, N형 불순물 영역 16이 P형 불순물 영역 6에 의해 끼워지는 구조인 경우에 있어서도, 반도체장치의 내압특성을 향상시킬 수 있다.

[0123] 이때, 전술한 반도체 장치에서는, 공핍층 저지부로서, 트렌치 내부에 절연막 14 및 도전체부(15)를 형성한 구조를 예로 들어 설명하였다. 공핍층 저지부로서, 이 이외에, 도 3에 도시되는 N형 불순물 영역 13을 형성한 구조를 적용해도 된다. 이 경우에도, 공핍층이 퍼지는 것을, 내압을 저하시키지 않고 확실하게 억제하여, 반도체장치의 내압특성을 향상시킬 수 있다. 또한, 도 12에 나타난 것과 같이, 트렌치의 측벽에 N형 불순물 영역 13을 형성하고, 그 트렌치에 절연막 14를 충전한 구조를 적용해도 된다. 이 경우에도, 공핍층이 퍼

지는 것을, 내압을 저하시키지 않고 확실하게 억제하여, 반도체장치의 내압특성을 향상시킬 수 있다.

[0124] 실시형태 10

[0125] 여기에서는, 도 38에 도시되는 반도체장치에 근거한 평면 구조의 배리에이션에 대해 설명한다. 도 66에 나타난 것과 같이, 소스 전극이 접속되는 P형 불순물 영역 6과, 공핍층 저지부로서의 N형 불순물 영역 13이, 일 방향을 따라 교대로 배치되어 있다. 도 66 및 도 67에 나타난 것과 같이, P형 불순물 영역 6은, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 또한, 도 66 및 도 68에 나타난 것과 같이, N형 불순물 영역 13은, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성되어 있다. 이때, 이 이외의 구성에 대해서는, 도 38에 나타난 반도체장치와 같으므로, 동일 부재에는 동일한 부호를 붙이고 그것의 설명을 반복하지 않는 것으로 한다.

[0126] 전술한 반도체 장치에서는, 소스 전위보다도 소정의 전위만큼 낮은 전압을 게이트 전극(9)에 인가함으로써, 게이트 전극(9)의 바로 아래에 위치하는 N- 반도체층(2)의 부분에 채널이 형성된다. 채널이 형성되면, 소스 전극(20)으로부터 드레인 전극(19)에 전류가 흐르는 상태(온 상태)가 된다.

[0127] 한편, 게이트 전극(9)에 인가하는 전위를 상승시키면, N- 반도체층(2)에 형성된 채널이 소멸해서 오프 상태가 된다. 오프 상태에서는, 역바이어스가 작용하는 P형 불순물 영역 4 및 P- 불순물 영역(18)과 N- 반도체층(2)의 계면으로부터 공핍층(31)이 퍼진다.

[0128] 이때, 도 69에 나타난 것과 같이, N형 불순물 영역 13이 배치되어 있는 부분에서는, 공핍층이 퍼지는 것을, N형 불순물 영역 13에 의해, 내압을 저하시키지 않고 저지할 수 있다(공핍층 끝 31a). 이에 따라, N형 불순물 영역 13에 의해 끼워지도록 P형 불순물 영역 6이 배치되어 있는 부분에서는, 그와 같은 N형 불순물 영역 13이 배치되어 있지 않은 경우와 비교하여, 도 70에 나타난 것과 같이, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것이, 내압을 저하시키지 않고 저지되게 된다(공핍층 끝 31a). 그 결과, 내압의 마진이 한층 더 상승하여, 반도체장치의 내압특성을 확실하게 향상시킬 수 있다.

[0129] 변형예 1

[0130] 평면 구조의 배리에이션으로서, 도 38에 나타난 반도체장치에 근거한 평면 구조를 예로 들어 설명하였다. 그것의 배리에이션으로서, 도 41에 도시되는 반도체장치에 근거한 것이어도 된다. 이 경우에는, 도 71에 나타난 것과 같이, 소스 전극 20a가 접속되는 P형 불순물 영역 6과, 공핍층 저지부로서의 절연막 14 및 도전체부(15)가, 일 방향을 따라 교대로 배치되어 있다. 도 71 및 도 72에 나타난 것과 같이, P형 불순물 영역 6은, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 또한, 도 71 및 도 73에 나타난 것과 같이, 절연막 14 및 도전체부(15)는, N- 반도체층(2)의 표면으로부터 유전체부(3)에 이르도록 형성되어 있다. P형 불순물 영역 6과 도전체부(15)는, 소스 전극 20a와 전극 20b를 거쳐 전기적으로 접속되어 있다.

[0131] 이 반도체장치에 있어서도, 도 74에 나타난 것과 같이, 오프 상태에 있어서, 절연막 14 및 도전체부(15)가 배치되어 있는 부분에서는, 공핍층이 퍼지는 것을, 절연막 14 및 도전체부(15)에 의해, 내압을 저하시키지 않고 저지할 수 있다(공핍층 끝 31a). 이에 따라, 절연막 14 및 도전체부(15)에 의해 끼워지도록 P형 불순물 영역 6이 배치되어 있는 부분에서는, 그와 같은 절연막 14 및 도전체부(15)가 배치되어 있지 않은 경우와 비교하여, 도 75에 나타난 것과 같이, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것이, 내압을 저하시키지 않고 저지되게 된다(공핍층 끝 31a). 그 결과, 내압의 마진이 한층 더 상승하여, 반도체장치의 내압특성을 확실하게 향상시킬 수 있다.

[0132] 변형예 2

[0133] 더구나, 평면 구조의 배리에이션으로서, 도 43에 도시되는 반도체장치에 근거한 것이어도 된다. 이 경우에는, 도 76에 나타난 것과 같이, 소스 전극(20)이 접속되는 P형 불순물 영역 6과, 공핍층 저지부로서의 N형 불순물 영역 13 및 절연막 14가, 일 방향을 따라 교대로 배치되어 있다. 도 76 및 도 77에 나타난 것과 같이, P형 불순물 영역 6은, N- 반도체층(2)의 표면으로부터 소정의 깊이에 걸쳐 형성되어 있다. 또한, 도 76 및 도 78에 나타난 것과 같이, N형 불순물 영역 13 및 절연막 14는, N- 반도체층(2)의 표면으로부터 유전체부

(3)에 이르도록 형성되어 있다. N형 불순물 영역 13과 P형 불순물 영역 6은, 소스 전극(20)에 의해 전기적으로 접속되어 있다.

[0134] 이 반도체장치에 있어서도, 도 79에 나타난 것과 같이, 오프 상태에 있어서, N형 불순물 영역 13 및 절연막 14가 배치되어 있는 부분에서는, 공핍층이 퍼지는 것을, N형 불순물 영역 13 및 절연막 14에 의해, 내압을 저하시키지 않고 저지할 수 있다(공핍층 끝 31a). 이에 따라, N형 불순물 영역 13 및 절연막 14에 의해 끼워지도록 P형 불순물 영역 6이 배치되어 있는 부분에서는, 그와 같은 N형 불순물 영역 13 및 절연막 14가 배치되어 있지 않은 경우와 비교하여, 도 80에 나타난 것과 같이, P형 불순물 영역 6을 향해 공핍층이 퍼지는 것이, 내압을 저하시키지 않고 저지되게 된다(공핍층 끝 31a). 그 결과, 내압의 마진이 한층 더 상승하여, 반도체장치의 내압특성을 확실하게 향상시킬 수 있다.

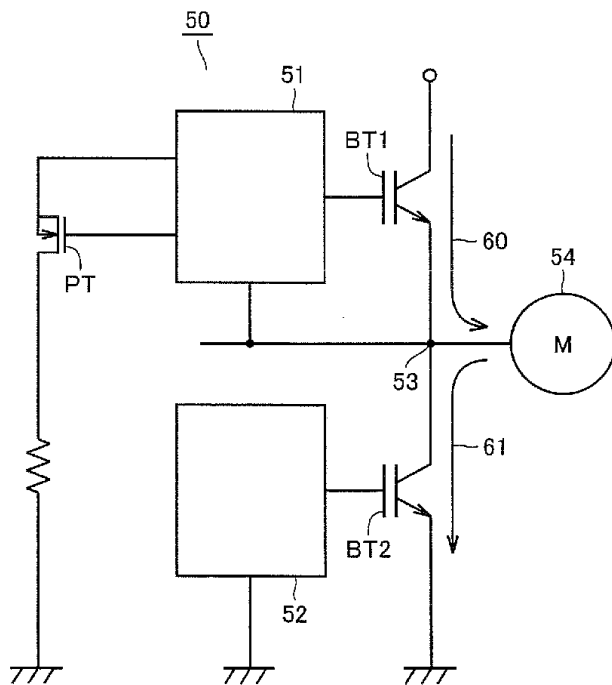
[0135] 전술한 각 반도체 장치에서는, 인버터 회로에 적용되는 반도체장치를 예로 들어 설명했지만, 전술한 반도체장치는, 인버터 회로에 한정되지 않고, 높은 내압이 요구되는 전력용 반도체소자로서 적용할 수 있다.

[0136] 본 발명은, 인버터 회로 등에 적용되는 반도체장치로서 유효하게 이용된다.

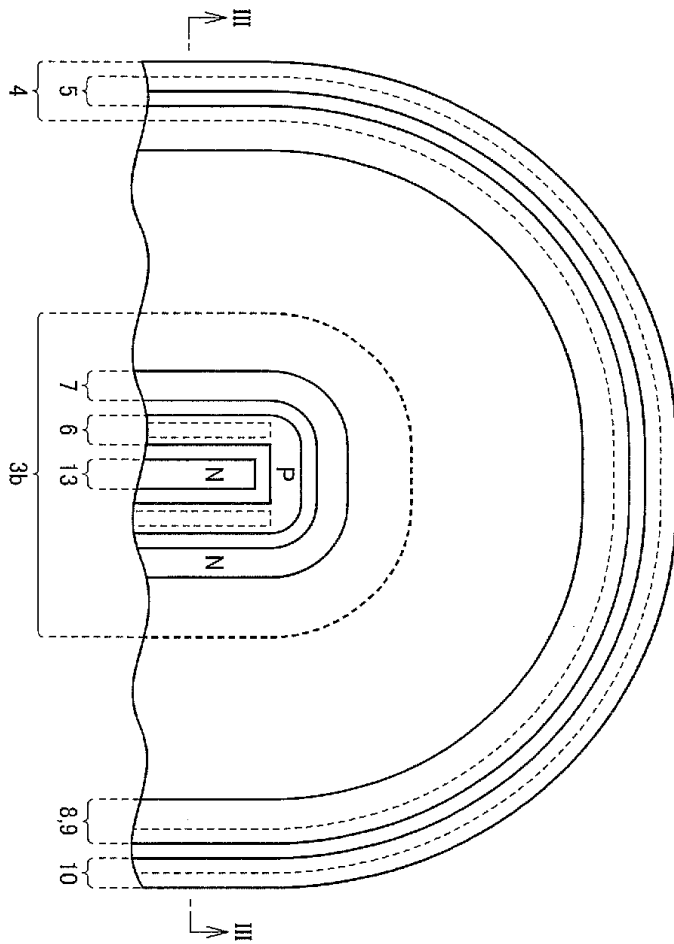
[0137] 본 발명을 상세하게 설명하고 나타내 왔지만, 이것은 단지 예시를 위한 것으로, 한정적으로 해석되어서는 안되고, 발명의 범위는 첨부된 특허청구범위에 의해 해석되는 것이 명확하게 이해될 것이다.

도면

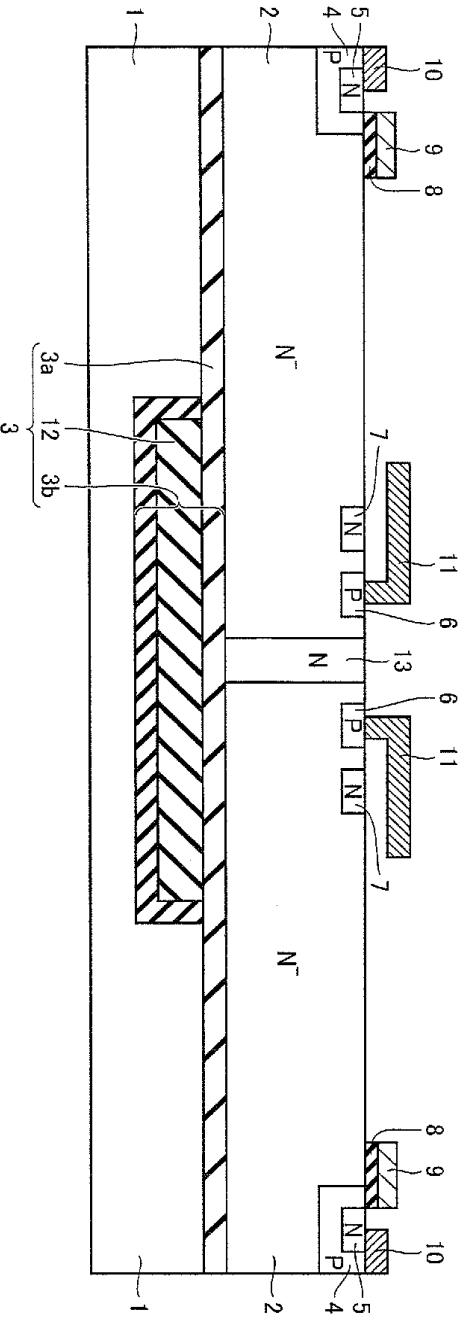
도면1



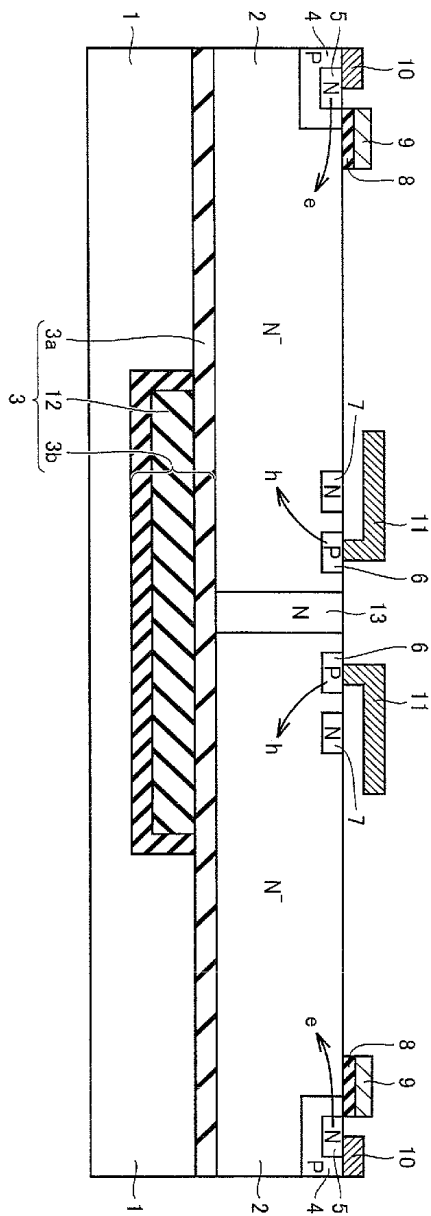
도면2



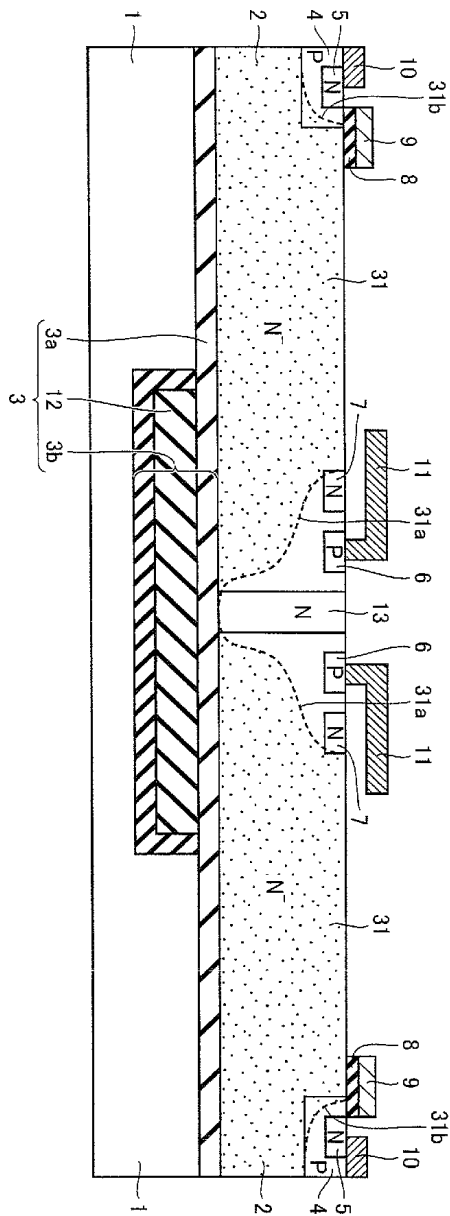
도면3



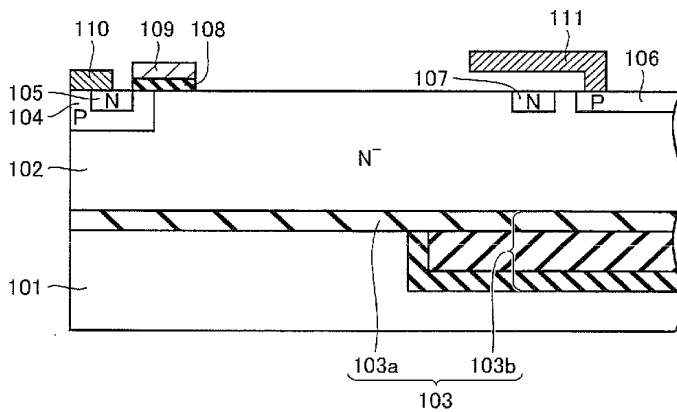
도면4



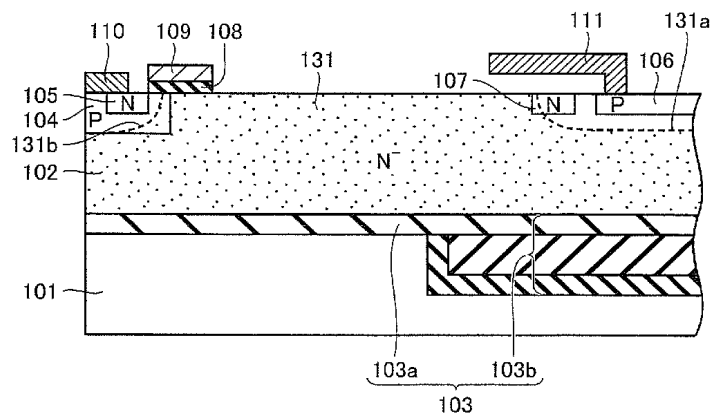
도면5



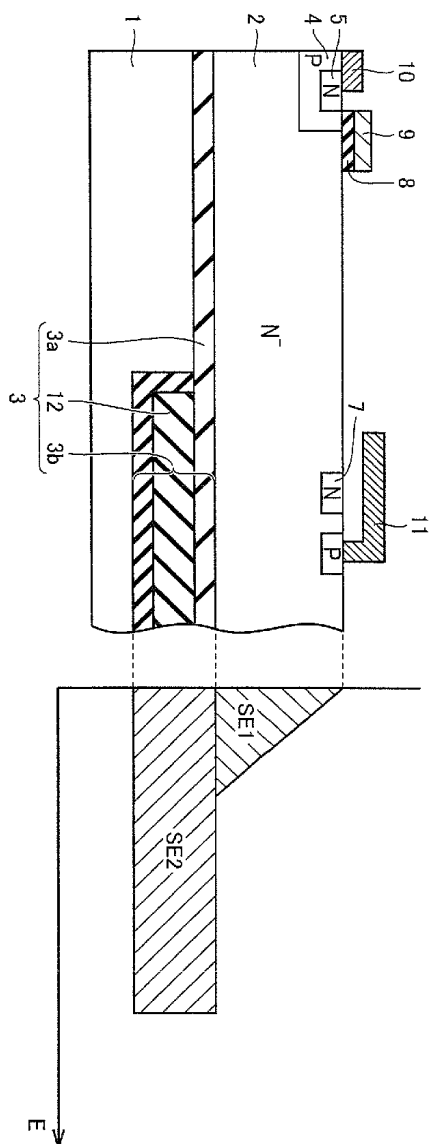
도면6



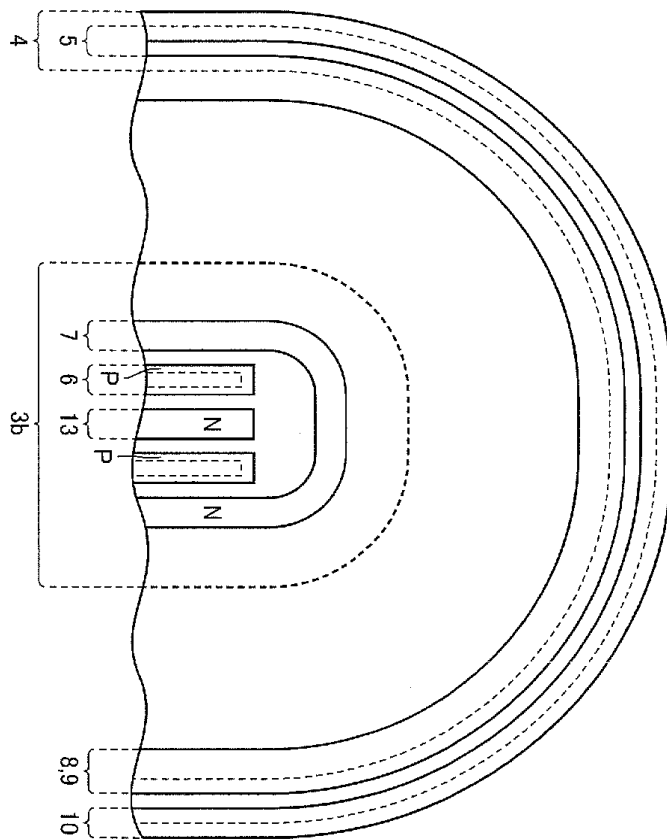
도면7



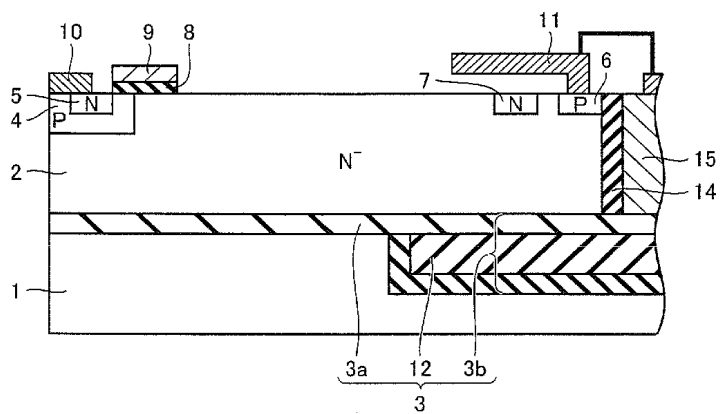
도면8



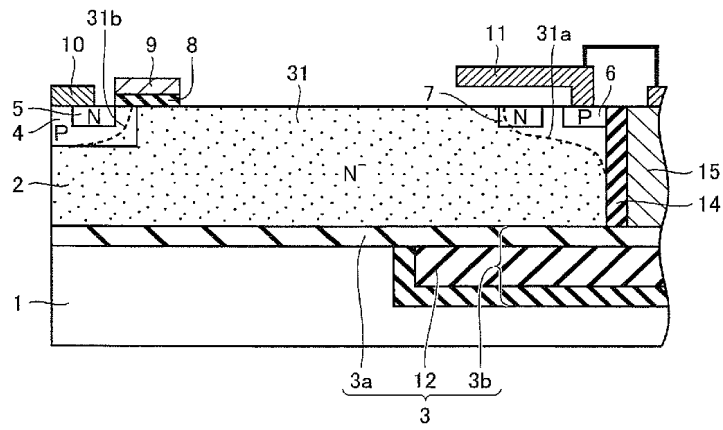
도면9



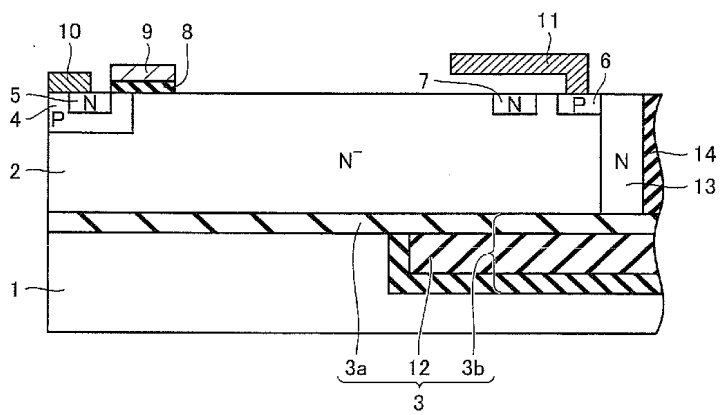
도면10



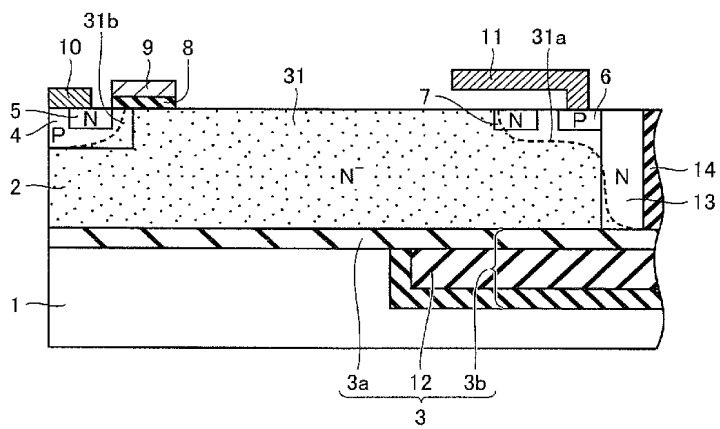
도면11



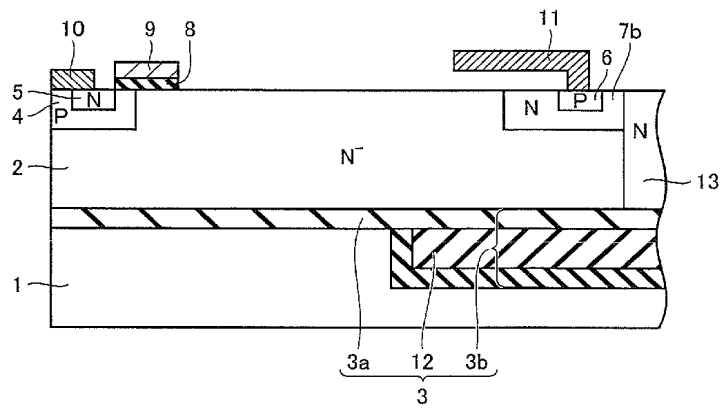
도면12



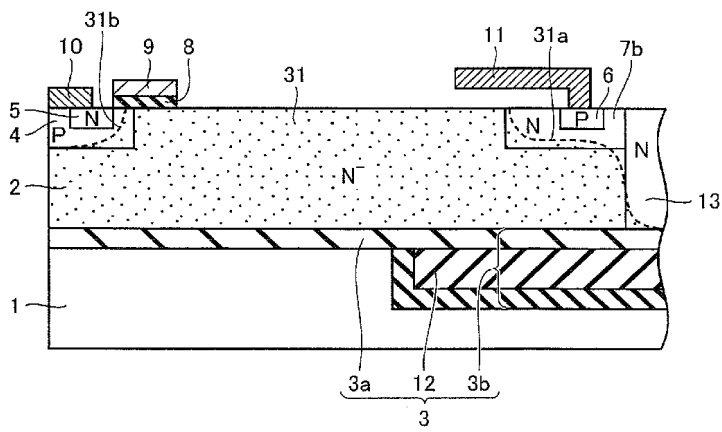
도면13



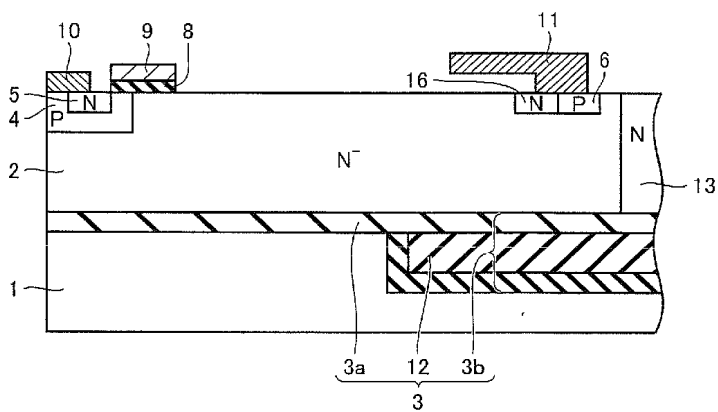
도면14



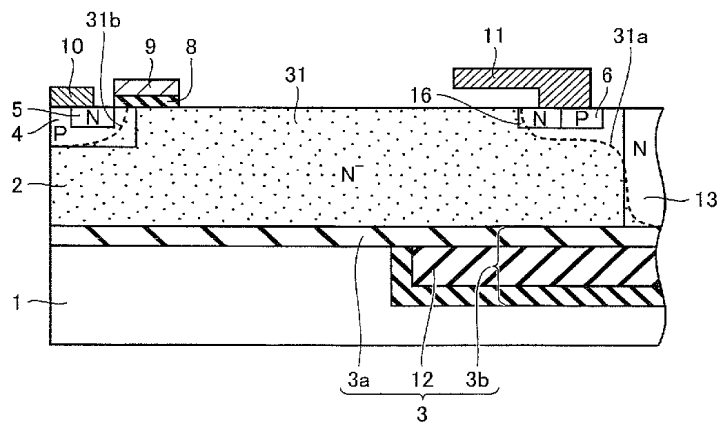
도면15



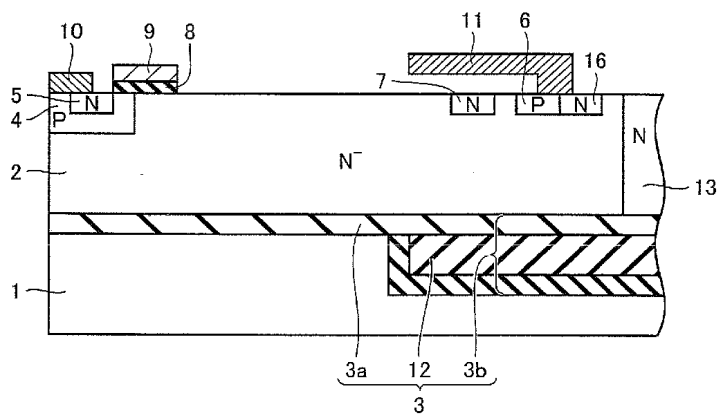
도면16



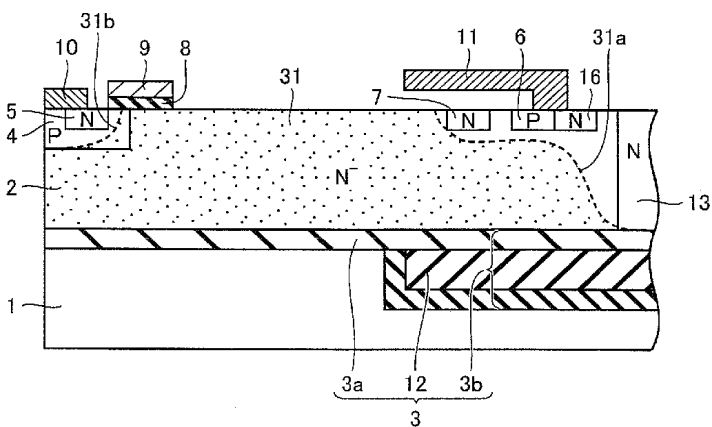
도면17



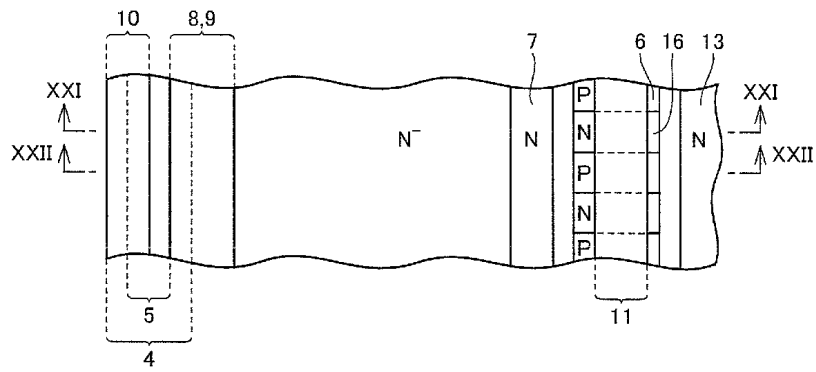
도면18



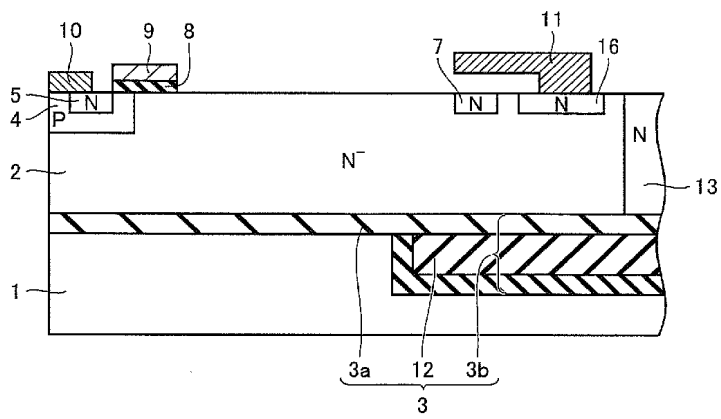
도면19



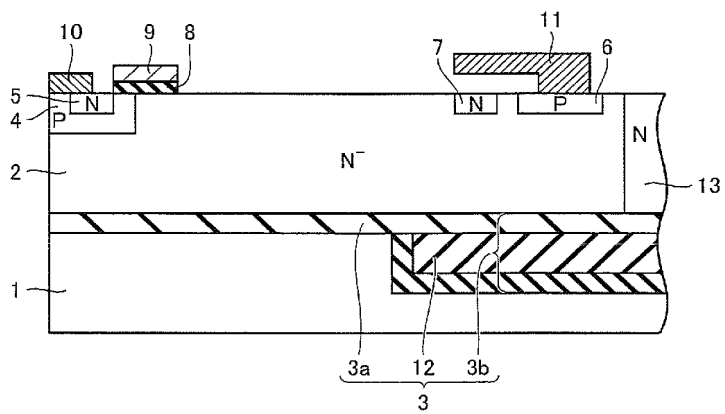
도면20



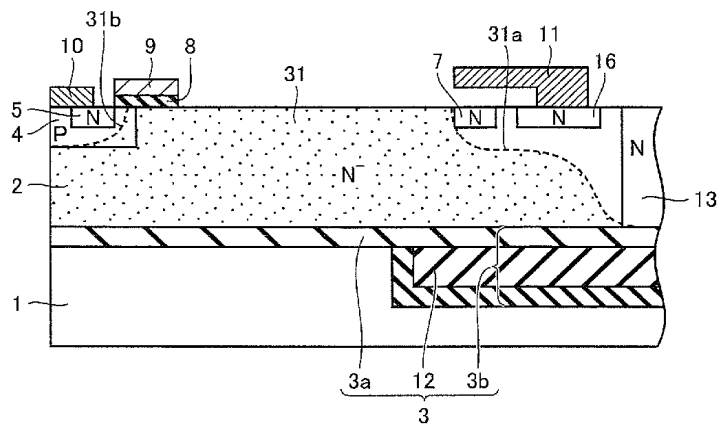
도면21



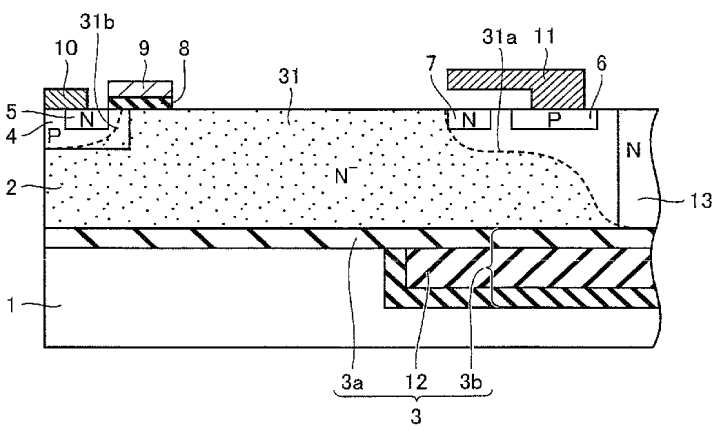
도면22



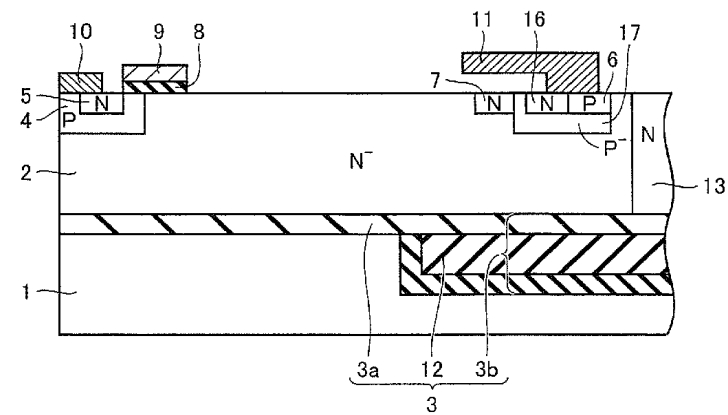
도면23



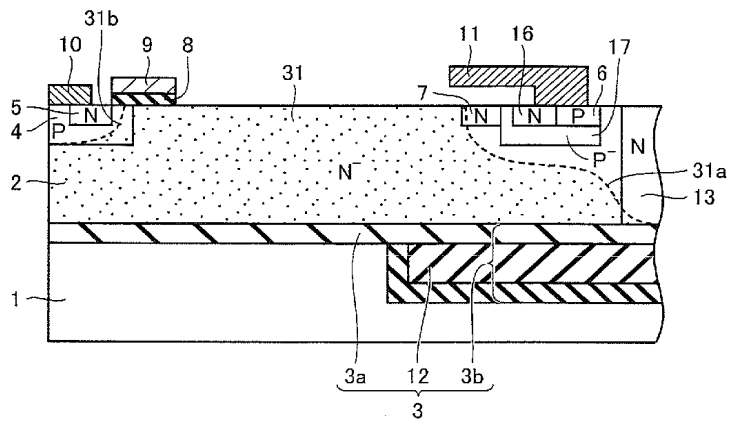
도면24



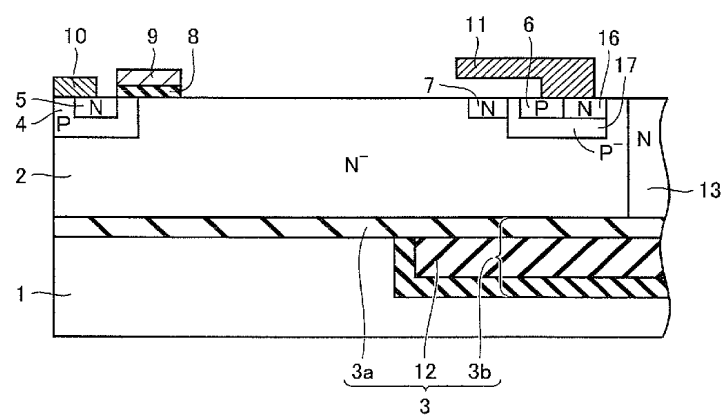
도면25



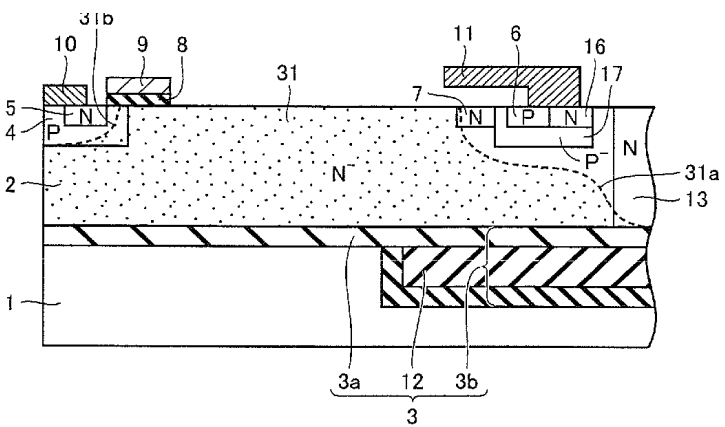
도면26



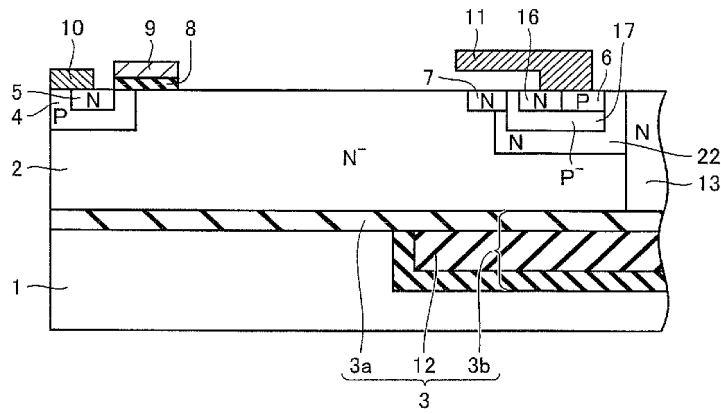
도면27



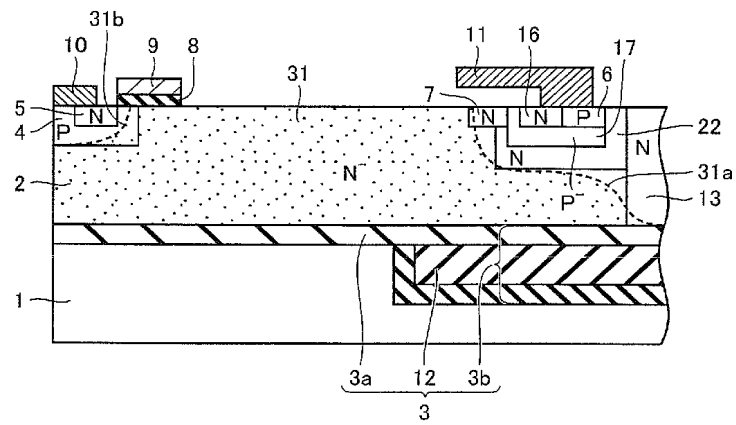
도면28



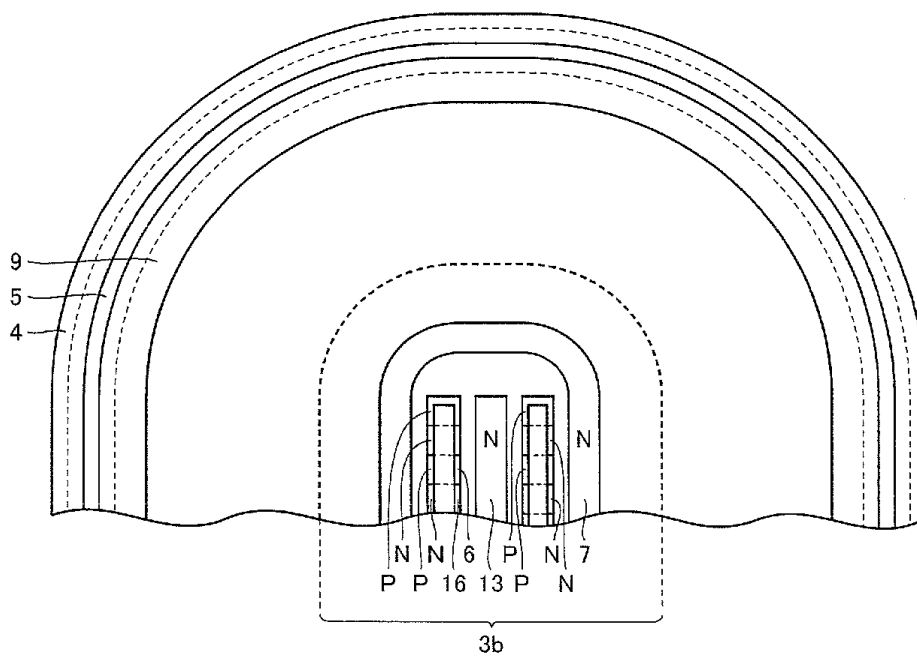
도면29



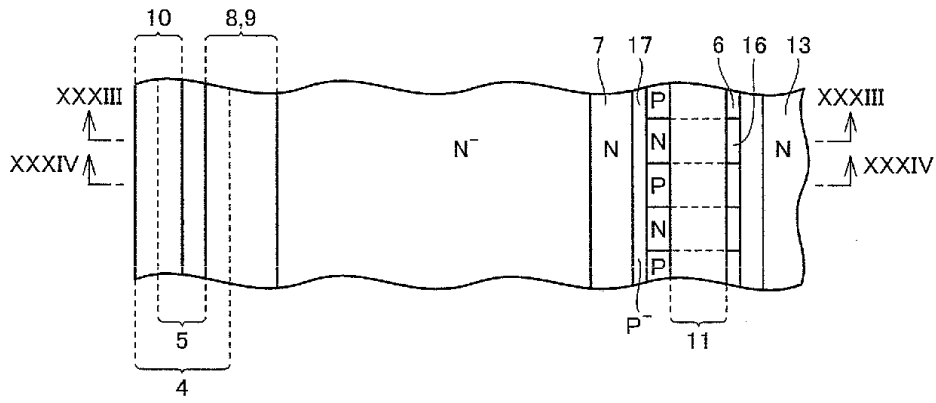
도면30



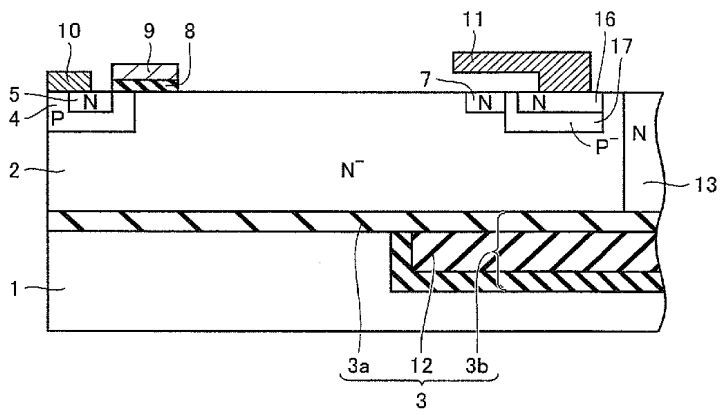
도면31



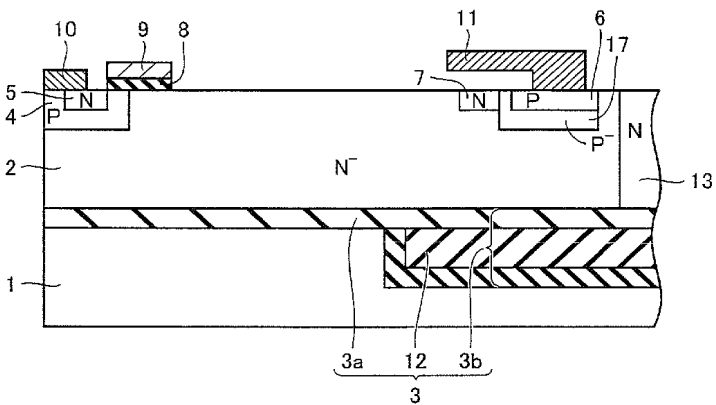
도면32



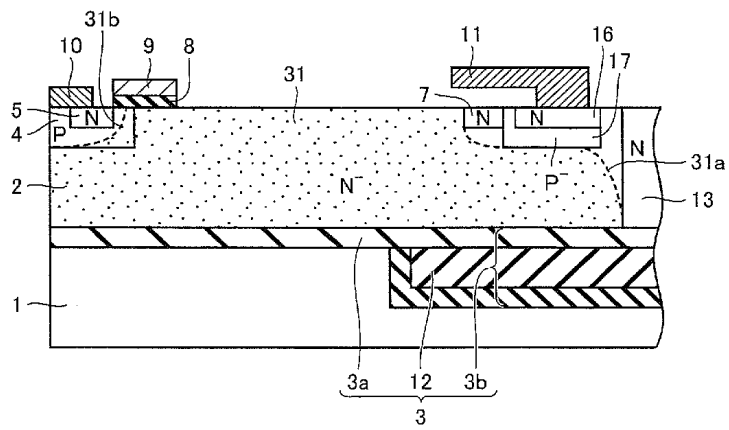
도면33



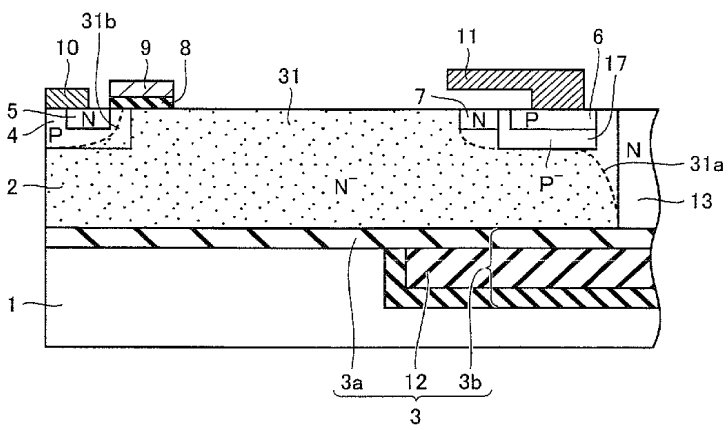
도면34



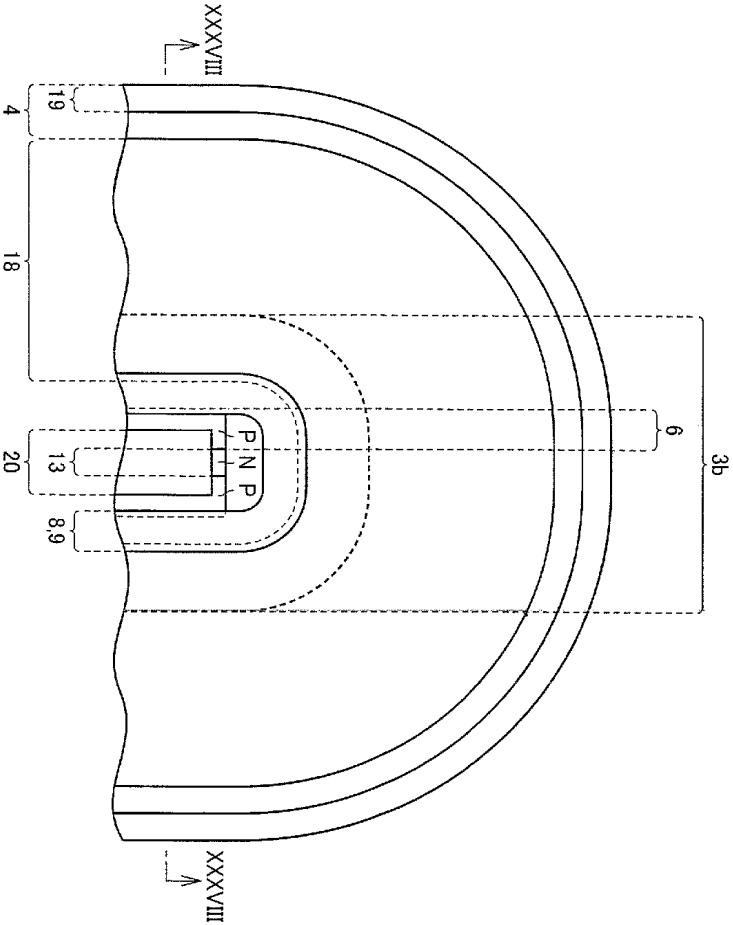
도면35



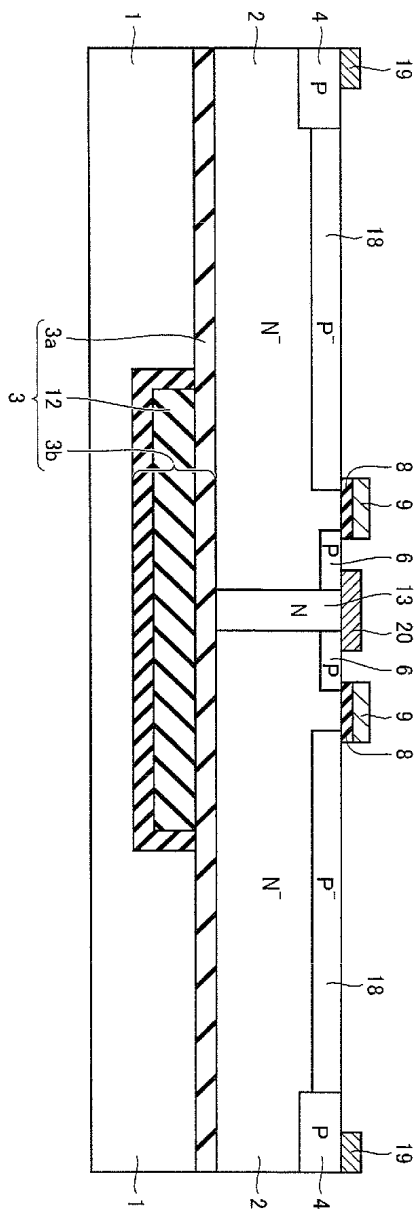
도면36



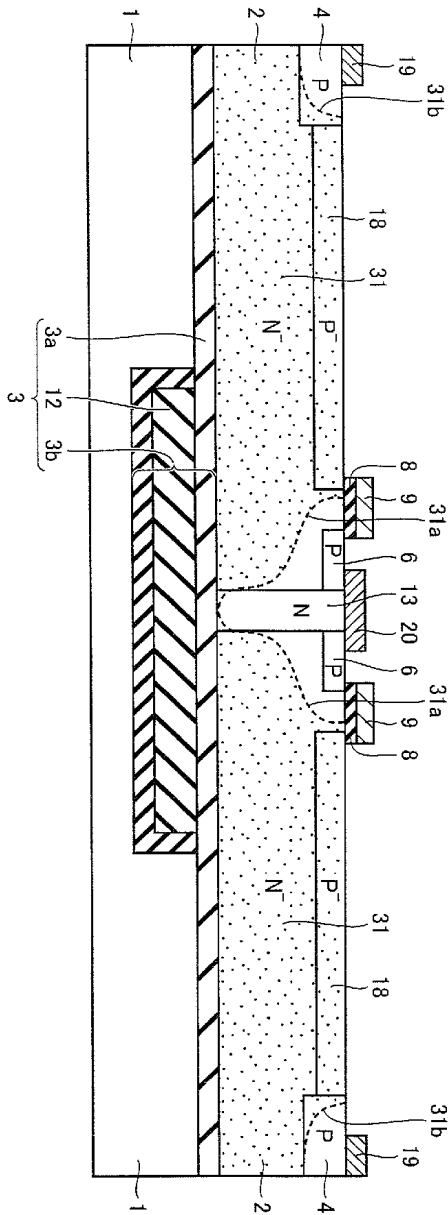
도면37



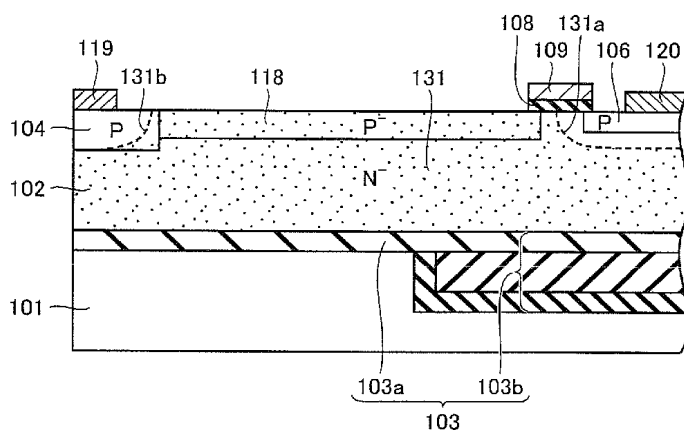
도면38



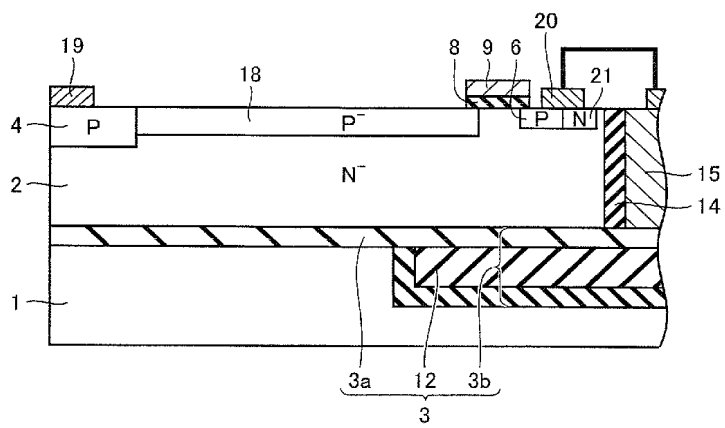
도면39



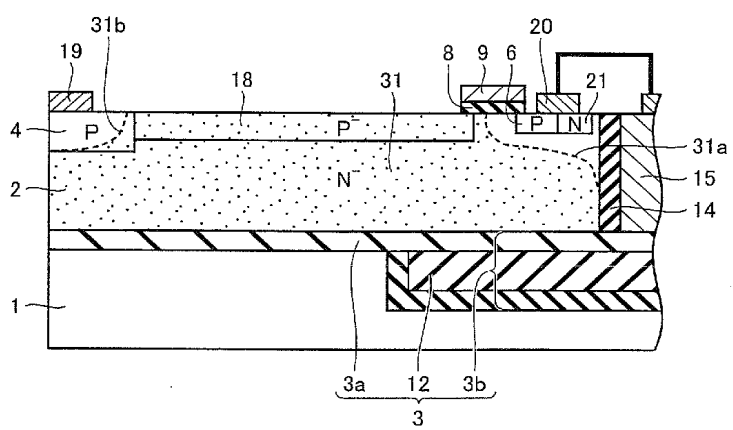
도면40



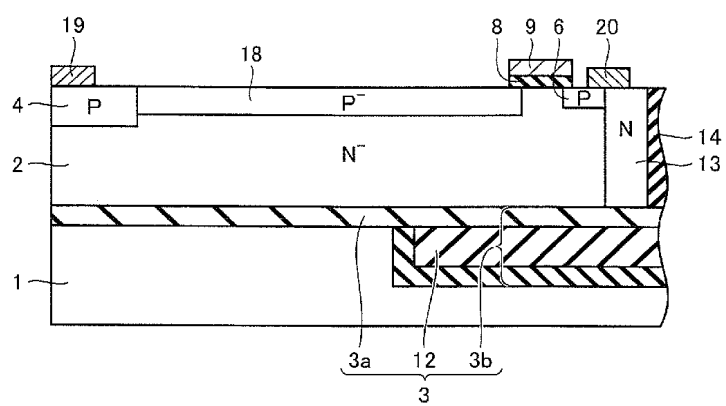
도면41



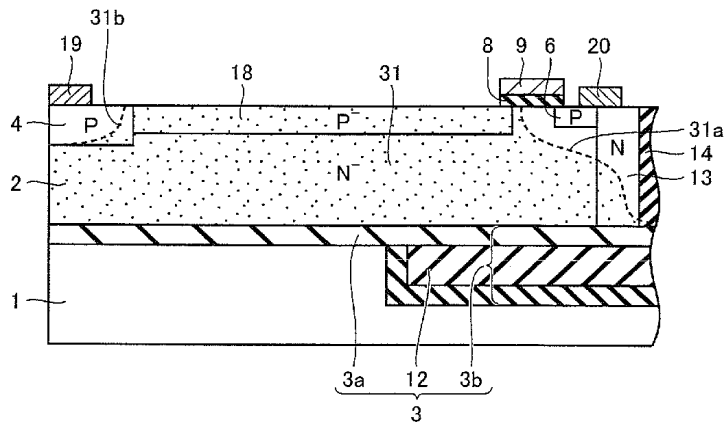
도면42



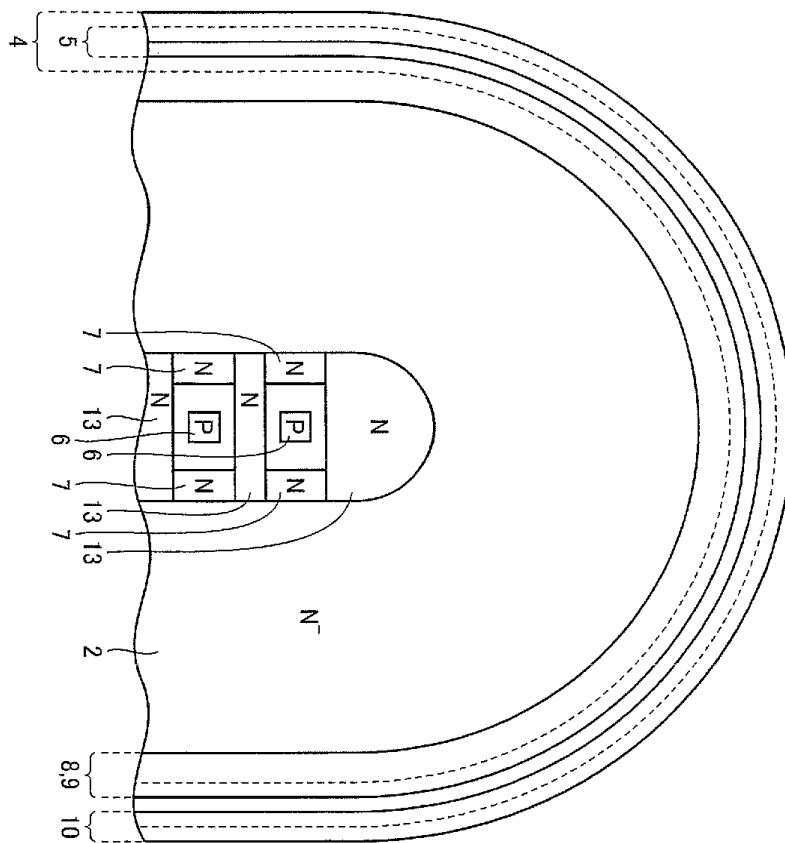
도면43



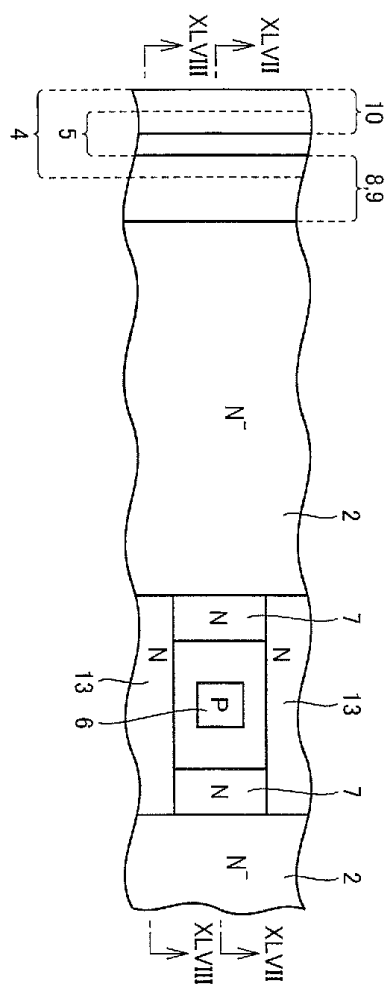
도면44



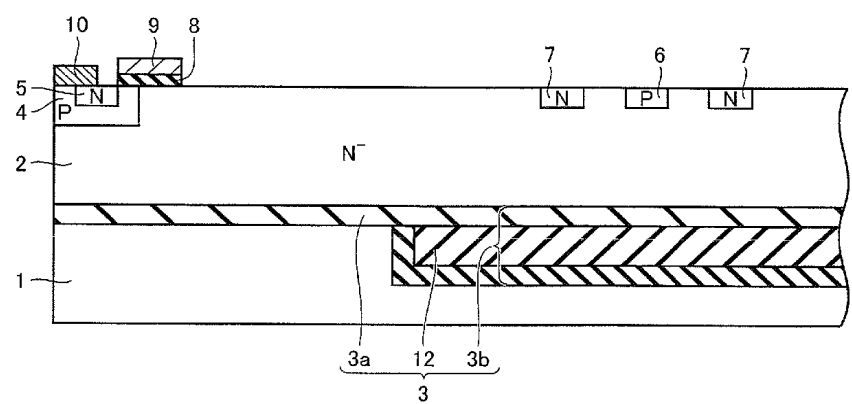
도면45



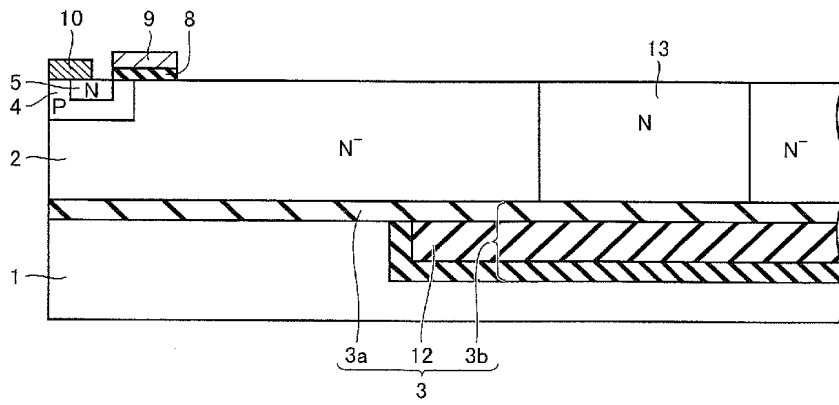
도면46



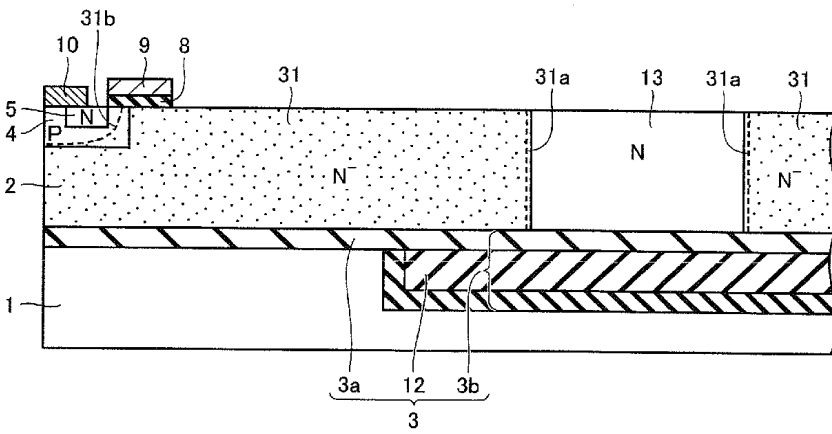
도면47



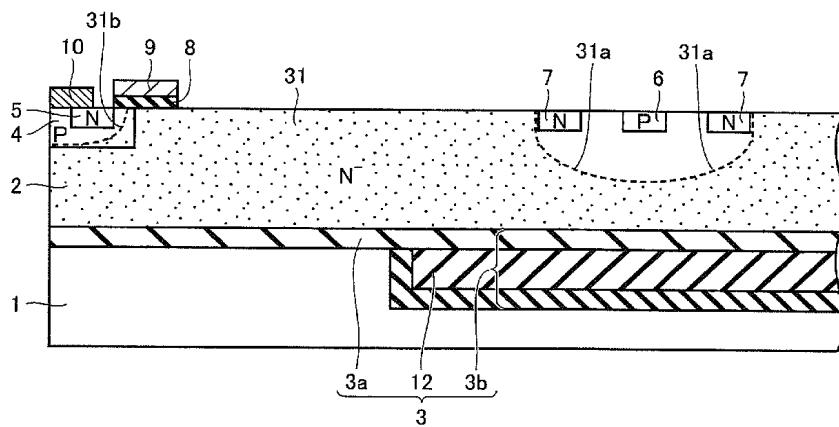
도면48



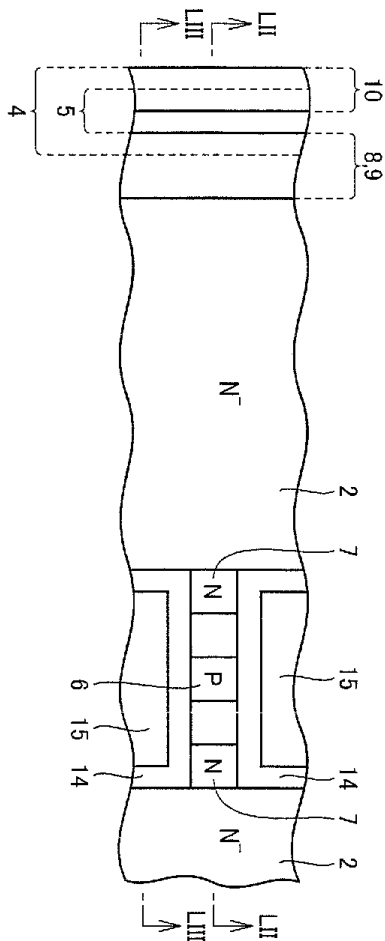
도면49



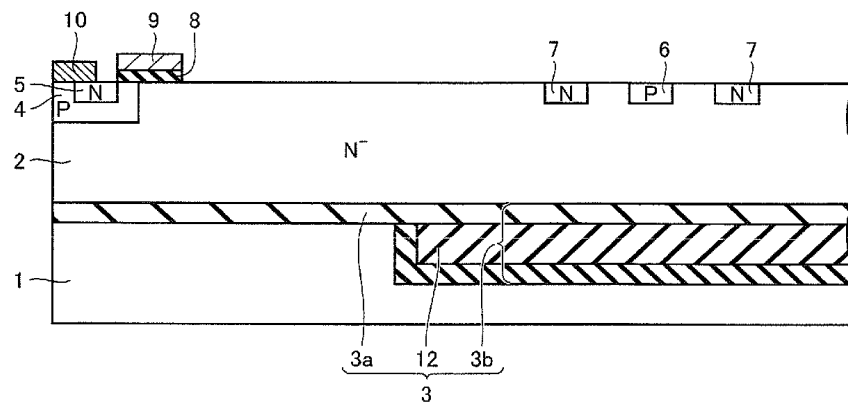
도면50



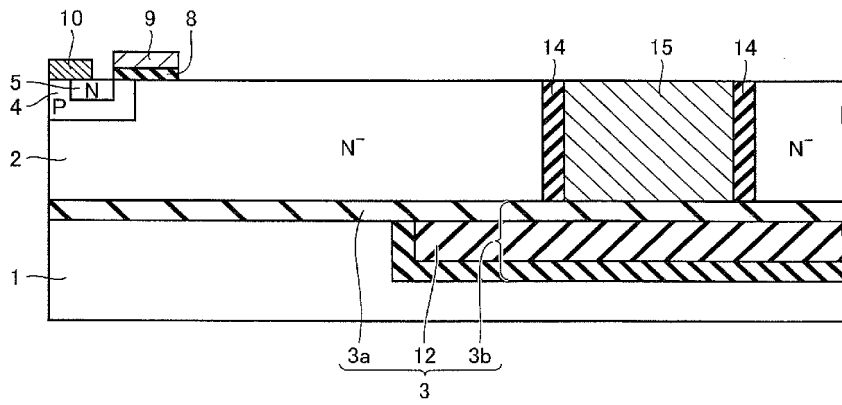
도면51



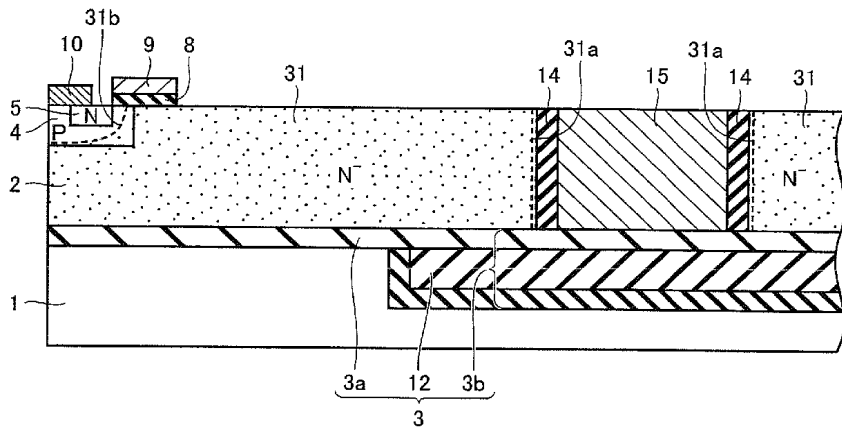
도면52



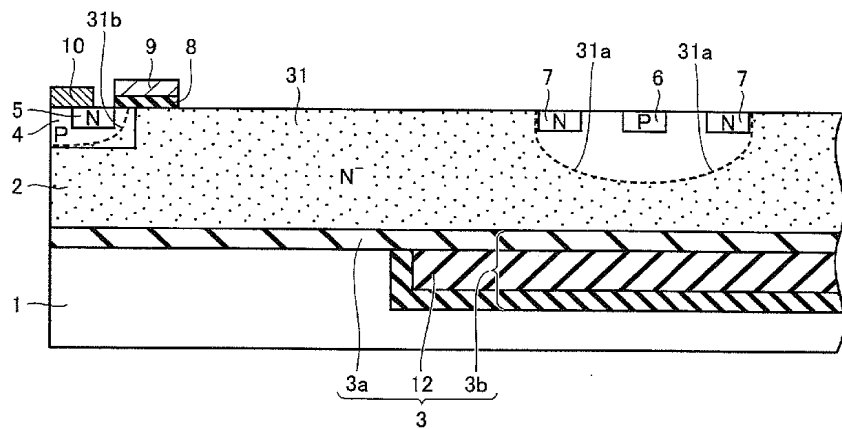
도면53



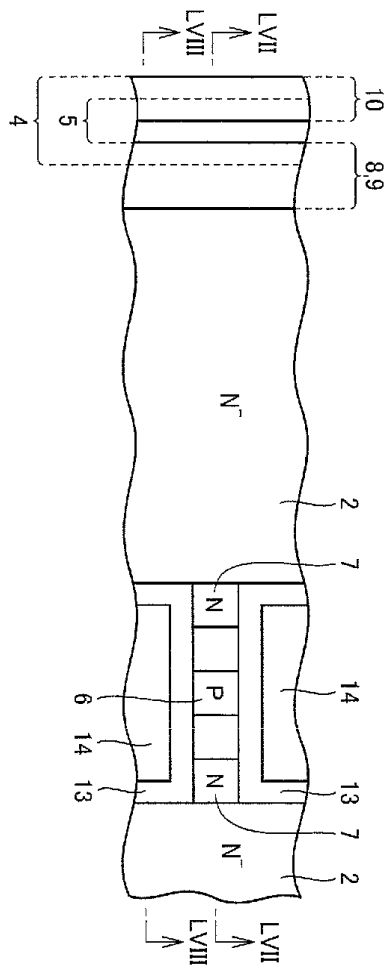
도면54



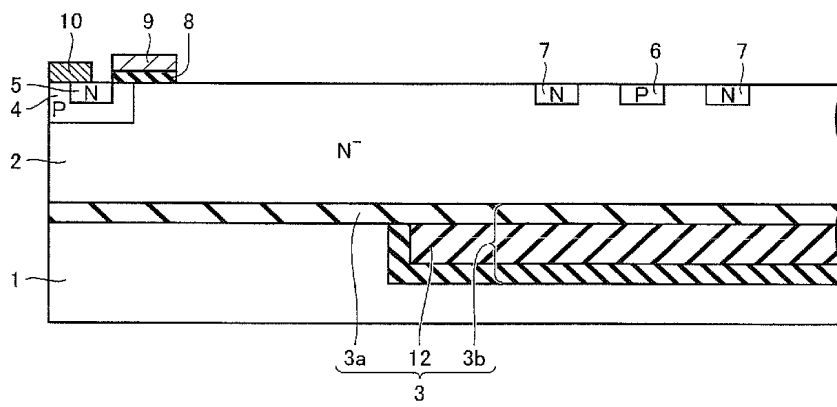
도면55



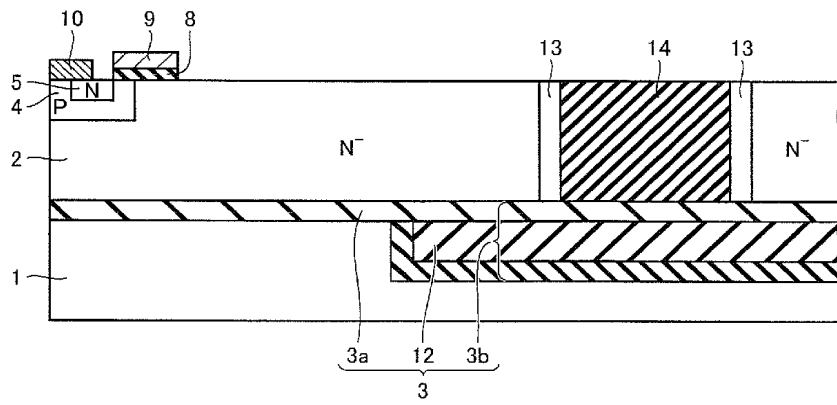
도면56



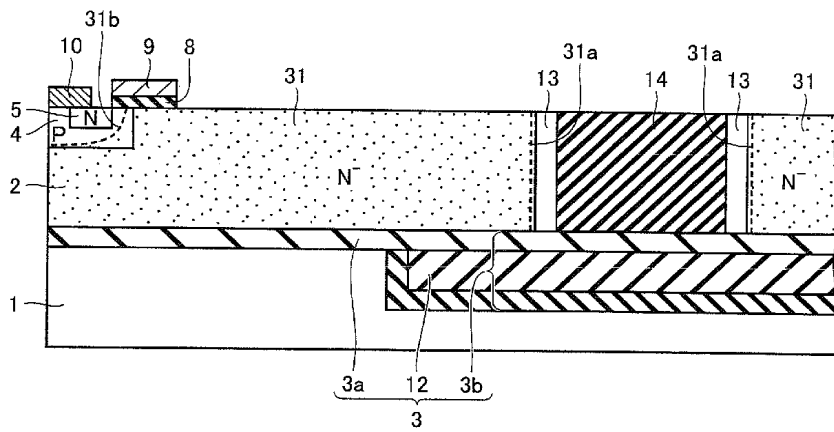
도면57



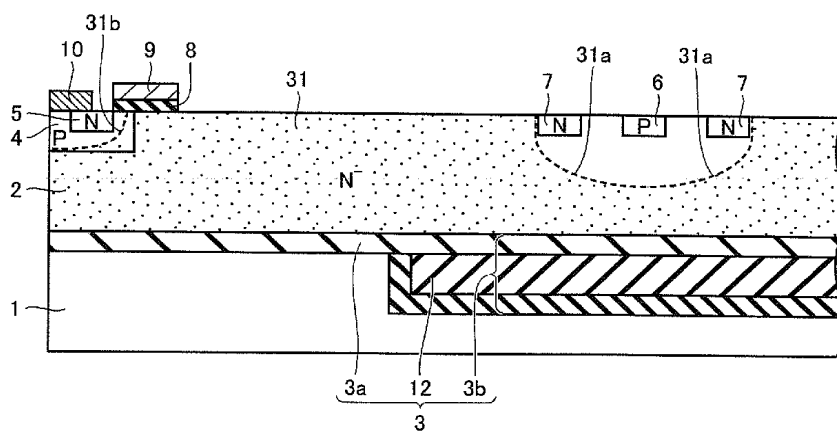
도면58



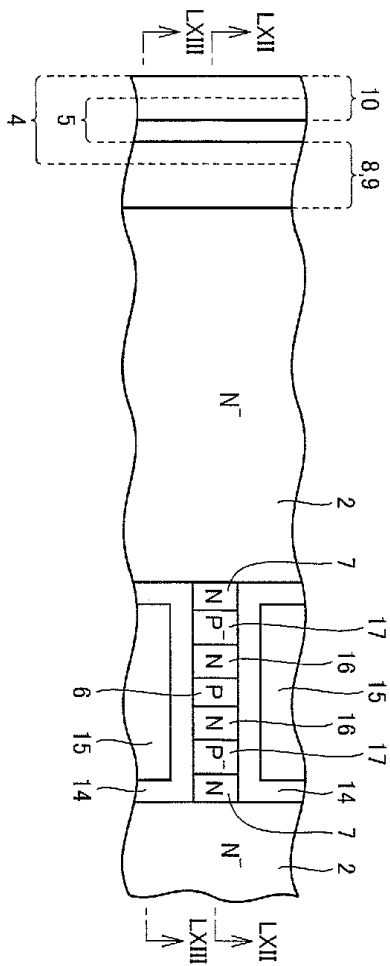
도면59



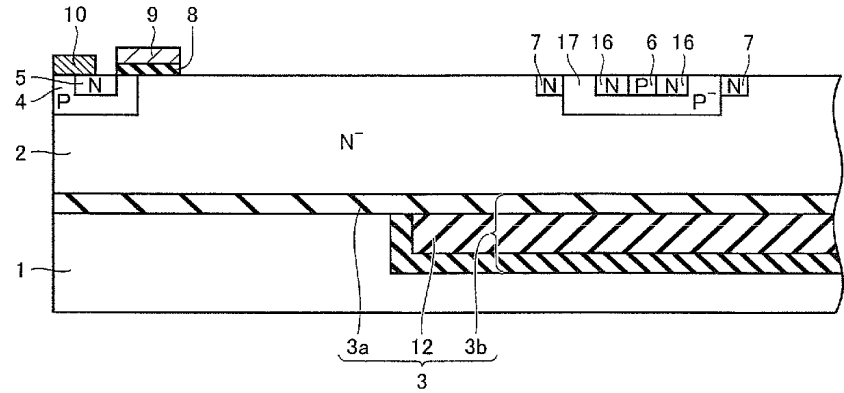
도면60



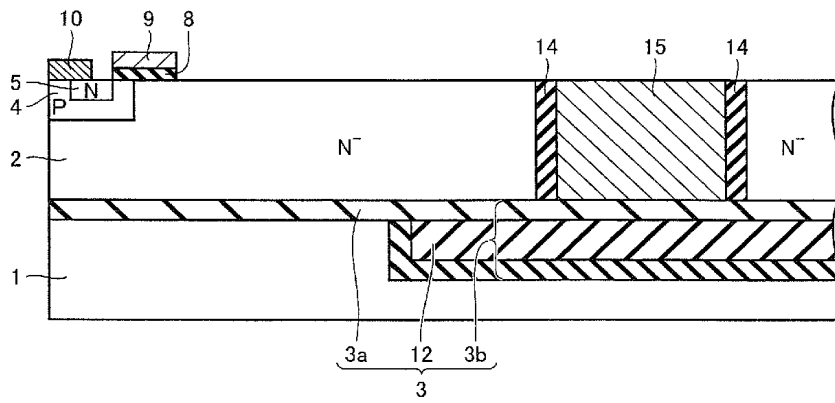
도면61



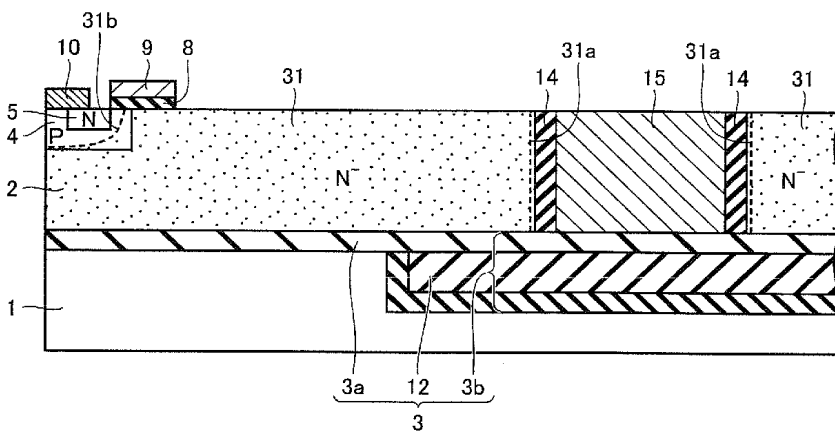
도면62



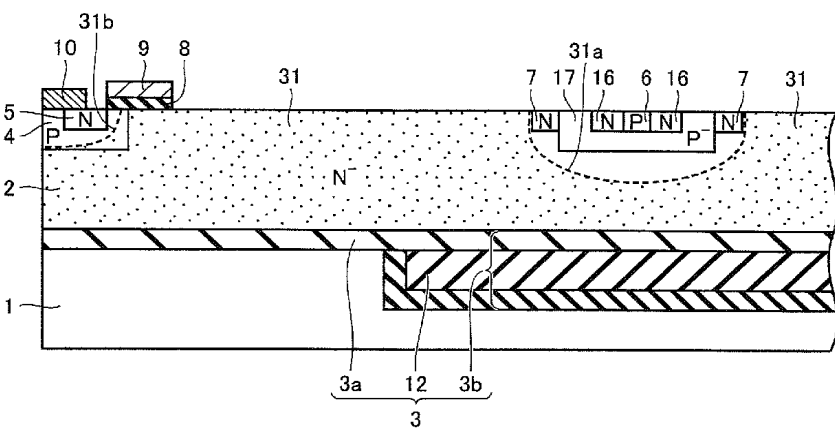
도면63



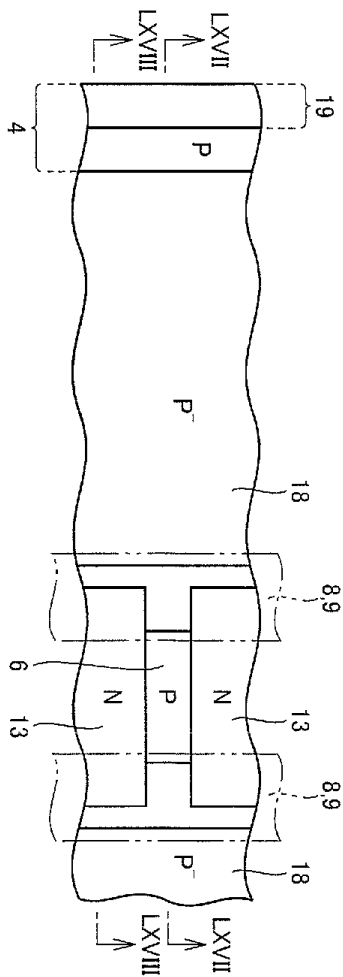
도면64



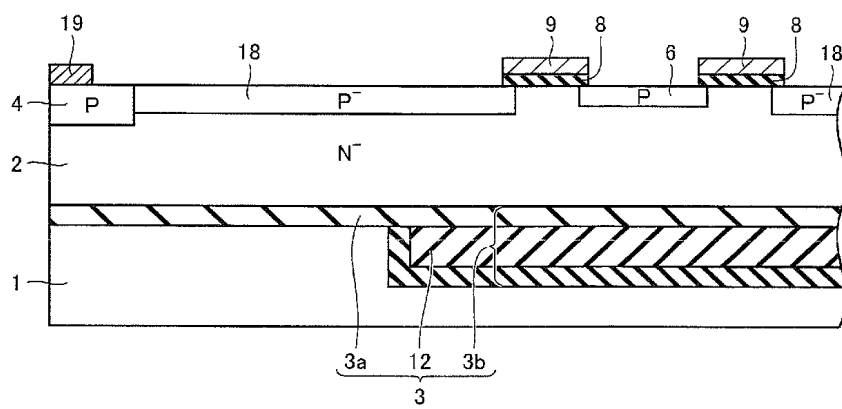
도면65



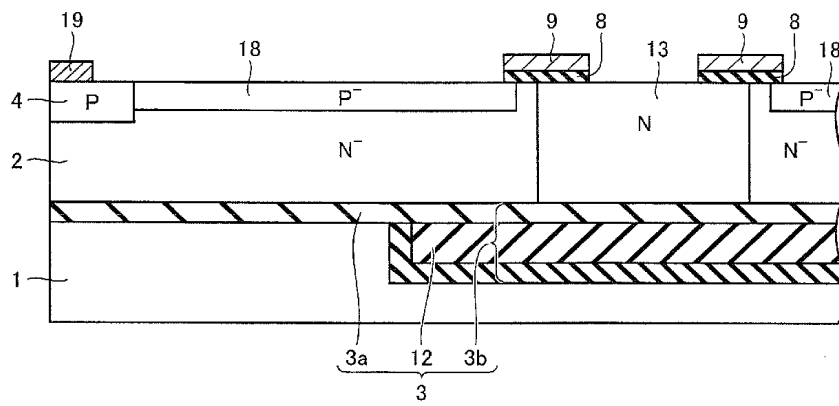
도면 66



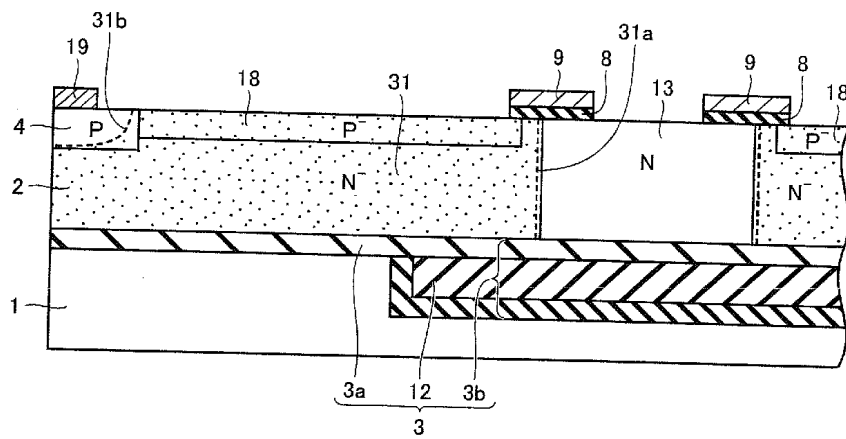
도면67



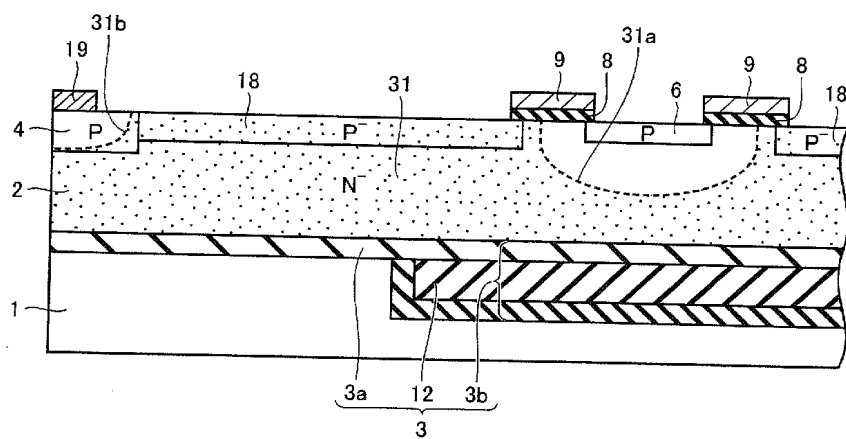
도면68



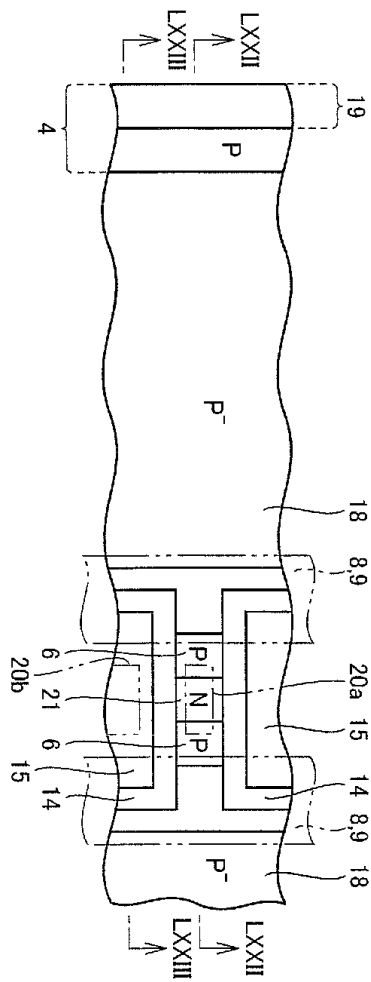
도면 69



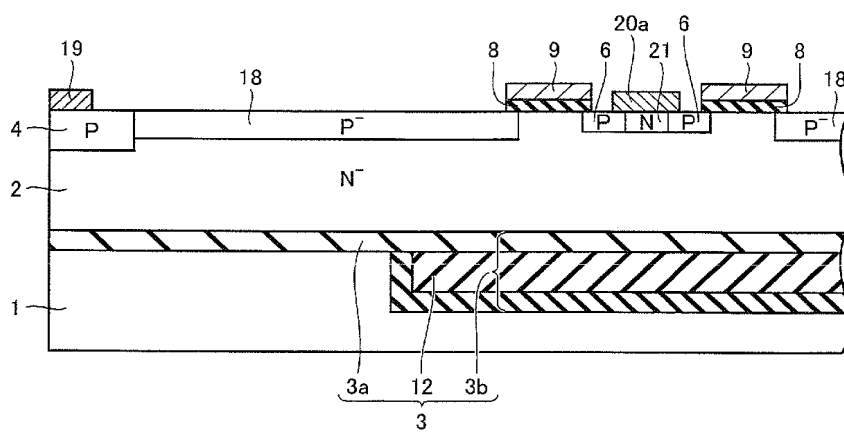
도면70



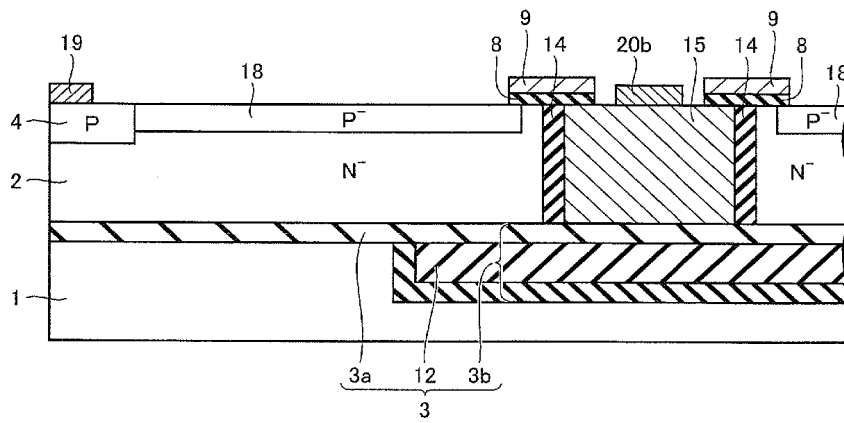
도면71



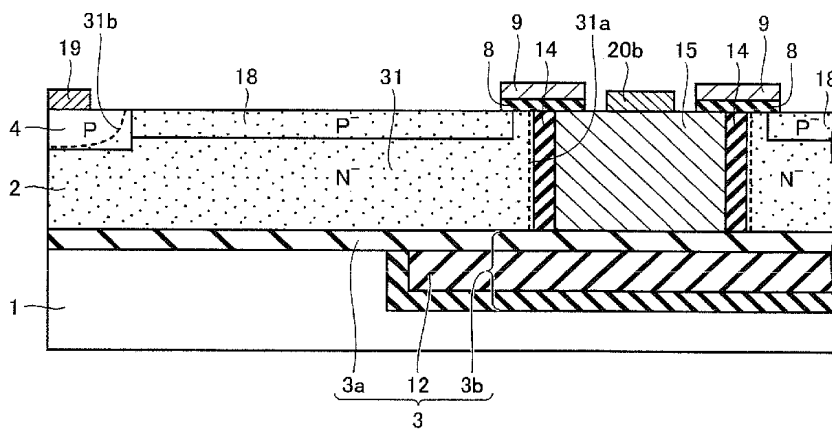
도면72



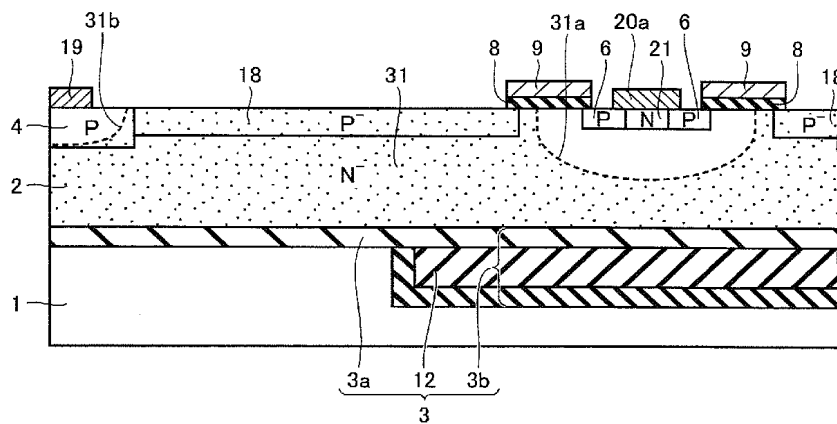
도면73



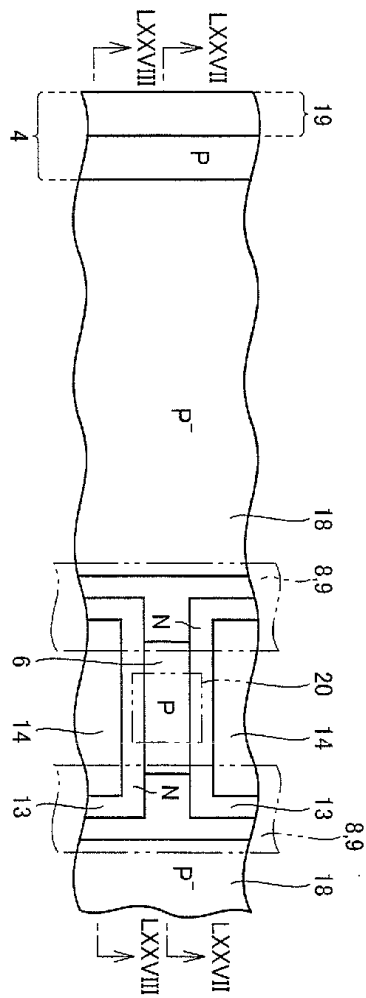
도면74



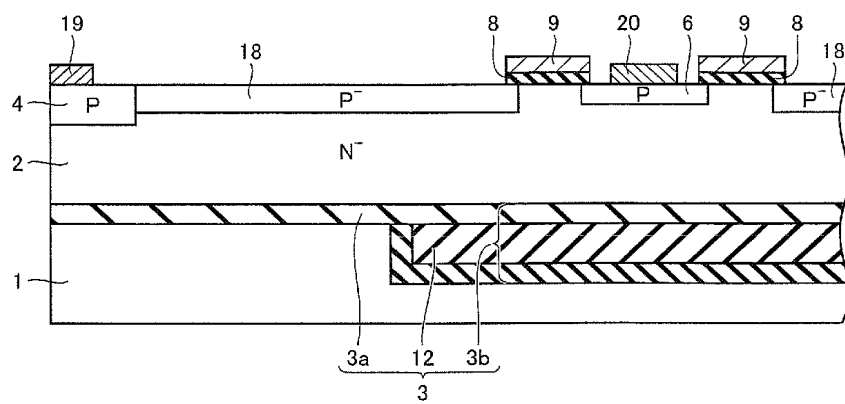
도면75



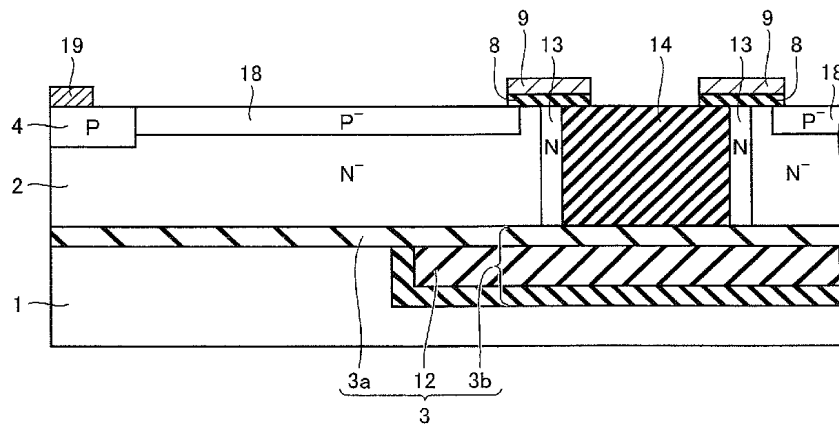
도면76



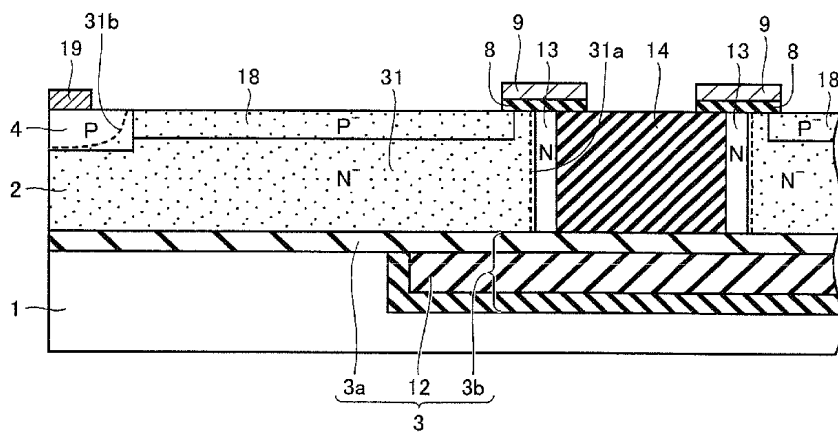
도면77



도면78



도면79



도면 80

