



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0143084
(43) 공개일자 2017년12월29일

(51) 국제특허분류(Int. Cl.)
G11C 29/42 (2015.01) G11C 29/02 (2006.01)
G11C 29/18 (2006.01)

(52) CPC특허분류
G11C 29/42 (2013.01)
G06F 11/1048 (2013.01)

(21) 출원번호 10-2016-0076051
(22) 출원일자 2016년06월17일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
조상구
경기도 부천시 부흥로 100 1531동 704호 (상동, 한아름아파트)

김동건
경기도 화성시 동탄대로 시범길 276 905동 2002호 (청계동, 시범우남퍼스트빌아파트)
(뒷면에 계속)

(74) 대리인
특허법인아주

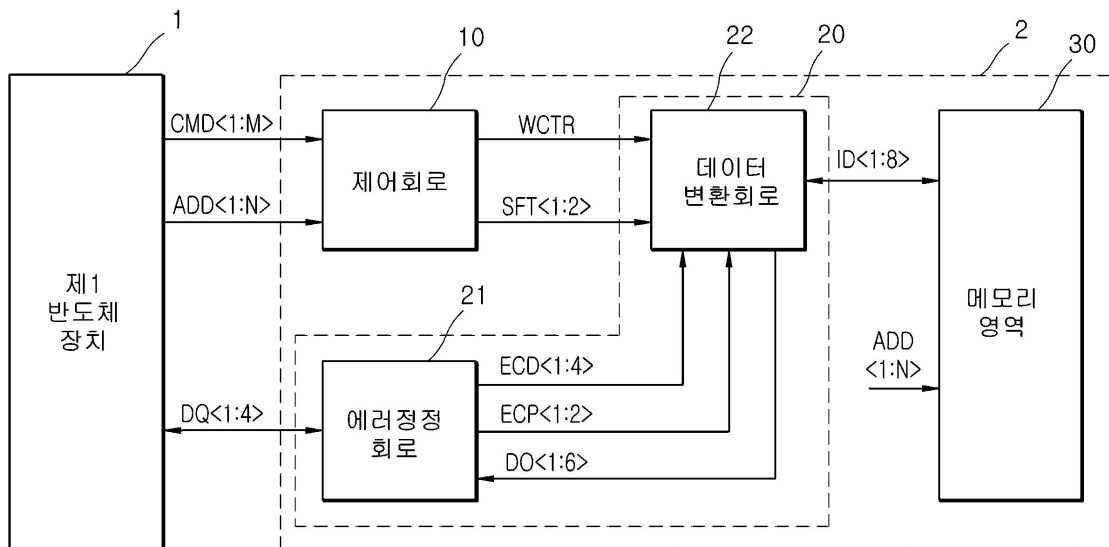
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 반도체장치 및 반도체시스템

(57) 요약

반도체시스템은 커맨드, 어드레스를 출력하고, 데이터를 입출력하는 제1반도체장치 및 상기 커맨드에 응답하여 라이트동작에 진입하고, 상기 데이터의 불량을 정정하며, 상기 어드레스에 따라 선택되는 페이지에 불량이 정정된 상기 데이터 및 상기 데이터의 불량정보를 저장하되, 상기 어드레스의 동일한 조합이 기 설정된 횟수 이상 입력되는 경우 상기 데이터와 상기 데이터의 불량정보를 시프팅하여 상기 페이지에 저장하는 제2 반도체장치를 포함한다.

대표도



(52) CPC특허분류

G11C 29/022 (2013.01)

G11C 29/18 (2013.01)

(72) 발명자

김용주

서울특별시 송파구 양재대로 1218 89번지 올림픽
선수촌APT 202-801

홍도선

경기도 이천시 부발읍 경충대로 2212 104동 901호
(신하리, 진우아파트)

명세서

청구범위

청구항 1

커맨드, 어드레스를 출력하고, 데이터를 입출력하는 제1 반도체장치; 및

상기 커맨드에 응답하여 라이트동작에 진입하고, 상기 데이터의 불량을 정정하며, 상기 어드레스에 따라 선택되는 페이지에 불량이 정정된 상기 데이터 및 상기 데이터의 불량정보를 저장하되, 상기 어드레스의 동일한 조합이 기 설정된 횟수 이상 입력되는 경우 상기 데이터와 상기 데이터의 불량정보를 시프팅하여 상기 페이지에 저장하는 제2 반도체장치를 포함하는 반도체시스템.

청구항 2

제 1 항에 있어서, 상기 제2 반도체장치는

상기 라이트동작 중 상기 동일한 조합의 어드레스가 상기 기 설정된 횟수 미만으로 입력되는 경우 상기 페이지에 저장되는 상기 데이터 및 상기 불량정보를 시프팅하지 않고 저장하는 반도체시스템.

청구항 3

제 1 항에 있어서, 상기 제2 반도체장치는

리드동작 시 시프팅되어 상기 페이지에 저장된 상기 데이터 및 상기 불량정보의 위치를 복원하고, 상기 불량정보에 의해 상기 데이터의 불량을 정정하여 출력하는 반도체시스템.

청구항 4

제 1 항에 있어서, 상기 제2 반도체장치는

상기 커맨드에 응답하여 상기 라이트동작 시 동일한 상기 어드레스의 조합이 상기 기 설정된 횟수 이상 입력되는 경우 발생하는 펄스를 포함하는 제어신호 및 동일한 상기 어드레스의 조합이 상기 기 설정된 횟수 이상 입력되는 경우 카운팅되는 시프팅신호를 생성하는 제어회로; 및

상기 제어신호의 펄스에 응답하여 상기 데이터 및 상기 불량정보를 시프팅하여 내부데이터를 생성하는 데이터입출력회로를 포함하는 반도체시스템.

청구항 5

제 4 항에 있어서, 상기 내부데이터는 상기 데이터, 상기 불량정보 및 상기 시프팅신호를 포함하는 반도체시스템.

청구항 6

제 4 항에 있어서, 상기 데이터입출력회로는

리드동작 시 상기 시프팅신호에 의해 상기 내부데이터에 포함된 상기 데이터 및 상기 불량정보의 위치를 복원하고, 상기 불량정보에 의해 상기 내부데이터의 불량을 정정하여 상기 데이터로 출력하는 반도체시스템.

청구항 7

제 4 항에 있어서, 상기 제어회로는

상기 어드레스가 동일한 조합인 경우 카운팅되는 카운팅신호를 생성하는 카운터;

상기 커맨드에 응답하여 상기 카운팅신호가 상기 기 설정된 횟수이상 카운팅되는 경우 발생하는 펄스를 포함하는 상기 제어신호를 생성하는 제어신호생성회로; 및

상기 카운팅신호가 상기 기 설정된 횟수이상 카운팅되는 경우 카운팅되는 상기 시프팅신호를 생성하는 시프팅신호생성회로를 포함하는 반도체시스템.

청구항 8

제 4 항에 있어서, 상기 데이터입출력회로는

상기 라이트동작 시 상기 데이터의 불량을 검출하고, 상기 데이터의 불량을 정정하여 정정데이터를 생성하며, 상기 데이터의 불량정보를 포함하는 패리티신호를 생성하는 에러정정회로; 및

상기 제어신호에 응답하여 상기 정정데이터 및 상기 패리티신호를 시프팅하여 상기 내부데이터를 생성하는 데이터변환회로를 포함하는 반도체시스템.

청구항 9

제 8 항에 있어서,

상기 에러정정회로는 리드동작 시 상기 패리티신호에 의해 출력데이터의 불량을 정정하여 상기 데이터로 출력하고,

상기 데이터변환회로는 상기 리드동작 시 상기 시프팅신호에 의해 상기 내부데이터에 포함된 상기 정정데이터 및 상기 패리티신호의 위치를 복원하여 상기 출력데이터를 생성하는 반도체시스템.

청구항 10

제 8 항에 있어서, 상기 데이터변환회로는

상기 제어신호의 펄스가 입력되는 횟수만큼 상기 정정데이터와 상기 패리티신호를 시프팅하고, 시프팅 된 상기 정정데이터와 상기 패리티신호 및 상기 시프팅신호를 래치데이터로 출력하는 래치회로; 및

라이트신호에 응답하여 상기 래치데이터를 상기 내부데이터로 출력하는 레지스터를 포함하는 반도체시스템.

청구항 11

제 10 항에 있어서,

상기 래치회로는 리드동작 시 상기 래치데이터에 포함된 상기 시프팅신호에 의해 상기 정정데이터와 상기 패리티신호의 위치를 복원하여 상기 출력데이터로 출력하고,

상기 레지스터는 리드신호에 응답하여 상기 내부데이터를 상기 래치데이터로 출력하는 반도체시스템.

청구항 12

제 3 항에 있어서, 상기 제2 반도체장치는

상기 라이트동작 시 상기 어드레스의 조합에 따라 선택되는 상기 페이지에 상기 내부데이터를 저장하고, 상기

리드동작 시 상기 어드레스의 조합에 따라 선택되는 상기 페이지에 저장된 상기 내부데이터를 출력하는 메모리 영역을 더 포함하는 반도체시스템.

청구항 13

라이트동작 시 동일한 어드레스의 조합이 기 설정된 횟수 이상 입력되는 경우 발생하는 펄스를 포함하는 제어신호 및 동일한 상기 어드레스의 조합이 상기 기 설정된 횟수 이상 입력되는 경우 카운팅되는 시프팅신호를 생성하는 제어회로;

상기 제어신호의 펄스에 응답하여 데이터 및 불량정보를 시프팅하여 내부데이터를 생성하는 데이터입출력회로; 및

상기 라이트동작 시 상기 어드레스에 의해 선택되는 페이지에 상기 내부데이터를 저장하고, 리드동작 시 상기 어드레스의 조합에 따라 선택되는 상기 페이지에 저장된 상기 내부데이터를 출력하는 메모리영역을 포함하는 반도체장치.

청구항 14

제 13 항에 있어서, 상기 데이터입출력회로는

상기 제어신호의 펄스가 입력되는 횟수만큼 상기 내부데이터에 저장되는 상기 데이터 및 상기 불량정보를 시프팅하는 반도체장치.

청구항 15

제 13 항에 있어서, 상기 내부데이터는 상기 데이터, 상기 불량정보 및 상기 시프팅신호를 포함하는 반도체장치.

청구항 16

제 13 항에 있어서, 상기 데이터입출력회로는

상기 리드동작 시 상기 시프팅신호에 의해 상기 내부데이터에 포함된 상기 데이터 및 상기 불량정보의 위치를 복원하고, 상기 불량정보에 의해 상기 내부데이터의 불량을 정정하여 상기 데이터로 출력하는 반도체장치.

청구항 17

제 13 항에 있어서, 상기 제어회로는

상기 어드레스가 동일한 조합인 경우 카운팅되는 카운팅신호를 생성하는 카운터;

커맨드에 응답하여 상기 카운팅신호가 상기 기 설정된 횟수이상 카운팅되는 경우 발생하는 펄스를 포함하는 상기 제어신호를 생성하는 제어신호생성회로; 및

상기 카운팅신호가 상기 기 설정된 횟수이상 카운팅되는 경우 카운팅되는 상기 시프팅신호를 생성하는 시프팅신호생성회로를 포함하는 반도체장치.

청구항 18

제 13 항에 있어서, 상기 데이터입출력회로는

상기 라이트동작 시 상기 데이터의 불량을 검출하고, 상기 데이터의 불량을 정정하여 정정데이터를 생성하며,

상기 데이터의 불량정보를 포함하는 패리티신호를 생성하는 에러정정회로; 및

상기 제어신호의 펄스에 응답하여 상기 정정데이터 및 상기 패리티신호를 시프팅하여 상기 내부데이터를 생성하는 데이터변환회로를 포함하는 반도체장치.

청구항 19

제 18 항에 있어서,

상기 에러정정회로는 상기 리드동작 시 상기 패리티신호에 의해 출력데이터의 불량을 정정하여 상기 데이터로 출력하고,

상기 데이터변환회로는 상기 리드동작 시 상기 시프팅신호에 의해 상기 내부데이터에 포함된 상기 정정데이터 및 상기 패리티신호의 위치를 복원하여 상기 출력데이터를 생성하는 반도체장치.

청구항 20

제 18 항에 있어서, 상기 데이터변환회로는

상기 제어신호의 펄스가 입력되는 횟수만큼 상기 정정데이터와 상기 패리티신호를 시프팅하고, 시프팅 된 상기 정정데이터와 상기 패리티신호 및 상기 시프팅신호를 래치데이터로 출력하는 래치회로; 및

라이트신호에 응답하여 상기 래치데이터를 상기 내부데이터로 출력하는 레지스터를 포함하는 반도체장치.

청구항 21

제 20 항에 있어서,

상기 래치회로는 상기 리드동작 시 상기 래치데이터에 포함된 상기 시프팅신호에 의해 상기 정정데이터와 상기 패리티신호의 위치를 복원하여 상기 출력데이터로 출력하고,

상기 레지스터는 리드신호에 응답하여 상기 내부데이터를 상기 래치데이터로 출력하는 반도체장치.

청구항 22

커맨드에 응답하여 라이트동작에 진입하는 라이트진입단계;

상기 라이트동작 시 동일한 어드레스가 기 설정된 횟수 이상 입력되는 경우를 판단하는 라이트횟수감지단계; 및
 상기 동일한 어드레스가 상기 기 설정된 횟수 이상 입력되는 경우 발생하는 펄스를 포함하는 제어신호를 생성하고, 상기 동일한 어드레스가 상기 기 설정된 횟수 이상 입력되는 경우 카운팅되는 시프팅신호를 생성하며, 상기 제어신호에 포함된 펄스의 생성횟수만큼 데이터 및 상기 데이터의 불량정보를 시프팅하여 내부데이터를 생성하는 데이터변환단계를 포함하는 데이터입출력방법.

청구항 23

제 22 항에 있어서, 상기 내부데이터는 상기 데이터, 상기 불량정보 및 상기 시프팅신호를 포함하는 데이터입출력방법.

청구항 24

제 22 항에 있어서,

상기 어드레스에 의해 선택되는 페이지에 상기 내부데이터를 저장하는 라이트동작단계를 더 포함하는 데이터입출력방법.

청구항 25

제 24 항에 있어서, 상기 라이트동작단계를

상기 동일한 어드레스가 상기 기 설정된 횟수 미만으로 입력되는 경우 상기 데이터, 상기 불량정보를 시프팅하지 않고 상기 내부데이터로 저장하는 데이터입출력방법.

발명의 설명

기술 분야

[0001] 본 발명은 라이트횟수에 따라 데이터 및 패리티비트를 저장하는 위치를 시프팅하는 반도체장치 및 반도체시스템에 관한 것이다.

배경 기술

[0003] 반도체장치는 제품 출하 전 정상적인 동작을 테스트하기 위한 테스트모드를 구비하여 테스트 수행 후 반도체장치의 동작상의 문제가 있는지 테스트하고 정상동작이 가능한 반도체장치를 제품으로 출하하게 된다. 이러한 테스트를 수행하기 위해서는 반도체장치가 테스트모드에 진입하여 테스트를 수행하고, 테스트 결과를 모니터링함으로써 반도체장치가 정상동작하는지를 확인하게 된다.

[0004] 이와 같은 반도체장치를 테스트하기 위해서는 반도체장치가 리드동작과 라이트동작을 수행하여 패드를 통해 데이터를 입출력하고, 데이터의 로직레벨을 감지함으로써 메모리의 불량 여부를 테스트한다.

[0005] 또한, 반도체장치는 제조 공정 기술의 발달로 인한 미세화 공정 기술이 진행됨에 따라 불량이 있는 메모리 셀들의 수도 증가하고 있다. 불량 셀들의 증가는 반도체장치의 생산 수율을 감소시킬 뿐 아니라 메모리 용량을 보강하기 어렵게 한다. 이에 불량 셀들을 구제하기 위한 하나의 방안으로 반도체장치는 ECC회로를 채용하고 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 동일한 위치의 페이지를 설정횟수 이상 선택하여 데이터 및 패리티신호를 저장하는 경우 데이터 및 패리티신호의 저장위치를 시프팅하여 저장하는 반도체장치 및 반도체시스템을 제공한다.

과제의 해결 수단

[0009] 이를 위해 본 발명은 커맨드, 어드레스를 출력하고, 데이터를 입출력하는 제1 반도체장치 및 상기 커맨드에 응답하여 라이트동작에 진입하고, 상기 데이터의 불량을 정정하며, 상기 어드레스에 따라 선택되는 페이지에 불량 이 정정된 상기 데이터 및 상기 데이터의 불량정보를 저장하되, 상기 어드레스의 동일한 조합이 기 설정된 횟수 이상 입력되는 경우 상기 데이터와 상기 데이터의 불량정보를 시프팅하여 상기 페이지에 저장하는 제2 반도체장치를 포함하는 반도체시스템을 제공한다.

[0010] 또한, 본 발명은 라이트동작 시 동일한 어드레스의 조합이 기 설정횟수 이상 입력되는 경우 발생하는 펄스를 포함하는 제어신호 및 동일한 상기 어드레스의 조합이 기 설정횟수 이상 입력되는 경우 카운팅되는 시프팅신호를 생성하는 제어회로, 상기 제어신호의 펄스에 응답하여 데이터 및 불량정보를 시프팅하여 내부데이터를 생성하는 데이터입출력회로 및 상기 라이트동작 시 상기 어드레스에 의해 선택되는 페이지에 상기 내부데이터를

저장하고, 리드동작 시 상기 어드레스의 조합에 따라 선택되는 상기 페이지에 저장된 상기 내부데이터를 출력하는 메모리영역을 포함하는 반도체장치를 제공한다.

[0011] 또한, 본 발명은 커맨드에 응답하여 라이트동작에 진입하는 라이트진입단계, 상기 라이트동작 시 동일한 어드레스가 기 설정된 횟수 이상 입력되는 경우를 판단하는 라이트횟수감지단계 및 상기 동일한 어드레스가 기 설정된 횟수 이상 입력되는 경우 발생하는 펄스신호를 포함하는 제어신호를 생성하고, 상기 동일한 어드레스가 기 설정된 횟수 이상 입력되는 경우 카운팅되는 시프팅신호를 생성하며, 상기 제어신호의 펄스의 생성횟수만큼 데이터, 상기 데이터의 불량정보를 시프팅하여 내부데이터를 생성하는 데이터변환단계를 포함하는 데이터입출력방법을 제공한다.

발명의 효과

[0013] 본 발명에 의하면 동일한 위치의 페이지를 설정횟수 이상 선택하여 데이터 및 패리티신호를 저장하는 경우 데이터 및 패리티신호의 저장위치를 시프팅하여 저장함으로써 패리티신호의 신뢰성을 확보할 수 있는 효과가 있다.

[0014] 또한, 본 발명에 의하면 동일한 위치의 페이지를 설정횟수 이상 선택하여 데이터 및 패리티신호를 저장하는 경우 데이터 및 패리티신호의 저장위치를 시프팅하여 저장함으로써 패리티신호가 저장되는 영역의 열화를 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 반도체시스템의 구성을 도시한 블록도이다.
 도 2는 도 1에 도시된 반도체시스템에 포함된 제어회로의 일 실시예에 따른 내부 구성을 도시한 블록도이다.
 도 3은 도 1에 도시된 반도체시스템에 포함된 데이터변환회로의 일 실시예에 따른 내부 구성을 도시한 블록도이다.
 도 4는 도 3에 도시된 데이터변환회로에 포함된 래치회로의 동작을 설명하기 위한 표이다.
 도 5는 본 발명의 일 실시예에 따른 데이터입출력방법의 순서도이다.
 도 6은 도 1 내지 도 5에 도시된 반도체장치 및 반도체시스템이 적용된 전자시스템의 일 실시예에 따른 구성을 도시한 도면이다.
 도 7은 도 1 내지 도 5에 도시된 반도체장치 및 반도체시스템이 적용된 전자시스템의 다른 실시예에 따른 구성을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 실시예를 통하여 본 발명을 더욱 상세히 설명하기로 한다. 이들 실시예는 단지 본 발명을 예시하기 위한 것이며, 본 발명의 권리 보호 범위가 이들 실시예에 의해 제한되는 것은 아니다.

[0018] 도 1에 도시된 바와 같이 본 발명의 일 실시예에 따른 반도체시스템은 제1 반도체장치(1) 및 제2 반도체장치(2)를 포함할 수 있다. 제2 반도체장치(2)는 제어회로(10), 데이터입출력회로(20) 및 메모리영역(30)을 포함할 수 있다.

[0019] 제1 반도체장치(1)는 제1 내지 제M 커맨드(CMD<1:M>) 및 제1 내지 제N 어드레스(ADD<1:N>)를 출력할 수 있다. 제1 반도체장치(1)는 제1 내지 제4 데이터(DQ<1:4>)를 입력할 수 있다. 제1 내지 제M 커맨드(CMD<1:M>), 제1 내지 제N 어드레스(ADD<1:N>) 및 제1 내지 제4 데이터(DQ<1:4>)는 어드레스, 커맨드 및 데이터 중 적어도 하나가 전송되는 라인들을 통해 전송될 수 있다. 제1 내지 제M 커맨드(CMD<1:M>) 및 제1 내지 제N 어드레스(ADD<1:N>)의 비트수 M,N은 자연수로 설정될 수 있다. 제1 내지 제4 데이터(DQ<1:4>)의 비트수는 4비트로 설정되어 있지만 실시예에 따라 다양하게 설정될 수 있다.

[0020] 제어회로(10)는 제1 내지 제M 커맨드(CMD<1:M>)의 조합에 따라 라이트동작 시 동일한 제1 내지 제N 어드레스(ADD<1:N>)의 조합이 기 설정횟수 이상 입력되는 경우 제어신호(WCTR) 및 제1 및 제2 시프팅신호(SFT<1:2>)를 생성할 수 있다. 제어회로(10)는 제1 내지 제M 커맨드(CMD<1:M>)의 조합에 따라 라이트동작 시 동일한 제1 내지

제N 어드레스(ADD<1:N>)의 조합이 기 설정횟수 이상 입력되는 경우 발생하는 펄스를 포함하는 제어신호(WCTR)를 생성할 수 있다. 제어회로(10)는 제1 내지 제M 커맨드(CMD<1:M>)의 조합에 따라 라이트동작 시 동일한 제1 내지 제N 어드레스(ADD<1:N>)의 조합이 기 설정횟수 이상 입력되는 경우 카운팅되는 제1 및 제2 시프팅신호(SFT<1:2>)를 생성할 수 있다. 제1 및 제2 시프팅신호(SFT<1:2>)의 비트수는 2비트로 설정되어 있지만 실시예에 따라 다양한 비트수로 설정될 수 있다.

- [0021] 데이터입출력회로(20)는 에러정정회로(21) 및 데이터변환회로(22)를 포함할 수 있다.
- [0022] 에러정정회로(21)는 라이트동작 시 제1 내지 제4 데이터(DQ<1:4>)의 불량을 검출하고, 제1 내지 제4 데이터(DQ<1:4>)의 불량을 정정하여 제1 내지 제4 정정데이터(ECD<1:4>)를 생성할 수 있다. 에러정정회로(21)는 라이트동작 시 제1 내지 제4 데이터(DQ<1:4>)의 불량정보를 포함하는 제1 및 제2 패리티신호(ECP<1:2>)를 생성할 수 있다. 에러정정회로(21)는 리드동작 시 제1 내지 제6 출력데이터(DO<1:6>)에 포함된 제1 및 제2 패리티신호(ECP<1:2>)에 의해 제1 내지 제4 출력데이터(DO<1:4>)의 불량을 정정하여 제1 내지 제4 데이터(DQ<1:4>)로 출력할 수 있다. 에러정정회로(21)는 일반적인 ECC회로로 구현될 수 있다. 제1 내지 제4 정정데이터(ECD<1:4>) 및 제1 및 제2 패리티신호(ECP<1:2>)의 비트수는 실시예에 따라 다양하게 설정될 수 있다.
- [0023] 데이터변환회로(22)는 라이트동작 시 제어신호(WCTR)에 의해 제1 내지 제4 정정데이터(ECD<1:4>) 및 제1 및 제2 패리티신호(ECP<1:2>)를 시프팅하여 제1 내지 제8 내부데이터(ID<1:8>)를 생성할 수 있다. 데이터변환회로(22)는 리드동작 시 제1 및 제2 시프팅신호(SFT<1:2>)에 의해 제1 내지 제8 내부데이터(ID<1:8>)에 포함된 제1 내지 제4 정정데이터(ECD<1:4>) 및 제1 및 제2 패리티신호(ECP<1:2>)의 위치를 복원하여 제1 내지 제6 출력데이터(DO<1:6>)를 생성할 수 있다. 제1 내지 제8 내부데이터(ID<1:8>)는 제1 내지 제4 정정데이터(ECD<1:4>), 제1 및 제2 패리티신호(ECP<1:2>) 및 제1 및 제2 시프팅신호(SFT<1:2>)를 포함할 수 있다. 데이터변환회로(22)가 제어신호(WCTR)에 의해 제1 내지 제4 정정데이터(ECD<1:4>) 및 제1 및 제2 패리티신호(ECP<1:2>)를 시프팅하여 제1 내지 제8 내부데이터(ID<1:8>)를 생성하는 동작은 후술하는 구성을 통해 구체적으로 설명하도록 한다. 또한, 제1 내지 제8 내부데이터(ID<1:8>)에 포함되는 제1 내지 제4 정정데이터(ECD<1:4>), 제1 및 제2 패리티신호(ECP<1:2>) 및 제1 및 제2 시프팅신호(SFT<1:2>)의 위치는 후술하는 구성을 통해 구체적으로 설명하도록 한다.
- [0024] 즉, 데이터입출력회로(20)는 라이트동작 시 제어신호(WCTR)의 펄스에 응답하여 제1 내지 제4 데이터(DQ<1:4>) 및 불량정보를 시프팅하여 제1 내지 제8 내부데이터(ID<1:8>)를 생성할 수 있다. 데이터입출력회로(20)는 리드동작 시 제1 및 제2 시프팅신호(SFT<1:2>)에 의해 제1 내지 제8 내부데이터(ID<1:8>)에 포함된 제1 내지 제4 데이터(DQ<1:4>) 및 불량정보의 위치를 복원하고, 불량정보에 의해 제1 내지 제8 내부데이터(ID<1:8>)의 불량을 정정하여 제1 내지 제4 데이터(DQ<1:4>)로 출력할 수 있다. 불량정보는 앞서 설명한 제1 및 제2 패리티신호(ECP<1:2>)로 설정될 수 있다.
- [0025] 메모리영역(30)은 라이트동작 시 제1 내지 제N 어드레스(ADD<1:N>)의 조합에 따라 선택되는 페이지에 제1 내지 제8 내부데이터(ID<1:8>)를 저장할 수 있다. 메모리영역(30)은 리드동작 시 제1 내지 제N 어드레스(ADD<1:N>)의 조합에 따라 선택되는 페이지에 저장된 제1 내지 제8 내부데이터(ID<1:8>)를 출력할 수 있다. 메모리영역(30)은 실시예에 따라 다수의 페이지를 포함하는 비휘발성 메모리장치 또는 다수의 메모리셀어레이를 포함하는 휘발성 메모리장치로 구현될 수 있다.
- [0026] 이와 같이 구현되는 제2 반도체장치(2)는 제1 내지 제M 커맨드(CMD<1:M>)에 응답하여 라이트동작 시 제1 내지 제4 데이터(DQ<1:4>)의 불량을 정정할 수 있다. 제2 반도체장치(2)는 제1 내지 제N 어드레스(ADD<1:N>)에 따라 선택되는 페이지에 불량이 정정된 제1 내지 제4 데이터(DQ<1:4>) 및 제1 내지 제4 데이터(DQ<1:4>)의 불량정보를 저장할 수 있다. 제2 반도체장치(2)는 제1 내지 제M 커맨드(CMD<1:M>)에 응답하여 라이트동작 시 제1 내지 제N 어드레스(ADD<1:N>)의 동일한 조합이 기 설정된 횟수 이상 입력되는 경우 제1 내지 제4 데이터(DQ<1:4>)와 제1 내지 제4 데이터(DQ<1:4>)의 불량정보를 시프팅하여 페이지에 저장할 수 있다. 제2 반도체장치(2)는 제1 내지 제M 커맨드(CMD<1:M>)에 응답하여 리드동작 시 제1 및 제2 시프팅신호(SFT<1:2>)에 의해 페이지에 저장된 상기 제1 내지 제4 데이터(DQ<1:4>) 및 제1 내지 제4 데이터(DQ<1:4>)의 불량정보의 위치를 복원할 수 있다. 제2 반도체장치(2)는 제1 내지 제M 커맨드(CMD<1:M>)에 응답하여 리드동작 시 불량정보에 의해 제1 내지 제4 데이터(DQ<1:4>)의 불량을 정정하여 출력할 수 있다.
- [0027] 도 2를 참고하면, 본 발명의 일 실시예에 따른 제어회로(10)는 카운터(11), 제어신호생성회로(12) 및 시프팅신호생성회로(13)를 포함할 수 있다.
- [0028] 카운터(11)는 제1 내지 제N 어드레스(ADD<1:N>)가 동일한 조합으로 입력되는 경우 카운팅되는 제1 내지 제3 카

운팅신호(CNT<1:3>)를 생성할 수 있다. 카운터(11)는 하나의 회로도 도시되어 있지만 페이지의 수에 따라 다수의 카운터로 구현되어 다양한 제1 내지 제N 어드레스(ADD<1:N>) 조합의 동일성을 판단할 수 있다. 제1 내지 제3 카운팅신호(CNT<1:3>)의 비트수는 3비트로 설정되어 있지만 실시예에 따라 다양한 비트수로 설정될 수 있다.

- [0029] 좀 더 구체적으로 카운터(11)의 동작을 설명하되 동일한 조합의 제1 내지 제N 어드레스(ADD<1:N>)가 4회 입력되는 경우를 예를 들어 설명하면 다음과 같다.
- [0030] 카운터(11)는 동일한 조합의 제1 내지 제N 어드레스(ADD<1:N>)가 4회 입력되는 경우 모든 비트가 로직로우레벨(L)인 제1 내지 제3 카운팅신호(CNT<1:3>)를 업 카운팅하여 로직로우레벨(L)의 제1 카운팅신호(CNT<1>), 로직로우레벨(L)의 제2 카운팅신호(CNT<2>) 및 로직하이레벨(H)의 제3 카운팅신호(CNT<3>)를 생성할 수 있다. 카운터(11)는 실시예에 따라 동일한 조합의 제1 내지 제N 어드레스(ADD<1:N>)가 입력될 때마다 업카운팅되거나 다운카운팅되는 제1 내지 제3 카운팅신호(CNT<1:3>)를 생성하는 일반적인 카운터로 구현될 수 있다.
- [0031] 제어신호생성회로(12)는 제1 내지 제M 커맨드(CMD<1:M>)에 따라 라이트동작 시 제1 내지 제3 카운팅신호(CNT<1:3>)가 기 설정된 횟수이상 카운팅되는 경우 발생하는 펄스를 포함하는 제어신호(WCTR)를 생성할 수 있다.
- [0032] 좀 더 구체적으로 제어신호생성회로(12)는 제1 내지 제3 카운팅신호(CNT<1:3>)가 4회 카운팅되는 경우 발생하는 펄스를 포함하는 제어신호(WCTR)를 생성할 수 있다. 또한, 제어신호생성회로(12)는 제1 내지 제3 카운팅신호(CNT<1:3>)가 4회 이상 업 카운팅 될 때마다 발생하는 펄스를 포함하는 제어신호(WCTR)를 생성할 수 있다. 즉, 제어신호생성회로(12)는 제1 내지 제3 카운팅신호(CNT<1:3>)가 4회 카운팅되는 경우부터 제1 내지 제3 카운팅신호(CNT<1:3>)가 7회 카운팅되는 경우까지 발생하는 펄스를 포함하는 제어신호(WCTR)를 생성할 수 있다.
- [0033] 시프팅신호생성회로(13)는 제1 내지 제3 카운팅신호(CNT<1:3>)가 기 설정된 횟수이상 카운팅되는 경우 카운팅되는 제1 및 제2 시프팅신호(SFT<1:2>)를 생성할 수 있다. 제1 및 제2 시프팅신호(SFT<1:2>)는 제1 내지 제4 정정데이터(ECD<1:4>) 및 제1 및 제2 패리티신호(ECP<1:2>)의 시프팅 정보를 포함할 수 있다.
- [0034] 좀 더 구체적으로 시프팅신호생성회로(13)는 제1 내지 제3 카운팅신호(CNT<1:3>)가 4회 카운팅되는 경우부터 순차적으로 업 카운팅되는 제1 및 제2 시프팅신호(SFT<1:2>)를 생성할 수 있다. 시프팅신호생성회로(13)는 제1 내지 제3 카운팅신호(CNT<1:3>)가 4회 이상 업 카운팅되는 경우부터 제1 내지 제3 카운팅신호(CNT<1:3>)가 7회 카운팅되는 경우까지 업 카운팅되는 제1 및 제2 시프팅신호(SFT<1:2>)를 생성할 수 있다.
- [0035] 예를 들어, 제1 내지 제3 카운팅신호(CNT<1:3>)가 4회 카운팅되는 경우 시프팅신호생성회로(13)는 로직로우레벨(L)의 제1 시프팅신호(SFT<1>) 및 로직로우레벨(L)의 제2 시프팅신호(SFT<2>)를 생성한다. 제1 내지 제3 카운팅신호(CNT<1:3>)가 7회 카운팅되는 경우 시프팅신호생성회로(13)는 로직하이레벨(H)의 제1 시프팅신호(SFT<1>) 및 로직하이레벨(H)의 제2 시프팅신호(SFT<2>)를 생성한다.
- [0036] 도 3을 참고하면 본 발명의 일 실시예에 따른 데이터변환회로(22)는 래치회로(221) 및 레지스터(222)를 포함할 수 있다.
- [0037] 래치회로(221)는 제어신호(WCTR)의 펄스에 응답하여 제1 내지 제4 정정데이터(ECP<1:4>)와 제1 및 제2 패리티신호(ECP<1:2>)를 시프팅할 수 있다. 래치회로(221)는 시프팅 된 제1 내지 제4 정정데이터(ECP<1:4>)와 제1 및 제2 패리티신호(ECP<1:2>) 및 제1 및 제2 시프팅신호(SFT<1:2>)를 제1 내지 제8 래치데이터(LD<1:8>)로 출력할 수 있다.
- [0038] 레지스터(222)는 라이트동작 시 입력되는 라이트신호(WT)에 응답하여 제1 내지 제8 래치데이터(LD<1:8>)를 제1 내지 제8 내부데이터(ID<1:8>)로 출력할 수 있다. 레지스터(222)는 리드동작 시 입력되는 리드신호(RD)에 응답하여 제1 내지 제8 내부데이터(ID<1:8>)를 제1 내지 제8 래치데이터(LD<1:8>)로 출력할 수 있다.
- [0039] 좀 더 구체적으로 도 4를 참고하여 본 발명의 일 실시예에 따른 래치회로(221)에서 생성되는 제1 내지 제8 래치데이터(LD<1:8>)를 구체적으로 살펴보면 다음과 같다.
- [0040] 우선, 제어신호(WCTR)가 0회 입력되는 경우 제1 래치데이터(LD<1>)는 제1 정정데이터(ECD<1>)이고, 제2 래치데이터(LD<2>)는 제2 정정데이터(ECD<2>)이며, 제3 래치데이터(LD<3>)는 제3 정정데이터(ECD<3>)이고, 제4 래치데이터(LD<4>)는 제4 정정데이터(ECD<4>)이며, 제5 래치데이터(LD<5>)는 제1 패리티신호(ECP<1>)이고, 제6 래치데이터(LD<6>)는 제2 패리티신호(ECP<2>)이며, 제7 래치데이터(LD<7>)는 제1 시프팅신호(SFT<1>)이고, 제8 래치데이터(LD<8>)는 제2 시프팅신호(SFT<2>)이다. 여기서, 제어신호(WCTR)가 0회 입력되는 경우는 제1 내지 제4 정정

데이터(ECP<1:4>)와 제1 및 제2 패리티신호(ECP<1:2>)가 시프팅되지 않는 경우이다.

- [0041] 다음으로, 제어신호(WCTR)가 1회 입력되는 경우 제1 래치데이터(LD<1>)는 제2 패리티신호(ECP<2>)이고, 제2 래치데이터(LD<2>)는 제1 정정데이터(ECD<1>)이며, 제3 래치데이터(LD<3>)는 제2 정정데이터(ECD<2>)이고, 제4 래치데이터(LD<4>)는 제3 정정데이터(ECD<3>)이며, 제5 래치데이터(LD<5>)는 제4 정정데이터(ECD<4>)이고, 제6 래치데이터(LD<6>)는 제1 패리티신호(ECP<1>)이며, 제7 래치데이터(LD<7>)는 제1 시프팅신호(SFT<1>)이고, 제8 래치데이터(LD<8>)는 제2 시프팅신호(SFT<2>)이다. 여기서, 제어신호(WCTR)가 1회 입력되는 경우는 제1 내지 제4 정정데이터(ECP<1:4>)와 제1 및 제2 패리티신호(ECP<1:2>)가 1회 시프팅되는 경우이다.
- [0042] 다음으로, 제어신호(WCTR)가 2회 입력되는 경우 제1 래치데이터(LD<1>)는 제1 패리티신호(ECP<1>)이고, 제2 래치데이터(LD<2>)는 제2 패리티신호(ECP<2>)이며, 제3 래치데이터(LD<3>)는 제1 정정데이터(ECD<1>)이고, 제4 래치데이터(LD<4>)는 제2 정정데이터(ECD<2>)이며, 제5 래치데이터(LD<5>)는 제3 정정데이터(ECD<3>)이고, 제6 래치데이터(LD<6>)는 제4 정정데이터(ECD<4>)이며, 제7 래치데이터(LD<7>)는 제1 시프팅신호(SFT<1>)이고, 제8 래치데이터(LD<8>)는 제2 시프팅신호(SFT<2>)이다. 여기서, 제어신호(WCTR)가 2회 입력되는 경우는 제1 내지 제4 정정데이터(ECP<1:4>)와 제1 및 제2 패리티신호(ECP<1:2>)가 2회 시프팅되는 경우이다.
- [0043] 다음으로, 제어신호(WCTR)가 3회 입력되는 경우 제1 래치데이터(LD<1>)는 제4 정정데이터(ECD<4>)이고, 제2 래치데이터(LD<2>)는 제1 패리티신호(ECP<1>)이며, 제3 래치데이터(LD<3>)는 제2 패리티신호(ECP<2>)이고, 제4 래치데이터(LD<4>)는 제1 정정데이터(ECD<1>)이며, 제5 래치데이터(LD<5>)는 제2 정정데이터(ECD<2>)이고, 제6 래치데이터(LD<6>)는 제3 정정데이터(ECD<3>)이며, 제7 래치데이터(LD<7>)는 제1 시프팅신호(SFT<1>)이고, 제8 래치데이터(LD<8>)는 제2 시프팅신호(SFT<2>)이다. 여기서, 제어신호(WCTR)가 3회 입력되는 경우는 제1 내지 제4 정정데이터(ECP<1:4>)와 제1 및 제2 패리티신호(ECP<1:2>)가 3회 시프팅되는 경우이다.
- [0044] 다음으로, 제어신호(WCTR)가 4회 입력되는 경우 제1 래치데이터(LD<1>)는 제3 정정데이터(ECD<3>)이고, 제2 래치데이터(LD<2>)는 제4 정정데이터(ECD<4>)이며, 제3 래치데이터(LD<3>)는 제1 패리티신호(ECP<1>)이고, 제4 래치데이터(LD<4>)는 제2 패리티신호(ECP<2>)이며, 제5 래치데이터(LD<5>)는 제1 정정데이터(ECD<1>)이고, 제6 래치데이터(LD<6>)는 제2 정정데이터(ECD<2>)이며, 제7 래치데이터(LD<7>)는 제1 시프팅신호(SFT<1>)이고, 제8 래치데이터(LD<8>)는 제2 시프팅신호(SFT<2>)이다. 여기서, 제어신호(WCTR)가 4회 입력되는 경우는 제1 내지 제4 정정데이터(ECP<1:4>)와 제1 및 제2 패리티신호(ECP<1:2>)가 4회 시프팅되는 경우이다.
- [0045] 이와 같이 본 발명의 래치회로(221)는 제어신호(WCTR)의 펄스가 입력될 때마다 제1 내지 제4 정정데이터(ECP<1:4>)와 제1 및 제2 패리티신호(ECP<1:2>)를 하나씩 시프팅하여 제1 내지 제6 래치데이터(LD<1:6>)로 출력하고, 제1 및 제2 시프팅신호(SFT<1:2>)를 제7 및 제8 래치데이터(LD<7:6>)로 출력한다.
- [0046] 도 5를 참고하여 본 발명의 일 실시예에 따른 반도체시스템의 데이터입출력방법을 설명하되, 라이트동작 시 동일한 제1 내지 제N 어드레스(ADD<1:N>)가 4회 입력되는 경우가 기 설정횟수로 설정되고 제1 내지 제N 어드레스(ADD<1:N>)가 5회 입력되는 경우를 예를 들어 설명하면 다음과 같다.
- [0047] 우선, 라이트진입단계(S1)에 진입하면 제1 반도체장치(1)는 라이트동작에 진입하기 위한 제1 내지 제M 커맨드(CMD<1:M>) 및 제1 내지 제N 어드레스(ADD<1:N>)를 출력한다. 이때, 제1 내지 제N 어드레스(ADD<1:N>)는 동일한 조합으로 5회 출력되는 경우이다.
- [0048] 다음으로, 라이트횟수감지단계(S2)에 진입하면 제어회로(10)의 카운터(11)는 동일한 제1 내지 제N 어드레스(ADD<1:N>)가 5회 입력되므로 제1 내지 제3 카운팅신호(CNT<1:3>)를 5회 업 카운팅하여 로직하이레벨의 제1 카운팅신호(CNT<1>), 로직로우레벨의 제2 카운팅신호(CNT<2>) 및 로직하이레벨의 제3 카운팅신호(CNT<3>)를 생성한다.
- [0049] 제어회로(10)의 제어신호생성회로(12)는 제1 내지 제M 커맨드(CMD<1:M>)에 응답하여 제1 내지 제3 카운팅신호(CNT<1:3>)가 기 설정횟수 카운팅되는 4회 업카운팅되는 시점에 제어신호(WCTR)의 펄스를 생성하고, 제1 내지 제3 카운팅신호(CNT<1:3>)가 5회 업카운팅되는 시점에 제어신호(WCTR)의 펄스를 생성한다. 즉, 제어신호(WCTR)의 펄스가 2회 생성된다.
- [0050] 제어회로(10)의 시프팅신호생성회로(13)는 제1 내지 제3 카운팅신호(CNT<1:3>)가 5회 업카운팅되는 시점에 제1 및 제2 시프팅신호(SFT<1:2>)를 업카운팅하여 로직하이레벨의 제1 시프팅신호(SFT<1>) 및 로직로우레벨의 제2 시프팅신호(SFT<2>)를 생성한다.
- [0051] 에러정정회로(21)는 제1 내지 제4 데이터(DQ<1:4>)의 불량을 검출하고, 제1 내지 제4 데이터(DQ<1:4>)의 불량을

정정하여 제1 내지 제4 정정데이터(ECD<1:4>)를 생성하며, 제1 내지 제4 데이터(DQ<1:4>)의 불량정보를 포함하는 제1 및 제2 패리티신호(ECP<1:2>)를 생성한다.

[0052] 다음으로, 데이터변환단계(S3)에 진입하여 데이터변환회로(22)의 래치회로(221)는 제어신호(WCTR)의 펄스가 2회 입력되므로 제1 패리티신호(ECP<1>)를 제1 래치데이터(LD<1>)로 출력하고, 제2 패리티신호(ECP<2>)를 제2 래치데이터(LD<2>)로 출력하며, 제1 정정데이터(ECD<1>)를 제3 래치데이터(LD<3>)로 출력하고, 제2 정정데이터(ECD<2>)를 제4 래치데이터(LD<4>)로 출력하며, 제3 정정데이터(ECD<3>)를 제5 래치데이터(LD<5>)로 출력하고, 제4 정정데이터(ECD<4>)를 제6 래치데이터(LD<6>)로 출력하며, 제1 시프팅신호(SFT<1>)를 제7 래치데이터(LD<7>)로 출력하고, 제2 시프팅신호(SFT<2>)를 제8 래치데이터(LD<8>)로 출력한다.

[0053] 즉, 앞서 도 4에서 설명한 바와 같이 제1 내지 제6 래치데이터(LD<1:6>)는 제1 내지 제4 정정데이터(ECD<1:4>) 및 제1 및 제2 패리티신호(ECP<1:2>)를 2회 시프팅하여 생성되고, 제7 및 제8 래치데이터(LD<1:2>)는 제1 및 제2 시프팅신호(SFT<1:2>)로 생성된다.

[0054] 다음으로, 라이트동작단계(S4)에 진입하여 데이터변환회로(22)의 레지스터(222)는 라이트신호(WT)에 응답하여 제1 내지 제8 래치데이터(LD<1:8>)를 제1 내지 제8 내부데이터(ID<1:8>)로 출력한다.

[0055] 메모리영역(30)은 제1 내지 제N 어드레스(ADD<1:N>)에 의해 선택되는 페이지에 제1 내지 제8 내부데이터(ID<1:8>)를 저장한다.

[0056] 다음으로, 라이트종료단계(S5)에 진입하여 라이트동작이 종료된다.

[0057] 이와 같이 구성된 본 발명의 일 실시예에 따른 반도체시스템은 동일한 위치의 페이지를 설정횟수 이상 선택하여 데이터 및 패리티신호를 저장하는 경우 데이터 및 패리티신호의 저장위치를 시프팅하여 저장함으로써 패리티신호의 신뢰성을 확보할 수 있다. 또한, 데이터 및 패리티신호의 저장위치를 시프팅하여 저장함으로써 데이터보다 비트변화가 빈번히 발생하는 패리티신호가 저장되는 영역의 열화를 방지할 수 있다.

[0058] 앞서, 도 1 내지 도 5에서 살펴본 반도체장치 및 반도체시스템은 메모리시스템, 그래픽시스템, 컴퓨팅시스템 및 모바일시스템 등을 포함하는 전자시스템에 적용될 수 있다. 예를 들어, 도 6을 참고하면 본 발명의 일 실시예에 따른 전자시스템(1000)은 데이터저장부(1001), 메모리컨트롤러(1002), 버퍼메모리(1003) 및 입출력인터페이스(1004)를 포함할 수 있다.

[0059] 데이터저장부(1001)는 메모리컨트롤러(1002)로부터의 제어신호에 따라 메모리컨트롤러(1002)로부터 인가되는 데이터를 저장하고 저장된 데이터를 판독하여 메모리컨트롤러(1002)에 출력한다. 데이터저장부(1001)는 도 1에 도시된 제2 반도체장치(2)를 포함할 수 있다. 한편, 데이터저장부(1001)는 전원이 차단되어도 데이터를 잃지 않고 계속 저장할 수 있는 비휘발성 메모리를 포함할 수 있다. 비휘발성 메모리는 플래시 메모리(Nor Flash Memory, NAND Flash Memory), 상변환 메모리(Phase Change Random Access Memory; PRAM), 저항 메모리(Resistive Random Access Memory; RRAM), 스핀 주입자화반전 메모리(Spin Transfer Torque Random Access Memory; STTRAM), 자기메모리(Magnetic Random Access Memory; MRAM)로 구현될 수 있다.

[0060] 메모리컨트롤러(1002)는 입출력인터페이스(1004)를 통해 외부기기(호스트 장치)로부터 인가되는 명령어를 디코딩하고 디코딩된 결과에 따라 데이터저장부(1001) 및 버퍼메모리(1003)에 대한 데이터 입출력을 제어한다. 메모리컨트롤러(1002)는 도 1에 도시된 제1 반도체장치(1)를 포함할 수 있다. 도 6에서는 메모리컨트롤러(1002)가 하나의 블록으로 표시되었으나, 메모리컨트롤러(1002)는 비휘발성 메모리를 제어하기 위한 컨트롤러와 휘발성 메모리인 버퍼메모리(1003)를 제어하기 위한 컨트롤러가 독립적으로 구성될 수 있다.

[0061] 버퍼메모리(1003)는 메모리컨트롤러(1002)에서 처리할 데이터 즉 데이터저장부(1001)에 입출력되는 데이터를 임시적으로 저장할 수 있다. 버퍼메모리(1003)는 제어신호에 따라 메모리컨트롤러(1002)에서 인가되는 데이터를 저장할 수 있다. 버퍼메모리(1003)는 저장된 데이터를 판독하여 메모리컨트롤러(1002)에 출력한다. 버퍼메모리(1003)는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory) 등의 휘발성 메모리를 포함할 수 있다.

[0062] 입출력인터페이스(1004)는 메모리컨트롤러(1002)와 외부기기(호스트) 사이의 물리적 연결을 제공하여 메모리컨트롤러(1002)가 외부기기로부터 데이터 입출력을 위한 제어신호를 수신하고 외부기기와 데이터를 교환할 수 있도록 해준다. 입출력인터페이스(1004)는 USB, MMC, PCI-E, SAS, SATA, PATA, SCSI, ESDI, 및 IDE 등과 같은 다양한 인터페이스 프로토콜들 중 하나를 포함할 수 있다.

[0063] 전자시스템(1000)은 호스트 장치의 보조 기억장치 또는 외부 저장장치로 사용될 수 있다. 전자시스템(1000)은

고상 디스크(Solid State Disk; SSD), USB 메모리(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 포함할 수 있다.

[0064] 도 7을 참고하면 본 발명의 다른 실시예에 따른 전자시스템(2000)은 호스트(2001), 메모리컨트롤러(2002) 및 데이터저장부(2003)를 포함할 수 있다.

[0065] 호스트(2001)는 데이터저장부(2003)를 액세스 하기 위해 메모리컨트롤러(2002)로 리퀘스트 및 데이터를 전송할 수 있다. 메모리컨트롤러(2002)는 리퀘스트에 응답하여 데이터, 데이터 스트로브, 커맨드, 어드레스 및 클럭 등을 데이터저장부(2003)에 제공하고, 이에 응답하여 데이터저장부(2003)는 라이트 또는 리드 동작을 수행하게 할 수 있다. 호스트(2001)는 데이터저장부(2003)로 데이터를 저장시키기 위해 데이터를 메모리컨트롤러(2002)로 전송할 수 있다. 또한 호스트는 데이터저장부(2003)로부터 출력된 데이터를 메모리컨트롤러(2002)를 통해 수신할 수 있다. 호스트(2001)는 오류정정코드(Error Correction Code, ECC) 방식을 사용하여 데이터에 포함된 에러를 정정하는 회로를 포함할 수 있다.

[0066] 메모리컨트롤러(2002)는 호스트(2001)와 데이터저장부(2003) 사이의 통신을 중계할 수 있다. 메모리컨트롤러(2002)는 호스트(2001)로부터 리퀘스트와 데이터를 수신하고, 데이터저장부(2003)의 동작을 제어하기 위하여 데이터, 데이터 스트로브, 커맨드, 어드레스 및 클럭 등을 생성하여 데이터저장부(2003)로 제공할 수 있다. 또한, 메모리컨트롤러(2002)는 데이터저장부(2003)로부터 출력된 데이터를 호스트(2001)로 제공할 수 있다.

[0067] 데이터저장부(2003)는 다수의 메모리들을 포함할 수 있다. 데이터저장부(2003)는 메모리컨트롤러(2002)로부터 데이터, 데이터 스트로브, 커맨드, 어드레스 및 클럭 등을 수신하여 라이트 또는 리드 동작을 수행할 수 있다. 데이터저장부(2003)에 포함된 다수의 메모리들은 오류정정코드(Error Correction Code, ECC) 방식을 사용하여 데이터에 포함된 에러를 정정하는 회로를 포함할 수 있다.

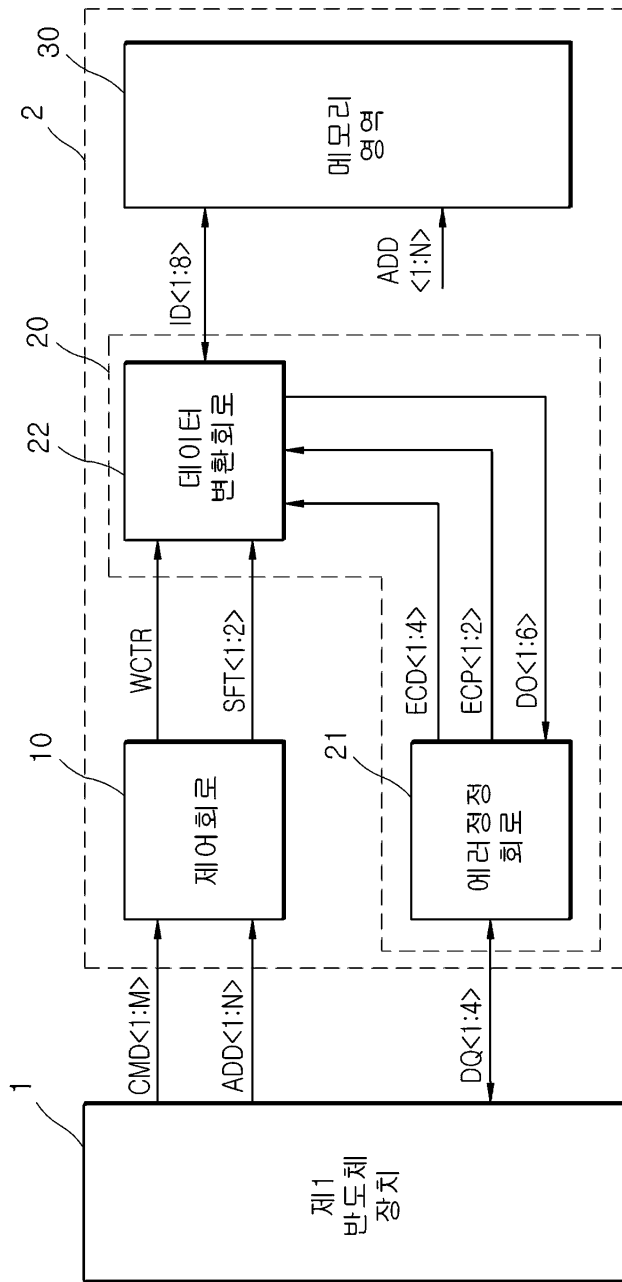
[0068] 호스트(2001)에 포함된 에러를 정정하는 회로 및 데이터저장부(2003) 내부의 다수의 메모리들에 포함된 에러를 정정하는 회로는 실시예에 따라서 모두 동작하거나 선택적으로 동작하도록 구현될 수 있다. 호스트(2001) 및 메모리컨트롤러(2002)는 실시예에 따라서 동일한 칩으로 구현될 수 있다. 메모리컨트롤러(2002) 및 데이터저장부(2003)는 실시예에 따라서 동일한 칩으로 구현될 수 있다.

부호의 설명

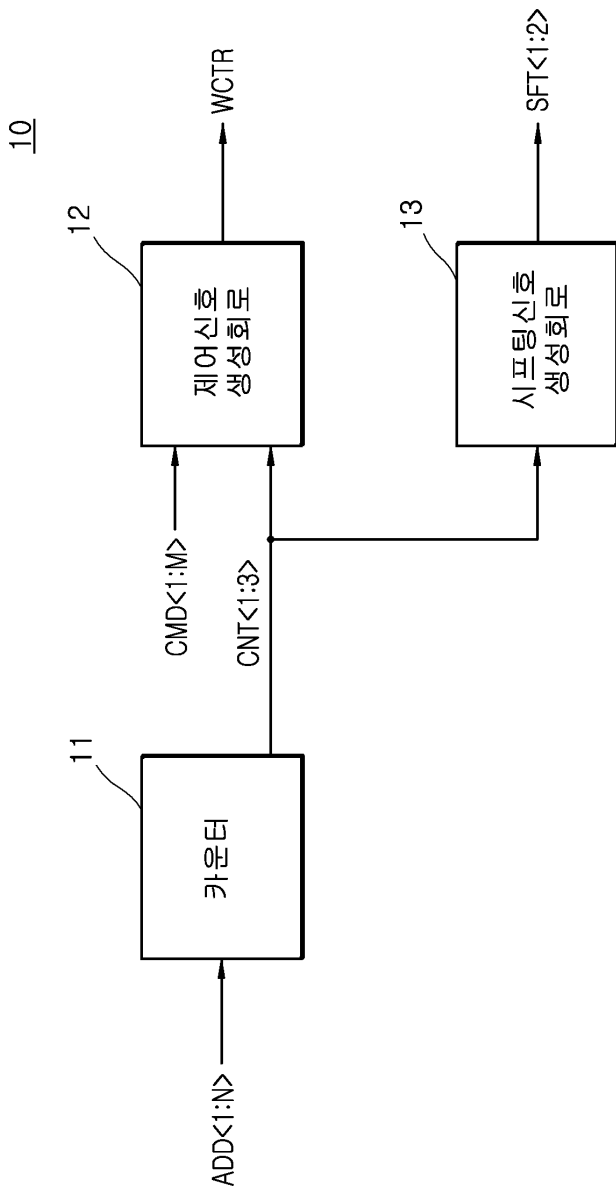
- [0070] 1. 제1 반도체장치 2. 제2 반도체장치
10. 제어회로 11. 카운터
12. 제어신호생성회로 13. 시프팅신호생성회로
20. 데이터입출력회로 21. 에러정정회로
22. 데이터변환회로 30. 메모리영역
221. 래치회로 222. 레지스터

도면

도면1

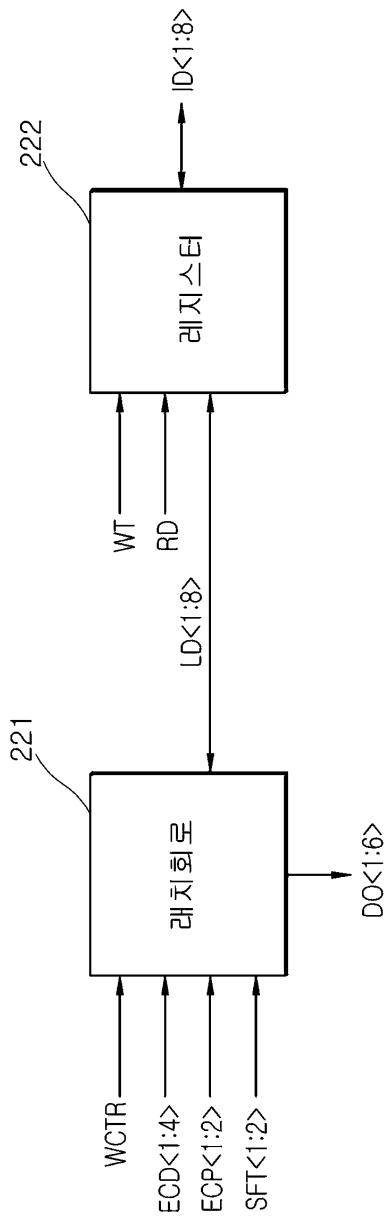


도면2



도면3

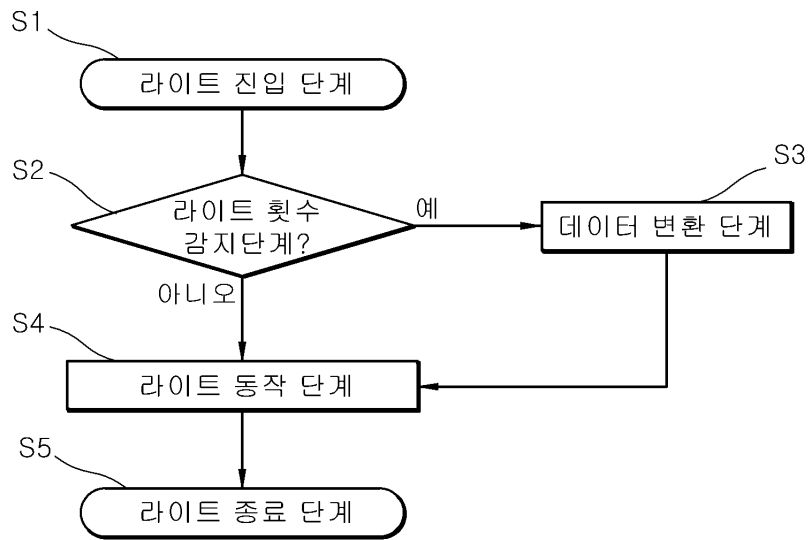
22



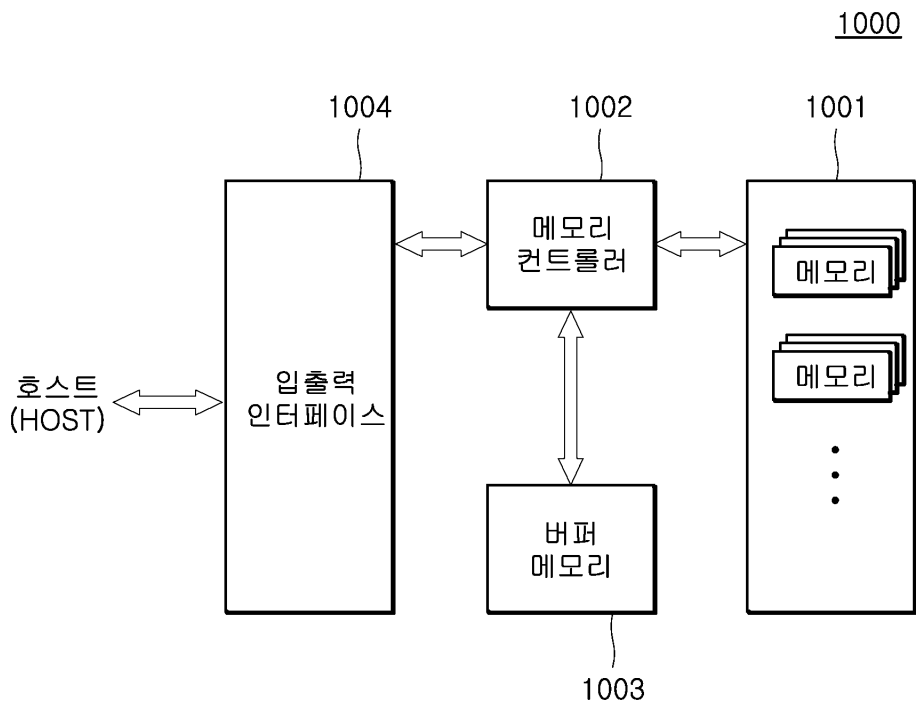
도면4

제어신호입력횟수	LD <1>	LD <2>	LD <3>	LD <4>	LD <5>	LD <6>	LD <7>	LD <8>
0회	ECD <1>	ECD <2>	ECD <3>	ECD <4>	ECP <1>	ECP <2>	SFT <1>	SFT <2>
1회	ECP <2>	ECD <1>	ECD <2>	ECD <3>	ECD <4>	ECP <1>	SFT <1>	SFT <2>
2회	ECP <1>	ECP <2>	ECD <1>	ECD <2>	ECD <3>	ECD <4>	SFT <1>	SFT <2>
3회	ECD <4>	ECP <1>	ECP <2>	ECD <1>	ECD <2>	ECD <3>	SFT <1>	SFT <2>
4회	ECD <3>	ECD <4>	ECP <1>	ECP <2>	ECD <1>	ECD <2>	SFT <1>	SFT <2>

도면5



도면6



도면7

