

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年11月8日(2018.11.8)

【公表番号】特表2017-537556(P2017-537556A)

【公表日】平成29年12月14日(2017.12.14)

【年通号数】公開・登録公報2017-048

【出願番号】特願2017-530765(P2017-530765)

【国際特許分類】

H 03 F 3/45 (2006.01)

H 03 F 3/34 (2006.01)

【F I】

H 03 F 3/45 Z

H 03 F 3/34 C

【手続補正書】

【提出日】平成30年10月1日(2018.10.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

演算トランスコンダクタンス増幅器(OTA)であつて、

第1のノード及び第2のノードと、

入力を受けるための差動トランジスタ対と、ここにおいて、前記差動トランジスタ対は、前記第1のノード及び前記第2のノードに結合される、

前記入力に対する応答を出力するための一対の出力ノードと、ここにおいて、前記一対の出力ノードにおける前記応答は、第1の周波数ポールを備える、

前記第1のノードと前記第2のノードとの間に結合された容量性素子と、ここにおいて、前記応答は、第2の周波数ポールを含み、前記第2の周波数ポールは、前記容量性素子によって導入され、前記第2の周波数ポールは、前記第1の周波数ポールよりも大きい周波数にあり、前記第2の周波数ポールにおけるゲインは、ゼロよりも小さい、

前記一対の出力ノードに結合された少なくとも1つの容量性負荷と、ここにおいて、前記第1の周波数ポールは、前記少なくとも1つの容量性負荷の関数であり、前記第2の周波数ポールは、前記少なくとも1つの容量性負荷及び前記容量性素子の関数である、

を備えるOTA。

【請求項2】

前記一対の出力ノードに結合されたカスコードトランジスタ対を更に備え、ここにおいて、前記一対の出力ノードは、前記カスコードトランジスタ対を介して前記差動トランジスタ対に結合される、請求項1に記載のOTA。

【請求項3】

前記差動トランジスタ対及び前記カスコードトランジスタ対は、第1のタイプの金属酸化膜半導体(MOS)トランジスタを備える、請求項2に記載のOTA。

【請求項4】

前記カスコードトランジスタ対に結合された第2のカスコードトランジスタ対を更に備え、ここにおいて、前記第2のカスコードトランジスタ対は、第2のタイプの金属酸化膜半導体(MOS)トランジスタを備える、請求項3に記載のOTA。

【請求項5】

前記容量性素子及び前記少なくとも 1 つの容量性負荷は、同じタイプのキャパシタを備える、請求項1に記載の O T A。

【請求項 6】

前記応答のゲイン、前記容量性素子のキャパシタンス及び前記少なくとも 1 つの容量性負荷のキャパシタンスは、前記応答の位相マージンがおよそ 40 ~ 90 度となるように設定される、請求項1に記載の O T A。

【請求項 7】

前記 O T A は、シグマ - デルタアナログ / デジタル変換の積分機能を実行するように構成される、請求項 1 に記載の O T A。

【請求項 8】

前記 O T A は、單一段である、請求項 1 に記載の O T A。

【請求項 9】

演算トランスクンダクタンス増幅器 (O T A) のための方法であって、
差動トランジスタ対において入力を受けることと、
一対の出力ノードを通して電流を流すことと、ここにおいて、容量性素子は、前記一対の出力ノードに結合される、

第 1 の周波数ポール及び第 2 の周波数ポールを有する応答を、前記一対の出力ノードにおいて、出力することと、ここで、前記第 2 の周波数ポールは、前記容量性素子によって導入され、ここにおいて、前記第 2 の周波数ポールは、前記第 1 の周波数ポールよりも大きい周波数にあり、前記第 2 の周波数ポールにおけるゲインは、ゼロよりも小さい、

前記一対の出力ノードに結合された少なくとも 1 つの容量性負荷と、ここにおいて、前記第 2 の周波数ポールは、前記少なくとも 1 つの容量性負荷及び前記容量性素子の関数である、

を備える方法。

【請求項 10】

前記一対の出力ノードに結合されたカスコードトランジスタ対を通して電流を流すことを更に備え、ここにおいて、前記一対の出力ノードは、前記カスコードトランジスタ対を介して前記差動トランジスタ対に結合される、請求項9に記載の方法。

【請求項 11】

前記差動トランジスタ対及び前記カスコードトランジスタ対は、第 1 のタイプの金属酸化膜半導体 (M O S) トランジスタを備える、請求項10に記載の方法。

【請求項 12】

前記カスコードトランジスタ対に結合された第 2 のカスコードトランジスタ対を通して電流を流すことを更に備え、ここにおいて、前記第 2 のカスコードトランジスタ対は、第 2 のタイプの金属酸化膜半導体 (M O S) トランジスタを備える、請求項11に記載の方法。

【請求項 13】

前記容量性素子及び前記少なくとも 1 つの容量性負荷は、同じタイプのキャパシタを備える、請求項9に記載の方法。

【請求項 14】

前記応答のゲイン、前記容量性素子のキャパシタンス及び前記少なくとも 1 つの容量性負荷のキャパシタンスは、前記応答の位相マージンがおよそ 40 ~ 90 度となるように設定される、請求項9に記載の方法。

【請求項 15】

前記入力を積分することと、

前記積分に基づいて、シグマ - デルタアナログ / デジタル変換を実行することと
を更に備える、請求項 9 に記載の方法。