



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0101566
(43) 공개일자 2024년07월02일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) H01L 21/48 (2006.01)
H01L 23/48 (2006.01)
(52) CPC특허분류
H01L 23/49822 (2013.01)
H01L 21/4857 (2013.01)
(21) 출원번호 10-2024-7014038
(22) 출원일자(국제) 2022년10월25일
심사청구일자 없음
(85) 번역문제출일자 2024년04월26일
(86) 국제출원번호 PCT/US2022/078641
(87) 국제공개번호 WO 2023/091846
국제공개일자 2023년05월25일
(30) 우선권주장
17/455,576 2021년11월18일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
위, 홍복
미국 92121-1714 캘리포니아 샌 디에고 모어하우스 드라이브 5775
부오트, 호안 레이 빌라르바
미국 92121-1714 캘리포니아 샌 디에고 모어하우스 드라이브 5775
파틸, 아니켓
미국 92121-1714 캘리포니아 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인(유)남아이피그룹

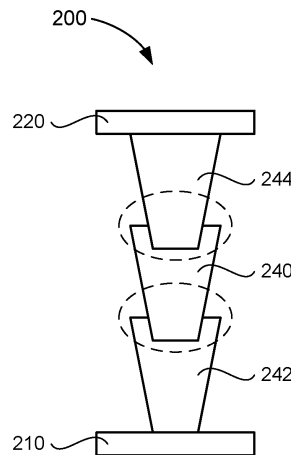
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 패드리스 스택 비아에 대한 리세스 구조물

(57) 요약

복수의 비아들이 서로 위에 적층되는 스택 비아 구조물이 개시된다. 적어도 하나의 비아는 그의 최상부 표면으로부터 형성된 리세스를 갖는 비아이다. 비아 위의 다른 비아는 다른 비아의 최하부 부분이 비아의 리세스에 있도록 형성된다. 이러한 방식으로, 비아와 다른 비아 사이에 어떠한 캡처 패드도 필요하지 않다. 또한, 비아와 다른 비아 사이의 접촉 영역이 향상된다.

대표도 - 도2a



(52) CPC특허분류

H01L 23/481 (2013.01)

H01L 23/49838 (2013.01)

H01L 23/49866 (2013.01)

명세서

청구범위

청구항 1

스택 비아 구조물로서,

캡처 패드;

상기 캡처 패드 위에 적층되고, 상기 캡처 패드와 전기적으로 커플링된 제1 비아;

상기 제1 비아 위에 적층되고, 상기 제1 비아와 전기적으로 커플링된 제2 비아; 및

상기 제2 비아 위에 적층되고, 상기 제2 비아와 전기적으로 커플링된 커버 패드를 포함하며,

상기 제1 비아의 최상부 폭은 상기 제2 비아의 최하부 폭보다 넓고,

리세스가 상기 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 상기 제1 비아에 형성되고, 그리고

상기 제2 비아의 최하부 부분은 상기 리세스 내에 있고, 상기 제2 비아의 상기 최하부 부분은 상기 제2 비아의 최하부 표면으로부터 상기 리세스의 깊이와 동일한 높이까지 위로 연장되고, 상기 제2 비아는 상기 리세스 내에서 상기 제1 비아와 접촉하는, 스택 비아 구조물.

청구항 2

제1항에 있어서,

상기 제1 비아는 상기 제1 비아의 상기 최상부 폭이 상기 제1 비아의 최하부 폭보다 넓도록 테이퍼링(taper)되고,

상기 제2 비아는 상기 제2 비아의 최상부 폭이 상기 제2 비아의 상기 최하부 폭보다 넓도록 테이퍼링되고, 그리고

상기 리세스는 상기 리세스의 최상부 폭이 상기 리세스의 최하부 폭보다 넓도록 테이퍼링되는, 스택 비아 구조물.

청구항 3

제1항에 있어서,

상기 제2 비아의 상기 최하부 부분의 측부 표면은 상기 리세스의 측부 표면과 접촉하고, 그리고

상기 제2 비아의 상기 최하부 부분의 최하부 표면은 상기 리세스의 최하부 표면과 접촉하는, 스택 비아 구조물.

청구항 4

제1항에 있어서,

상기 제1 비아와 상기 제2 비아 사이에 어떠한 캡처 패드도 존재하지 않는, 스택 비아 구조물.

청구항 5

제1항에 있어서,

상기 제2 비아는 패턴 라인을 통해 동일한 층에서 다른 비아와 전기적으로 커플링되며, 상기 제2 비아는 상기 패턴 라인과 접촉하는, 스택 비아 구조물.

청구항 6

제1항에 있어서,

상기 커버 패드는 상기 스택 비아 구조물을 포함하는 스택 층 구조물의 커버 층 내의 패드이며, 상기 커버 층은

상기 스택 층 구조물의 최외측 층이고, 그리고 상기 커버 패드는 외부 디바이스와의 신호 연결을 인에이블 하도록 구성되는, 스택 비아 구조물.

청구항 7

제1항에 있어서,

상기 제1 비아와 상기 제2 비아 사이에서, 상기 캡처 패드는 상기 제1 비아 및 상기 제2 비아를 통해 그 순서로 상기 커버 패드에 전기적으로 커플링되는, 스택 비아 구조물.

청구항 8

제1항에 있어서,

상기 제1 비아는 구리(Cu)로 형성되거나, 상기 제2 비아는 구리(Cu)로 형성되거나, 또는 둘 모두가 이루어지는, 스택 비아 구조물.

청구항 9

제1항에 있어서,

상기 리세스의 상기 깊이는 상기 제1 비아의 높이의 5% 내지 15%의 범위인, 스택 비아 구조물.

청구항 10

제1항에 있어서,

상기 스택 비아 구조물은, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 로케이션 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of Things) 디바이스, 랩톱 컴퓨터, 서버, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택된 장치에 통합되는, 스택 비아 구조물.

청구항 11

스택 층 구조물로서,

내측 유전체 층에 형성된 캡처 패드 및 내측 비아 - 상기 내측 비아는 상기 캡처 패드 위에 적층되고, 상기 캡처 패드와 전기적으로 커플링됨 -;

상기 내측 유전체 층 위에 적층된 대응하는 하나 이상의 중간 유전체 층들에 형성된 하나 이상의 중간 비아들 - 상기 하나 이상의 중간 비아들은 상기 내측 비아 위에 적층되고, 상기 내측 비아와 전기적으로 커플링됨 -;

상기 하나 이상의 중간 유전체 층들 위에 적층된 외측 유전체 층에 형성된 외측 비아 - 상기 외측 비아는 상기 하나 이상의 중간 비아들 위에 적층되고, 상기 하나 이상의 중간 비아들과 전기적으로 커플링됨 -; 및

상기 외측 비아 위에 적층되고, 상기 외측 비아와 전기적으로 커플링된 커버 패드를 포함하며,

상기 스택 층 구조물은 제1 비아 및 상기 제1 비아 위에 적층된 제2 비아를 포함하고, 상기 제1 비아는 상기 내측 비아, 또는 상기 하나 이상의 중간 비아들 중 하나이고, 상기 제2 비아는 상기 하나 이상의 중간 비아들 중 하나 또는 상기 외측 비아이고,

상기 제1 비아의 최상부 폭은 상기 제2 비아의 최하부 폭보다 넓고,

리세스가 상기 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 상기 제1 비아에 형성되고, 그리고

상기 제2 비아의 최하부 부분은 상기 리세스 내에 있고, 상기 제2 비아의 상기 최하부 부분은 상기 제2 비아의 최하부 표면으로부터 상기 리세스의 깊이와 동일한 높이까지 위로 연장되고, 상기 제2 비아는 상기 리세스 내에서 상기 제1 비아와 접촉하는, 스택 층 구조물.

청구항 12

제11항에 있어서,

상기 제1 비아는 상기 제1 비아의 상기 최상부 폭이 상기 제1 비아의 최하부 폭보다 넓도록 테이퍼링되고,

상기 제2 비아는 상기 제2 비아의 최상부 폭이 상기 제2 비아의 상기 최하부 폭보다 넓도록 테이퍼링되고, 그리고

상기 리세스는 상기 리세스의 최상부 폭이 상기 리세스의 최하부 폭보다 넓도록 테이퍼링되는, 스택 층 구조물.

청구항 13

제11항에 있어서,

상기 제2 비아의 상기 최하부 부분의 측부 표면은 상기 리세스의 측부 표면과 접촉하고, 그리고

상기 제2 비아의 상기 최하부 부분의 최하부 표면은 상기 리세스의 최하부 표면과 접촉하는, 스택 층 구조물.

청구항 14

제11항에 있어서,

상기 제1 비아와 상기 제2 비아 사이에 어떠한 캡처 패드도 존재하지 않는, 스택 층 구조물.

청구항 15

제11항에 있어서,

상기 제2 비아는 패턴 라인을 통해 동일한 층에서 다른 비아와 전기적으로 커플링되며, 상기 제2 비아는 상기 패턴 라인과 접촉하는, 스택 층 구조물.

청구항 16

제11항에 있어서,

상기 외측 유전체 층 위에 적층된 커버 층을 더 포함하며, 상기 커버 층은 상기 스택 층 구조물의 최외측 층이고,

상기 커버 패드는 상기 커버 층에 형성되고, 외부 디바이스와의 신호 연결을 가능하게 하도록 구성되는, 스택 층 구조물.

청구항 17

제11항에 있어서,

상기 제1 비아와 상기 제2 비아 사이에서, 상기 캡처 패드는 상기 제1 비아 및 상기 제2 비아를 통해 그 순서로 상기 커버 패드에 전기적으로 커플링되는, 스택 층 구조물.

청구항 18

제11항에 있어서,

상기 제1 비아는 구리(Cu)로 형성되거나, 상기 제2 비아는 구리(Cu)로 형성되거나, 또는 둘 모두가 이루어지는, 스택 층 구조물.

청구항 19

제11항에 있어서,

상기 리세스의 상기 깊이는 상기 제1 비아의 높이의 5% 내지 15%의 범위인, 스택 층 구조물.

청구항 20

제11항에 있어서,

상기 내측 유전체 층 아래에 적층된 초기 층을 더 포함하며,

상기 캡처 패드는 상기 초기 층 상에 있고, 상기 초기 층과 접촉하는, 스택 층 구조물.

청구항 21

제20항에 있어서,

상기 캡처 패드, 상기 내측 비아, 상기 내측 유전체 층, 상기 하나 이상의 중간 비아들, 상기 하나 이상의 중간 유전체 층들, 상기 외측 비아, 상기 외측 유전체 층, 및 상기 커버 패드는 상기 초기 층 위에 형성되고,

상기 스택 층 구조물은,

상기 초기 층 아래에 적층된 하부 내측 유전체 층에 형성된 하부 캡처 패드 및 하부 내측 비아 - 상기 하부 내측 비아는 상기 하부 캡처 패드 아래에 적층되고, 상기 하부 캡처 패드와 전기적으로 커플링됨 -;

상기 하부 내측 유전체 층 아래에 적층된 대응하는 하나 이상의 하부 중간 유전체 층들에 형성된 하나 이상의 하부 중간 비아들 - 상기 하나 이상의 하부 중간 비아들은 상기 하부 내측 비아 아래에 적층되고, 상기 하부 내측 비아와 전기적으로 커플링됨 -;

상기 하나 이상의 하부 중간 유전체 층들 아래에 적층된 하부 외측 유전체 층에 형성된 하부 외측 비아 - 상기 하부 외측 비아는 상기 하나 이상의 하부 중간 비아들 아래에 적층되고, 상기 하나 이상의 하부 중간 비아들과 전기적으로 커플링됨 -; 및

상기 하부 외측 비아 아래에 적층되고, 상기 하부 외측 비아와 전기적으로 커플링된 하부 커버 패드를 더 포함하며,

상기 스택 층 구조물은 제1 하부 비아 및 상기 제1 하부 비아 아래에 적층된 제2 하부 비아를 포함하고, 상기 제1 하부 비아는 상기 하부 내측 비아, 또는 상기 하나 이상의 하부 중간 비아들 중 하나이고, 상기 제2 하부 비아는 상기 하나 이상의 하부 중간 비아들 중 하나 또는 상기 하부 외측 비아이고,

상기 제1 하부 비아의 최하부 폭은 상기 제2 하부 비아의 최상부 폭보다 넓고,

하부 리세스가 상기 제1 하부 비아의 최하부 표면 내로 부분적으로 연장되도록 상기 제1 하부 비아에 형성되고, 그리고

상기 제2 하부 비아의 최상부 부분은 상기 하부 리세스 내에 있고, 상기 제2 하부 비아의 상기 최상부 부분은 상기 제2 하부 비아의 최상부 표면으로부터 상기 하부 리세스의 깊이와 동일한 높이까지 아래로 연장되고, 상기 제2 하부 비아는 상기 하부 리세스 내에서 상기 제1 하부 비아와 접촉하는, 스택 층 구조물.

청구항 22

제11항에 있어서,

상기 스택 층 구조물은 ETS(embedded trace substrate), SAP(semi-additive process) 기판, 또는 mSAP(modified semi-additive process) 기판의 구조물인, 스택 층 구조물.

청구항 23

제11항에 있어서,

상기 스택 층 구조물은, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 로케이션 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of Things) 디바이스, 랩톱 컴퓨터, 서버, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택된 장치에 통합되는, 스택 층 구조물.

청구항 24

스택 비아 구조물을 제조하는 방법으로서,

캡처 패드를 형성하는 단계;

상기 캡처 패드 위에 적층되고, 상기 캡처 패드와 전기적으로 커플링된 제1 비아를 형성하는 단계;

상기 제1 비아 위에 적층되고, 상기 제1 비아와 전기적으로 커플링된 제2 비아를 형성하는 단계; 및

상기 제2 비아 위에 적층되고, 상기 제2 비아와 전기적으로 커플링된 커버 패드를 형성하는 단계를 포함하며,

상기 제1 비아의 최상부 폭은 상기 제2 비아의 최하부 폭보다 넓고,

리세스가 상기 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 상기 제1 비아에 형성되고, 그리고

상기 제2 비아의 최하부 부분은 상기 리세스 내에 있고, 상기 제2 비아의 상기 최하부 부분은 상기 제2 비아의 최하부 표면으로부터 상기 리세스의 깊이와 동일한 높이까지 위로 연장되고, 상기 제2 비아는 상기 리세스 내에서 상기 제1 비아와 접촉하는, 스택 비아 구조물을 제조하는 방법.

청구항 25

제24항에 있어서,

상기 제1 비아의 상기 최상부 표면은 상기 리세스를 형성하도록 드릴링되고, 그리고

상기 제2 비아의 상기 최하부 부분은 상기 제2 비아가 형성되고 있을 때 상기 리세스를 충전하는, 스택 비아 구조물을 제조하는 방법.

청구항 26

제25항에 있어서,

상기 리세스는 상기 제1 비아의 상기 최상부 표면을 레이저 드릴링함으로써 형성되는, 스택 비아 구조물을 제조하는 방법.

청구항 27

스택 층 구조물을 제조하는 방법으로서,

내측 유전체 층에 캡처 패드 및 내측 비아를 형성하는 단계 - 상기 내측 비아는 상기 캡처 패드 위에 적층되고, 상기 캡처 패드와 전기적으로 커플링됨 -;

상기 내측 유전체 층 위에 적층된 대응하는 하나 이상의 중간 유전체 층들에 하나 이상의 중간 비아들을 형성하는 단계 - 상기 하나 이상의 중간 비아들은 상기 내측 비아 위에 적층되고, 상기 내측 비아와 전기적으로 커플링됨 -;

상기 하나 이상의 중간 유전체 층들 위에 적층된 외측 유전체 층에 외측 비아를 형성하는 단계 - 상기 외측 비아는 상기 하나 이상의 중간 비아들 위에 적층되고, 상기 하나 이상의 중간 비아들과 전기적으로 커플링됨 -; 및

상기 외측 비아 위에 적층되고, 상기 외측 비아와 전기적으로 커플링된 커버 패드를 형성하는 단계를 포함하며,

상기 스택 층 구조물은 제1 비아 및 상기 제1 비아 위에 적층된 제2 비아를 포함하고, 상기 제1 비아는 상기 내측 비아, 또는 상기 하나 이상의 중간 비아들 중 하나이고, 상기 제2 비아는 상기 하나 이상의 중간 비아들 중 하나 또는 상기 외측 비아이고,

상기 제1 비아의 최상부 폭은 상기 제2 비아의 최하부 폭보다 넓고,

리세스가 상기 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 상기 제1 비아에 형성되고, 그리고

상기 제2 비아의 최하부 부분은 상기 리세스 내에 있고, 상기 제2 비아의 상기 최하부 부분은 상기 제2 비아의 최하부 표면으로부터 상기 리세스의 깊이와 동일한 높이까지 위로 연장되고, 상기 제2 비아는 상기 리세스 내에서 상기 제1 비아와 접촉하는, 스택 층 구조물을 제조하는 방법.

청구항 28

제27항에 있어서,

상기 제1 비아의 상기 최상부 표면은 상기 리세스를 형성하도록 드릴링되고, 그리고

상기 제2 비아의 상기 최하부 부분은 상기 제2 비아가 형성되고 있을 때 상기 리세스를 충전하는, 스택 층 구조물을 제조하는 방법.

청구항 29

제28항에 있어서,

상기 리세스는 상기 제1 비아의 상기 최상부 표면을 레이저 드릴링함으로써 형성되는, 스택 층 구조물을 제조하는 방법.

청구항 30

제27항에 있어서,

상기 캡처 패드, 상기 내측 비아, 상기 내측 유전체 층, 상기 하나 이상의 중간 비아들, 상기 하나 이상의 중간 유전체 층들, 상기 외측 비아, 상기 외측 유전체 층, 및 상기 커버 패드는 초기 층 위에 형성되고,

상기 방법은,

상기 초기 층 아래에 적층된 하부 내측 유전체 층에 하부 캡처 패드 및 하부 내측 비아를 형성하는 단계 - 상기 하부 내측 비아는 상기 하부 캡처 패드 아래에 적층되고, 상기 하부 캡처 패드와 전기적으로 커플링됨 -;

상기 하부 내측 유전체 층 아래에 적층된 대응하는 하나 이상의 하부 중간 유전체 층들에 하나 이상의 하부 중간 비아들을 형성하는 단계 - 상기 하나 이상의 하부 중간 비아들은 상기 하부 내측 비아 아래에 적층되고, 상기 하부 내측 비아와 전기적으로 커플링됨 -;

상기 하나 이상의 하부 중간 유전체 층들 아래에 적층된 하부 외측 유전체 층에 하부 외측 비아를 형성하는 단계 - 상기 하부 외측 비아는 상기 하나 이상의 하부 중간 비아들 아래에 적층되고, 상기 하나 이상의 하부 중간 비아들과 전기적으로 커플링됨 -; 및

상기 하부 외측 비아 아래에 적층되고, 상기 하부 외측 비아와 전기적으로 커플링된 하부 커버 패드를 형성하는 단계를 더 포함하며,

상기 스택 층 구조물은 제1 하부 비아 및 상기 제1 하부 비아 아래에 적층된 제2 하부 비아를 포함하고, 상기 제1 하부 비아는 상기 하부 내측 비아, 또는 상기 하나 이상의 하부 중간 비아들 중 하나이고, 상기 제2 하부 비아는 상기 하부 외측 비아 또는 상기 하나 이상의 하부 중간 비아들 중 하나이고,

상기 제1 하부 비아의 최하부 폭은 상기 제2 하부 비아의 최상부 폭보다 넓고,

하부 리세스가 상기 제1 하부 비아의 최하부 표면 내로 부분적으로 연장되도록 상기 제1 하부 비아에 형성되고, 그리고

상기 제2 하부 비아의 최상부 부분은 상기 하부 리세스 내에 있고, 상기 제2 하부 비아의 상기 최상부 부분은 상기 제2 하부 비아의 최상부 표면으로부터 상기 하부 리세스의 깊이와 동일한 높이까지 아래로 연장되고, 상기 제2 하부 비아는 상기 하부 리세스 내에서 상기 제1 하부 비아와 접촉하는, 스택 층 구조물을 제조하는 방법.

발명의 설명

기술 분야

[0001] 본 개시내용은 일반적으로 반도체 디바이스들에 관한 것으로, 배타적이지 않고 더 상세하게, 패드리스(padless) 스택 비아들에 대한 리세스 구조물들 및 스택 층 구조물들 및 그들의 제조 기법들에 관한 것이다.

배경 기술

[0002] 집적 회로 기술은 능동 및 수동 컴포넌트들의 소형화를 통해 컴퓨팅 전력을 향상시키는 데 큰 진전을 달성했다. 패키지 디바이스들은 프로세서들, 서버들, RF(radio frequency) 집적 회로들 등을 포함하여 많은 전자 디바이스들에서 발견될 수 있다. 패키징 기술은 높은 핀 카운트 디바이스들 및/또는 대량 생산 컴포넌트들에서 비용 효율적이다.

[0003] 스택 비아 구조물 설계 규칙들은 안전한 랜딩(landing)을 위해 큰 패드들을 특정한다. 스택 비아 애플리케이션들의 경우, 더 큰 랜딩 패드(캡처 패드로 또한 지칭됨) 설계 규칙들이 배치 정확도의 개선을 위해 적용된다. 배치 정확도는 비아 최하부 응력 및 신뢰성 문제들에 직접 관련된다. 추가로, 스택 비아 패드는 라우팅 공간의 감소로 인해 모든 층 비아 패드 치수들 및 설계 유연성에 영향을 준다.

[0004] 따라서, 본 명세서에서 제공되는 방법들, 시스템 및 장치를 포함하여 종래의 스택 비아 구조물들의 결함들을 극

복하는 시스템들, 장치, 및 방법들에 대한 필요성이 존재한다.

발명의 내용

- [0005] 다음은 본 명세서에 개시된 장치 및 방법들과 연관된 하나 이상의 양상들 및/또는 예들에 관련되는 간략화된 요약 을 제시한다. 그러므로, 다음의 요약은 모든 고려된 양상들 및/또는 예들에 관련된 포괄적인 개관으로 고려 되지 않아야 하고, 다음의 요약은 모든 고려된 양상들 및/또는 예들에 관련된 핵심 또는 중요 엘리먼트들을 식 별하거나 또는 임의의 특정 양상 및/또는 예들과 연관된 범위를 서술하는 것으로 간주되지 않아야 한다. 따라 서, 다음의 요약은, 아래에 제시되는 상세한 설명에 앞서 간략화된 형태로 본 명세서에 개시된 장치 및 방법들 에 관련된 하나 이상의 양상들 및/또는 예들에 관련되는 특정한 개념들을 제시하려는 유일한 목적을 갖는다.
- [0006] 예시적인 스택 비아 구조물이 개시된다. 스택 비아 구조물은 캡처 패드를 포함할 수 있다. 스택 비아 구조물 은 또한, 캡처 패드 위에 적층되고, 캡처 패드와 전기적으로 커플링된 제1 비아를 포함할 수 있다. 스택 비아 구조물은, 제1 비아 위에 적층되고, 제1 비아와 전기적으로 커플링된 제2 비아를 더 포함할 수 있다. 스택 비 아 구조물은, 제2 비아 위에 적층되고, 제2 비아와 전기적으로 커플링된 커버 패드를 더 포함할 수 있다. 제1 비아의 최상부 폭은 제2 비아의 최하부 폭보다 넓을 수 있다. 리세스가 제1 비아의 최상부 표면 내로 부분적으 로 연장되도록 제1 비아에 형성될 수 있다. 제2 비아의 최하부 부분은 리세스 내에 있을 수 있다. 제2 비아의 최하부 부분은 제2 비아의 최하부 표면으로부터 리세스의 깊이와 동일한 높이까지 위로 연장될 수 있다. 제2 비아는 리세스 내에서 제1 비아와 접촉할 수 있다.
- [0007] 예시적인 스택 층 구조물이 개시된다. 스택 층 구조물은 내측 유전체 층에 형성된 캡처 패드 및 내측 비아를 포함할 수 있다. 내측 비아는 캡처 패드 위에 적층되고, 캡처 패드와 전기적으로 커플링될 수 있다. 스택 층 구조물은 또한, 내측 유전체 층 위에 적층된 대응하는 하나 이상의 중간 유전체 층들에 형성된 하나 이상의 중 간 비아들을 포함할 수 있다. 하나 이상의 중간 비아들은 내측 비아 위에 적층되고, 내측 비아와 전기적으로 커플링될 수 있다. 스택 층 구조물은, 하나 이상의 중간 유전체 층들 위에 적층된 외측 유전체 층에 형성된 외 측 비아를 더 포함할 수 있다. 외측 비아는 하나 이상의 중간 비아들 위에 적층되고, 하나 이상의 중간 비아들 과 전기적으로 커플링될 수 있다. 스택 층 구조물은, 외측 비아 위에 적층되고, 외측 비아와 전기적으로 커플 링된 커버 패드를 더 포함할 수 있다. 스택 층 구조물은 제1 비아 및 제1 비아 위에 적층된 제2 비아를 포함할 수 있다. 제1 비아는 내측 비아, 또는 하나 이상의 중간 비아들 중 하나일 수 있다. 제2 비아는 하나 이상의 중간 비아들 중 다른 하나 또는 외측 비아일 수 있다. 제1 비아의 최상부 폭은 제2 비아의 최하부 폭보다 넓을 수 있다. 리세스가 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 제1 비아에 형성될 수 있다. 제2 비아의 최하부 부분은 리세스 내에 있을 수 있다. 제2 비아의 최하부 부분은 제2 비아의 최하부 표면으로부터 리 세스의 깊이와 동일한 높이까지 위로 연장될 수 있다. 제2 비아는 리세스 내에서 제1 비아와 접촉할 수 있다.
- [0008] 스택 비아 구조물을 제조하는 예시적인 방법이 개시된다. 방법은 캡처 패드를 형성하는 단계를 포함할 수 있다. 방법은 또한, 캡처 패드 위에 적층되고, 캡처 패드와 전기적으로 커플링된 제1 비아를 포함할 수 있다. 방법은, 제1 비아 위에 적층되고, 제1 비아와 전기적으로 커플링된 제2 비아를 형성하는 단계를 더 포함할 수 있다. 방법은, 제2 비아 위에 적층되고, 제2 비아와 전기적으로 커플링된 커버 패드를 형성하는 단계를 더 포 함할 수 있다. 제1 비아의 최상부 폭은 제2 비아의 최하부 폭보다 넓을 수 있다. 리세스가 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 제1 비아에 형성될 수 있다. 제2 비아의 최하부 부분은 리세스 내에 있을 수 있다. 제2 비아의 최하부 부분은 제2 비아의 최하부 표면으로부터 리세스의 깊이와 동일한 높이까지 위로 연장 될 수 있다. 제2 비아는 리세스 내에서 제1 비아와 접촉할 수 있다.
- [0009] 스택 층 구조물을 제조하는 예시적인 방법이 개시된다. 방법은, 내측 유전체 층에 캡처 패드 및 내측 비아를 형성하는 단계를 포함할 수 있다. 내측 비아는 캡처 패드 위에 적층되고, 캡처 패드와 전기적으로 커플링될 수 있다. 방법은 또한, 내측 유전체 층 위에 적층된 대응하는 하나 이상의 중간 유전체 층들에 하나 이상의 중간 비아들을 형성하는 단계를 포함할 수 있다. 하나 이상의 중간 비아들은 내측 비아 위에 적층되고, 내측 비아와 전기적으로 커플링될 수 있다. 방법은, 하나 이상의 중간 유전체 층들 위에 적층된 외측 유전체 층에 외측 비 아를 형성하는 단계를 더 포함할 수 있다. 외측 비아는 하나 이상의 중간 비아들 위에 적층되고, 하나 이상의 중간 비아들과 전기적으로 커플링될 수 있다. 방법은, 외측 비아 위에 적층되고, 외측 비아와 전기적으로 커플 링된 커버 패드를 형성하는 단계를 더 포함할 수 있다. 스택 층 구조물은 제1 비아 및 제1 비아 위에 적층된 제2 비아를 포함할 수 있다. 제1 비아는 내측 비아, 또는 하나 이상의 중간 비아들 중 하나일 수 있다. 제2 비아는 하나 이상의 중간 비아들 중 다른 하나 또는 외측 비아일 수 있다. 제1 비아의 최상부 폭은 제2 비아의 최하부 폭보다 넓을 수 있다. 리세스가 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 제1 비아에 형성

될 수 있다. 제2 비아의 최하부 부분은 리세스 내에 있을 수 있다. 제2 비아의 최하부 부분은 제2 비아의 최하부 표면으로부터 리세스의 깊이와 동일한 높이까지 위로 연장될 수 있다. 제2 비아는 리세스 내에서 제1 비아와 접촉할 수 있다.

[0010] 본 명세서에 개시된 장치 및 방법들과 연관된 다른 특징들 및 이점들은 첨부한 도면들 및 상세한 설명에 기반하여 당업자들에게 자명할 것이다.

도면의 간단한 설명

[0011] 본 개시내용의 양상들 및 그의 수반된 이점들의 대부분의 더 완전한 인식은, 본 개시내용의 양상들 및 그의 수반된 이점들이 본 개시내용의 제한이 아니라 단지 예시를 위해서만 제시되는 첨부한 도면들과 관련하여 고려될 때 다음의 상세한 설명을 참조하여 더 양호하게 이해됨으로써 용이하게 획득될 것이다.

도 1a 및 도 1b는 종래의 스택 비아 구조물의 층의 단면도 및 평면도를 예시한다.

도 2a 및 도 2b는 본 개시내용의 하나 이상의 양상들에 따른, 예시적인 스택 비아 구조물의 층의 단면도 및 평면도를 예시한다.

도 3은 본 개시내용의 하나 이상의 양상들에 따른, 예시적인 비아 구조물의 상세도를 예시한다.

도 4a 내지 도 4i는 본 개시내용의 하나 이상의 양상들에 따른, 스택 층 구조물을 제조하는 스테이지들의 예들을 예시한다.

도 5a 내지 도 5g는 본 개시내용의 하나 이상의 양상들에 따른, 다른 스택 층 구조물을 제조하는 스테이지들의 예들을 예시한다.

도 6은 본 개시내용의 하나 이상의 양상들에 따른, 스택 비아 구조물을 제조하는 예시적인 방법의 흐름도를 예시한다.

도 7 및 도 8은 본 개시내용의 하나 이상의 양상들에 따른, 스택 층 구조물을 제조하는 예시적인 방법의 흐름도들을 예시한다.

도 9는 본 개시내용의 하나 이상의 양상들에 따른, 스택 층 구조물을 제조하는 다른 예시적인 방법의 흐름도를 예시한다.

도 10은 본 개시내용의 하나 이상의 양상들에 따른, 스택 층 구조물을 제조하는 추가적인 예시적인 방법의 흐름도를 예시한다.

도 11은 본 개시내용의 하나 이상의 양상들을 이용할 수 있는 다양한 전자 디바이스들을 예시한다.

본 명세서에 개시된 양상들과 연관된 다른 목적들 및 장점들은 첨부한 도면들 및 상세한 설명에 기반하여 당업자들에게 자명할 것이다. 일반적인 실시예에 따르면, 도면들에 의해 도시된 특징들은 실체대로 도시되지 않을 수 있다. 따라서, 도시된 특징들의 치수들은 명확화를 위해 임의로 확장 또는 감소될 수 있다. 일반적인 실시예에 따르면, 도면들 중 일부는 명확화를 위해 간략화된다. 따라서, 도면들은 특정 장치 또는 방법의 모든 컴포넌트들을 도시하지는 않을 수 있다. 추가로, 유사한 참조 번호들은 명세서 및 도면들 전반에 걸쳐 유사한 특징들을 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0012] 본 개시내용의 양상들은 특정 실시예들에 관련된 다음의 설명 및 관련 도면들에서 예시된다. 본 명세서의 교시들의 범위를 벗어나지 않으면서 대안적인 양상들 또는 실시예들이 안출될 수 있다. 부가적으로, 본 명세서의 예시적인 실시예들의 잘-알려진 엘리먼트들은 상세히 설명되지 않을 수 있거나, 또는 본 개시내용의 교시들의 관련 세부사항들을 불명료하게 하지 않기 위해 생략될 수 있다.

[0013] 특정한 설명된 예시적인 구현들에서, 다양한 컴포넌트 구조들 및 동작들의 부분들이 알려진 종래 기법들로부터 취해지고, 이어서, 하나 이상의 예시적인 실시예들에 따라 배열될 수 있는 인스턴스들이 식별된다. 그러한 인스턴스들에서, 알려진 종래의 컴포넌트 구조들 및/또는 동작들의 부분들의 내부 세부사항들은 본 명세서에 개시된 예시적인 실시예들에 예시된 개념의 잠재적 난독화를 피하는 것을 돕기 위해 생략될 수 있다.

[0014] 본 명세서에서 사용된 용어는 특정한 실시예들만을 설명하려는 목적을 위한 것이며, 제한하도록 의도되지 않는

다. 본 명세서에서 사용되는 바와 같이, 단수형들은, 문맥상 명확하게 달리 표시되지 않으면, 복수형들을 또한 포함하도록 의도된다. 본 명세서에서 사용되는 경우 용어들 "구비", "구비하는", "포함" 및/또는 "포함하는"이 언급된 특성들, 정수들, 단계들, 동작들, 엘리먼트들, 및/또는 컴포넌트들의 존재를 특정하지만, 하나 이상의 다른 특성들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들, 및/또는 그들의 그룹들의 존재 또는 부가를 배제하지는 않는다는 것이 추가로 이해될 것이다.

[0015] 도 1a는 종래의 스택 비아 구조물(100)의 단면도를 예시한다. 보여지는 바와 같이, 스택 비아 구조물(100)은 서로 상에 수직으로 적층된 비아들(130)을 포함한다. 각각의 비아(130)는 캡처 패드(110)(랜딩 패드로 또한 지칭됨) 상에 있고 캡처 패드(110)와 접촉한다. 커버 패드(120)는 최상단 비아(130) 상에 있고 최상단 비아(130)와 접촉한다. 스택 비아 구조물(100)은 최상부 및 최하부 연결을 위해 캡처 패드들(110) 및 커버 패드(120)를 사용한다.

[0016] 위에서 표시된 바와 같이, 스택 비아 구조물 설계 규칙들은 안전한 랜딩을 위해 큰 패드들을 특정한다. 스택 비아 애플리케이션들의 경우, 더 큰 패드 설계 규칙들이 배치 정확도의 개선을 위해 적용된다. 특히, 캡처 패드(110)의 직경은 비아(130)의 직경보다 크다. 이는, 종래의 스택 비아 구조물(100)의 층의 평면도를 예시하는 도 1b에서 보여진다. 배치 정확도에 대한 마진을 제공하기 위해, 캡처 패드(110)의 직경은 비아(130)의 직경보다 크도록 설계된다. 패턴 라인(150)은 캡처 패드(110)를 통해 층 내에서 2개의 비아들(130)을 서로 전기적으로 커플링시킬 수 있다. 캡처 패드(110)의 더 큰 직경은 신호들의 라우팅에 이용가능한 실면적(real estate)을 감소시키며, 이는 결국 설계 유연성이 감소된다는 것을 의미한다는 것을 유의한다.

[0017] 종래의 스택 비아 구조물의 하나 이상의 문제들을 해결하기 위해, 비아들이 서로의 최상부 상에 직접 적층될 수 있는 적층된 비아 구조물을 제공하는 것이 제안된다. 이러한 방식으로, 비아들의 각각의 쌍 사이의 캡처 패드들에 대한 필요성이 있다. 제안된 스택 비아 구조물(200)의 일 예가 도 2a에 예시되어 있다. 스택 비아 구조물(200)은 - 최하부로부터 최상부로 - 캡처 패드(210), 내측 비아(242), 중간 비아(240), 외측 비아(244), 및 커버 패드(220)를 포함할 수 있다. 추가로 진행하기 전에, 최상부, 최하부, 상부, 하부, 좌측, 우측 등과 같은 용어들이 설명의 용이함을 위해 사용된다는 것을 유의해야 한다. 달리 구체적으로 언급되지 않는 한, 이들 용어들은 절대적 배향들을 의미하는 것으로 취해지지 않아야 한다. 비아들(240, 242, 244) 및/또는 패드들(210, 220)의 스택은 구리(Cu), 알루미늄(Al) 등과 같은 전도성 재료들로 형성될 수 있다.

[0018] 내측 비아(242)는 캡처 패드(210) 상에 있고 캡처 패드(210)와 접촉할 수 있고, 중간 비아(240)는 내측 비아(242) 상에 있고 내측 비아(242)와 접촉할 수 있고, 외측 비아(244)는 중간 비아(240) 상에 있고 중간 비아(240)와 접촉할 수 있으며, 커버 패드(220)는 외측 비아(244) 상에 있고 외측 비아(244)와 접촉할 수 있다. 이러한 방식으로, 캡처 패드(210)는 내측 비아(242), 중간 비아(240), 및 외측 비아(244)를 통해 그 순서로 커버 패드(220)에 전기적으로 커플링될 수 있다.

[0019] 임의의 2개의 바로 인접한 비아들 사이에, 인접한 비아들의 적층을 위한 - 파선 타원들에 의해 하이라이트된 - 리세스 구조물이 존재한다는 것을 유의한다. 특히, 상부 비아(예컨대, 외측 비아(244) 또는 중간 비아(240))의 최하부 부분은 하부 비아(예컨대, 내측 비아(242) 또는 중간 비아(240))에 형성된 리세스 내에 삽입될 수 있다.

[0020] 또한, 상부 및 하부 비아들 사이에 어떠한 랜딩 패드도 존재하지 않는다는 것을 유의한다. 이는 라우팅을 위한 부가적인 공간이 존재할 수 있다는 것을 의미한다. 이는, 스택 비아 구조물(200)의 층의 평면도를 예시하는 도 2b에서 보여진다. 여기서, 패턴 라인(250)은 층 내에서 2개의 비아들(230)을 서로 전기적으로 커플링시킬 수 있다. 그러나, 도 1b에 예시된 상황과 달리, 스택 비아 구조물(200)의 층에는 어떠한 패드들도 존재하지 않는다. 따라서, 패턴 라인(250)은 중간 비아들(240)과 직접 접촉할 수 있다. 그 결과, 신호들의 라우팅에 이용가능한 영역을 증가시킴으로써 설계 유연성이 향상될 수 있다.

[0021] 다음을 유의해야 한다. 단지 하나의 중간 비아(240)만이 도 2a의 스택 비아 구조물(200)에 도시되어 있지만, 실제로, 내측 비아(242)와 외측 비아(244) 사이에 임의의 수의 중간 비아들(240)이 존재할 수 있다. 이어서, 캡처 패드(210)는 내측 비아(242), 하나 이상의 중간 비아들(240), 및 외측 비아(244)를 통해 그 순서로 커버 패드(220)에 전기적으로 커플링될 수 있다.

[0022] 도 2a에서 타원들로서 하이라이트된 리세스 구조물의 더 상세한 도면이 도 3에 예시되어 있으며, 이는 제1 비아(340A) 및 제1 비아(340A) 상에 형성된 제2 비아(340B)를 도시한다. 제1 비아(340A)는 외측 비아(244) 이외의 스택 비아 구조물(200)의 임의의 비아일 수 있다. 즉, 제1 비아(340A)는 내측 비아(242), 또는 하나 이상의 중간 비아들(240) 중 하나일 수 있다. 이어서, 제1 비아(340A)는 캡처 패드(210) 위에 적층되고, 캡처 패드(210)

0)와 전기적으로 커플링될 수 있다. "상에" 적층된 제1 비아(340A)가 내측 비아(242)와 접촉하는 것을 반드시 요구하지는 않지만, 그것이 가능성들 중 하나라는 것을 유의해야 한다. 예컨대, 하나 이상의 중간 비아들(240) 모두는 캡처 패드(210) 위에 적층될 수 있다. 그러나, 내측 비아(242)만이 캡처 패드(210)와 접촉할 수 있다. 더 구체적으로, 캡처 패드(210)의 최상부 표면은 내측 비아(242)의 최하부 표면과 접촉할 수 있다.

[0023] 제2 비아(340B)는 내측 비아(242) 이외의 스택 비아 구조물(200)의 임의의 비아일 수 있다. 즉, 제2 비아(340B)는 하나 이상의 중간 비아들(240) 중 하나 또는 외측 비아(244)일 수 있다. 이어서, 제2 비아(340B)는 제1 비아(340A) 위에 적층되고 제1 비아(340A)와 전기적으로 커플링될 수 있다. 이러한 예시에서, 제1 및 제2 비아들(340A, 340B)이 바로 인접한 비아들이므로, 이들은 서로 접촉할 수 있다.

[0024] 도 2a의 맥락에서, 커버 패드(220)는 제2 비아(340B) 위에 적층되고 제2 비아(340B)와 전기적으로 커플링될 수 있다. 다시, "상에" 적층된 반드시 접촉을 의미하지는 않지만, 그것은 가능성이다. 제2 비아(340B)가 외측 비아(244)이면, 커버 패드(220)는 제2 비아(340B) 상에 있고 제2 비아(340B)와 접촉할 수 있다. 더 구체적으로, 커버 패드(220)의 최하부 표면은 외측 비아(244)의 최상부 표면과 접촉할 수 있다. 그러나, 제2 비아(340B)가 하나 이상의 중간 비아들(240) 중 임의의 중간 비아이면, 커버 패드(220)와 제2 비아(340B) 사이에 접촉이 존재하지 않을 것이다.

[0025] 일 양상에서, 비아들(예컨대, 내측 비아(242), 하나 이상의 중간 비아들(240), 외측 비아(244))은 그들 개개의 최상부 폭들이 그들의 최하부 폭들보다 넓도록 테이퍼링(taper)될 수 있다. 도 3에서, 이는 제1 비아(340A) 및/또는 제2 비아(340B)가 테이퍼링될 수 있다는 것을 암시한다. 제1 비아(340A)가 테이퍼링될 때, 그의 최상부 폭은 그의 최하부 폭보다 넓을 수 있다. 참조의 용이함을 위해, 제1 비아(340A)의 최상부 및 최하부 폭들은 각각 "제1 최상부 폭" 및 "제1 최하부 폭"으로 지칭될 수 있다. 유사하게, 제2 비아(340B)가 테이퍼링될 때, 제2 최상부 폭(제2 비아(340B)의 최상부 폭)은 제2 최하부 폭(제2 비아(340B)의 최하부 폭)보다 넓을 수 있다. 또한, 도 3에서 보여지는 바와 같이, 제1 최상부 폭은 제2 최하부 폭보다 넓을 수 있다.

[0026] 리세스(345)는 제1 비아(340A)의 최상부 표면으로부터 제1 비아(340A) 내로 부분적으로 연장되도록 형성될 수 있다. 즉, 제1 비아(340A)는 제1 비아(340A)의 최상부 표면으로부터 제1 비아(340A) 내로 부분적으로 연장되는 리세스(345)를 포함할 수 있다. 제2 비아(340B)의 최하부 표면으로부터 리세스(345)의 깊이와 동일한 높이까지 위로 연장되는 제2 비아(340B)의 부분이 리세스(345) 내에 삽입될 수 있다. 참조의 용이함을 위해, 제2 비아(340B)의 이러한 최하부 부분은 "제2 최하부 부분"으로 지칭될 수 있다. 리세스(345)의 깊이는 공칭적으로, 제1 비아(340A)의 총 높이의 5% 내지 15% 범위일 수 있다.

[0027] 일 양상에서, 제2 하부 부분은 과전 타원들에 의해 하이라이트된 바와 같이 리세스(345) 내에서 제1 비아(340A)와 접촉할 수 있다. 리세스(345)는 리세스 최상부 폭(리세스(345)의 최상부 폭)이 리세스 최하부 폭(리세스(345)의 최하부 폭)보다 넓도록 테이퍼링될 수 있다는 것을 유의한다. 제1 비아(340A)와 제2 비아(340B) 사이의 접촉은 제2 최하부 부분의 측부 표면이 리세스(345)의 측부 표면과 접촉하도록 이루어질 수 있다. 유사하게, 제2 최하부 표면, 즉 제2 최하부 부분의 최하부 표면(이는 또한 제2 비아(340B)의 최하부 부분임)은 리세스(345)의 최하부 표면과 접촉할 수 있다. 그러므로, 접촉 면적이 증가될 수 있으며, 이는 결국 구조적 무결성을 향상시킬 수 있다. 즉, 제1 및 제2 비아들(340A, 340B)은 서로 더 양호하게 앵커링(anchor)될 수 있다.

[0028] 위의 도 2a의 맥락에서, 상부 및 하부 비아들 사이에 어떠한 랜딩 패드들도 존재하지 않는다는 것이 표시된다. 도 3에서, 이는 제1 및 제2 비아들(340A, 340B) 사이에 어떠한 캡처 패드도 갖지 않는 것으로 해석될 수 있다. 또한, 도 2b의 맥락에서, 패턴 라인(250)이 동일한 층의 2개의 비아들과 접촉할 수 있다는 것이 표시된다. 도 3에서, 이는 패턴 라인(250)이 제1 비아(340A) 및 제1 비아(340A)와 동일한 층 상의 비아(예컨대, 비아(240))와 접촉하는 것으로 해석될 수 있다. 대안적으로 또는 그에 부가하여, 다른 패턴 라인(250)은, 제2 비아(340B) 및 제2 비아(340B)와 동일한 층 상의 동일하거나 상이한 비아(예컨대, 동일하거나 상이한 비아(240))와 접촉할 수 있다. 추가로, 도 2a의 맥락에서, 캡처 패드(210)가 커버 패드(220), 내측 비아(242), 하나 이상의 중간 비아들(240), 및 외측 비아(244)에 그 순서로 전기적으로 커플링될 수 있다는 것이 표시된다. 도 3에서, 이는 캡처 패드(210)가 제1 비아(340A) 및 제2 비아(340B)를 통해 그 순서로 커버 패드(220)에 전기적으로 커플링되는 것으로 해석될 수 있다. 물론, 캡처 및 커버 패드들(210, 220) 사이의 전기 경로에 있을 수 있는 다른 비아들(예컨대, 내측 비아(242), 다른 중간 비아들(240), 외측 비아(244))이 존재할 수 있다는 것을 유의해야 한다.

[0029] 도 2a, 도 2b 및 도 3의 스택 비아 구조물(200)은 스택 층 구조물들에서 사용될 수 있다. 도 4a 내지 도 4i는 본 개시내용의 하나 이상의 양상들에 따른, 스택 층 구조물을 제조하는 스테이지들의 예들을 예시한다. 스테이지들을 설명하기 전에, 스택 비아 구조물(200)이 통합될 수 있는 예시적인 스택 층 구조물(400)을 예시하는 도

4i에 주목한다. 스택 층 구조물(400)은 ETS(embedded trace substrate)에 기반한 스택 층 구조물의 일 예일 수 있다.

- [0030] 도 4i에서 보여지는 바와 같이, 스택 층 구조물(400)은 베이스 층(460)으로 또한 지칭되는 초기 층(460)을 포함할 수 있다. 캡처 패드(210) 및 내측 비아(242)는, 초기 층(460) 위에 적층될 수 있는 내측 유전체 층(415)에 형성될 수 있다. 내측 비아(242)는 캡처 패드(210) 위에 적층되고, 캡처 패드(210)와 전기적으로 커플링될 수 있다.
- [0031] 스택 층 구조물(400)은 또한, 그 자체가 내측 유전체 층(415) 위에 적층될 수 있는 중간 유전체 층(425)에 형성된 중간 비아(240)를 포함할 수 있다. 위로부터, 스택 비아 구조물이 임의의 수의 중간 비아들(240)을 포함할 수 있다는 것을 상기한다. 따라서, 하나의 중간 유전체 층(425)이 도 4i에 도시되어 있지만, 임의의 수의 중간 유전체 층들(425)이 존재할 수 있다. 즉, 스택 층 구조물(400)은 내측 유전체 층(415) 위에 적층될 수 있는 대응하는 하나 이상의 중간 유전체 층들(425)에 형성된 하나 이상의 중간 비아들(240)을 포함할 수 있다. 하나 이상의 중간 비아들(240)은 내측 비아(242) 위에 적층되고, 내측 비아(242)와 전기적으로 커플링될 수 있다.
- [0032] 스택 층 구조물(400)은, 하나 이상의 중간 유전체 층들(425) 위에 적층될 수 있는 외측 유전체 층(435)에 형성된 외측 비아(244)를 더 포함할 수 있다. 외측 비아(244)는 하나 이상의 중간 비아들(240) 위에 적층되고, 하나 이상의 중간 비아들(240)과 전기적으로 커플링될 수 있다.
- [0033] 스택 층 구조물(400)은, 외측 비아(244) 위에 적층되고, 외측 비아(244)와 전기적으로 커플링된 커버 패드(220)를 더 포함할 수 있다. 커버 패드(220)가 스택 층 구조물(400)의 최외측 층일 수 있는 커버 층(445)에 형성될 수 있다는 것을 유의한다. 또한, 커버 패드(220)가 노출될 수 있다는 것을 유의한다. 즉, 커버 패드(220)는 스택 층 구조물(400)과 스택 층 구조물(400) 외부의 디바이스 사이의 신호 연결을 가능하게 하도록 구성될 수 있다. 예컨대, 다수의 커버 패드들(220)은 BGA(ball grid arrays)로서 역할을 할 수 있다.
- [0034] 양상에서, 스택 층 구조물(400)이 도 3에 관해 설명된 바와 같이 제1 비아(340A) 및 제2 비아(340B)를 포함한다고 말할 수 있다. 제2 비아(340B)는 제1 비아(340) 바로 위에 적층될 수 있다. 제1 비아(340A)는 내측 비아(242), 또는 하나 이상의 중간 비아들(240) 중 하나일 수 있다. 제2 비아(340B)는 하나 이상의 중간 비아들(240) 중 하나 또는 외측 비아(244)일 수 있다. 제1 및 제2 비아들(340A, 340B)의 세부사항들은 위에서 제공되며, 따라서 간결함을 위해 여기서 반복되지 않는다.
- [0035] 스택 층 구조물(400)을 제조하는 다양한 스테이지들이 이제 설명될 것이다. 도 4a는 캡처 패드(210)가 캐리어(405) 상에 형성될 수 있는 스테이지를 예시한다.
- [0036] 도 4b는 내측 유전체 층(415)이 캐리어(405) 상에 형성될 수 있고 캡처 패드(210)를 덮는 스테이지를 예시한다. 예컨대, 내측 유전체 층(415)은 캐리어(405) 상에 라미네이팅될 수 있다.
- [0037] 도 4c는 내측 유전체 층(415)이 캡처 패드(210)를 노출시키기 위해 내측 비아 홀(417)을 형성하도록 프로세싱될 수 있는 스테이지를 예시한다. 예컨대, 내측 비아 홀(417)은 레이저 드릴링에 의해 형성될 수 있다.
- [0038] 도 4d는 내측 유전체 층(415) 및 내측 비아 홀(417)이 내측 비아 홀(417)을 충전하기 위해 내측 비아(242)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있는 스테이지를 예시한다. 이러한 스테이지에서, 리세스는 내측 비아(242)에 아직 형성되지 않는다.
- [0039] 도 4e는 중간 비아 홀(427)이 중간 유전체 층(425)에 형성될 수 있는 스테이지를 예시한다. 일 양상에서, 중간 유전체 층(425)은 내측 유전체 층(415) 상에 라미네이팅될 수 있다. 이어서, 중간 유전체 층(425)은 내측 비아(242)를 노출시키기 위해, 예컨대 레이저 드릴링을 통해 드릴링될 수 있다. 드릴링은 또한 내측 비아(242) 내의 리세스를 드릴링할 수 있다.
- [0040] 도 4f는 중간 유전체 층(425) 및 중간 비아 홀(427)이 중간 비아 홀(427)을 충전하기 위해 중간 비아(240)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있는 스테이지를 예시한다. 중간 비아(240)는 또한 내측 비아(242)의 리세스를 충전할 수 있다. 이러한 스테이지에서, 리세스는 중간 비아(240)에 아직 형성되지 않는다.
- [0041] 도 4g는 외측 비아 홀(437)이 외측 유전체 층(435)에 형성될 수 있는 스테이지를 예시한다. 일 양상에서, 외측 유전체 층(435)은 중간 유전체 층(425) 상에 라미네이팅될 수 있다. 이어서, 외측 유전체 층(435)은 중간 비아(240)를 노출시키기 위해, 예컨대 레이저 드릴링을 통해 드릴링될 수 있다. 드릴링은 또한 중간 비아(240) 내

의 리세스를 드릴링할 수 있다.

- [0042] 도 4h는 외측 유전체 층(435) 및 외측 비아 홀(437)이 중간 비아 홀(427)을 충전하기 위해 외측 비아(244)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있는 스테이지를 예시한다. 외측 비아(244)는 또한 중간 비아(240)의 리세스를 충전할 수 있다.
- [0043] 도 4i는 캐리어(405)가 제거될 수 있고 초기 층(460)이 내측 유전체 층(415) 아래에 형성될 수 있는 스테이지를 예시한다. 또한, 커버 패드(220)는 외측 유전체 층(435) 상에 형성될 수 있고, 이어서 커버 층(445)은 외측 유전체 층(435) 및 커버 패드(220) 상에 형성(예컨대, 라미네이팅)될 수 있으며, 이는 이어서 커버 패드(220)를 노출시키도록 프로세싱될 수 있다.
- [0044] 도시되지 않지만, 도 4e 및 도 4f에 예시된 스테이지들을 반복함으로써, 다수의 중간 유전체 층들(425) 및 대응하는 다수의 중간 비아들(240)이 제조될 수 있다는 것을 유의해야 한다.
- [0045] 도 5a 내지 도 5g는 본 개시내용의 하나 이상의 양상들에 따른, 다른 스택 층 구조물을 제조하는 스테이지들의 예들을 예시한다. 스테이지들을 설명하기 전에, 스택 비아 구조물(200)이 통합될 수 있는 예시적인 스택 층 구조물(500)을 예시하는 도 5g에 주목한다. 스택 층 구조물(500)은 SAP(semi-additive process) 또는 mSAP(modified SAP) 기판들에 기반한 스택 층 구조물의 일 예일 수 있다.
- [0046] 도 5g에서 보여지는 바와 같이, 스택 층 구조물(500)은 코어 층(560)으로 또한 지칭되는 초기 층(560)을 포함할 수 있다. 2개의 스택 비아 구조물들이 존재하며, 하나는 코어 층 위에 그리고 다른 것은 코어 층 아래에 있다는 것을 유의한다. 참조의 용이함을 위해, 코어 층(560) 위의 스택 층 구조물(500)의 부분은 'A'로 끝나는 엘리먼트로 참조될 것이고, 코어 층(560) 아래의 부분은 'B'로 끝나는 엘리먼트들로 참조될 것이다.
- [0047] 코어 층(560) 위의 부분은 베이스 층(460) 위의 도 4i의 스택 층 구조물(400)과 유사할 수 있다. 즉, 초기 층(560) 위의 스택 층 구조물(500)은 초기 층(560) 위에 적층된 내측 유전체 층(515A)에 형성된 캡처 패드(210A) 및 내측 비아(242A)를 포함할 수 있다. 내측 비아(242A)는 캡처 패드(210A) 위에 적층되고, 캡처 패드(210A)와 전기적으로 커플링될 수 있다.
- [0048] 초기 층(560) 위의 스택 층 구조물(500)은 또한, 내측 유전체 층(515A) 위에 적층된 중간 유전체 층(525A)에 형성된 중간 비아(240A)를 포함할 수 있다. 다시, 하나의 중간 유전체 층(525A)에 형성된 하나의 중간 비아(240A)가 도시되어 있지만, 스택 층 구조물(500)은 내측 유전체 층(515A) 위에 적층된 대응하는 하나 이상의 중간 유전체 층들(525A)에 형성된 하나 이상의 중간 비아들(240A)를 포함할 수 있다. 하나 이상의 중간 비아들(240A)은 내측 비아(242A) 위에 적층되고, 내측 비아(242A)와 전기적으로 커플링될 수 있다.
- [0049] 초기 층(560) 위의 스택 층 구조물(500)은 하나 이상의 중간 유전체 층들(525A) 위에 적층된 외측 유전체 층(535A)에 형성된 외측 비아(244A)를 더 포함할 수 있다. 외측 비아(244A)는 하나 이상의 중간 비아들(240A) 위에 적층되고, 하나 이상의 중간 비아들(240A)과 전기적으로 커플링될 수 있다.
- [0050] 초기 층(560) 위의 스택 층 구조물(500)은, 외측 비아(244A) 위에 적층되고, 외측 비아(244A)와 전기적으로 커플링된 커버 패드(220A)를 더 포함할 수 있다. 커버 패드(220A)는, 초기 층(560) 위의 스택 층 구조물(500)의 최외측 층일 수 있는 커버 층(545A)에 형성될 수 있다. 커버 패드(220A)가 노출될 수 있다. 예컨대, 커버 패드(220A)는 스택 층 구조물(500) 외부의 디바이스와의 신호 연결을 가능하게 하도록 구성될 수 있다.
- [0051] 양상에서, 초기 층(560) 위의 스택 층 구조물(500)이 도 3에 관해 설명된 바와 같이 제1 비아(340A) 및 제2 비아(340B)를 포함한다고 말할 수 있다. 제2 비아(340B)는 제1 비아(340A) 바로 위에 적층될 수 있다. 제1 비아(340A)는 내측 비아(242), 또는 하나 이상의 중간 비아들(240) 중 하나일 수 있다. 제2 비아(340B)는 하나 이상의 중간 비아들(240) 중 하나 또는 외측 비아(244)일 수 있다. 제1 및 제2 비아들(340A, 340B)의 세부사항들은 위에서 제공되며, 따라서 간결함을 위해 여기서 반복되지 않는다.
- [0052] 코어 층(560) 아래의 부분은 코어 층(560) 위의 부분과 유사할 수 있지만, 반대 배향으로(예컨대, 아래로) 이루어질 수 있다. 용어 "하부"는 위의 컴포넌트들로부터 코어 층(560) 아래의 컴포넌트들을 구별하는 데 사용될 것이다. 초기 층(560) 아래의 스택 층 구조물(500)은 초기 층(560) 아래에 적층된 하부 내측 유전체 층(515B)에 형성된 하부 캡처 패드(210B) 및 하부 내측 비아(242B)를 포함할 수 있다. 하부 내측 비아(242B)는 하부 캡처 패드(210B) 아래에 적층되고, 하부 캡처 패드(210B)와 전기적으로 커플링될 수 있다.
- [0053] 초기 층(560) 아래의 스택 층 구조물(500)은 또한 하부 내측 유전체 층(515B) 아래에 적층된 하부 중간 유전체 층(525B)에 형성된 하부 중간 비아(240B)를 포함할 수 있다. 하나의 하부 중간 유전체 층(525B)에 형성된 하나

의 하부 중간 비아(240B)가 도시되어 있지만, 스택 층 구조물(500)은 하부 내측 유전체 층(515B) 아래에 적층된 대응하는 하나 이상의 하부 중간 유전체 층들(525B)에 형성된 하나 이상의 하부 중간 비아들(240B)을 포함할 수 있다. 하나 이상의 하부 중간 비아들(240B)은 하부 내측 비아(242B) 아래에 적층되고, 하부 내측 비아(242B)와 전기적으로 커플링될 수 있다. 코어 층(560) 위의 중간 유전체 층들(525A)의 수는 코어 층(560) 아래의 하부 중간 층들(525B)의 수와 독립적일 수 있다는 것을 유의해야 한다.

[0054] 초기 층(560) 아래의 스택 층 구조물(500)은 하나 이상의 하부 중간 유전체 층들(525B) 아래에 적층된 하부 외측 유전체 층(535B)에 형성된 하부 외측 비아(244B)를 더 포함할 수 있다. 하부 외측 비아(244B)는 하나 이상의 중간 비아들(240B) 아래에 적층되고, 하나 이상의 중간 비아들(240B)과 전기적으로 커플링될 수 있다.

[0055] 초기 층(560) 아래의 스택 층 구조물(500)은, 하부 외측 비아(244B) 아래에 적층되고, 하부 외측 비아(244B)와 전기적으로 커플링된 하부 커버 패드(220B)를 더 포함할 수 있다. 하부 커버 패드(220B)는, 초기 층(560) 아래의 스택 층 구조물(500)의 최외측 층일 수 있는 하부 커버 층(545B)에 형성될 수 있다. 하부 커버 패드(220B)가 노출될 수 있다. 예컨대, 하부 커버 패드(220B)는 스택 층 구조물(500) 외부의 디바이스와의 신호 연결을 가능하게 하도록 구성될 수 있다.

[0056] 양상에서, 초기 층(560) 아래의 스택 층 구조물(500)은, 배향들이 반전될 수 있다는 것을 제외하고(도시되지 않음), 도 3에 관해 설명된 바와 같이 제1 및 제2 비아들(340A, 340B)과 유사할 수 있는 제1 및 제2 비아들을 포함한다고 말할 수 있다. 이어서, 제2 하부 비아가 제1 하부 비아 바로 아래에 적층될 수 있다고 말할 수 있다. 제1 하부 비아는 하부 내측 비아(242B), 또는 하나 이상의 하부 중간 비아들(240B) 중 하나일 수 있다. 하부 제2 비아는 하나 이상의 하부 중간 비아들(240B) 중 하나 또는 하부 외측 비아(244B)일 수 있다.

[0057] 초기 층(560)의 양 측부들 상의 스택 비아 구조물들이 도시되어 있지만, 이는 단지 예이다. 도 2a, 도 2b, 도 3의 제안된 스택 비아 구조물이 초기 층(560)의 하나의 측부 또는 양 측부들 상에 있을 수 있다는 것이 고려된다.

[0058] 스택 층 구조물(500)을 제조하는 다양한 스테이지들이 이제 설명될 것이다. 설명의 목적들을 위해, 제안된 스택 비아 구조물이 초기 층(560)의 위 또는 아래 둘 모두 상에 형성될 것이라고 가정될 것이다. 도 5a는, 캡처 패드(210A)가 초기(또는 코어) 층(560) 상에 형성될 수 있고, 하부 캡처 패드(210B)가 초기 층(560) 아래에 형성될 수 있는 스테이지를 예시한다. 캡처 패드(210A) 및 하부 캡처 패드(210B) 중 하나 또는 둘 모두는 초기 층(560)과 접촉할 수 있다.

[0059] 도 5b는, 내측 유전체 층(515A)이 초기 층(560) 상에 형성되고, 캡처 패드(210A)를 덮는 스테이지를 예시한다. 또한, 하부 내측 유전체 층(515B)은 초기 층(560) 아래에 형성되고, 하부 캡처 패드(210B)를 덮을 수 있다. 예컨대, 내측 유전체 층(515A)은 초기 층(560) 상에 라미네이팅될 수 있다. 대안적으로 또는 그에 부가하여, 하부 내측 유전체 층(515B)은 초기 층(560) 아래에 라미네이팅될 수 있다.

[0060] 도 5c는 내측 유전체 층(515A)이 캡처 패드(210A)를 노출시키기 위해 내측 비아 홀(517A)을 형성하도록 프로세스될 수 있는 스테이지를 예시한다. 유사하게, 하부 내측 유전체 층(515B)은 하부 캡처 패드(210B)를 노출시키기 위해 하부 내측 비아 홀(517B)을 형성하도록 프로세스될 수 있다. 내측 비아 홀(517A) 및/또는 하부 내측 비아 홀(517B)은 레이저 드릴링에 의해 형성될 수 있다.

[0061] 도 5d는 내측 유전체 층(515A) 및 내측 비아 홀(517A)이 내측 비아 홀(517A)을 충전하기 위해 내측 비아(242A)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있는 스테이지를 예시한다. 이러한 스테이지에서, 리세스는 내측 비아(242A)에 아직 형성되지 않는다. 대안적으로 또는 그에 부가하여, 하부 내측 유전체 층(515B) 및 하부 내측 비아 홀(517B)은 하부 내측 비아 홀(517B)을 충전하기 위해 하부 내측 비아(242B)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있다. 이러한 스테이지에서, 하부 리세스는 하부 내측 비아(242B)에 아직 형성되지 않는다.

[0062] 도 5e는 중간 비아 홀(527A)이 중간 유전체 층(525A)에 형성될 수 있는 스테이지를 예시한다. 중간 유전체 층(525A)은 내측 유전체 층(515A) 상에 라미네이팅되고, 이어서, 예컨대 레이저 드릴링을 통해 드릴링될 수 있다. 드릴링은 또한 내측 비아(242A) 내의 리세스를 드릴링할 수 있다.

[0063] 대안적으로 또는 그에 부가하여, 하부 중간 비아 홀(527B)이 하부 중간 유전체 층(525B)에 형성될 수 있다. 하부 중간 유전체 층(525B)은 하부 내측 유전체 층(515B) 아래에 라미네이팅되고, 이어서, 예컨대 레이저 드릴링을 통해 드릴링될 수 있다. 드릴링은 또한 하부 내측 비아(242B) 내의 하부 리세스를 드릴링할 수 있다.

- [0064] 도 5f는 중간 유전체 층(525A) 및 중간 비아 홀(527A)이 중간 비아 홀(527A)을 충전하기 위해 중간 비아(240A)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있는 스테이지를 예시한다. 중간 비아(240A)는 또한 내측 비아(242A)의 리세스를 충전할 수 있다. 이러한 스테이지에서, 리세스는 중간 비아(240A)에 아직 형성되지 않는다.
- [0065] 대안적으로 또는 그에 부가하여, 하부 중간 유전체 층(525B) 및 하부 중간 비아 홀(527B)은 하부 중간 비아 홀(527B)을 충전하기 위해 하부 중간 비아(240B)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있다. 하부 중간 비아(240B)는 또한 하부 내측 비아(242B)의 리세스를 충전할 수 있다. 이러한 스테이지에서, 하부 리세스는 하부 중간 비아(240B)에 아직 형성되지 않는다.
- [0066] 도 5g는, 외측 유전체 층(535A)이 중간 유전체 층(525A) 상에 라미네이팅되고, (예컨대, 레이저에 의해) 드릴링될 수 있는 스테이지를 예시하며, 이는 또한 중간 비아(240A)에 리세스를 형성할 수 있다. 외측 유전체 층(535A) 및 중간 비아(240A)는 외측 비아(244A)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있으며, 이는 또한 중간 비아(240A)의 리세스를 충전한다. 커버 패드(220A)는 외측 유전체 층(535A) 상에 형성될 수 있고, 이어서 커버 층(545A)은 외측 유전체 층(535A) 및 커버 패드(220A) 상에 형성(예컨대, 라미네이팅)될 수 있다. 이어서, 커버 층(545A)은, 예컨대 외부 디바이스들과의 연결들을 가능하게 하도록 추가로 프로세싱될 수 있다.
- [0067] 대안적으로 또는 그에 부가하여, 하부 외측 유전체 층(535B)은 하부 중간 유전체 층(525B) 아래에 라미네이팅되고, (예컨대, 레이저에 의해) 드릴링될 수 있으며, 이는 또한 하부 중간 비아(240B)에 하부 리세스를 형성할 수 있다. 하부 외측 유전체 층(535B) 및 하부 중간 비아(240B)는 하부 외측 비아(244B)를 형성하도록 전도성 재료들(예컨대, Cu, Al 등)로 도금될 수 있으며, 이는 또한 하부 중간 비아(240B)의 하부 리세스를 충전한다. 하부 커버 패드(220B)는 하부 외측 유전체 층(535B) 아래에 형성될 수 있고, 이어서 하부 커버 층(545B)은 하부 외측 유전체 층(535B) 및 하부 커버 패드(220B) 아래에 형성(예컨대, 라미네이팅)될 수 있다. 이어서, 하부 커버 층(545B)은, 예컨대 외부 디바이스들과의 연결들을 가능하게 하도록 추가로 프로세싱될 수 있다.
- [0068] 도시되지 않지만, 도 5e 및 도 5f에 예시된 스테이지들을 반복함으로써, 다수의 중간 유전체 층들(525A) 및 대응하는 다수의 중간 비아들(240A)이 제조될 수 있다는 것을 유의해야 한다. 대안적으로 또는 그에 부가하여, 다수의 하부 중간 유전체 층들(525B) 및 대응하는 다수의 하부 중간 비아들(240B)이 제조될 수 있다. 다시, 중간 유전체 층들(525A)의 수는 하부 중간 유전체 층들(525B)의 수와 독립적일 수 있다.
- [0069] 도 6은 본 개시내용의 하나 이상의 양상들에 따른, 스택 비아 구조물(200)과 같은 스택 비아 구조물을 제조하는 예시적인 방법(600)의 흐름도를 예시한다. 블록(610)에서, 캡처 패드(210)가 형성될 수 있다.
- [0070] 블록(620)에서, 제1 비아(340A)가 형성될 수 있다. 제1 비아(340A)는 캡처 패드(210) 위에 적층되고, 캡처 패드(210)와 전기적으로 커플링될 수 있다. 리세스(345)는 제1 비아(340A)의 최상부 표면으로부터 제1 비아(340A) 내로 부분적으로 연장되도록 형성될 수 있다. 일 양상에서, 리세스(345)는 레이저 드릴링과 같은 드릴링을 통해 형성될 수 있다.
- [0071] 블록(630)에서, 제2 비아(340B)가 형성될 수 있다. 제2 비아(340B)는 제1 비아(340A) 위에 적층되고 제1 비아(340A)와 전기적으로 커플링될 수 있다. 제2 최하부 부분(제2 비아(340B)의 최하부 표면으로부터 리세스(345)의 깊이와 동일한 높이까지 위로 연장되는 제2 비아(340B)의 부분)이 리세스(345) 내에 있을 수 있다. 그러므로, 제2 비아(340B)는 리세스(345) 내에서 제1 비아(340A)와 접촉할 수 있다. 제1 및 제2 비아들(340A, 340B)의 세부사항들은 도 2a, 도 2b 및 도 3에 관해 위에서 설명되고, 따라서 간결함을 위해 여기서 반복되지 않을 것이다.
- [0072] 블록(640)에서, 커버 패드(220)가 형성될 수 있다. 커버 패드(220)는 제2 비아(340B) 위에 적층되고 제2 비아(340B)와 전기적으로 커플링될 수 있다.
- [0073] 도 7은 본 개시내용의 하나 이상의 양상들에 따른, 스택 층 구조물(400 또는 500)과 같은 스택 층 구조물을 제조하는 예시적인 방법(700)의 흐름도를 예시한다. 블록(710)에서, 캡처 패드(210, 210A) 및 내측 비아(242, 242A)가 내측 유전체 층(415, 515A)에 형성될 수 있다. 내측 비아(242, 242A)는 캡처 패드(210, 210A) 위에 적층되고, 캡처 패드(210, 210A)와 전기적으로 커플링될 수 있다.
- [0074] 블록(720)에서, 하나 이상의 중간 비아들(240, 240A)은 내측 유전체 층(415, 515A) 위에 적층될 수 있는 대응하는 하나 이상의 중간 유전체 층들(425, 525A)에 형성될 수 있다. 하나 이상의 중간 비아들(240, 240A)은 내측

비아(242, 242A) 위에 적층되고, 내측 비아(242, 242A)와 전기적으로 커플링될 수 있다.

- [0075] 블록(730)에서, 외측 비아(244, 244A)는 하나 이상의 중간 유전체 층들(425, 525A) 위에 적층될 수 있는 외측 유전체 층(435, 535A)에 형성될 수 있다. 외측 비아(244, 244A)는 하나 이상의 중간 비아들(240, 240A) 위에 적층되고, 하나 이상의 중간 비아들(240, 240A)과 전기적으로 커플링될 수 있다.
- [0076] 일 양상에서, 내측 비아(242, 242A), 또는 하나 이상의 중간 비아들(240, 240A) 중 하나는 제1 비아(340A)로서 역할을 할 수 있다. 또한, 하나 이상의 중간 비아들(240, 240A) 중 하나 또는 외측 비아(244A)는 제2 비아(340B)로서 역할을 할 수 있다. 제1 및 제2 비아들(340A, 340B)의 세부사항들은 도 2a, 도 2b 및 도 3에 관해 위에서 설명되고, 따라서 간결함을 위해 여기서 반복되지 않을 것이다.
- [0077] 블록(740)에서, 커버 패드(220, 220A)가 형성될 수 있다. 커버 패드(220, 220A)는 외측 비아(244, 244A) 위에 적층되고, 외측 비아(244, 244A)와 전기적으로 커플링될 수 있다.
- [0078] 블록들(710 내지 740)을 구현하는 것은 스택 층 구조물(400)을 제조할 수 있거나, 또는 초기 층(560) 위에 스택 층 구조물(500)의 일부를 제조할 수 있다. 선택적으로(파선 직사각형에 의해 표시된 바와 같이), 블록(750)은 초기 층(560) 아래에 스택 층 구조물(500)의 일부를 제조하도록 수행될 수 있다.
- [0079] 도 8은 블록(750)을 구현하기 위한 예시적인 프로세스의 흐름도를 예시한다. 블록(810)에서, 하부 캡처 패드(210B) 및 하부 내측 비아(242B)가 하부 내측 유전체 층(515B)에 형성될 수 있다. 하부 내측 비아(242B)는 하부 캡처 패드(210B) 아래에 적층되고, 하부 캡처 패드(210B)와 전기적으로 커플링될 수 있다.
- [0080] 블록(820)에서, 하나 이상의 하부 중간 비아들(240B)은 하부 내측 유전체 층(515B) 위에 적층될 수 있는 대응하는 하나 이상의 하부 중간 유전체 층들(525B)에 형성될 수 있다. 하나 이상의 하부 중간 비아들(240B)은 하부 내측 비아(242B) 위에 적층되고, 하부 내측 비아(242B)와 전기적으로 커플링될 수 있다.
- [0081] 블록(830)에서, 하부 외측 비아(244B)는 하나 이상의 하부 중간 유전체 층들(525B) 위에 적층될 수 있는 하부 외측 유전체 층(535B)에 형성될 수 있다. 하부 외측 비아(244B)는 하나 이상의 하부 중간 비아들(240B) 위에 적층되고, 하나 이상의 하부 중간 비아들(240B)과 전기적으로 커플링될 수 있다.
- [0082] 일 양상에서, 하부 내측 비아(242B), 또는 하나 이상의 하부 중간 비아들(240B) 중 하나는 제1 하부 비아로서 역할을 할 수 있다. 또한, 하나 이상의 하부 중간 비아들(240B) 중 하나 또는 하부 외측 비아(244B)는 제2 하부 비아로서 역할을 할 수 있다. 제1 및 제2 하부 비아들의 세부사항들은 위에서 설명되며, 따라서 간결함을 위해 여기서 반복되지 않을 것이다.
- [0083] 블록(840)에서, 하부 커버 패드(220B)가 형성될 수 있다. 하부 커버 패드(220B)는 하부 외측 비아(244B) 위에 적층되고 하부 외측 비아(244B)와 전기적으로 커플링될 수 있다.
- [0084] 도 9는 본 개시내용의 하나 이상의 양상들에 따른, 스택 층 구조물(400)과 같은 스택 층 구조물을 제조하는 다른 예시적인 방법(900)의 흐름도를 예시한다. 블록(910)에서, 패턴 층이 캐리어(예컨대, 캐리어(405)) 상에 형성될 수 있다. 캡처 패드(예컨대, 캡처 패드(210))는 패턴 층의 일부로서 형성될 수 있다.
- [0085] 블록(920)에서, 캐리어(예컨대, 캐리어(405))는 유전체 층(예컨대, 내측 유전체 층(415))으로 라미네이팅될 수 있다.
- [0086] 블록(930)에서, 유전체 층(예컨대, 내측 유전체 층(415))은 캡처 패드(예컨대, 캡처 패드(210))를 노출시키도록 드릴링될 수 있다.
- [0087] 블록(940)에서, 패턴 층이 유전체 층(예컨대, 내측 유전체 층(415), 중간 유전체 층(425)) 상에 형성될 수 있다. 패턴 층은 비아(예컨대, 내측 비아(242), 중간 비아(240))를 포함할 수 있다.
- [0088] 블록(950)에서, 유전체 층(예컨대, 내측 유전체 층(415), 중간 유전체 층(425))은 다른 유전체 층(예컨대, 중간 유전체 층(425), 외측 유전체 층(435))으로 라미네이팅될 수 있다.
- [0089] 블록(960)에서, 다른 유전체 층(예컨대, 중간 유전체 층(425), 외측 유전체 층(435))은 비아(예컨대, 내측 비아(242), 중간 비아(240))를 노출시키도록 드릴링될 수 있다.
- [0090] 블록들(940, 950, 960)은 하나 이상의 중간 유전체 층들(예컨대, 하나 이상의 중간 유전체 층들(425)) 및 대응하는 하나 이상의 중간 비아들(예컨대, 하나 이상의 중간 비아들(240))을 형성하기 위해 다수회 반복될 수 있다. 블록들(940, 950, 960)의 최종 반복 상에서, 외측 유전체 층(예컨대, 외측 유전체 층(435)) 및 외측 비

아(예컨대, 외측 비아(244))가 형성될 수 있다.

- [0091] 블록(970)에서, 캐리어(예컨대, 캐리어(405))가 탈착될 수 있다.
- [0092] 블록(980)에서, 베이스 층(예컨대, 베이스 층(460))이 형성될 수 있다. 베이스 층은 내측 유전체 층(예컨대, 내측 유전체 층(415)) 아래에 있고 그와 접촉할 수 있다.
- [0093] 블록(990)에서, 커버 패드(예컨대, 커버 패드(220))를 포함하는 커버 층(예컨대, 커버 층(445))이 외측 유전체 층(예컨대, 외측 유전체 층(435)) 상에 형성될 수 있다.
- [0094] 도 10는 본 개시내용의 하나 이상의 양상들에 따른, 스택 층 구조물(500)과 같은 스택 층 구조물을 제조하는 추가적인 예시적인 방법(1000)의 흐름도를 예시한다. 블록(1010)에서, 상부 패턴 층이 코어 층(예컨대, 코어 층(560)) 상에 형성될 수 있다. 상부 캡처 패드(예컨대, 캡처 패드(210A))가 상부 패턴 층의 일부로서 형성될 수 있다. 대안적으로 또는 그에 부가하여, 하부 패턴 층이 코어 층 아래에 형성될 수 있다. 하부 캡처 패드(예컨대, 하부 캡처 패드(210B))가 하부 패턴 층의 일부로서 형성될 수 있다.
- [0095] 블록(1020)에서, 상부 유전체 층(예컨대, 내측 유전체 층(515A))이 코어 층(예컨대, 코어 층(560)) 상에 라미네이팅될 수 있다. 대안적으로 또는 그에 부가하여, 하부 유전체 층(예컨대, 하부 내측 유전체 층(515B))이 코어 층 상에 라미네이팅될 수 있다.
- [0096] 블록(1030)에서, 상부 유전체 층(예컨대, 내측 유전체 층(515A))은 상부 캡처 패드(예컨대, 캡처 패드(210A))를 노출시키도록 드릴링될 수 있다. 대안적으로 또는 그에 부가하여, 하부 유전체 층(예컨대, 하부 내측 유전체 층(515B))은 하부 캡처 패드(예컨대, 하부 캡처 패드(210B))를 노출시키도록 드릴링될 수 있다.
- [0097] 블록(1040)에서, 상부 패턴 층이 상부 유전체 층(예컨대, 내측 유전체 층(515A), 중간 유전체 층(525A)) 상에 형성될 수 있다. 상부 패턴 층은 상부 비아(예컨대, 내측 비아(242A), 중간 비아(240A))를 포함할 수 있다. 대안적으로 또는 그에 부가하여, 하부 패턴 층이 하부 유전체 층(예컨대, 하부 내측 유전체 층(515B), 하부 중간 유전체 층(525B)) 상에 형성될 수 있다. 하부 패턴 층은 하부 비아(예컨대, 하부 내측 비아(242B), 하부 중간 비아(240B))를 포함할 수 있다.
- [0098] 블록(1050)에서, 상부 유전체 층(예컨대, 내측 유전체 층(515A), 중간 유전체 층(525A))은 다른 상부 유전체 층(예컨대, 중간 유전체 층(525A), 외측 유전체 층(535A))으로 라미네이팅될 수 있다. 대안적으로 또는 그에 부가하여, 하부 유전체 층(예컨대, 하부 내측 유전체 층(515B), 하부 중간 유전체 층(525B))은 다른 하부 유전체 층(예컨대, 하부 중간 유전체 층(525B), 하부 외측 유전체 층(535B))으로 라미네이팅될 수 있다.
- [0099] 블록(1060)에서, 다른 상부 유전체 층(예컨대, 중간 유전체 층(525A), 외측 유전체 층(535A))은 상부 비아(예컨대, 내측 비아(242A), 중간 비아(240A))를 노출시키도록 드릴링될 수 있다. 대안적으로 또는 그에 부가하여, 다른 하부 유전체 층(예컨대, 하부 중간 유전체 층(525B), 하부 외측 유전체 층(535B))은 하부 비아(예컨대, 하부 내측 비아(242B), 중간 비아(240B))를 노출시키도록 드릴링될 수 있다.
- [0100] 블록들(1040, 1050, 1060)은 하나 이상의 상부 중간 유전체 층들(예컨대, 하나 이상의 중간 유전체 층들(525A)) 및 대응하는 하나 이상의 상부 중간 비아들(예컨대, 하나 이상의 중간 비아들(240A))을 형성하기 위해 다수회 반복될 수 있다. 대안적으로 또는 그에 부가하여, 블록들(1040, 1050, 1060)은 하나 이상의 하부 중간 유전체 층들(예컨대, 하나 이상의 하부 중간 유전체 층들(525B)) 및 대응하는 하나 이상의 하부 중간 비아들(예컨대, 하나 이상의 하부 중간 비아들(240B))을 형성하기 위해 다수회 반복될 수 있다.
- [0101] 블록들(1040, 1050, 1060)의 최종 반복 상에서, 상부 외측 유전체 층(예컨대, 외측 유전체 층(535A)) 및 상부 외측 비아(예컨대, 외측 비아(244A))가 형성될 수 있다. 대안적으로 또는 그에 부가하여, 하부 외측 유전체 층(예컨대, 하부 외측 유전체 층(535B)) 및 하부 외측 비아(예컨대, 하부 외측 비아(244B))가 형성될 수 있다.
- [0102] 블록(1090)에서, 상부 커버 패드(예컨대, 커버 패드(220A))를 포함하는 상부 커버 층(예컨대, 커버 층(545A))이 상부 외측 유전체 층(예컨대, 외측 유전체 층(535A)) 상에 형성될 수 있다. 대안적으로 또는 그에 부가하여, 하부 커버 패드(예컨대, 하부 커버 패드(220B))를 포함하는 하부 커버 층(예컨대, 하부 커버 층(545B))이 하부 외측 유전체 층(예컨대, 하부 외측 유전체 층(535B)) 아래에 형성될 수 있다.
- [0103] 전술한 제조 프로세스들 및 관련 논의는 단지 본 개시내용의 양상들 중 일부 양상들의 일반적인 예시로서만 제공되었으며, 본 개시내용 또는 첨부한 청구항들을 제한하도록 의도되지 않는다는 것이 인식될 것이다. 추가로, 당업자들에게 알려진 제조 프로세스의 많은 세부사항들은 각각의 세부사항 및/또는 모든 가능한 프로세스 변형

들의 상세한 연출 없이 개시된 다양한 양상들의 이해를 용이하게 하기 위해 요약 프로세스 부분들에서 생략되거나 결합될 수 있다. 추가로, 예시된 구성들 및 설명들은 단지 본 명세서에 개시된 다양한 양상들의 설명을 보조하기 위해서만 제공된다는 것이 인식될 것이다. 예컨대, 인덕터들의 수 및 로케이션, 금속화 구조물이 더 많거나 또는 더 적은 전도성 및 절연 층들을 가질 수 있고, 공동 배향, 사이즈, 그것이 다수의 공동들로 형성되는지, 폐쇄되는지 또는 개방되는지, 및 다른 양상들은 안테나들의 수, 안테나 타입, 주파수 범위, 전력 등과 같은 특정 애플리케이션 설계 특징들에 따른 변동들을 가질 수 있다. 따라서, 전술한 예시적인 예들 및 연관된 도면들은 본 명세서에 개시되고 청구된 다양한 양상들을 제한하는 것으로 해석되지 않아야 한다.

[0104] 도 11은 본 개시내용의 하나 이상의 양상들을 이용할 수 있는 다양한 전자 디바이스들을 예시한다. 예컨대, 모바일 폰 디바이스(1102), 랩톱 컴퓨터 디바이스(1104), 및 고정 로케이션 단말 디바이스(1106)는 각각 일반적으로 사용자 장비(UE)로 간주될 수 있고, 본 명세서에 설명된 바와 같이 구조물들(1100)(예컨대, 스택 비아 구조물(200), 스택 층 구조물(400), 또는 스택 층 구조물(500)) 중 임의의 것을 포함할 수 있다. 도 11에 예시된 디바이스들(1102, 1104, 1106)은 단지 예시적인 것이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication systems) 유닛들, 휴대용 데이터 유닛들, 이를테면 개인용 디지털 보조기들, GPS(global positioning system) 인에이블 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 로케이션 데이터 유닛들, 이를테면 미터 판독 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들, 서버들, 라우터들, 자동차들(예를 들어, 자율주행 차량들), IoT(Internet of things) 디바이스에 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 추출하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예를 들어, 전자 디바이스들)의 그룹을 포함하지만 이에 제한되지 않는 스택 비아 구조물 및/또는 스택 층 구조물들을 포함할 수 있다.

[0105] 전술한 개시된 디바이스들 및 기능들은 컴퓨터-판독가능 매체 상에 저장된 컴퓨터 파일들(예컨대, RTL, GDSII, GERBER 등)로 설계 및 구성될 수 있다. 일부 또는 모든 그러한 파일들은, 그러한 파일들에 기반하여 디바이스들을 제조하는 제조 핸들러들에 제공될 수 있다. 결과적인 제품들은 반도체 웨이퍼들을 포함할 수 있으며, 이어서, 반도체 웨이퍼들은 반도체 다이로 절단되고 유리 디바이스 상의 안테나로 패키징된다. 이어서, 유리 디바이스 상의 안테나는 본 명세서에서 설명된 디바이스들에서 이용될 수 있다.

[0106] 구현 예들은 다음의 넘버링된 조항들에 설명되어 있다.

[0107] 조항 1: 스택 비아 구조물로서, 캡처 패드; 캡처 패드 위에 적층되고, 캡처 패드와 전기적으로 커플링된 제1 비아; 제1 비아 위에 적층되고, 제1 비아와 전기적으로 커플링된 제2 비아; 및 제2 비아 위에 적층되고, 제2 비아와 전기적으로 커플링된 커버 패드를 포함하며, 제1 비아의 최상부 폭은 제2 비아의 최하부 폭보다 넓고, 리세스가 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 제1 비아에 형성되고, 그리고 제2 비아의 최하부 부분은 리세스 내에 있고, 제2 비아의 최하부 부분은 제2 비아의 최하부 표면으로부터 리세스의 깊이와 동일한 높이까지 위로 연장되고, 제2 비아는 리세스 내에서 제1 비아와 접촉한다.

[0108] 조항 2: 조항 1의 스택 비아 구조물에 있어서, 제1 비아는 제1 비아의 최상부 폭이 제1 비아의 최하부 폭보다 넓도록 테이퍼링되고, 제2 비아는 제2 비아의 최상부 폭이 제2 비아의 최하부 폭보다 넓도록 테이퍼링되고, 그리고 리세스는 리세스의 최상부 폭이 리세스의 최하부 폭보다 넓도록 테이퍼링된다.

[0109] 조항 3: 조항 1 또는 조항 2의 스택 비아 구조물에 있어서, 제2 비아의 최하부 부분의 측부 표면은 리세스의 측부 표면과 접촉하고, 그리고 제2 비아의 최하부 부분의 최하부 표면은 리세스의 최하부 표면과 접촉한다.

[0110] 조항 4: 조항 1 내지 조항 3 중 어느 한 조항의 스택 비아 구조물에 있어서, 제1 비아와 제2 비아 사이에 어떠한 캡처 패드도 존재하지 않는다.

[0111] 조항 5: 조항 1 내지 조항 4 중 어느 한 조항의 스택 비아 구조물에 있어서, 제2 비아는 패턴 라인을 통해 동일한 층에서 다른 비아와 전기적으로 커플링되며, 제2 비아는 패턴 라인과 접촉한다.

[0112] 조항 6: 조항 1 내지 조항 5 중 어느 한 조항의 스택 비아 구조물에 있어서, 커버 패드는 스택 비아 구조물을 포함하는 스택 층 구조물의 커버 층 내의 패드이며, 커버 층은 스택 층 구조물의 최외측 층이고, 그리고 커버 패드는 외부 디바이스와의 신호 연결로 구성된다.

[0113] 조항 7: 조항 1 내지 조항 6 중 어느 한 조항의 스택 비아 구조물에 있어서, 제1 비아와 제2 비아 사이에서, 캡처 패드는 제1 비아 및 제2 비아를 통해 그 순서로 커버 패드에 전기적으로 커플링된다.

- [0114] 조항 8: 조항 1 내지 조항 7 중 어느 한 조항의 스택 비아 구조물에 있어서, 제1 비아는 구리(Cu)로 형성되거나, 제2 비아는 구리(Cu)로 형성되거나, 또는 둘 모두가 이루어진다.
- [0115] 조항 9: 조항 1 내지 조항 8 중 어느 한 조항의 스택 비아 구조물에 있어서, 리세스의 깊이는 제1 비아의 높이의 5% 내지 15%의 범위이다.
- [0116] 조항 10: 조항 1 내지 조항 9 중 어느 한 조항의 스택 비아 구조물에 있어서, 스택 비아 구조물은, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 로케이션 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of Things) 디바이스, 랩톱 컴퓨터, 서버, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택된 장치에 통합된다.
- [0117] 조항 11: 스택 비아 구조물을 제조하는 방법으로서, 캡처 패드를 형성하는 단계; 캡처 패드 위에 적층되고, 캡처 패드와 전기적으로 커플링된 제1 비아를 형성하는 단계; 제1 비아 위에 적층되고, 제1 비아와 전기적으로 커플링된 제2 비아를 형성하는 단계; 및 제2 비아 위에 적층되고, 제2 비아와 전기적으로 커플링된 커버 패드를 형성하는 단계를 포함하며, 제1 비아의 최상부 폭은 제2 비아의 최하부 폭보다 넓고, 리세스가 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 제1 비아에 형성되고, 그리고 제2 비아의 최하부 부분은 리세스 내에 있고, 제2 비아의 최하부 부분은 제2 비아의 최하부 표면으로부터 리세스의 깊이와 동일한 높이까지 위로 연장되고, 제2 비아는 리세스 내에서 제1 비아와 접촉한다.
- [0118] 조항 12: 조항 11의 방법에 있어서, 제1 비아는 제1 비아의 최상부 폭이 제1 비아의 최하부 폭보다 넓도록 테이퍼링되고, 제2 비아는 제2 비아의 최상부 폭이 제2 비아의 최하부 폭보다 넓도록 테이퍼링되고, 그리고 리세스는 리세스의 최상부 폭이 리세스의 최하부 폭보다 넓도록 테이퍼링된다.
- [0119] 조항 13: 조항 11 또는 조항 12의 방법에 있어서, 제2 비아의 최하부 부분의 측부 표면은 리세스의 측부 표면과 접촉하고, 그리고 제2 비아의 최하부 부분의 최하부 표면은 리세스의 최하부 표면과 접촉한다.
- [0120] 조항 14: 조항 11 내지 조항 13 중 어느 한 조항의 방법에 있어서, 제1 비아와 제2 비아 사이에 어떠한 캡처 패드도 존재하지 않는다.
- [0121] 조항 15: 조항 11 내지 조항 14 중 어느 한 조항의 방법에 있어서, 제2 비아는 패턴 라인을 통해 동일한 층에서 다른 비아와 전기적으로 커플링되며, 제2 비아는 패턴 라인과 접촉한다.
- [0122] 조항 16: 조항 11 내지 조항 15 중 어느 한 조항의 방법에 있어서, 커버 패드는 스택 비아 구조물을 포함하는 스택 층 구조물의 커버 층 내의 패드이며, 커버 층은 스택 층 구조물의 최외측 층이고, 그리고 커버 패드는 외부 디바이스와의 신호 연결로 구성된다.
- [0123] 조항 17: 조항 11 내지 조항 16 중 어느 한 조항의 방법에 있어서, 제1 비아와 제2 비아 사이에서, 캡처 패드는 제1 비아 및 제2 비아를 통해 그 순서로 커버 패드에 전기적으로 커플링된다.
- [0124] 조항 18: 조항 11 내지 조항 17 중 어느 한 조항의 방법에 있어서, 제1 비아는 구리(Cu)로 형성되거나, 제2 비아는 구리(Cu)로 형성되거나, 또는 둘 모두가 이루어진다.
- [0125] 조항 19: 조항 11 내지 조항 18 중 어느 한 조항의 방법에 있어서, 리세스의 깊이는 제1 비아의 높이의 5% 내지 15%의 범위이다.
- [0126] 조항 20: 조항 11 내지 조항 19 중 어느 한 조항의 방법에 있어서, 제1 비아의 최상부 표면은 리세스를 형성하도록 드릴링되고, 그리고 제2 비아의 최하부 부분은 제2 비아가 형성되고 있을 때 리세스를 충전한다.
- [0127] 조항 21: 조항 20의 방법에 있어서, 리세스는 제1 비아의 최상부 표면을 레이저 드릴링함으로써 형성된다.
- [0128] 조항 22: 스택 층 구조물로서, 내측 유전체 층에 형성된 캡처 패드 및 내측 비아 - 내측 비아는 캡처 패드 위에 적층되고, 캡처 패드와 전기적으로 커플링됨 -; 내측 유전체 층 위에 적층된 대응하는 하나 이상의 중간 유전체 층들에 형성된 하나 이상의 중간 비아들 - 하나 이상의 중간 비아들은 내측 비아 위에 적층되고, 내측 비아와 전기적으로 커플링됨 -; 하나 이상의 중간 유전체 층들 위에 적층된 외측 유전체 층에 형성된 외측 비아 - 외측 비아는 하나 이상의 중간 비아들 위에 적층되고, 하나 이상의 중간 비아들과 전기적으로 커플링됨 -; 및 외측 비아 위에 적층되고, 외측 비아와 전기적으로 커플링된 커버 패드를 포함하며, 스택 층 구조물은 제1 비아 및 제1 비아 위에 적층된 제2 비아를 포함하고, 제1 비아는 내측 비아, 또는 하나 이상의 중간 비아들 중 하나이고, 제2 비아는 하나 이상의 중간 비아들 중 하나 또는 외측 비아이고, 제1 비아의 최상부 폭은 제2 비아

의 최하부 폭보다 넓고, 리세스가 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 제1 비아에 형성되고, 그리고 제2 비아의 최하부 부분은 리세스 내에 있고, 제2 비아의 최하부 부분은 제2 비아의 최하부 표면으로부터 리세스의 깊이와 동일한 높이까지 위로 연장되고, 제2 비아는 리세스 내에서 제1 비아와 접촉한다.

- [0129] 조항 23: 조항 22의 스택 층 구조물에 있어서, 제1 비아는 제1 비아의 최상부 폭이 제1 비아의 최하부 폭보다 넓도록 테이퍼링되고, 제2 비아는 제2 비아의 최상부 폭이 제2 비아의 최하부 폭보다 넓도록 테이퍼링되고, 그리고 리세스는 리세스의 최상부 폭이 리세스의 최하부 폭보다 넓도록 테이퍼링된다.
- [0130] 조항 24: 조항 22 또는 조항 23의 스택 층 구조물에 있어서, 제2 비아의 최하부 부분의 측부 표면은 리세스의 측부 표면과 접촉하고, 그리고 제2 비아의 최하부 부분의 최하부 표면은 리세스의 최하부 표면과 접촉한다.
- [0131] 조항 25: 조항 22 내지 조항 24 중 어느 한 조항의 스택 층 구조물에 있어서, 제1 비아와 제2 비아 사이에 어떠한 캡처 패드도 존재하지 않는다.
- [0132] 조항 26: 조항 22 내지 조항 25 중 어느 한 조항의 스택 층 구조물에 있어서, 제2 비아는 패턴 라인을 통해 동일한 층에서 다른 비아와 전기적으로 커플링되며, 제2 비아는 패턴 라인과 접촉한다.
- [0133] 조항 27: 조항 22 내지 조항 26 중 어느 한 조항의 스택 층 구조물에 있어서, 외측 유전체 층 위에 적층된 커버 층을 더 포함하며, 커버 층은 스택 층 구조물의 최외측 층이고, 커버 패드는 커버 층에 형성되고, 외부 디바이스와 신호 연결을 가능하게 하도록 구성된다.
- [0134] 조항 28: 조항 22 내지 조항 27 중 어느 한 조항의 스택 층 구조물에 있어서, 제1 비아와 제2 비아 사이에서, 캡처 패드는 제1 비아 및 제2 비아를 통해 그 순서로 커버 패드에 전기적으로 커플링된다.
- [0135] 조항 29: 조항 22 내지 조항 28 중 어느 한 조항의 스택 층 구조물에 있어서, 제1 비아는 구리(Cu)로 형성되거나, 제2 비아는 구리(Cu)로 형성되거나, 또는 둘 모두가 이루어진다.
- [0136] 조항 30: 조항 22 내지 조항 29 중 어느 한 조항의 스택 층 구조물에 있어서, 리세스의 깊이는 제1 비아의 높이의 5% 내지 15%의 범위이다.
- [0137] 조항 31: 조항 22 내지 조항 30 중 어느 한 조항의 스택 층 구조물에 있어서, 내측 유전체 층 아래에 적층된 초기 층을 더 포함하며, 캡처 패드는 초기 층 상에 있고, 초기 층과 접촉한다.
- [0138] 조항 32: 조항 31의 스택 층 구조물에 있어서, 캡처 패드, 내측 비아, 내측 유전체 층, 하나 이상의 중간 비아들, 하나 이상의 중간 유전체 층들, 외측 비아, 외측 유전체 층, 및 커버 패드는 초기 층 위에 형성되고, 스택 층 구조물은, 초기 층 아래에 적층된 하부 내측 유전체 층에 형성된 하부 캡처 패드 및 하부 내측 비아 - 하부 내측 비아는 하부 캡처 패드 아래에 적층되고, 하부 캡처 패드와 전기적으로 커플링됨 -; 하부 내측 유전체 층 아래에 적층된 대응하는 하나 이상의 하부 중간 유전체 층들에 형성된 하나 이상의 하부 중간 비아들 - 하나 이상의 하부 중간 비아들은 하부 내측 비아 아래에 적층되고, 하부 내측 비아와 전기적으로 커플링됨 -; 하나 이상의 하부 중간 유전체 층들 아래에 적층된 하부 외측 유전체 층에 형성된 하부 외측 비아 - 하부 외측 비아는 하나 이상의 하부 중간 비아들 아래에 적층되고, 하나 이상의 하부 중간 비아들과 전기적으로 커플링됨 -; 및 하부 외측 비아 아래에 적층되고, 하부 외측 비아와 전기적으로 커플링된 하부 커버 패드를 더 포함하며, 스택 층 구조물은 제1 하부 비아 및 제1 하부 비아 아래에 적층된 제2 하부 비아를 포함하고, 제1 하부 비아는 하부 내측 비아, 또는 하나 이상의 하부 중간 비아들 중 하나이고, 제2 하부 비아는 하나 이상의 하부 중간 비아들 중 하나 또는 하부 외측 비아이고, 제1 하부 비아의 최하부 폭은 제2 하부 비아의 최상부 폭보다 넓고, 하부 리세스가 제1 하부 비아의 최하부 표면 내로 부분적으로 연장되도록 제1 하부 비아에 형성되고, 그리고 제2 하부 비아의 최상부 부분은 하부 리세스 내에 있고, 제2 하부 비아의 최상부 부분은 제2 하부 비아의 최상부 표면으로부터 하부 리세스의 깊이와 동일한 높이까지 아래로 연장되고, 제2 하부 비아는 하부 리세스 내에서 제1 하부 비아와 접촉한다.
- [0139] 조항 33: 조항 22 내지 조항 32 중 어느 한 조항의 스택 층 구조물에 있어서, 스택 층 구조물은 ETS(embedded trace substrate), SAP(semi-additive process) 기판, 또는 mSAP(modified semi-additive process) 기판의 구조물이다.
- [0140] 조항 34: 조항 22 내지 조항 33 중 어느 한 조항의 스택 층 구조물에 있어서, 스택 층 구조물은, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 로케이션 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of Things) 디바이스, 랩톱 컴퓨터, 서버, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터

터 선택된 장치에 통합된다.

- [0141] 조항 35: 스택 층 구조물을 제조하는 방법으로서, 내측 유전체 층에 캡처 패드 및 내측 비아를 형성하는 단계 - 내측 비아는 캡처 패드 위에 적층되고, 캡처 패드와 전기적으로 커플링됨 -; 내측 유전체 층 위에 적층된 대응하는 하나 이상의 중간 유전체 층들에 하나 이상의 중간 비아들을 형성하는 단계 - 하나 이상의 중간 비아들은 내측 비아 위에 적층되고, 내측 비아와 전기적으로 커플링됨 -; 하나 이상의 중간 유전체 층들 위에 적층된 외측 유전체 층에 외측 비아를 형성하는 단계 - 외측 비아는 하나 이상의 중간 비아들 위에 적층되고, 하나 이상의 중간 비아들과 전기적으로 커플링됨 -; 및 외측 비아 위에 적층되고, 외측 비아와 전기적으로 커플링된 커버 패드를 형성하는 단계를 포함하며, 스택 층 구조물은 제1 비아 및 제1 비아 위에 적층된 제2 비아를 포함하고, 제1 비아는 내측 비아, 또는 하나 이상의 중간 비아들 중 하나이고, 제2 비아는 하나 이상의 중간 비아들 중 하나 또는 외측 비아이고, 제1 비아의 최상부 폭은 제2 비아의 최하부 폭보다 넓고, 리세스가 제1 비아의 최상부 표면 내로 부분적으로 연장되도록 제1 비아에 형성되고, 그리고 제2 비아의 최하부 부분은 리세스 내에 있고, 제2 비아의 최하부 부분은 제2 비아의 최하부 표면으로부터 리세스의 깊이와 동일한 높이까지 위로 연장되고, 제2 비아는 리세스 내에서 제1 비아와 접촉한다.
- [0142] 조항 36: 조항 35의 방법에 있어서, 제1 비아는 제1 비아의 최상부 폭이 제1 비아의 최하부 폭보다 넓도록 테이퍼링되고, 제2 비아는 제2 비아의 최상부 폭이 제2 비아의 최하부 폭보다 넓도록 테이퍼링되고, 그리고 리세스는 리세스의 최상부 폭이 리세스의 최하부 폭보다 넓도록 테이퍼링된다.
- [0143] 조항 37: 조항 35 또는 조항 36의 방법에 있어서, 제2 비아의 최하부 부분의 측부 표면은 리세스의 측부 표면과 접촉하고, 그리고 제2 비아의 최하부 부분의 최하부 표면은 리세스의 최하부 표면과 접촉한다.
- [0144] 조항 38: 조항 35 내지 조항 37 중 어느 한 조항의 방법에 있어서, 제1 비아와 제2 비아 사이에 어떠한 캡처 패드도 존재하지 않는다.
- [0145] 조항 39: 조항 35 내지 조항 38 중 어느 한 조항의 방법에 있어서, 제2 비아는 패턴 라인을 통해 동일한 층에서 다른 비아와 전기적으로 커플링되며, 제2 비아는 패턴 라인과 접촉한다.
- [0146] 조항 40: 조항 35 내지 조항 39 중 어느 한 조항의 방법에 있어서, 외측 유전체 층 위에 적층된 커버 층을 형성하는 단계를 더 포함하며, 커버 층은 스택 층 구조물의 최외측 층이고, 커버 패드는 커버 층에 형성되고, 외부 디바이스와의 신호 연결을 가능하게 하도록 구성된다.
- [0147] 조항 41: 조항 35 내지 조항 40 중 어느 한 조항의 방법에 있어서, 제1 비아와 제2 비아 사이에서, 캡처 패드는 제1 비아 및 제2 비아를 통해 그 순서로 커버 패드에 전기적으로 커플링된다.
- [0148] 조항 42: 조항 35 내지 조항 41 중 어느 한 조항의 방법에 있어서, 제1 비아는 구리(Cu)로 형성되거나, 제2 비아는 구리(Cu)로 형성되거나, 또는 둘 모두가 이루어진다.
- [0149] 조항 43: 조항 35 내지 조항 42 중 어느 한 조항의 방법에 있어서, 리세스의 깊이는 제1 비아의 높이의 5% 내지 15%의 범위이다.
- [0150] 조항 44: 조항 35 내지 조항 43 중 어느 한 조항의 방법에 있어서, 내측 유전체 층 아래에 적층된 초기 층을 형성하는 단계를 더 포함하며, 캡처 패드는 초기 층 상에 있고, 초기 층과 접촉한다.
- [0151] 조항 45: 조항 44의 방법에 있어서, 캡처 패드, 내측 비아, 내측 유전체 층, 하나 이상의 중간 비아들, 하나 이상의 중간 유전체 층들, 외측 비아, 외측 유전체 층, 및 커버 패드는 초기 층 위에 형성되고, 방법은, 초기 층 아래에 적층된 하부 내측 유전체 층에 하부 캡처 패드 및 하부 내측 비아를 형성하는 단계 - 하부 내측 비아는 하부 캡처 패드 아래에 적층되고, 하부 캡처 패드와 전기적으로 커플링됨 -; 하부 내측 유전체 층 아래에 적층된 대응하는 하나 이상의 하부 중간 유전체 층들에 하나 이상의 하부 중간 비아들을 형성하는 단계 - 하나 이상의 하부 중간 비아들은 하부 내측 비아 아래에 적층되고, 하부 내측 비아와 전기적으로 커플링됨 -; 하나 이상의 하부 중간 유전체 층들 아래에 적층된 하부 외측 유전체 층에 하부 외측 비아를 형성하는 단계 - 하부 외측 비아는 하나 이상의 하부 중간 비아들 아래에 적층되고, 하나 이상의 하부 중간 비아들과 전기적으로 커플링됨 -; 및 하부 외측 비아 아래에 적층되고, 하부 외측 비아와 전기적으로 커플링된 하부 커버 패드를 형성하는 단계를 더 포함하며, 스택 층 구조물은 제1 하부 비아 및 제1 하부 비아 아래에 적층된 제2 하부 비아를 포함하고, 제1 하부 비아는 하부 내측 비아, 또는 하나 이상의 하부 중간 비아들 중 하나이고, 제2 하부 비아는 하나 이상의 하부 중간 비아들 중 하나 또는 하부 외측 비아이고, 제1 하부 비아의 최하부 폭은 제2 하부 비아의 최상부 폭보다 넓고, 하부 리세스가 제1 하부 비아의 최하부 표면 내로 부분적으로 연장되도록 제1 하부 비

아에 형성되고, 그리고 제2 하부 비아의 최상부 부분은 하부 리세스 내에 있고, 제2 하부 비아의 최상부 부분은 제2 하부 비아의 최상부 표면으로부터 하부 리세스의 깊이와 동일한 높이까지 아래로 연장되고, 제2 하부 비아는 하부 리세스 내에서 제1 하부 비아와 접촉한다.

[0152] 조항 46: 조항 35 내지 조항 45 중 어느 한 조항의 방법에 있어서, 스택 층 구조물은 ETS(embedded trace substrate), SAP(semi-additive process) 기판, 또는 mSAP(modified semi-additive process) 기판의 구조물이다.

[0153] 조항 47: 조항 35 내지 조항 46 중 어느 한 조항의 방법에 있어서, 제1 비아의 최상부 표면은 리세스를 형성하도록 드릴링되고, 그리고 제2 비아의 최하부 부분은 제2 비아가 형성되고 있을 때 리세스를 충전한다.

[0154] 조항 48, 조항 47의 방법에 있어서, 리세스는 제1 비아의 최상부 표면을 레이저 드릴링함으로써 형성된다.

[0155] 본 명세서에서 사용되는 바와 같이, 용어들 "사용자 장비"(또는 "UE"), "사용자 디바이스", "사용자 단말", "클라이언트 디바이스", "통신 디바이스", "무선 디바이스", "무선 통신 디바이스", "핸드헬드 디바이스", "모바일 디바이스", "모바일 단말", "모바일 스테이션", "핸드셋", "액세스 단말", "가입자 디바이스", "가입자 단말", "가입자 스테이션", "단말", 및 그의 변형들은 무선 통신 및/또는 내비게이션 신호들을 수신할 수 있는 임의의 적합한 모바일 또는 정지형 디바이스를 상호교환가능하게 지칭할 수 있다. 이들 용어들은 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 스마트폰, 개인 휴대 정보 단말, 고정된 위치 단말, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, 랩톱 컴퓨터, 서버, 자동차 내의 자동차 디바이스, 및/또는 통상적으로 사람에 의해 소유되고 그리고/또는 통신 능력들(예컨대, 무선, 셀룰러, 적외선, 단거리 라디오 등)을 갖는 다른 타입들의 휴대용 전자 디바이스들을 포함한다(그러나 이에 제한되지 않음). 이들 용어들은 또한, 위성 신호 수신인지, 보조 데이터 수신인지, 그리고/또는 디바이스 또는 다른 디바이스에서 발생하는 포지션-관련 프로세싱인지에 관계없이, 이를테면 단거리 무선, 적외선, 유선 연결, 또는 다른 연결에 의해 무선 통신 및/또는 내비게이션 신호들을 수신할 수 있는 다른 디바이스와 통신하는 디바이스들을 포함하도록 의도된다. 부가적으로, 이들 용어들은, RAN(radio access network)을 통해 코어 네트워크와 통신할 수 있고, 코어 네트워크를 통해 UE들이 인터넷과 같은 외부 네트워크들과 그리고 다른 UE들과 연결될 수 있는 무선 및 유선 통신 디바이스들을 포함하는 모든 디바이스들을 포함하는 것으로 의도된다. 물론, 코어 네트워크 및/또는 인터넷에 연결하는 다른 메커니즘들이 또한, 이를테면, 유선 액세스 네트워크, WLAN(wireless local area network)(예컨대, IEEE 802.11 등에 기반함) 등을 통해 UE들에 대해 가능하다. UE들은 PC(printed circuit) 카드들, 콤팩트 플래시 디바이스들, 외부 또는 내부 모듈들, 무선 또는 유선 폰들, 스마트폰들, 태블릿들, 추적 디바이스들, 자산 태그들 등을 포함하는(그러나 이에 제한되지 않음) 다수의 타입들의 디바이스들 중 임의의 것에 의해 구현될 수 있다. UE들이 RAN에 신호들을 전송할 수 있게 하는 통신 링크는 업링크 채널(예컨대, 역방향 트래픽 채널, 역방향 제어 채널, 액세스 채널 등)로 지칭된다. RAN이 UE들에 신호들을 전송할 수 있게 하는 통신 링크는 다운링크 또는 순방향 링크 채널(예컨대, 페이징 채널, 제어 채널, 브로드캐스트 채널, 순방향 트래픽 채널 등)로 지칭된다. 본 명세서에서 사용되는 바와 같이, 용어 TCH(traffic channel)는 업링크/역방향 또는 다운링크/순방향 트래픽 채널 중 어느 하나를 지칭할 수 있다.

[0156] 전자 디바이스들 사이의 무선 통신은 상이한 기술들, 이를테면 CDMA(code division multiple access), W-CDMA, TDMA(time division multiple access), FDMA(frequency division multiple access), OFDM(Orthogonal Frequency Division Multiplexing), GSM(Global System for Mobile Communications), 3GPP LTE(Long Term Evolution), 5G 뉴 라디오(New Radio), BT(Bluetooth), BLE(Bluetooth Low Energy), IEEE 802.11(WiFi), 및 IEEE 802.15.4(Zigbee/Thread) 또는 무선 통신 네트워크 또는 데이터 통신 네트워크에서 사용될 수 있는 다른 프로토콜들에 기반할 수 있다. 블루투스 저에너지(블루투스 LE, BLE, 및 블루투스 스마트) 또한 알려져 있음)는 유사한 통신 범위를 유지하면서 상당히 감소된 전력 소비 및 비용을 제공하도록 의도된 블루투스 특수 관심 그룹(Bluetooth Special Interest Group)에 의해 설계 및 판매되는 무선 개인 영역 네트워크 기술이다. BLE는 2010년에 블루투스 코어 규격 버전 4.0의 채택과 함께 주요 블루투스 표준으로 병합되었으며, 블루투스 5에서 업데이트되었다.

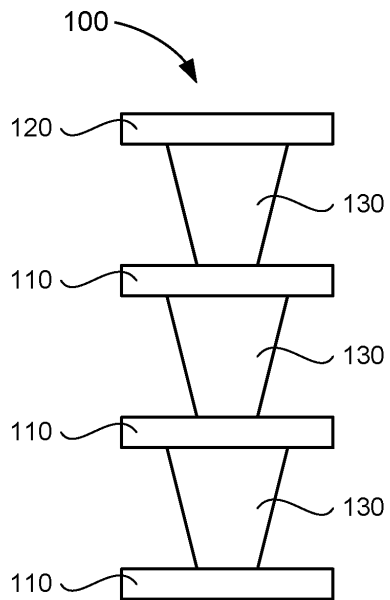
[0157] 단어 "예시적인"은 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로서 본 명세서에 설명된 임의의 세부사항들은 다른 예들에 비해 유리한 것으로서 반드시 해석되지는 않는다. 유사하게, 용어 "예들"은, 모든 예들이 논의된 특징, 이점 또는 동작 모드를 포함한다는 것을 의미하지 않는다. 더욱이, 특정한 특징 및/또는 구조는 하나 이상의 다른 특징들 및/또는 구조들과 조합될 수 있다. 또한, 본 명세서에 설명된 장치의 적어도 일부는 본 명세서에 설명된 방법의 적어도 일부를 수행하도록 구성될

수 있다.

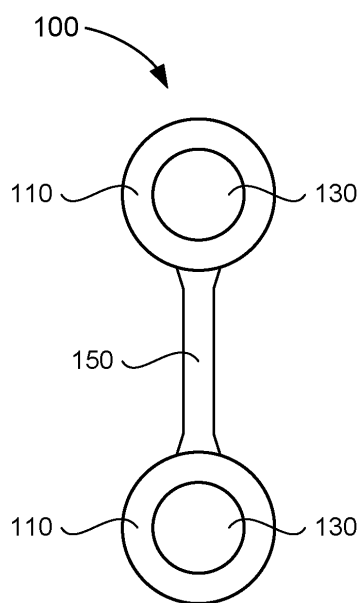
- [0158] 용어들 "연결된", "커플링된", 또는 이들의 임의의 변형이 엘리먼트들 사이의 직접적인 또는 간접적인 임의의 연결 또는 커플링을 의미하며, 연결이 직접적으로 연결된 것으로 명백하게 개시되지 않는 한, 중간 엘리먼트를 통해 함께 "연결된" 또는 "커플링된" 2개의 엘리먼트들 사이의 그러한 중간 엘리먼트의 존재를 포함할 수 있다는 것을 유의해야 한다.
- [0159] "제 1", "제 2" 등과 같은 지정을 사용하는 본 명세서의 엘리먼트에 대한 임의의 참조는, 그 엘리먼트들의 양 및/또는 순서를 제한하지 않는다. 오히려, 이들 지정들은, 2개 이상의 엘리먼트들 및/또는 엘리먼트의 인스턴스들 사이를 구별하는 편리한 방법으로서 사용된다. 또한, 달리 나타내지 않으면, 엘리먼트들의 세트는 하나 이상의 엘리먼트들을 포함할 수 있다.
- [0160] 당업자들은, 정보 및 신호들이 다양한 상이한 기법들 및 기술들 중 임의의 기법 및 기술을 사용하여 표현될 수 있음을 인식할 것이다. 예컨대, 위의 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 조합에 의해 표현될 수 있다.
- [0161] 본 명세서에서 언급되거나 예시되어 도시된 어떠한 것도, 임의의 컴포넌트, 액션, 특징, 장점, 이점, 또는 등가물이 청구항들에서 언급되는지 여부와 관계없이 그러한 컴포넌트, 액션, 특징, 장점, 이점, 또는 등가물을 대중에게 전용하도록 의도되지 않는다.
- [0162] 위의 상세한 설명에서, 상이한 특징들이 예들에서 함께 그룹화된다는 것을 알 수 있다. 본 개시내용의 이러한 방식은, 청구된 예들이 각각의 청구항에서 명시적으로 언급된 것보다 더 많은 특징들을 갖는다는 의도로서 이해되지 않아야 한다. 오히려, 본 개시내용은 개시된 개별 예의 모든 특징들보다 더 적은 특징들을 포함할 수 있다. 따라서, 다음의 청구항들은 본 개시내용에 의해 설명에 포함되는 것으로 간주되어야 하며, 여기서 각각의 청구항 그 자체는 별개의 예로서 나타날 수 있다. 각각의 청구항 그 자체가 별개의 예로서 나타날 수 있지만, 종속 청구항이 청구항들에서 하나 또는 하나 이상의 청구항들과의 특정 조합을 지칭할 수 있더라도, 다른 예들이 또한, 상기 종속 청구항의 임의의 다른 종속 청구항의 청구대상과의 조합 또는 임의의 특징의 다른 종속 청구항 및 독립 청구항과의 조합을 망라하거나 또는 포함할 수 있다는 것을 유의해야 한다. 특정한 조합이 의도되지 않는다는 것이 명시적으로 표현되지 않으면, 그러한 조합들이 본 명세서에서 제안된다. 더욱이, 어떠한 청구항이 임의의 다른 독립 청구항에 직접 종속되지 않더라도, 상기 청구항의 특징들이 그러한 독립 청구항에 포함될 수 있다는 것이 또한 의도된다.
- [0163] 더욱이, 설명 또는 청구항들에서 개시된 방법들, 시스템들, 및 장치가 개시된 방법들의 개개의 액션들 및/또는 기능들을 수행하기 위한 수단을 포함하는 디바이스에 의해 구현될 수 있다는 것을 유의해야 한다.
- [0164] 더욱이, 일부 예들에서, 개별적인 액션은 하나 이상의 서브-액션들로 세분되거나 또는 하나 이상의 서브-액션들을 포함할 수 있다. 그러한 서브-액션들은 개별적인 액션의 개시내용에 포함되고 개별적인 액션의 개시내용의 일부일 수 있다.
- [0165] 진술한 개시내용이 본 개시내용의 예시적인 예들을 나타내지만, 다양한 변화들 및 변형들이 첨부된 청구항들에 의해 정의된 바와 같은 본 개시내용의 범위를 벗어나지 않으면서 본 명세서에서 행해질 수 있다는 것을 유의해야 한다. 본 명세서에 설명된 본 개시내용의 예들에 따른 방법 청구항들의 기능들 및/또는 액션들은 임의의 특정한 순서로 수행될 필요가 없다. 부가적으로, 잘-알려진 엘리먼트들은, 본 명세서에 개시된 양상들 및 예들의 관련 세부사항들을 불명료하게 하지 않기 위해 상세히 설명되지 않을 것이거나 또는 생략될 수 있다. 더욱이, 본 개시내용의 엘리먼트들이 단수로 설명 또는 청구될 수 있지만, 단수로의 제한이 명시적으로 나타나지 않으면, 복수가 고려된다.

도면

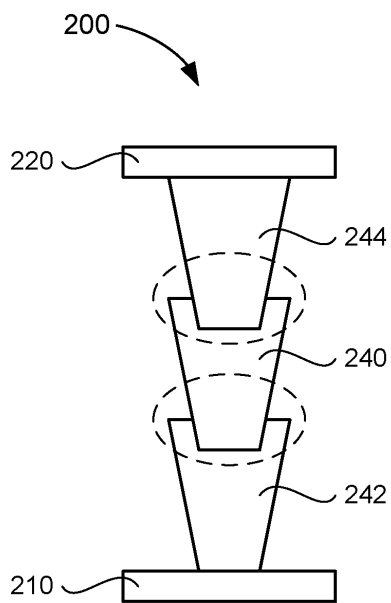
도면1a



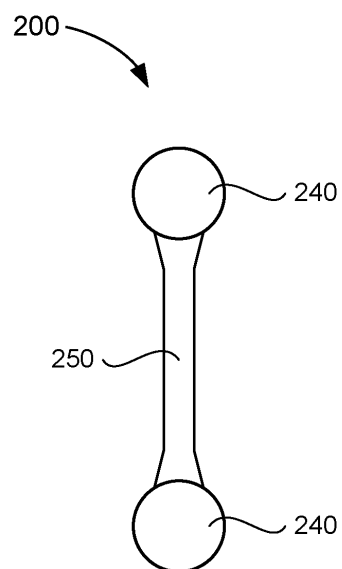
도면1b



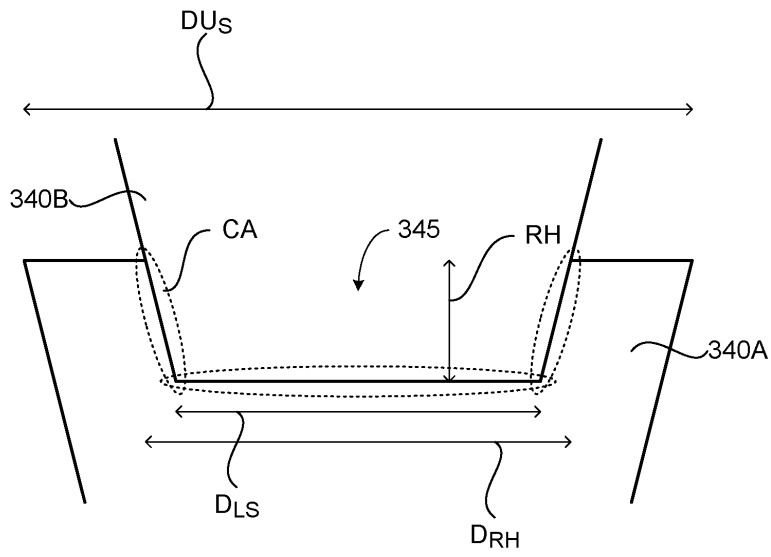
도면2a



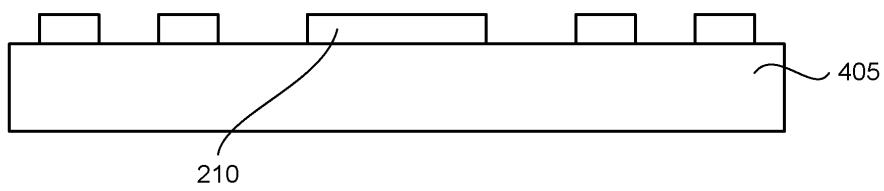
도면2b



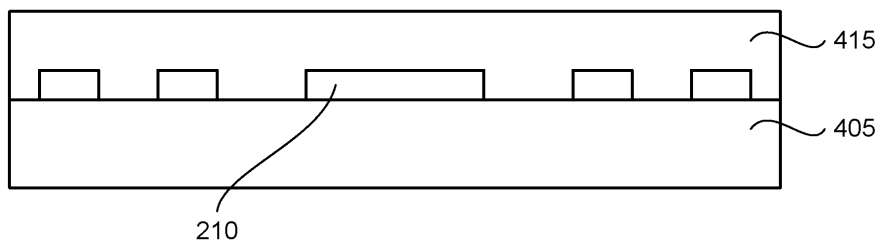
도면3



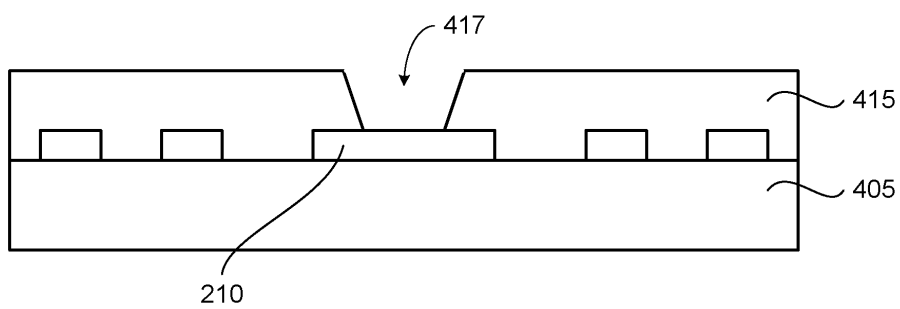
도면4a



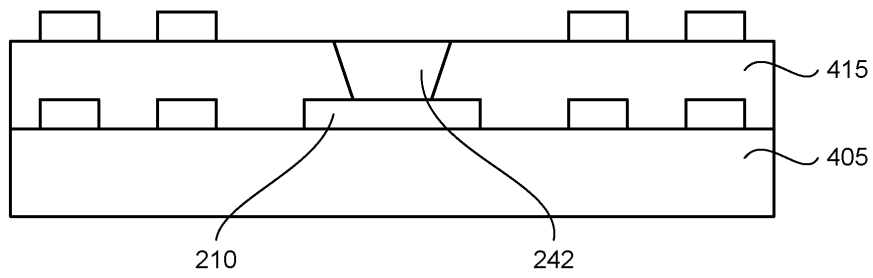
도면4b



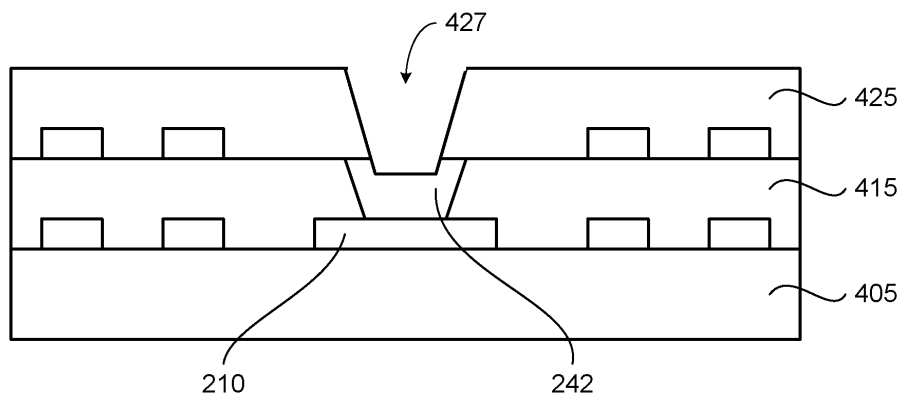
도면4c



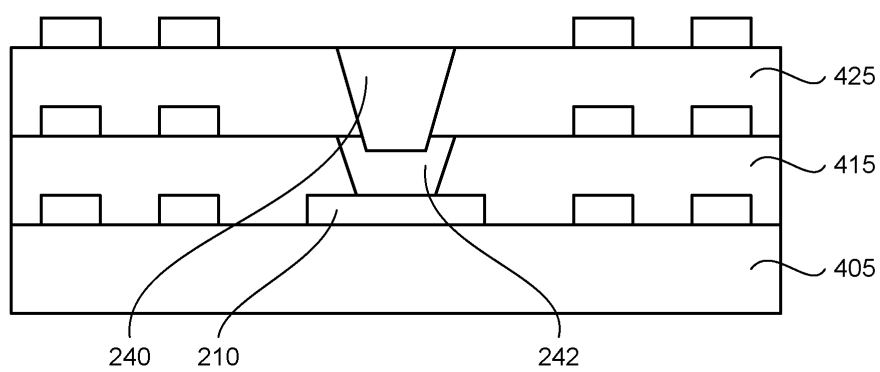
도면4d



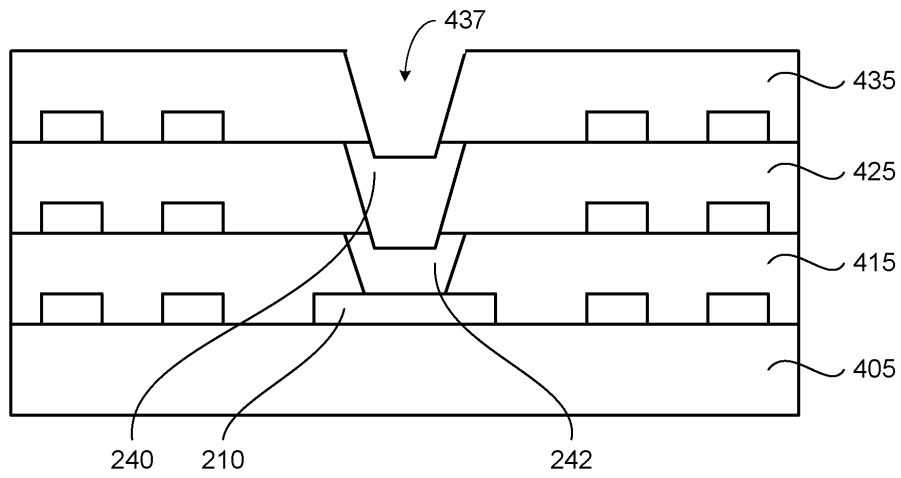
도면4e



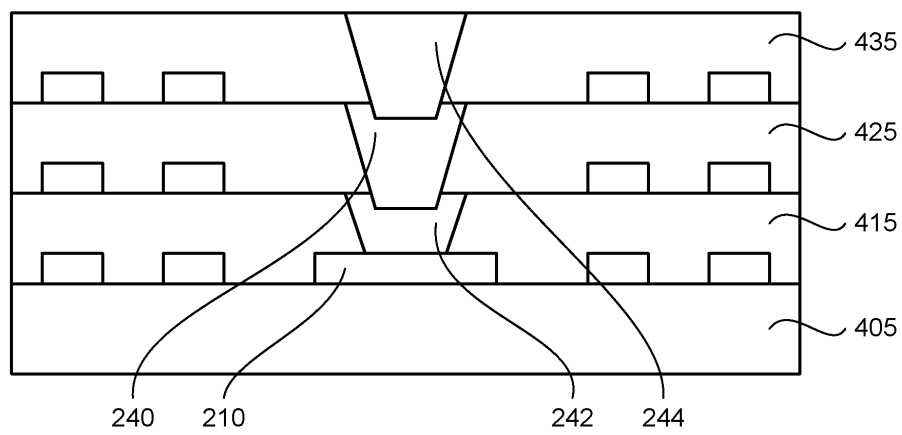
도면4f



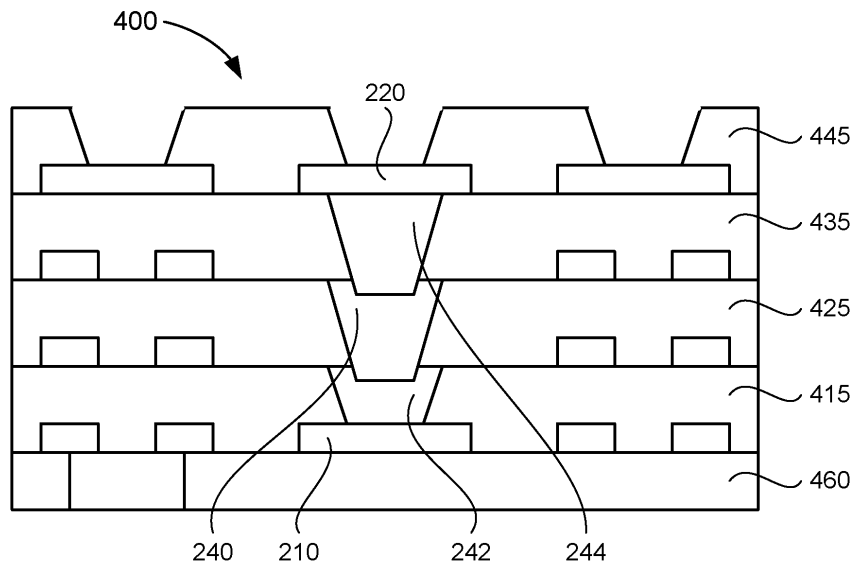
도면4g



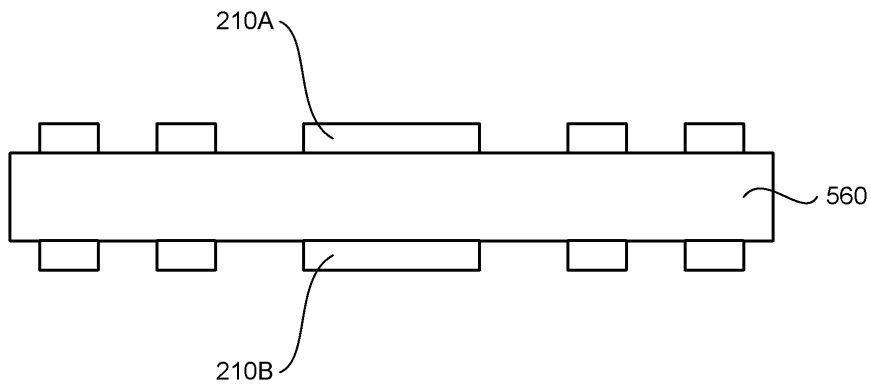
도면4h



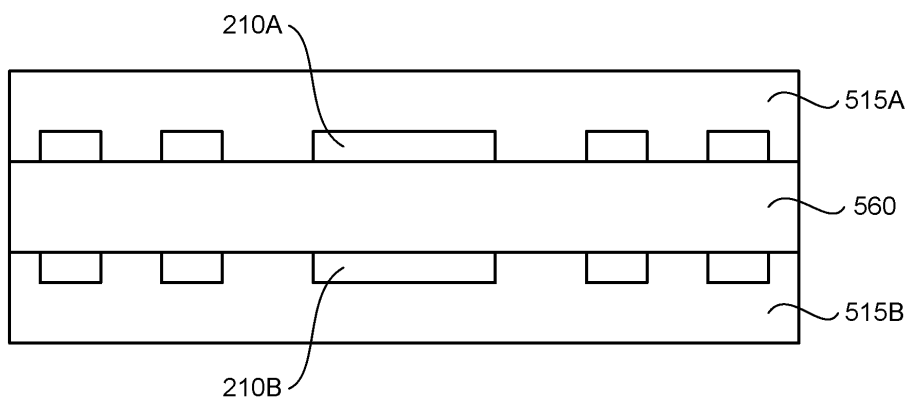
도면4i



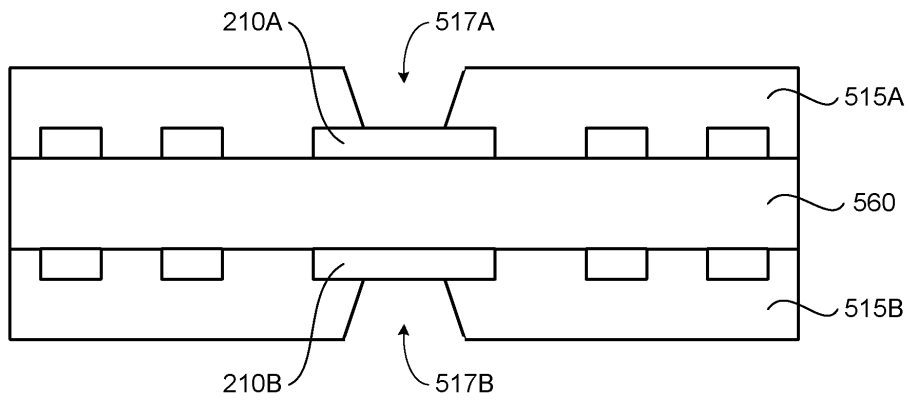
도면5a



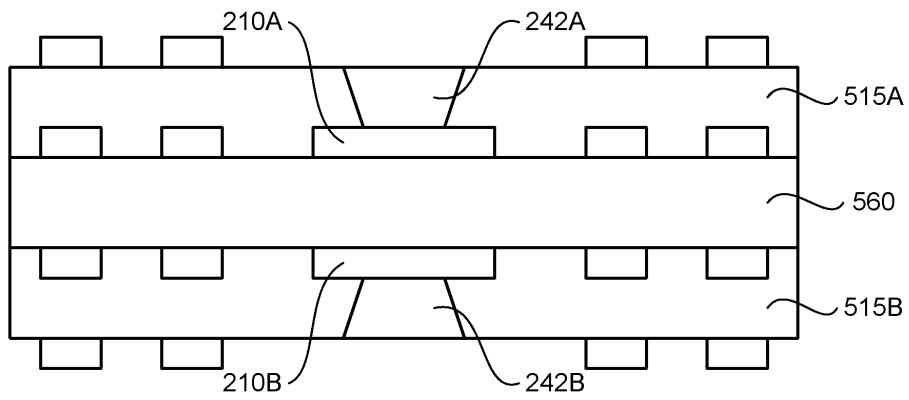
도면5b



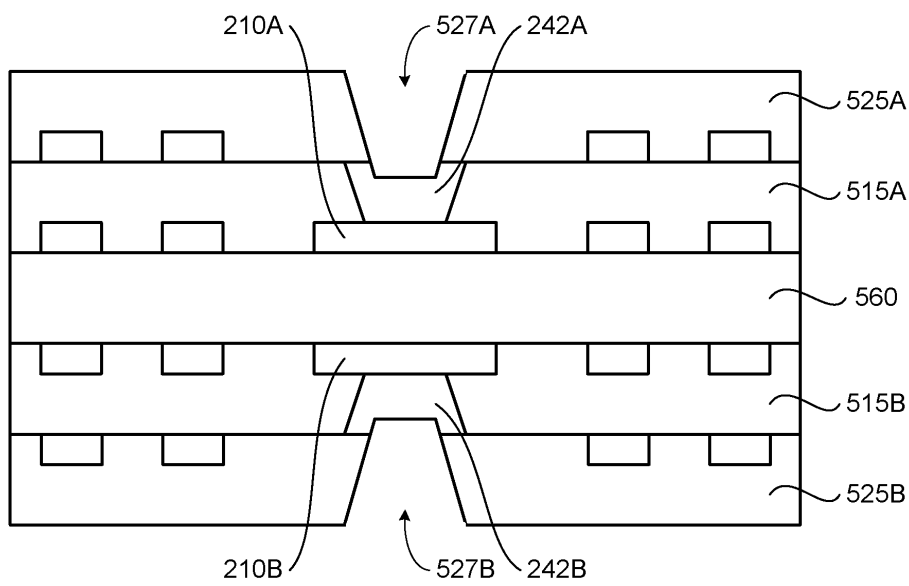
도면5c



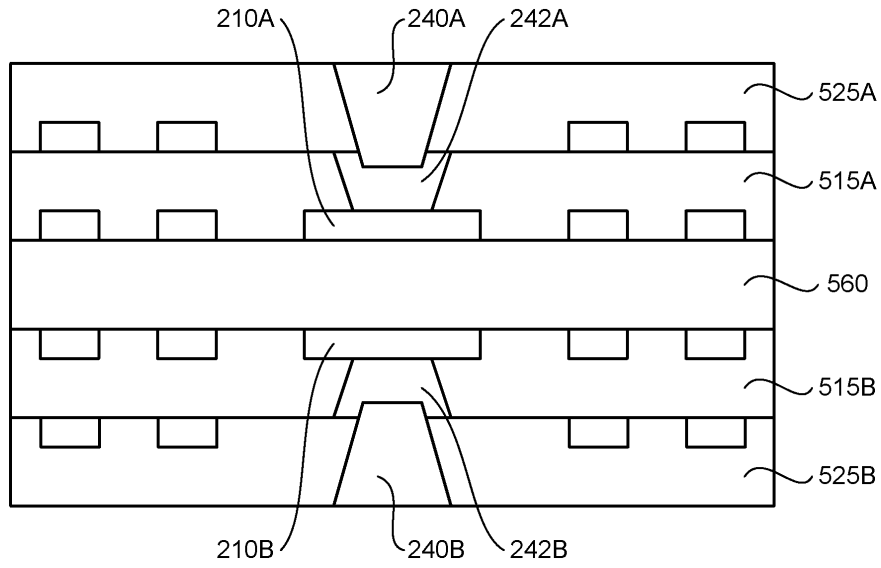
도면5d



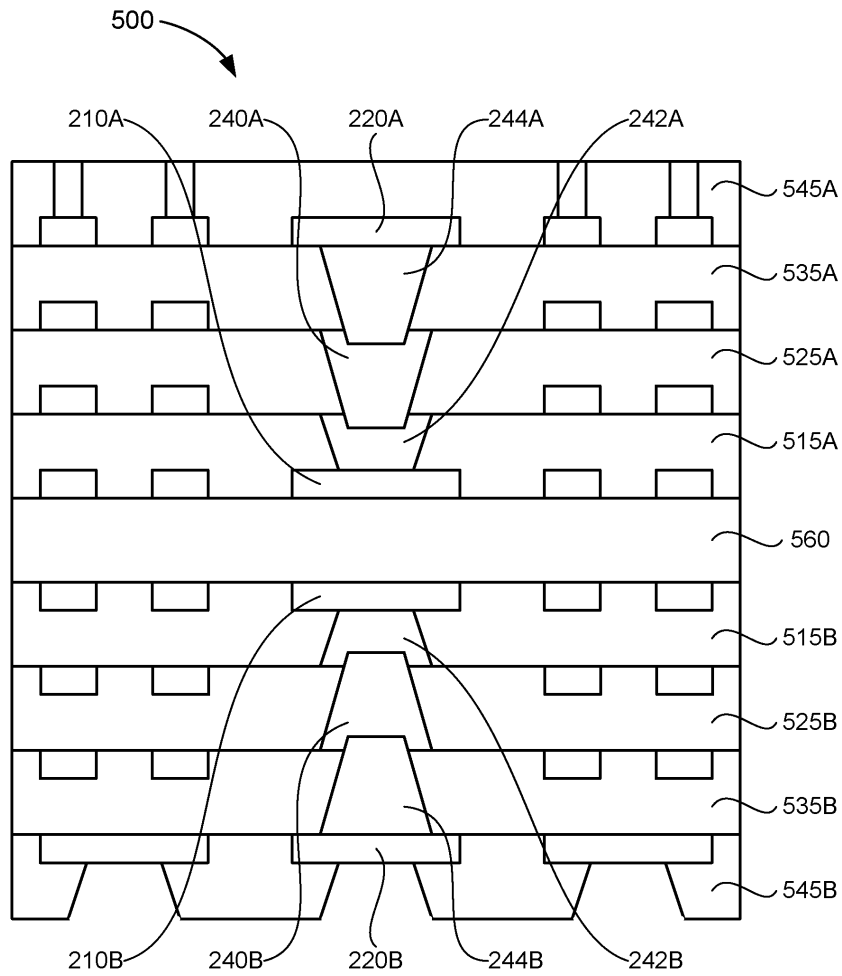
도면5e



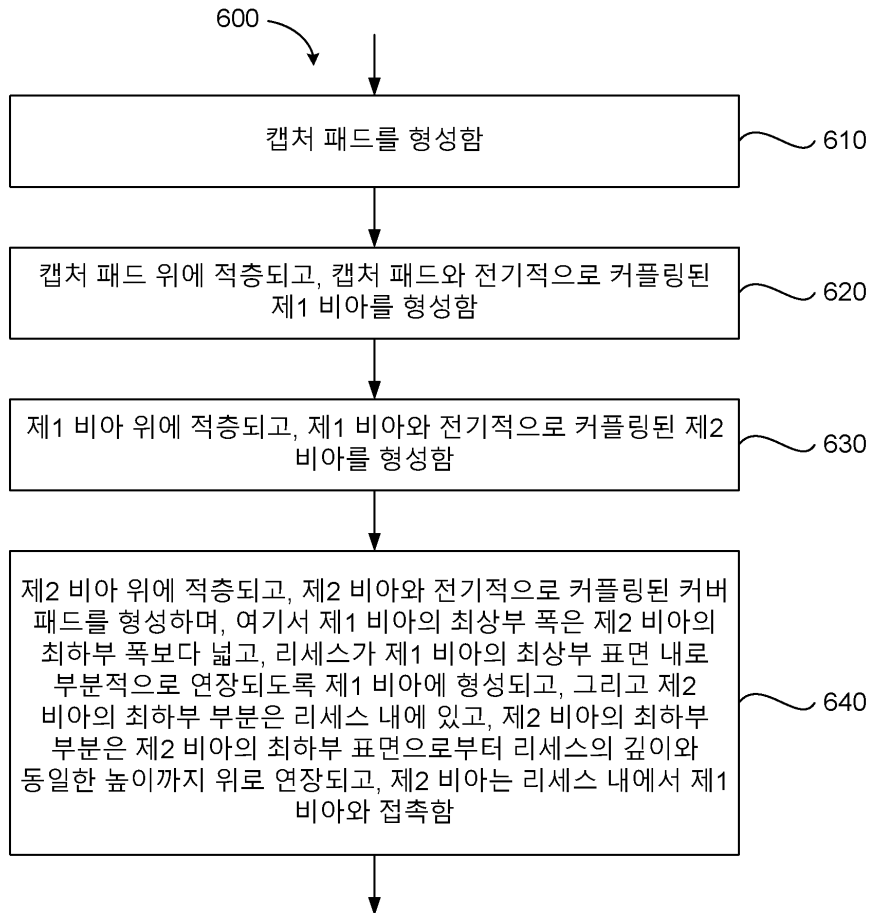
도면5f



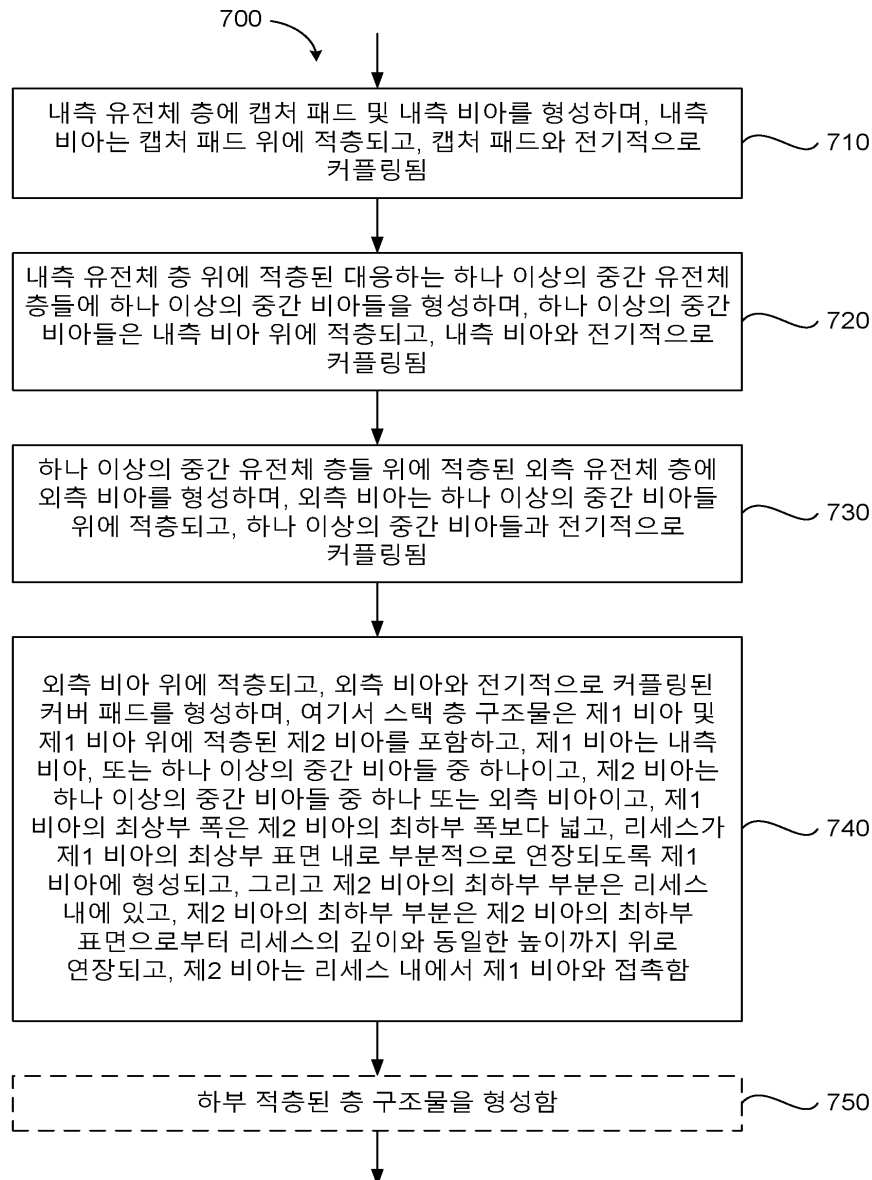
도면5g



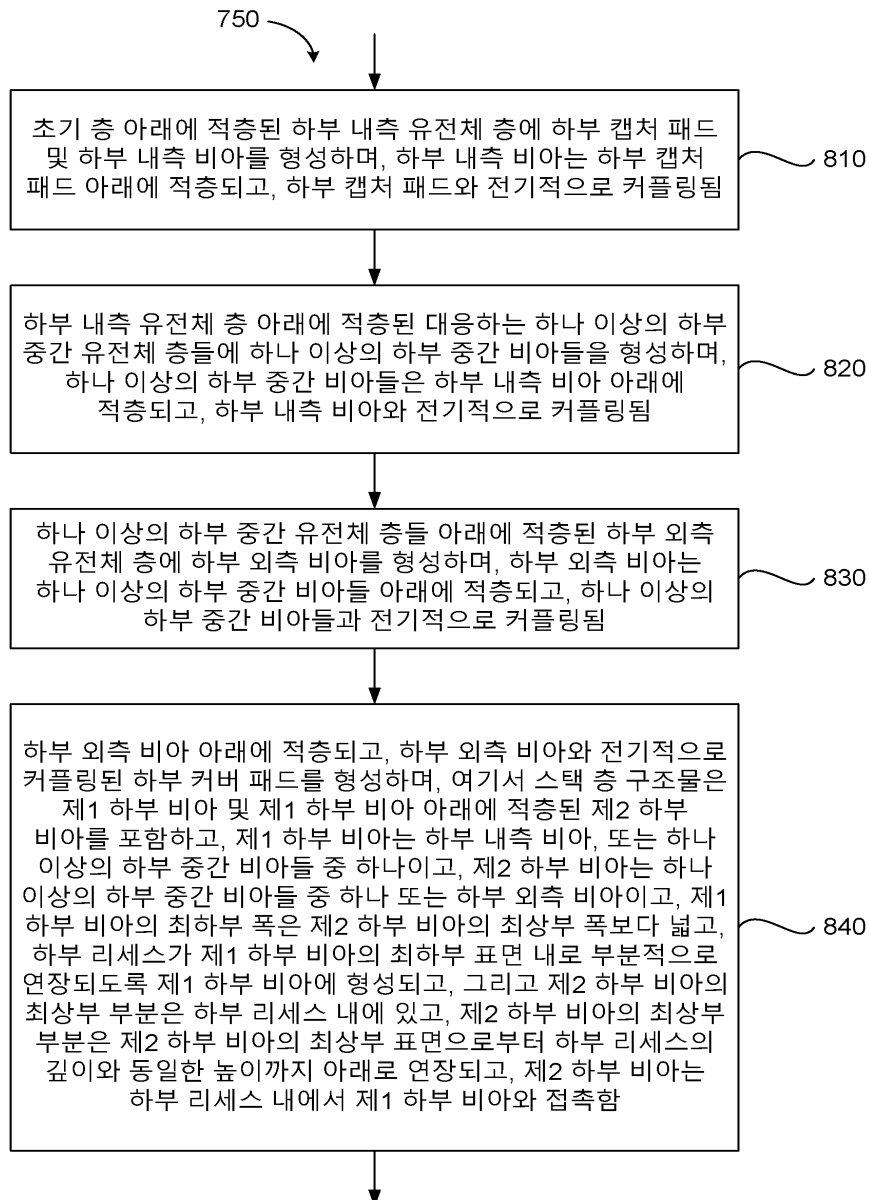
도면6



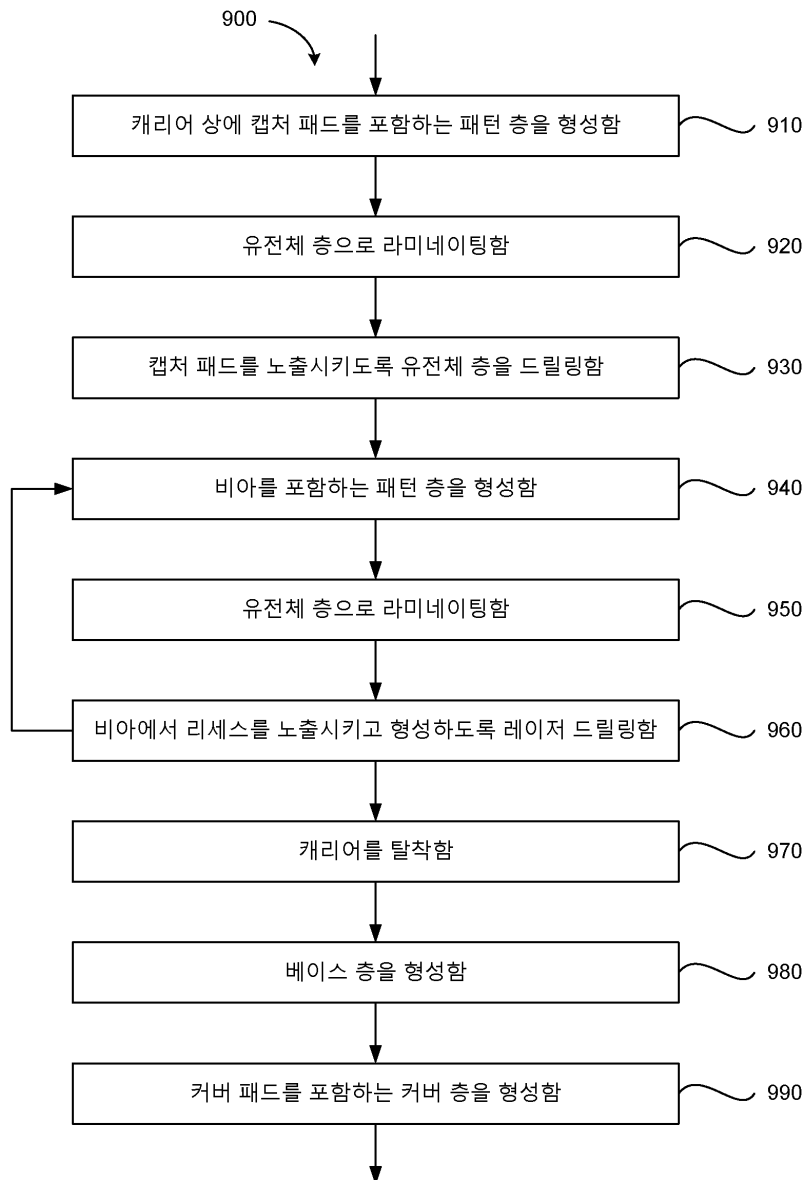
도면7



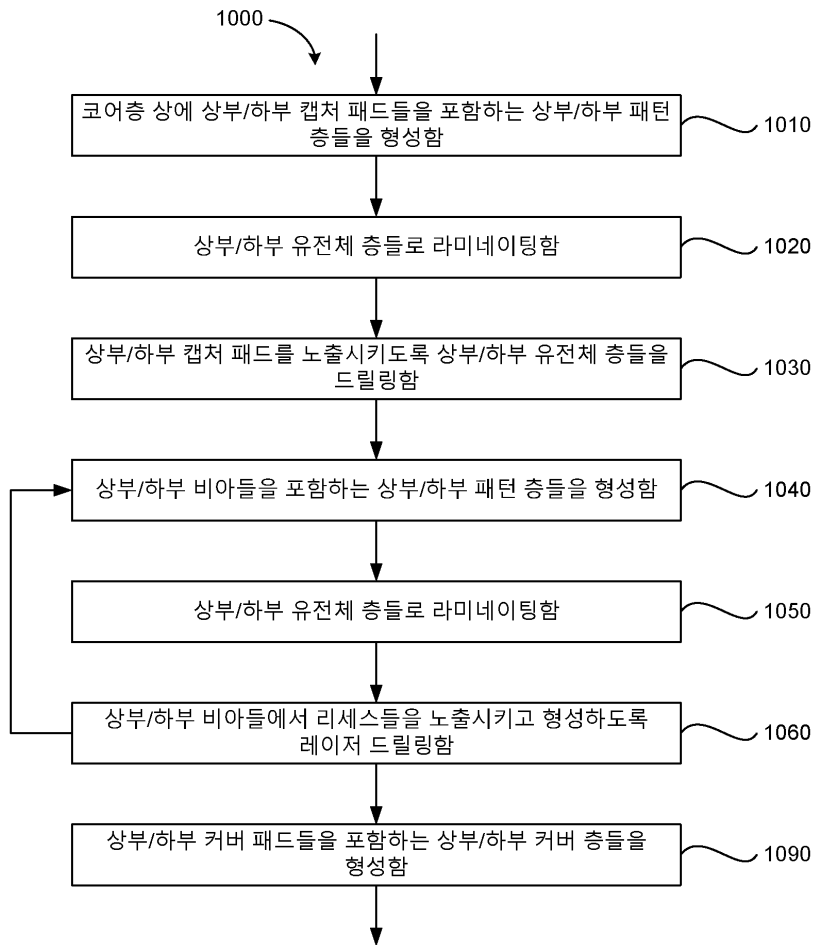
도면8



도면9



도면10



도면11

