



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H03K 3/356 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월10일 10-0667041 2007년01월04일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0016076 2006년02월20일 2006년02월20일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 인천대학교 산학협력단
 인천 남구 도화동 177번지 인천대학교내

(72) 발명자 유종근
 인천광역시 남구 도화동 177번지

 오근창
 인천광역시 남구 도화동 177번지

(74) 대리인 유미특허법인

(56) 선행기술조사문헌 KR1019960006273 A KR101999056339 A KR1020030026057 A * 심사관에 의하여 인용된 문헌	KR1019980039916 A KR1020010100565 A KR1020040054439 A
--	---

심사관 : 여인홍

전체 청구항 수 : 총 14 항

(54) 플립플롭

(57) 요약

9개의 트랜지스터로 이루어지는 플립플롭(flip-flop)에서, 제1 스테이지의 2개의 트랜지스터가 입력 신호 및 클록 신호에 따라 제1 노드를 프리차지시키고 입력 신호에 따라 1개의 트랜지스터가 제1 노드를 방전시킨다. 또한, 제1 노드의 전압과 클록 신호에 의해 동작하는 제2 스테이지의 제2 노드와 제2 노드의 전압과 클록 신호에 의해 동작하는 제3 스테이지의 출력 노드의 방전을 위한 트랜지스터가 공유되어 있다.

대표도

도 6

특허청구의 범위

청구항 1.

제1 전원에 연결되어 있는 제1 전극, 입력 신호를 수신하는 제어 전극 및 제2 전극을 가지는 제1 트랜지스터;

상기 제1 트랜지스터의 상기 제2 전극에 연결되어 있는 제1 전극, 클록 신호를 수신하는 제어 전극 및 제1 노드에 연결되어 있는 제2 전극을 가지는 제2 트랜지스터;

상기 제1 노드에 연결되어 있는 제1 전극, 상기 입력 신호를 수신하는 제어 전극 및 제2 전원에 연결되어 있는 제2 전극을 가지는 제3 트랜지스터;

상기 제1 전원에 연결되어 있는 제1 전극, 상기 클록 신호를 수신하는 제어 전극 및 제2 노드와 연결되어 있는 제2 전극을 가지는 제4 트랜지스터;

상기 제2 노드에 연결되어 있는 제1 전극, 상기 제1 노드에 연결되어 있는 제어 전극 및 제3 노드에 연결되어 있는 제2 전극을 가지는 제5 트랜지스터;

상기 제3 노드에 연결되어 있는 제1 전극, 상기 클록 신호를 수신하는 제어 전극 및 상기 제2 전원에 연결되어 있는 제2 전극을 가지는 제6 트랜지스터;

상기 제1 전원에 연결되어 있는 제1 전극, 상기 제2 노드에 연결되어 있는 제어 전극 및 출력 노드와 연결되어 있는 제2 전극을 가지는 제7 트랜지스터;

상기 출력 노드와 연결되어 있는 제1 전극, 상기 클록 신호를 수신하는 제어 전극 및 제2 전극을 가지는 제8 트랜지스터; 및

상기 제8 트랜지스터의 상기 제2 전극과 연결되어 있는 제1 전극, 상기 제2 노드와 연결되어 있는 제어 전극 및 상기 제3 노드와 연결되어 있는 제2 전극을 가지는 제9 트랜지스터

를 포함하는 플립플롭.

청구항 2.

제1항에 있어서,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제4 트랜지스터 및 상기 제7 트랜지스터는 제1 채널 타입이고,

상기 제3 트랜지스터, 상기 제5 트랜지스터, 상기 제6 트랜지스터, 상기 제8 트랜지스터 및 상기 제9 트랜지스터는 제2 채널 타입인 것을 특징으로 하는 플립플롭.

청구항 3.

제2항에 있어서,

상기 제1 채널 타입은 P 채널이고, 상기 제2 채널 타입은 N 채널인 것을 특징으로 하는 플립플롭.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 제1 전원은 상기 제2 전원보다 높은 전압을 공급하는 것을 특징으로 하는 플립플롭.

청구항 5.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 출력 노드와 연결되어 있는 인버터를 더 포함하는 플립플롭.

청구항 6.

제1 노드를 가지고 있으며, 입력 신호의 제1 레벨 및 클록 신호의 제2 레벨에 응답하여 제1 노드를 하이 레벨 전압으로 프리차지시키며, 상기 입력 신호의 제3 레벨에 응답하여 상기 제1 노드의 상기 하이 레벨 전압을 방전시키는 제1 스테이지;

제2 노드 및 제3 노드를 가지고 있으며, 상기 클록 신호의 상기 제2 레벨에 응답하여 상기 제2 노드를 하이 레벨 전압으로 프리차지시키고, 상기 클록 신호의 제4 레벨에 응답하여 상기 제3 노드를 방전하는 제1 방전 경로를 형성하며, 상기 제1 노드의 상기 하이 레벨 전압에 응답하여 상기 제2 노드의 상기 하이 레벨 전압을 상기 제1 방전 경로를 통하여 방전하는 제2 방전 경로를 형성하는 제2 스테이지; 및

출력 노드를 가지고 있으며, 상기 제2 노드의 로우 레벨 전압에 응답하여 상기 출력 노드를 하이 레벨 전압으로 충전시키고, 상기 제1 방전 경로가 형성된 경우에 상기 클록 신호의 상기 제4 레벨 및 상기 제2 노드의 상기 하이 레벨 전압에 응답하여 상기 출력 노드의 충전 전압을 상기 제1 방전 경로를 통하여 방전시키는 제3 방전 경로를 형성하는 제3 스테이지

를 포함하는 플립플롭.

청구항 7.

제6항에 있어서,

상기 제1 레벨 및 상기 제2 레벨은 로우 레벨이고, 상기 제3 레벨 및 상기 제4 레벨은 하이 레벨인 것을 특징으로 하는 플립플롭.

청구항 8.

제6항 또는 제7항에 있어서,

상기 제1 스테이지는,

상기 하이 레벨 전압을 공급하는 제1 전원과 상기 제1 노드 사이에 직렬로 연결되어 있는 제1 및 제2 트랜지스터, 그리고 상기 입력 신호의 상기 제3 레벨에 응답하여 상기 제1 노드를 방전하는 경로를 형성하는 제3 트랜지스터를 포함하며,

상기 제1 트랜지스터는 상기 입력 신호의 상기 제1 레벨에 응답하여 턴 온되고 제2 트랜지스터는 상기 제2 레벨에 응답하여 턴 온되는 것을 특징으로 하는 플립플롭.

청구항 9.

제6항 또는 제7항에 있어서,

상기 제2 스테이지는,

상기 클록 신호의 상기 제2 레벨에 응답하여 상기 제2 노드를 프리차지시키는 경로를 형성하는 제4 트랜지스터, 상기 제1 노드의 상기 하이 레벨 전압에 응답하여 상기 제2 방전 경로를 형성하는 제5 트랜지스터, 그리고 상기 클록 신호의 상기 제4 레벨에 응답하여 상기 제1 방전 경로를 형성하는 제6 트랜지스터를 포함하는 플립플롭.

청구항 10.

제6항 또는 제7항에 있어서,

상기 제3 스테이지는,

상기 제2 노드의 상기 로우 레벨 전압에 응답하여 상기 출력 노드를 충전하는 경로를 형성하는 제7 트랜지스터, 그리고 상기 클록 신호의 상기 제4 레벨 및 상기 제2 노드의 상기 하이 레벨 전압에 각각 응답하여 상기 제3 방전 경로를 형성하는 제8 및 제9 트랜지스터를 포함하는 플립플롭.

청구항 11.

제6항 또는 제7항에 있어서,

상기 출력 노드에 연결되어 있는 인버터를 더 포함하는 플립플롭.

청구항 12.

제1 전원과 제2 전원 사이에 연결되어 있으며, 클록 신호가 제1 레벨에서 제2 레벨로 변경될 때 입력 신호를 반전하여 제1 노드로 출력하는 제1 클록형 CMOS;

상기 제1 전원과 상기 제2 노드 사이에 연결되어 있으며, 상기 클록 신호의 상기 제1 레벨에 응답하여 턴 온되는 제1 트랜지스터;

상기 제2 노드와 상기 제3 노드 사이에 연결되어 있으며, 상기 제1 노드의 전압에 응답하여 동작하는 제2 트랜지스터;

상기 제3 노드와 상기 제2 전원 사이에 연결되어 있으며, 상기 클록 신호의 상기 제2 레벨에 응답하여 턴 온되는 제3 트랜지스터;

상기 제1 전원과 상기 제3 노드 사이에 연결되어 있으며, 상기 클록 신호가 상기 제2 레벨에서 상기 제1 레벨로 변경될 때 상기 제2 노드의 출력 신호를 반전하여 출력하는 제2 클록형 CMOS

를 포함하는 플립플롭.

청구항 13.

제12항에 있어서,

상기 제1 레벨은 상기 제2 레벨보다 낮은 전압 레벨인 것을 특징으로 하는 플립플롭.

청구항 14.

제12항 또는 제13항에 있어서,

상기 출력 노드에 연결되어 있는 인버터를 더 포함하는 플립플롭.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플립플롭에 관한 것으로, 보다 상세하게는 TSPC(True Single Phase Clock) D-플립플롭에 관한 것이다.

최근, 고속 동작과 저전력 특성을 만족하는 회로가 요구되고, 이러한 회로로 동적 로직 게이트(dynamic logic gate) 또는 클록 신호 입력이 있는 로직 게이트(clocked logic gate)가 사용되고 있다. 이러한 동적 CMOS(Dynamic CMOS) 회로 기술 중에서 TSPC 방식을 이용한 D 플립플롭은 한 종류의 클록 신호만을 사용하여 클록 신호 지연 이외에 클록 신호 스큐(Skew)가 존재하지 않고, 플립플롭 구조가 간단한 특징이 있다.

종래의 플립플롭의 구조에 대해 첨부된 도면을 통해 간략히 살펴보면 다음과 같다.

도 1은 종래의 플립플롭을 보인 도면이고, 도 2 및 도 3은 각각 도 1의 플립플롭의 각 노드(CLK1, D1, A10, B10, QB10, Q10)에서의 신호 타이밍도이다. 그리고, 도 4는 종래의 다른 플립플롭을 보인 도면이고, 도 5는 도 4의 플립플롭의 각 노드(CLK2, D2, A20, B20, C20, QB20, Q20)에서의 신호 타이밍도이다.

여기서, 도 1은 종래의 플립플롭의 대표적인 구조를 나타내고, 도 4는 TSPC 래치(latch)구조를 이용하여 글리치를 제거한 종래의 플립플롭의 구조를 나타낸다.

먼저, 도 1의 플립플롭의 경우, 도 2에 도시한 바와 같이 출력 노드(QB10)가 특정 구간(P1)에서 순간 방전되었다가 충전되는 글리치(glitch)현상이 나타난다. 이러한 글리치(glitch)현상의 자세한 발생 원인을 알아보면 다음과 같다.

입력 신호(D1)가 로우 레벨일 때 클록 신호(CLK1)가 로우 레벨에서 하이 레벨로 천이하면 노드(B10)가 방전되어 트랜지스터(MP14)가 켜짐으로써, 출력 노드(QB10)가 하이 레벨로 결정된다. 그러나 이때 클록 신호(CLK1)가 하이 레벨로 천이하는 순간 노드(B10)의 전하가 곧바로 트랜지스터(MN12, MN13)로 이루어진 방전 경로를 통하여 방전되는 데는 얼마간의 시간이 소요된다. 그 결과, 도 2와 같이 순간적으로 노드(B10)와 클록 신호(CLK1)가 하이 레벨인 상태로 중복되는 경우가 발생하고, 이때 트랜지스터(MN14, MN15)가 턴 온되어 출력 노드(QB10)가 순간적으로 방전되었다가 다시 충전되는 글리치 현상이 발생한다. 이러한 글리치 현상은 플립플롭 자체의 불필요한 전력소모를 발생시킬 뿐만 아니라 플립플롭에 연결된 로직 블록의 이상 상태를 유발한다.

또한, 도 3에 보인 바와 같이, 출력 노드(QB10)가 일부 구간(P2, P3)동안 잘못된 값을 갖는 것을 알 수 있다. 이러한 원인은 플립플롭이 클록 신호(CLK1) 경사에 민감하기 때문인데, 그 원인을 자세히 살펴보면 다음과 같다.

입력 신호(D1)가 로우 레벨인 상태에서 클록 신호(CLK1)가 로우 레벨에서 하이 레벨로 천이하는 순간 출력 노드(QB10)는 하이 레벨로 결정된다. 이후 클록 신호(CLK1)가 하이 레벨에서 로우 레벨로 천이할 때 트랜지스터(MP13)에 의해서 노드(B10)가 하이 레벨로 결정되는 시간은 매우 빠른 반면 클록 신호(CLK1)의 경사가 완만하다면 트랜지스터(MN14)가 어느 정도 켜져 있는 상태가 된다. 따라서, 트랜지스터(MN14, MN15)가 턴 온된 구간이 발생하고, 이때 출력 노드(QB10)는 순간적으로 방전한다. 그리고 이 잘못된 출력 노드(QB10)의 값은 다음 충전까지 계속 그 값을 유지하고 다음 단의 로직 블록에 잘못된 값을 전달하는 문제점이 발생한다.

또한, 도 1의 플립플롭의 구조는 출력 노드(QB10)의 로우 레벨에서 하이 레벨로의 천이 경로와 하이 레벨에서 로우 레벨로의 천이 경로가 구조적으로 다른 것을 알 수 있다. 즉 출력 노드(QB10)가 하이 레벨에서 로우 레벨로 천이하는 경우에는 클록 신호(CLK1)의 상승시점 이전에 노드(B10)가 원하는 레벨을 갖고 있다. 하지만, 로우 레벨에서 하이 레벨로 천이하는 경우 클록 신호(CLK1)가 상승해야만 노드(B10)의 레벨이 결정되고, 그 후 비로소 출력에 영향을 준다. 그러므로, 로우 레벨에서 하이 레벨로 천이하는 경우는 하이 레벨에서 로우 레벨로 천이하는 경우에 비해 비교적 긴 전과 지연 시간을 가진

다. 게다가, 글리치 현상에 의해 출력 노드(QB10)의 충전 동작이 트랜지스터(MP14)가 온 되는 순간 바로 시행되지 못하고 잠시 방전된 후 이뤄지기 때문에 그 지연시간은 더욱 길어진다. 따라서, 출력노드(QB10)의 로우 레벨에서 하이 레벨로의 지연 시간과 하이 레벨에서 로우 레벨로의 지연시간이 비대칭적이고, 이는 플립플롭의 동작속도를 제한한다.

한편, 도 4는 TSPC 래치(latch)구조를 이용하여 글리치를 제거한 플립플롭을 도시한 도면으로써, 위에서 언급한 문제들을 해결하기 위해 회로 구조 변경을 통해 오동작하는 노드를 안정화시킨 플립플롭이다.

이 구조는 방전 억제 방식(discharge suppression scheme)을 사용하여 글리치를 개선하고, 전파지연시간을 대칭적으로 만들어줌으로써 기존의 플립플롭의 대표적인 구조에 비해 좀 더 고속 동작에 적합한 성능을 보인다. 그러나 이 구조는 속도 측면에서 좋은 특성을 보이는 반면, 전력소비 측면에선 좋지 않은 특성을 보인다.

도 5에 보인 바와 같이, 클록 신호(CLK2)가 로우 레벨이고 입력 신호(D2)가 하이 레벨일 때 노드(A20, B20)는 하이 레벨로 프리차지 된다. 이때 클록 신호(CLK2)가 하이 레벨로 천이하면 트랜지스터(MN25)가 턴 온이 되어 노드(A20)가 방전됨에 따라 트랜지스터(MN22)가 턴 오프가 되어 노드(B20)는 하이 레벨 상태를 유지해야 한다. 그러나 노드(A20)가 방전하는 데는 어느 정도의 시간이 요구되고 이 순간에 트랜지스터(MN22), 트랜지스터(MN25)로 이루어진 경로를 통해 노드(B20)가 순간 방전되는 현상이 발생한다. 그리고 클록 신호(CLK2)가 로우 레벨로 천이할 때까지 그 값을 유지한다(P4).

또한 입력 신호(D2)가 하이 레벨구간일 때 클록 신호(CLK2)의 레벨 천이에 의해 노드(A20)가 충전되었다가 방전되는 현상이 발생한다(P5). 이는 노드(A20)의 충전이 입력 단자와는 무관하게 이루어지는 구조에서 비롯된 동작으로 기존 구조에선 보이지지 않았던 불필요한 동작이다. 이와 같은 내부 노드의 불필요한 충·방전들은 소비전력을 증가시키는 원인이 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 문제점을 감안하여 안출된 것으로 내부 노드의 불필요한 충·방전 현상과 글리치를 제거하여 전력 소모를 최소화한 플립플롭을 제공한다.

또한, 출력 노드의 로우 레벨에서 하이 레벨로의 지연 시간과 하이 레벨에서 로우 레벨로의 지연 시간을 대칭적으로 유도하여 동작 속도를 고속화한 플립플롭을 제공한다.

발명의 구성

상기 기술한 바와 같은 과제를 이루기 위하여 본 발명의 특징에 따르면, 플립플롭은,

제1 전원에 연결되어 있는 제1 전극, 입력 신호를 수신하는 제어 전극 및 제2 전극을 가지는 제1 트랜지스터; 상기 제1 트랜지스터의 상기 제2 전극에 연결되어 있는 제1 전극, 클록 신호를 수신하는 제어 전극 및 제1 노드에 연결되어 있는 제2 전극을 가지는 제2 트랜지스터; 상기 제1 노드에 연결되어 있는 제1 전극, 상기 입력 신호를 수신하는 제어 전극 및 제2 전원에 연결되어 있는 제2 전극을 가지는 제3 트랜지스터; 상기 제1 전원에 연결되어 있는 제1 전극, 상기 클록 신호를 수신하는 제어 전극 및 제2 노드와 연결되어 있는 제2 전극을 가지는 제4 트랜지스터; 상기 제2 노드에 연결되어 있는 제1 전극, 상기 제1 노드에 연결되어 있는 제어 전극 및 제3 노드에 연결되어 있는 제2 전극을 가지는 제5 트랜지스터; 상기 제3 노드에 연결되어 있는 제1 전극, 상기 클록 신호를 수신하는 제어 전극 및 상기 제2 전원에 연결되어 있는 제2 전극을 가지는 제6 트랜지스터; 상기 제1 전원에 연결되어 있는 제1 전극, 상기 제2 노드에 연결되어 있는 제어 전극 및 출력 노드와 연결되어 있는 제2 전극을 가지는 제7 트랜지스터; 상기 출력 노드와 연결되어 있는 제1 전극, 상기 클록 신호를 수신하는 제어 전극 및 제2 전극을 가지는 제8 트랜지스터; 및 상기 제8 트랜지스터의 상기 제2 전극과 연결되어 있는 제1 전극, 상기 제2 노드와 연결되어 있는 제어 전극 및 상기 제3 노드와 연결되어 있는 제2 전극을 가지는 제9 트랜지스터를 포함한다.

본 발명의 다른 특징에 따르면, 플립플롭은,

제1 노드를 가지고 있으며, 입력 신호의 제1 레벨 및 클록 신호의 제2 레벨에 응답하여 제1 노드를 하이 레벨 전압으로 프리차지시키며, 상기 입력 신호의 제3 레벨에 응답하여 상기 제1 노드의 상기 하이 레벨 전압을 방전시키는 제1 스테이지; 제2 노드 및 제3 노드를 가지고 있으며, 상기 클록 신호의 상기 제2 레벨에 응답하여 상기 제2 노드를 하이 레벨 전압으로 프리차지시키고, 상기 클록 신호의 제4 레벨에 응답하여 상기 제3 노드를 방전하는 제1 방전 경로를 형성하며, 상기 제1 노드의 상기 하이 레벨 전압에 응답하여 상기 제2 노드의 상기 하이 레벨 전압을 상기 제1 방전 경로를 통하여 방전하는 제

2 방전 경로를 형성하는 제2 스테이지; 및 출력 노드를 가지고 있으며, 상기 제2 노드의 로우 레벨 전압에 응답하여 상기 출력 노드를 하이 레벨 전압으로 충전시키고, 상기 제1 방전 경로가 형성된 경우에 상기 클록 신호의 상기 제4 레벨 및 상기 제2 노드의 상기 하이 레벨 전압에 응답하여 상기 출력 노드의 충전 전압을 상기 제1 방전 경로를 통하여 방전시키는 제3 방전 경로를 형성하는 제3 스테이지를 포함한다.

본 발명의 다른 특징에 따르면, 플립플롭은,

제1 전원과 제2 전원 사이에 연결되어 있으며, 클록 신호가 제1 레벨에서 제2 레벨로 변경될 때 입력 신호를 반전하여 제1 노드로 출력하는 제1 클록형 CMOS; 상기 제1 전원과 상기 제2 노드 사이에 연결되어 있으며, 상기 클록 신호의 상기 제1 레벨에 응답하여 턴온되는 제1 트랜지스터; 상기 제2 노드와 상기 제3 노드 사이에 연결되어 있으며, 상기 제1 노드의 전압에 응답하여 동작하는 제2 트랜지스터; 상기 제3 노드와 상기 제2 전원 사이에 연결되어 있으며, 상기 클록 신호의 상기 제2 레벨에 응답하여 턴온되는 제3 트랜지스터; 상기 제1 전원과 상기 제3 노드 사이에 연결되어 있으며, 상기 클록 신호가 상기 제2 레벨에서 상기 제1 레벨로 변경될 때 상기 제2 노드의 출력 신호를 반전하여 출력하는 제2 클록형 CMOS를 포함한다.

아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

또한, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

이제 본 발명의 실시예에 따른 플립플롭에 대하여 도면을 참고로 하여 상세하게 설명한다.

도 6은 본 발명의 실시예에 따른 플립플롭의 회로도이다.

도 6에 도시한 바와 같이, 본 발명의 실시예에 따른 플립플롭은 제1 스테이지(100), 제2 스테이지(200) 및 제3 스테이지(300)를 포함한다. 이때, 제1 및 제3 스테이지(100, 300)는 서로 다른 타입의 클록형 CMOS(clocked CMOS) 구조로 이루어져 있다. 그리고 제1 스테이지(100)는 2개의 P 채널 트랜지스터(MP31, MP32)와 1개의 N 채널 트랜지스터(MN31)를 포함하고, 제2 스테이지(200)는 1개의 P 채널 트랜지스터(MP33)와 2개의 N 채널 트랜지스터(MN32, MN35)를 포함하며, 제3 스테이지(300)는 1개의 P 채널 트랜지스터(MP34)와 2개의 N 채널 트랜지스터(MN33, MN34)를 포함한다.

도 6에서는 이들 트랜지스터(MP31-MP34), 트랜지스터(MN31-MN35)를 소스와 드레인을 두 전극으로 가지고 게이트를 제어 전극으로 가지는 MOS(metal oxide silicon) 트랜지스터로 도시하였다.

구체적으로, 트랜지스터(MP31)의 제1 전극은 하이 레벨 전압을 공급하는 전원(VDD)과 연결되어 있으며, 트랜지스터(MP31)의 제어 전극은 입력 신호(D3)를 수신한다.

트랜지스터(MP32)는 제1 전극이 트랜지스터(MP31)의 제2 전극과 연결되고 제어 전극을 통하여 클록 신호(CLK3)을 수신하고 제2 전극이 제1 노드(A30)에 연결되어 있다.

트랜지스터(MN31)는 제1 전극이 제1 노드(A30)에 연결되고 제어 전극을 통하여 입력 신호(D3)를 수신하며 제2 전극이 로우 레벨 전압을 공급하는 전원에 연결된다. 도 6에서는 로우 레벨 전압을 공급하는 전원을 접지 전압을 공급하는 접지단으로 도시하였다.

트랜지스터(MP33)는 제1 전극이 하이 레벨 전압을 공급하는 전원과 연결되고 제어 전극을 통하여 클록 신호(CLK3)을 수신하며 제2 전극이 제2 노드(B30)와 연결된다.

트랜지스터(MN32)는 제1 전극이 제2 노드(B30)에 연결되고 제어 전극이 제1 노드(A30)에 연결되며 제2 전극이 제3 노드(C30)에 연결된다.

트랜지스터(MN35)는 제1 전극이 제3 노드(C30)에 연결되고 제어 전극을 통하여 클록 신호(CLK3)을 수신하며 제2 전극이 로우 레벨 전압을 공급하는 전원에 연결된다.

트랜지스터(MP34)는 제1 전극이 하이 레벨 전압을 공급하는 전원에 연결되고 제어 전극이 제2 노드(B30)에 연결되며 제2 전극이 출력 노드(QB30)와 연결된다.

트랜지스터(MN33)는 제1 전극이 출력 노드(QB30)와 연결되고 제어 전극을 통하여 클록 신호(CLK3)를 수신한다.

트랜지스터(MN34)는 제1 전극이 트랜지스터(MN33)의 제2 전극과 연결되고 제어 전극이 제2 노드(B30)와 연결되며 제2 전극이 제3 노드(C30)와 연결된다.

이때, 출력 노드(QB30)에 인버터(400)가 연결되어 출력 노드(QB30)의 신호를 반전하여 출력함으로써, 도 6의 플립플롭이 D 플립플롭으로 동작할 수 있다.

다음, 도 7a 내지 도 7d를 통하여 도 6의 플립플롭의 동작을 설명하기로 한다.

도 7a 내지 도 7d는 각각 입력 신호(D3)와 클록 신호(CLK3)에 따른 도 6의 플립플롭의 동작을 나타내는 도면이다. 여기서, 도 7a 및 도 7b는 입력 신호(D3)가 로우 레벨인 경우, 클록 신호(CLK3)가 로우 레벨 또는 하이 레벨(CLK3)인 경우의 플립플롭의 동작을 나타낸다. 그리고, 도 7c 및 도 7d는 입력 신호(D3)가 하이 레벨인 경우, 클록 신호(CLK3)가 로우 레벨 또는 하이 레벨(CLK3)인 경우의 플립플롭의 동작을 나타낸다.

도 7a에 보인 바에 따르면, 먼저 입력 신호(D3)가 로우 레벨이고 클록 신호(CLK3)가 로우 레벨인 경우, 트랜지스터(MP31, MP32, MP33)는 턴 온되고 트랜지스터(MN31, MN35, MN33)는 턴 오프된다. 그러면 트랜지스터(MP31, MP32)를 통하여 전원(VDD)의 하이 레벨 전압이 제1 노드(A30)에 프리차지되고, 하이 레벨 전압으로 프리차지된 제1 노드(A30)의 전압에 응답하여 트랜지스터(MN32)가 턴 온된다. 그러면 트랜지스터(MP33, MN32)를 통하여 제2 노드(B30) 및 제3 노드(C30)는 전원(VDD)의 하이 레벨 전압으로 프리차지되고, 제2 노드(B30)의 하이 레벨 전압에 응답하여 트랜지스터(MP34)가 턴 오프된다. 트랜지스터(MP34, MN33, MN35)가 턴 오프되므로 출력 노드(QB30)에 충·방전 경로가 형성되지 않아 출력 노드(QB30)는 이전 값을 유지한다(Hold).

다음, 도 7b와 같이 입력 신호(D3)가 로우 레벨을 유지한 상태에서 클록 신호(CLK3)가 하이 레벨로 천이(transition)하는 경우, 트랜지스터(MP32, MP33)는 턴 오프되고 트랜지스터(MN35, MN33)가 턴 온된다. 그러면 턴 온된 트랜지스터(MN35)에 의해 제3 노드(C30)의 전압이 방전되는 방전 경로(①)가 형성되고, 턴 오프된 트랜지스터(MP32, MN31)에 의해 제1 노드(A30)의 전압은 이전 전압(하이 레벨 전압)을 유지한다. 그리고 턴 온된 트랜지스터(MN32)와 제1 방전 경로(①)를 통해 제2 노드(B30)의 프리차지 전압이 방전되는 방전 경로(②)가 형성된다. 이때, 트랜지스터(MP34)는 턴 온되고 트랜지스터(MN34)는 턴 오프되므로 출력 노드(QB30)를 충전시킴으로써 출력 노드(QB30)는 하이 레벨로 결정된다. 인버터(400)의 출력 신호(Q3)는 로우 레벨로 결정된다.

한편, 도 7c에 보인 바에 따르면, 먼저 입력 신호(D3)가 하이 레벨이고 클록 신호(CLK3)가 로우 레벨인 경우, 트랜지스터(MP32, MN31, MP33)는 턴 온되고 트랜지스터(MP31, MN35, MN33)는 턴 오프된다. 그러면, 트랜지스터(MN31)를 통하여 제1 노드(A30)의 전압이 방전된다. 제1 노드(A30)의 로우 레벨 전압에 응답하여 트랜지스터(MN32)가 턴 오프되고, 턴 온된 트랜지스터(MP33)를 통하여 전원(VDD)의 하이 레벨 전압이 제2 노드(B30)에 프리차지 된다. 이때, 제2 노드(B30)의 하이 레벨 전압에 응답하여 트랜지스터(MP34)는 턴 오프된다. 턴 오프된 트랜지스터(MP34, MN33)에 의해 출력 노드(QB30)에 충·방전 경로가 형성되지 않으므로 출력 노드(QB30)는 이전 값을 유지한다(Hold).

다음, 도 7d와 같이 입력 신호(D3)가 하이 레벨을 유지한 상태에서 클록 신호(CLK3)가 하이 레벨로 천이하는 경우, 트랜지스터(MN33, MN35)가 턴 온되고 트랜지스터(MP32, MP33)가 턴 오프된다. 그러면 턴 오프된 트랜지스터(MP32)에 의해 제1 노드(A30)의 전압은 이전 전압(로우 레벨 전압)을 유지한다. 그리고 턴 오프된 트랜지스터(MP33, MN32)에 의해 제2 노드(B30)의 전압은 이전 전압(하이 레벨 전압)을 유지한다. 그러면 턴 온된 트랜지스터(MN33, MN34, MN35)에 의해 출력 노드(QB30)의 전압이 방전되는 경로(③)가 형성된다. 이 방전 경로(③)를 통해 출력 노드(QB30)의 전하가 방전됨으로써 출력 노드(QB30)는 로우 레벨로 결정된다. 인버터(400)의 출력 신호(Q3)는 하이 레벨로 결정된다.

이상 기술한 바에 의하면, 본 발명의 실시예에 따른 플립플롭의 각 스테이지는 다음과 같은 기능을 수행한다.

즉, 제1 스테이지(100)는 입력 신호(D3)의 로우 레벨 및 클록 신호(CLK3)의 로우 레벨에 응답하여 제1 노드(A30)를 프리차지하고, 클록 신호(CLK3)의 하이 레벨에 응답하여 제1 노드(A30)를 방전시킨다. 제2 스테이지(200)는 클록 신호

(CLK3), 제1 노드(A30)의 하이 레벨 전압 각각에 응답하여 제2 노드(B30)를 충전시키거나 또는 제2 노드(B30) 그리고 제3 노드(C30)를 방전시킨다. 제3 스테이지(300)는 제2 노드(B30)의 로우 레벨 전압에 응답하여 출력 노드(QB30)를 충전시키거나 또는, 클록 신호(CLK3) 및 제2 노드(B30)의 하이 레벨 전압에 응답하여 출력 노드(QB30)를 방전시킨다.

다음, 도 8 및 도 9는 각각 본 발명의 실시예에 따른 플립플롭의 신호 타이밍도로서, 도 8은 2GHz의 주파수와 0.01nsec의 경사를 가지는 클록 신호(CLK3)로 실험한 결과를 나타내고, 도 9는 100MHz의 주파수와 0.8nsec의 경사를 가지는 클록 신호(CLK3)로 실험한 결과를 나타낸다.

도 8에 따르면, 제2 노드(B30)의 불필요한 방전이 억제된 것을 알 수 있다. 즉 입력 신호(D3)가 하이 레벨일 때 클록 신호(CLK3)가 로우 레벨에서 하이 레벨로 천이하는 경우, 제2 노드(B30)가 안정적으로 하이 레벨을 유지하고 있음을 알 수 있다(P11). 이는 제1 노드(A30)의 방전이 입력 단자에 제어 전극이 연결된 트랜지스터(MN31)에 의해서만 이루어지기 때문에 제1 노드(A30)가 클록 신호(CLK3)에 상관없이 빠르게 방전될 수 있다. 따라서 트랜지스터(MN35)가 턴 온되는 순간 이전에, 트랜지스터(MN32)를 턴 오프시킬 수 있기 때문에 제2 노드(B30)의 방전을 억제할 수 있는 것이다.

또한, 입력 신호(D3)가 하이 레벨일 때 클록 신호(CLK3)에 의해 제1 노드(A30)가 불필요하게 충·방전되는 현상이 억제된 것을 알 수 있다(P12). 이는 제1 노드(A30)를 충전시키는 트랜지스터(MP31, MP32)가 입력 신호(D3) 및 클록 신호(CLK3)에 따르도록 구성된 결과, 입력 신호(D3)에 영향을 받는 트랜지스터(MP31)가 입력 신호(D3)가 하이 레벨일 때 턴 오프 되어 충전 경로가 차단되므로 제1 노드(A30)의 불필요한 충·방전 현상을 막을 수 있는 것이다.

또한, 원치 않는 순간에 출력 노드(QB30)의 순간적인 방전 현상으로 인한, 글리치 현상 및 클록 신호(CLK3) 경사가 완만할 경우 발생하는 출력 노드(QB30)의 잘못된 방전 현상이 억제된 것을 알 수 있다(P13). 이는 제3 노드(C30)가 이러한 잘못된 방전을 막아주는 역할을 하기 때문이다. 제3 노드(C30)에 일정한 전하를 프리차지시켜서 출력 노드(QB30)가 불필요하게 방전될 때마다 이를 막고, 제3 노드(C30)의 전하가 방전된 후에야 출력 노드(QB30)의 전하가 방전될 수 있도록 한다. 따라서, 글리치 현상 및 클록 신호(CLK3) 경사 기울기에 대한 민감도를 완화할 수 있다.

클록 신호(CLK3) 경사 기울기에 대한 민감도가 완화된 것은 다음 도 9를 통하여 확인할 수 있다.

도 9에 따르면, 0.8nsec의 기울기를 갖는 클록 신호(CLK3) 경사에서도 오동작 없이 동작한다는 것을 보여준다(P14).

다음, 도 10은 도 1, 도 4에 나타난 종래의 플립플롭과 도 6에 나타난 본 발명의 실시예에 따른 플립플롭을 비교하여 나타낸 표로서, 0.18um CMOS 공정변수를 사용하여 동일한 조건하에서 실험한 결과이며, 각각 트랜지스터 개수, 전파지연시간, 전력소모를 비교한 결과가 도시되어 있다.

도 10에 따르면, 플립플롭을 구성하는 트랜지스터의 개수는 비슷하지만, 본 발명의 실시예에 따른 플립플롭이 종래의 구조를 가지는 플립플롭에 비해 출력 노드(QB30)가 로우 레벨에서 하이 레벨로 천이할 때의 지연시간 및 출력 노드(QB30)가 하이 레벨에서 로우 레벨로 천이할 때의 지연시간이 작음을 알 수 있다. 또한, 좀 더 대칭에 근접한 전파지연시간을 갖는 것을 알 수 있으며, 전력 소모 또한 가장 작은 것을 알 수 있다.

본 발명의 권리범위는 상술한 실시예에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

전술한 구성에 의하여, 내부 노드의 불필요한 충·방전 현상과 글리치를 제거할 수 있다. 즉 제1 노드의 충전경로 트랜지스터를 입력 신호 레벨에도 의존하도록 구성하고, 방전 경로 트랜지스터를 입력 신호 레벨에만 의존하는 하나의 트랜지스터로 구성하며, 제2 노드 및 출력 노드의 방전 경로 트랜지스터를 공유함으로써 저 전력 소모를 가능하게 할 수 있다.

또한, 대칭적인 전파 지연시간을 유도하고, 동작 속도가 크게 향상되어 고속의 프리스케일러를 구현할 수 있도록 하는 효과가 있으며, 고속 동작이 필요한 다양한 응용분야에 적용될 수 있다.

도면의 간단한 설명

도 1 및 도 4는 각각 종래의 플립플롭을 보인 도면이다.

도 2 및 도 3은 각각 도 1의 플립플롭의 신호 타이밍도이다.

도 5는 도 4의 플립플롭의 신호 타이밍도이다.

도 6은 본 발명의 실시예에 따른 플립플롭을 보인 도면이다.

도 7a 내지 도 7d는 각각 입력 신호와 클록 신호에 따른 도 6의 플립플롭의 동작을 나타내는 도면이다.

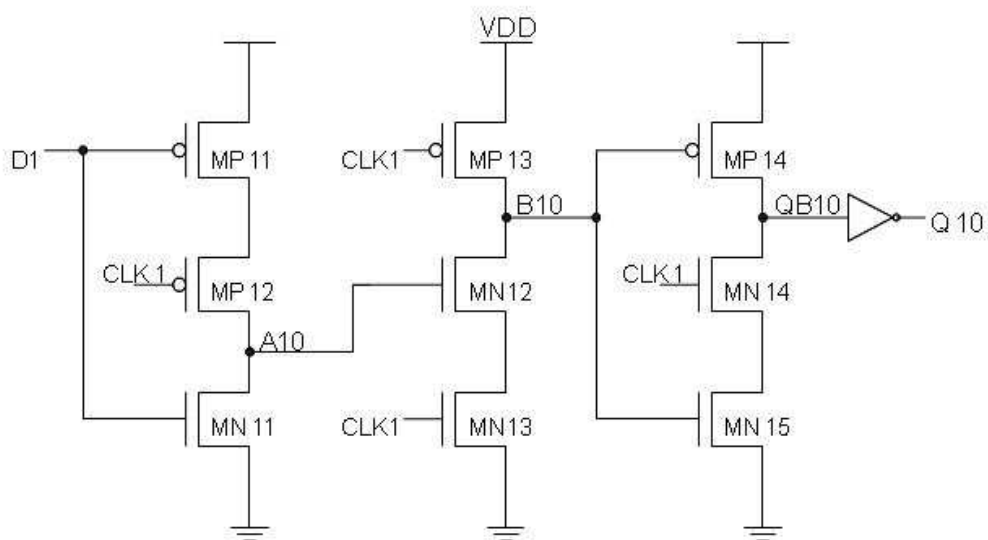
도 8은 도 6의 플립플롭의 신호 타이밍도이다.

도 9는 도 6의 플립플롭의 신호 타이밍도이다.

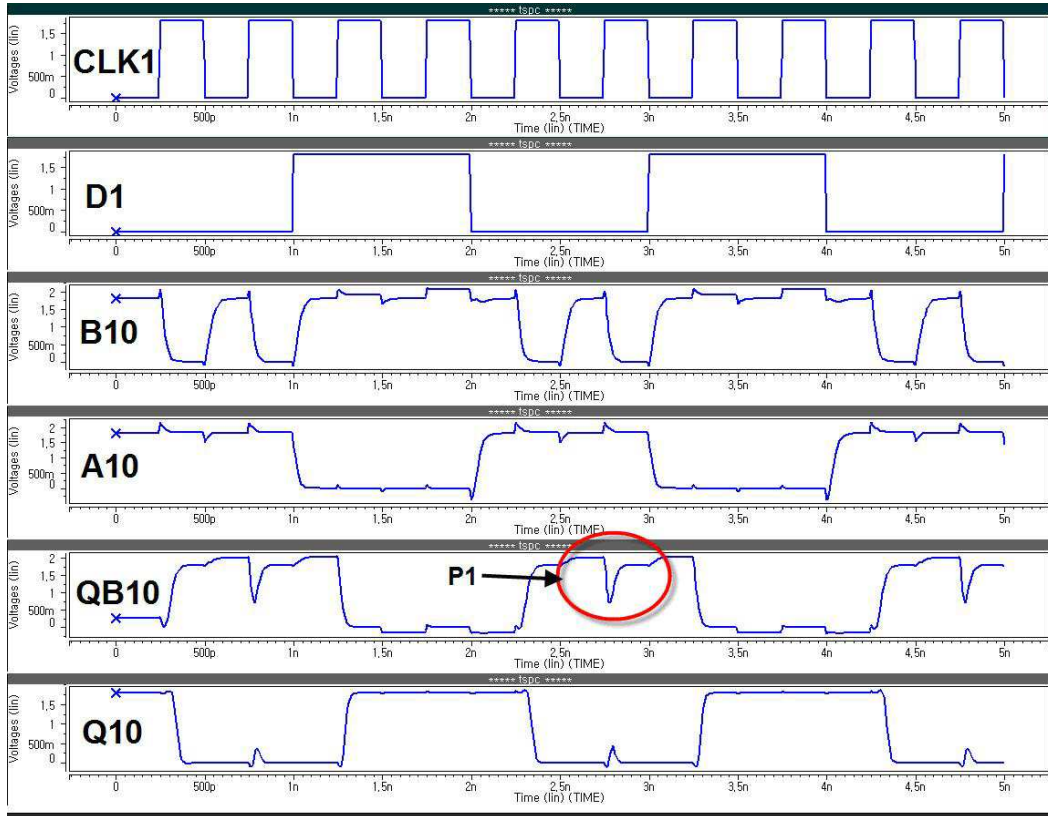
도 10은 도 1, 도 4에 나타난 종래의 플립플롭과 도 6에 나타난 본 발명의 실시예에 따른 플립플롭을 비교하여 나타낸 표이다.

도면

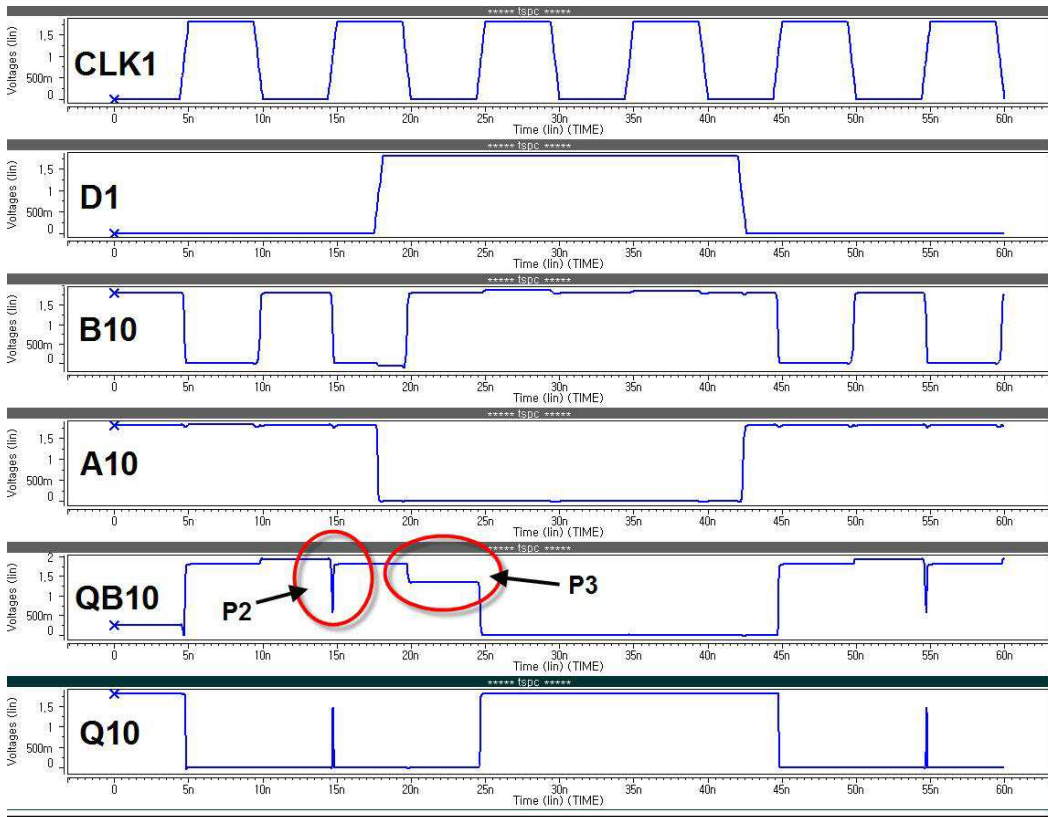
도면1



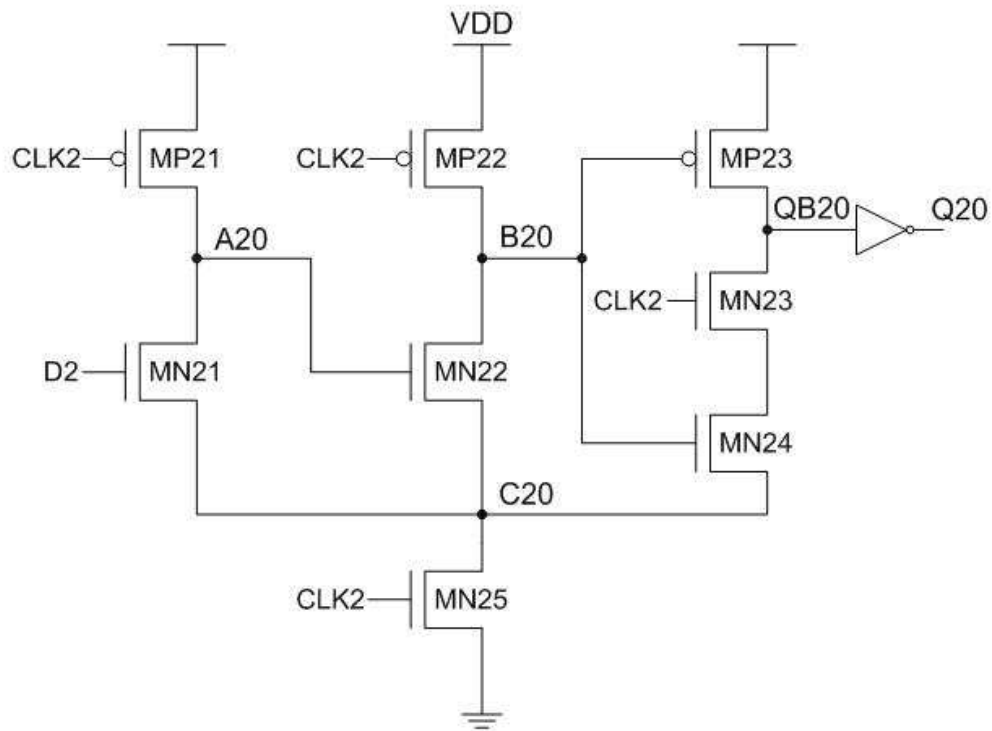
도면2



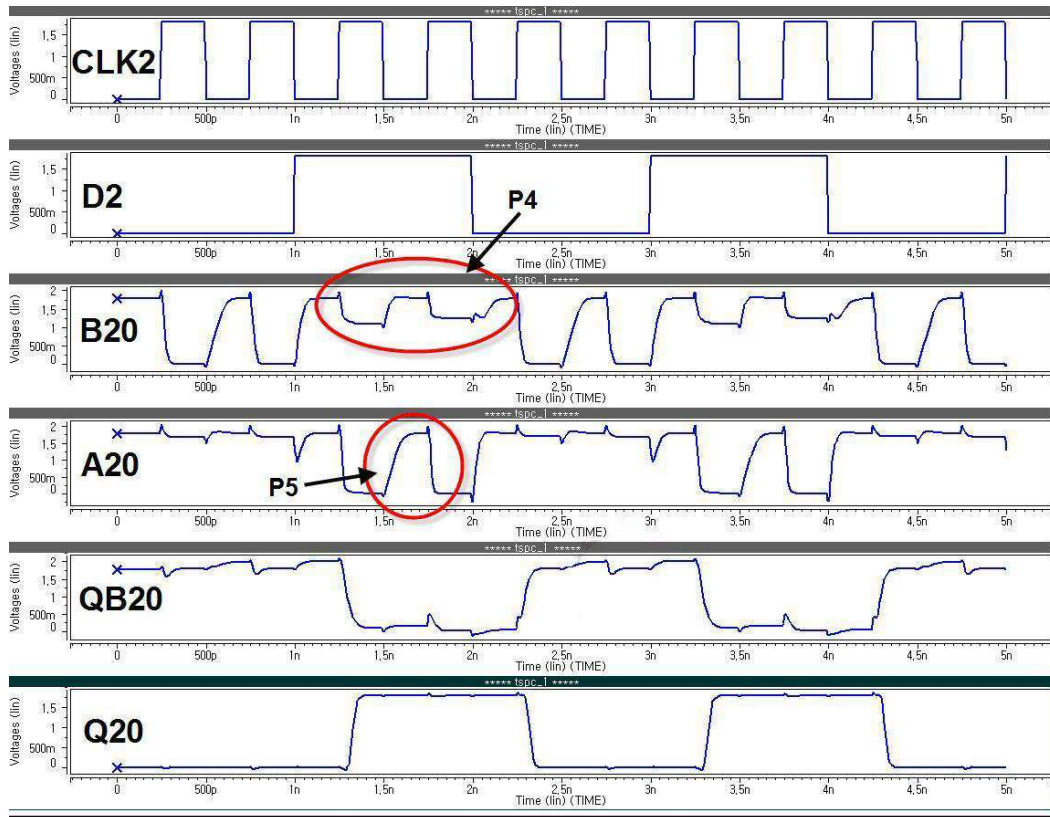
도면3



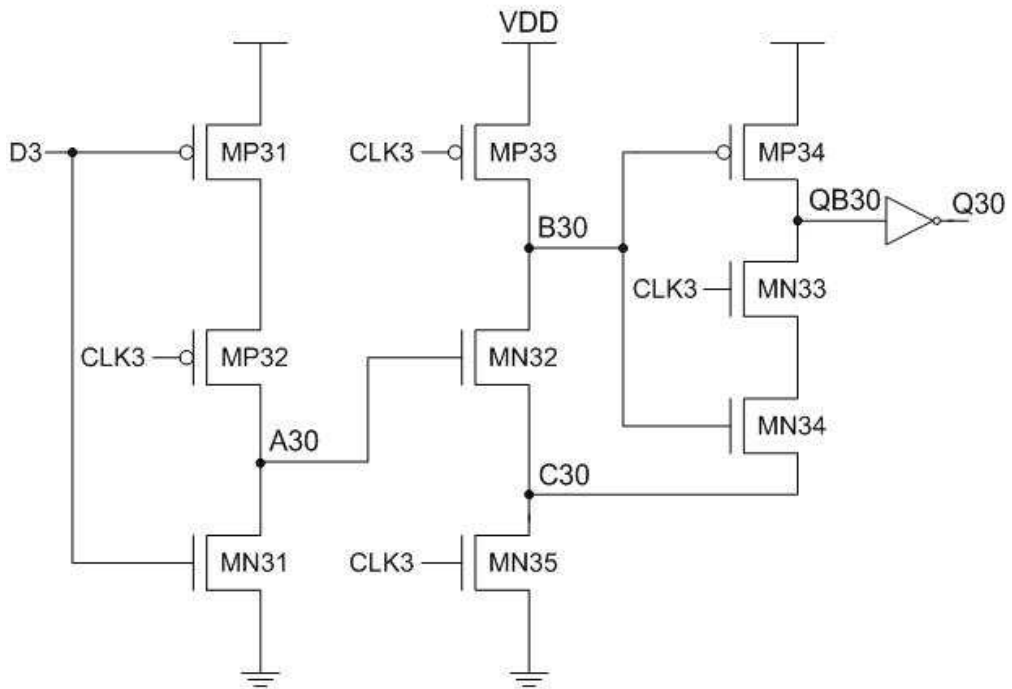
도면4



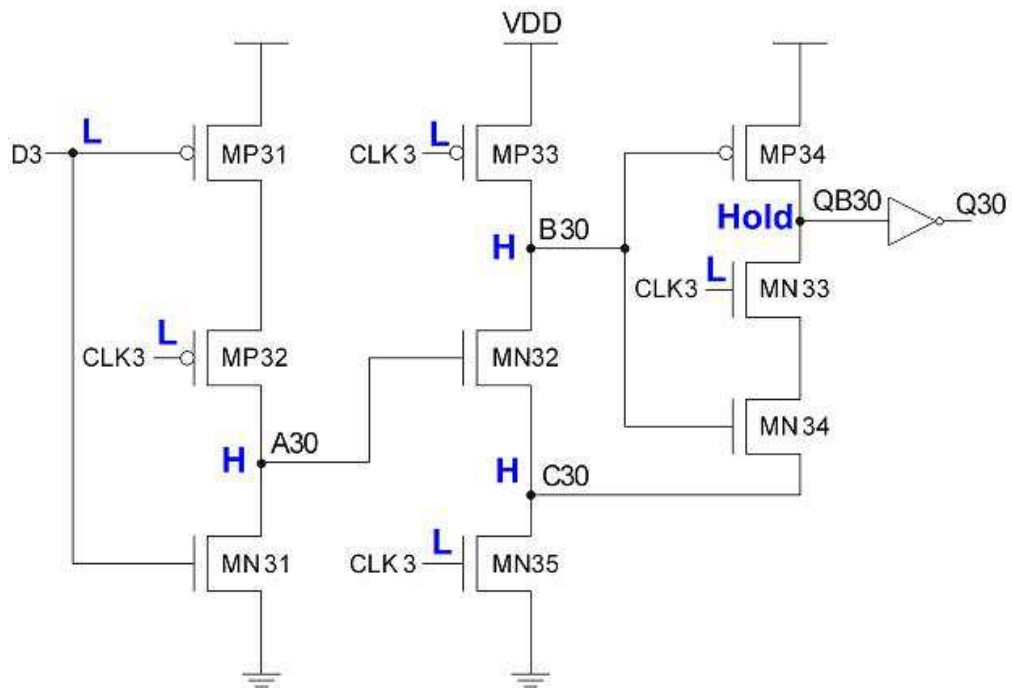
도면5



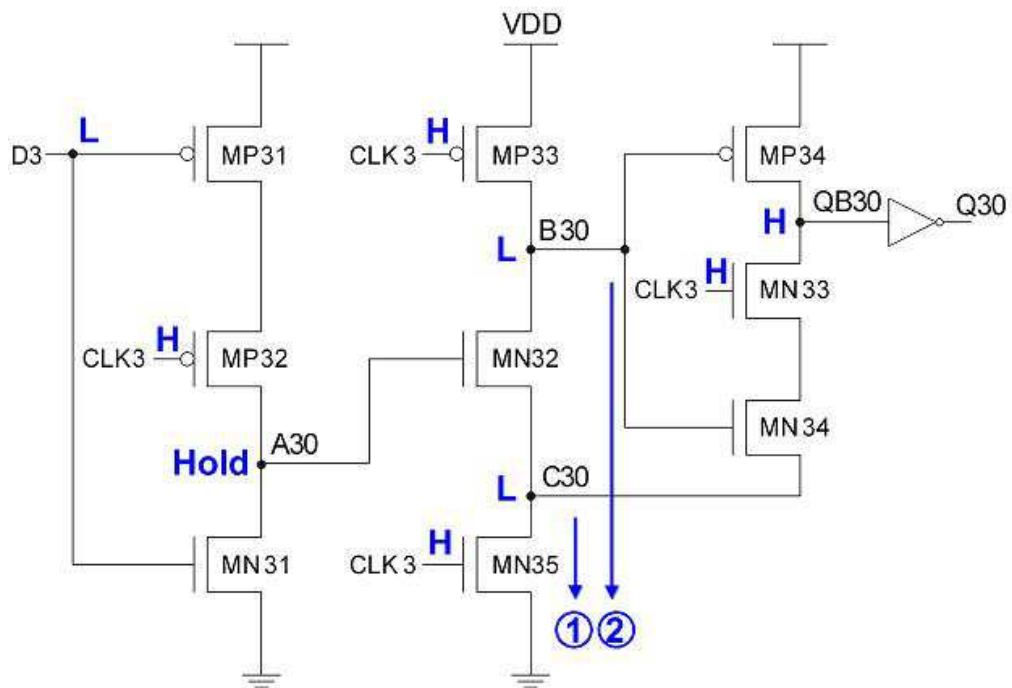
도면6



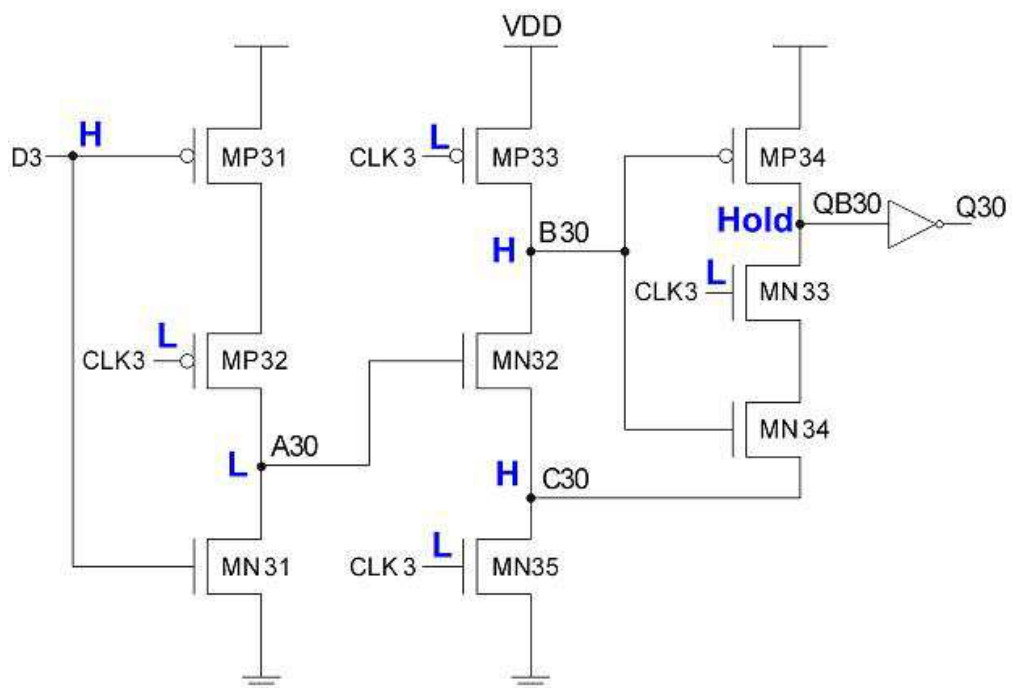
도면7a



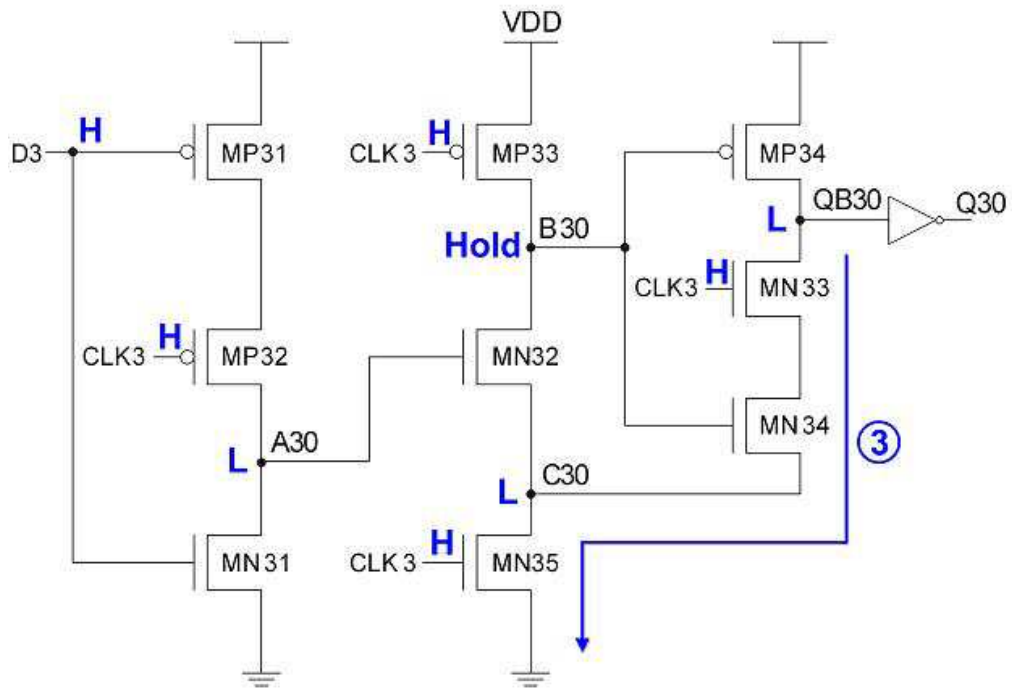
도면7b



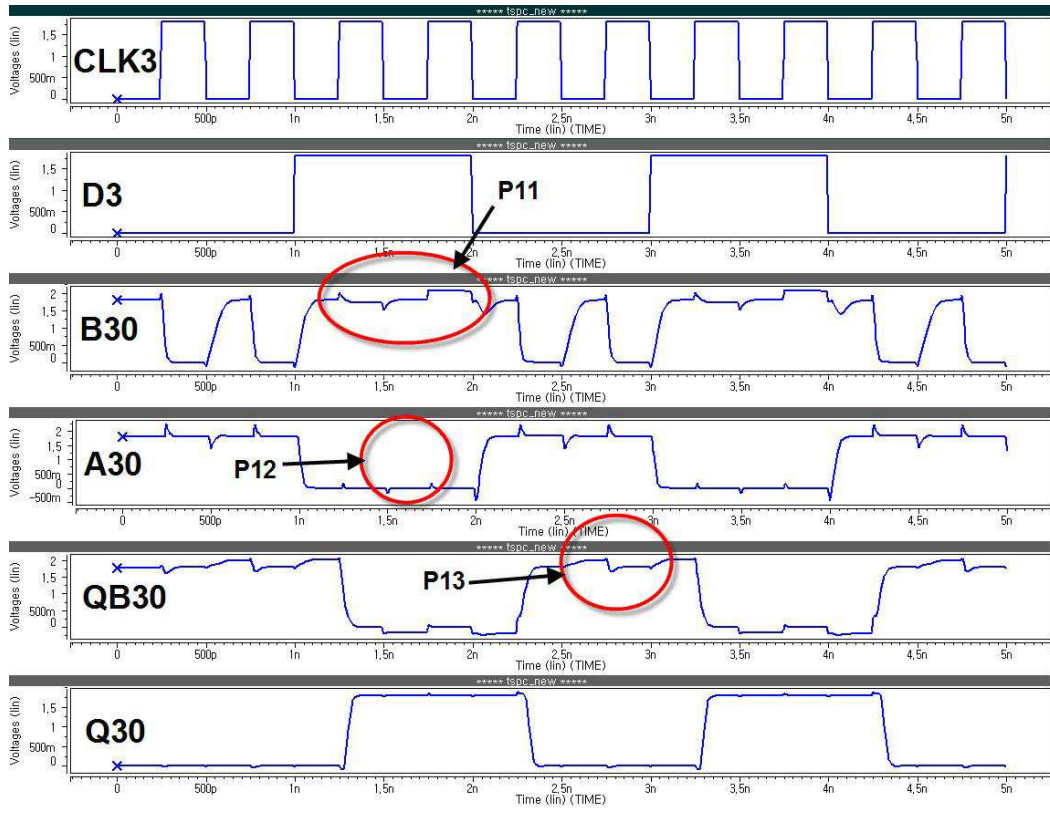
도면7c



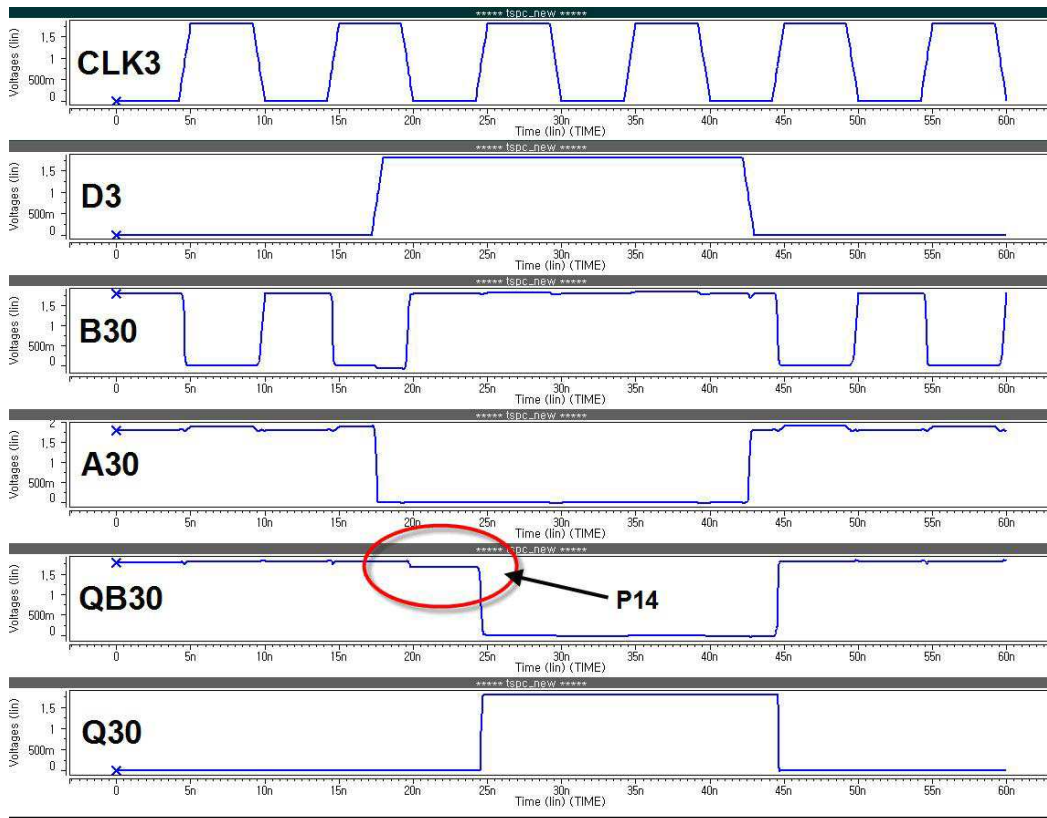
도면7d



도면8



도면9



도면10

	Conventional D-F/F[3]	Song's D-F/F[8]	Proposed D-F/F
The number of transistors	9	8	9
low-to-high delay (Clock-QB delay) (nsec)	0.0652	0.0513	0.0450
high-to-low delay (Clock-QB delay) (nsec)	0.0238	0.0473	0.0313
Power consumption (mW)	0.0641	0.0794	0.0574