(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年5月25日(25.05.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/089964 A1

(51) 国際特許分類:
H03K 5/15 (2006.01) *H04N 25/779* (2023.01)
H04N 25/76 (2023.01)

(21) 国際出願番号： PCT/JP2022/036575

(22) 国際出願日： 2022年9月29日(29.09.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2021-189281 2021年11月22日(22.11.2021) JP

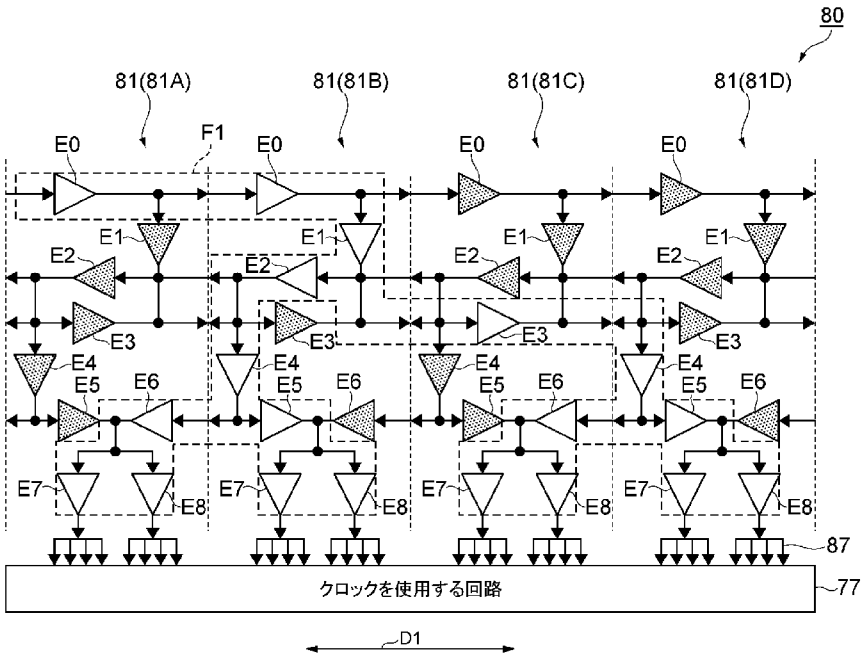
(71) 出願人: 浜松ホトニクス株式会社 (**HAMAMATSU PHOTONICS K.K.**) [JP/JP]; 〒4358558 静岡県浜松市東区市野町１１２６番地の１ Shizuoka (JP).

(72) 発明者: 吉村 英敏 (**YOSHIMURA Hidetoshi**); 〒4358558 静岡県浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP). 淨法寺 佑(**JOBOJI Tasuku**); 〒4358558 静岡県浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP). 杉山 行信(**SUGIYAMA Yukinobu**); 〒4358558 静岡県浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP). 米川 陸(**YONEKAWA Riku**); 〒4358558 静岡県浜松市東区市野町１１２６番地の１ 浜松ホトニクス株式会社内 Shizuoka (JP).

WO 2023/089964 A1

(54) **Title:** CLOCK TRANSMISSION CIRCUIT, IMAGING ELEMENT, AND METHOD FOR MANUFACTURING CLOCK TRANSMISSION CIRCUIT

(54) 発明の名称： クロック伝達回路、撮像素子、及びクロック伝達回路の製造方法



77 Circuit that uses clock

(57) **Abstract:** This clock transmission circuit is provided with a plurality of circuit regions that share a common circuit pattern and are arranged side-by-side in one direction. The circuit pattern of each of the plurality of circuit regions comprises: two or more circuit elements that can toggle between a high-impedance state and a transmitting state; and wiring that is connected to the circuit pattern of a circuit region, of the plurality of circuit regions, that is adjacent to the relevant circuit region. The state of the two or more circuit elements of the plurality of circuit regions is controlled to a prescribed

［続葉有］

(74) 代理人：長谷川 芳樹，外(HASEGAWA Yoshiki et al.)；〒1000005 東京都千代田区丸の内二丁目１番１号丸の内 ＭＹ ＰＬＡＺＡ（明治安田生命ビル） ９階 創英国際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

state specified for each circuit region, so that at least part of a clock tree that intersects the plurality of circuit regions is configured.

(57) 要約：クロック伝達回路は、互いに共通の回路パターンを有し一方向に沿って並ぶ複数の回路領域を備える。複数の回路領域それぞれの回路パターンは、高インピーダンス状態と通過状態との間で切り替え可能な少なくとも二つの回路要素と、複数の回路領域のうち当該回路領域に隣接する回路領域の回路パターンに接続される配線と、を有する。複数の回路領域の少なくとも二つの回路要素の状態が、回路領域毎に定められる所定の状態に制御されることにより、複数の回路領域を横断するクロックツリーの少なくとも一部が構成される。

明　細　書

発明の名称 ：

クロック伝達回路、撮像素子、及びクロック伝達回路の製造方法

技術分野

[0001]　本開示は、クロック伝達回路、撮像素子、及びクロック伝達回路の製造方法に関する。

背景技術

[0002]　特許文献１には、構造化遅延スキューを用いたバッファリング技術が開示されている。この特許文献１には、ツリー構造ルーティング方式が記載されている。特許文献２には、レチクルに形成されたパターンの投影像の一部を重ね継ぎ露光しながら所望のパターンを基板に形成する露光装置に関する技術が開示されている。特許文献３には、大型ディスプレイ装置の表示デバイスを製造する際に継ぎ露光を行うことが記載されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２００７－０６００３６号公報

特許文献2：特開２００１－１１０７０８号公報

特許文献3：特開２００１－１５４３７１号公報

発明の概要

発明が解決しようとする課題

[0004]　半導体素子の内部においてクロック信号を伝搬する際には、クロック配線の長さ及び負荷に応じてクロック信号に遅延が生じる。そこで、多数の回路にクロック信号を同一のタイミングで入力したい場合には、クロックツリーが用いられる。クロックツリーにおいては、クロック供給先である回路群の中心位置に関して左右対称にクロック信号の分岐を繰り返すことが望ましい。

[0005]　一方、大面積の半導体素子を製造する際のフォトリソグラフィ工程におい

て、共通の露光パターンを有する複数のショットを繋いで１つの素子とすることがある。この技術は継ぎ露光と呼ばれる。継ぎ露光によって半導体素子を製造する場合、同一の回路パターンを有する回路領域が複数並ぶので、各回路領域内においてクロックツリーを形成することは容易だが、複数の回路領域を横断するクロックツリーを形成することは困難である。したがって、複数の回路領域間においてクロック信号に遅延が生じるという問題がある。

[0006] 本開示は、同一の回路パターンを有する複数の回路領域を横断するクロックツリーを形成することを可能にするクロック伝達回路、及びクロック伝達回路の製造方法を提供することを目的とする。本開示は、クロック信号の遅延の少ない撮像素子を提供することを目的とする。

課題を解決するための手段

[0007] 本開示によるクロック伝達回路は、単一の基板上に設けられたクロックツリーを含むクロック伝達回路である。このクロック伝達回路は、互いに共通の回路パターンを有し一方向に並ぶ複数の回路領域を備える。複数の回路領域それぞれの回路パターンは、高インピーダンス状態と通過状態との間で切り替え可能な少なくとも二つの回路要素と、複数の回路領域のうち当該回路領域に隣接する回路領域の回路パターンに接続される配線と、を有する。複数の回路領域の上記少なくとも二つの回路要素の状態が回路領域毎に定められる所定の状態に制御されることにより、複数の回路領域を横断するクロックツリーの少なくとも一部が構成される。

[0008] 本開示によるクロック伝達回路の製造方法は、単一の基板上に設けられたクロックツリーを含むクロック伝達回路を製造する方法である。この製造方法は、共通の露光パターンを用いて継ぎ露光を行うことにより、互いに共通の回路パターンを有し一方向に並ぶ複数の回路領域を形成する工程を含む。複数の回路領域それぞれの回路パターンは、高インピーダンス状態と通過状態との間で切り替え可能な少なくとも二つの回路要素と、複数の回路領域のうち当該回路領域に隣接する回路領域の回路パターンに接続される配線と、を有する。複数の回路領域の上記少なくとも二つの回路要素の状態が、回路

領域毎に定められる所定の状態に制御されることにより、複数の回路領域を横断するクロックツリーの少なくとも一部が構成される。

[0009] これらのクロック伝達回路及びクロック伝達回路の製造方法によれば、同一の回路パターンを有する複数の回路領域を横断するクロックツリーを形成することができる。故に、複数の回路領域間におけるクロック信号の遅延を低減できる。

[0010] 上記のクロック伝達回路及びクロック伝達回路の製造方法において、回路パターンは、クロックツリーの複数段の分岐をそれぞれ担うように構成された複数段の回路部分を含んでもよい。この場合、各段の回路部分によって、クロックツリーの各段の分岐を好適に実現することができる。

[0011] 上記のクロック伝達回路及びクロック伝達回路の製造方法において、複数段の回路部分のうち一つの回路部分は、上記少なくとも二つの回路要素に含まれ出力端同士が接続された第１及び第２の回路要素を含んでもよい。そして、上記配線は、第１の回路要素の入力端を、複数の回路領域のうち当該回路領域の一方側に隣接する回路領域の第２の回路要素の入力端に接続するための第１の配線部分と、第２の回路要素の入力端を、複数の回路領域のうち当該回路領域の他方側に隣接する回路領域の第１の回路要素の入力端に接続するための第２の配線部分と、を含んでもよい。当該回路部分をクロック信号が伝搬する場合には、当該回路部分は、第１の配線部分又は第２の配線部分からクロック信号を入力し、第１の回路要素の出力端と第２の回路要素の出力端との間の第１のノードからクロック信号を出力することができる。よって、回路部分を簡易に実現することができる。

[0012] 上記のクロック伝達回路及びクロック伝達回路の製造方法において、複数段の回路部分のうち少なくとも一つの回路部分は、上記少なくとも二つの回路要素に含まれる第３、第４及び第５の回路要素を含んでもよい。そして、第３の回路要素の出力端、第４の回路要素の入力端、及び第５の回路要素の入力端が第２のノードに接続され、第３の回路要素の入力端と第４の回路要素の出力端とが第３のノードに接続されてもよい。そして、上記配線は、第

２のノードを、複数の回路領域のうち当該回路領域の一方側に隣接する回路領域の第３のノードに接続するための第３の配線部分と、第３のノードを、複数の回路領域のうち当該回路領域の他方側に隣接する回路領域の第２のノードに接続するための第４の配線部分と、を含んでもよい。当該回路部分をクロック信号が伝搬する場合には、当該回路部分は、第３のノードにおいてクロック信号を受け、必要に応じて第５の回路要素の出力端からクロック信号を出力することができる。第３及び第４の回路要素の状態を制御することによってクロック信号の伝搬方向を制御することができる。よって、特に初段または中段の回路部分を簡易に実現することができる。

[0013] 上記のクロック伝達回路及びクロック伝達回路の製造方法において、上記少なくとも二つの回路要素はトライステート（登録商標）型であってもよい。この場合、上記少なくとも二つの回路要素それぞれを単一の機能部分によって簡素に構成することができる。回路要素の通過状態における出力抵抗値を低く抑えることができるので、回路要素の抵抗値に起因するクロック信号の遅延を低減することができる。

[0014] 上記のクロック伝達回路及びクロック伝達回路の製造方法において、少なくとも二つの回路要素のうち、少なくとも最終段の回路部分を構成する回路要素がトライステート型であって、当該回路要素の出力端はプルアップ抵抗およびプルダウン抵抗のうち一方又は双方に接続されていてもよい。或いは、上記のクロック伝達回路及びクロック伝達回路の製造方法において、少なくとも二つの回路要素のうち、少なくとも最終段の回路部分を構成する回路要素が論理回路を含んで構成されていてもよい。これらのうちいずれかの構成により、クロック供給先への信号レベルが不定になることを抑制して、クロック供給先の誤動作を防止できる。

[0015] 本開示による撮像素子は、一次元又は二次元に配列された複数の画素を含む画素アレイと、複数の画素それぞれから出力される複数のアナログ信号それぞれをデジタル信号に変換する複数のアナログ／デジタル変換器を含むアナログ／デジタル変換器アレイと、アナログ／デジタル変換器アレイから出

力される複数のデジタル信号それぞれを格納する複数の格納領域を有するメモリアレイと、メモリアレイに格納された複数のデジタル信号をシリアル信号として順に出力させる水平走査回路と、を備える。アナログ／デジタル変換器アレイ及び水平走査回路のうち少なくとも一方は、上記いずれかのクロック伝達回路を介してクロック信号の供給を受ける。この撮像素子によれば、複数のデジタル信号間におけるクロック信号の遅延を低減できる。よって、シリアル信号を読み出す際のエラーの頻度を低減できる。

発明の効果

[0016] 本開示によれば、同一の回路パターンを有する複数の回路領域を横断するクロックツリーを形成することを可能にするクロック伝達回路及びクロック伝達回路の製造方法を提供できる。本開示によれば、クロック信号の遅延の少ない撮像素子を提供できる。

図面の簡単な説明

[0017] [図1]図１は、一実施形態に係る、撮像素子を製造する為に用いられる露光装置の構成を模式的に示す側面図である。

[図2]図２は、フォトマスクのレチクルパターンを模式的に示す平面図である。

[図3]図３の（ａ）部は、露光及び現像ののちのウエハの回路形成面を示す平面図である。図３の（ｂ）部は、（ａ）部の一部を拡大して示す図である。図３の（ｃ）部は、（ｂ）部のＩＩＩｃ－ＩＩＩｃ線に沿った断面を示す図である。

[図4]図４は、複数の撮像素子それぞれの具体的な構成例を示す図である。

[図5]図５は、クロックツリーの構成を模式的に示す図である。

[図6]図６は、クロック伝達回路の構成を示す回路図である。

[図7]図７は、各回路領域の回路パターンを示す回路図である。

[図8]図８は、各回路領域の回路パターンの別の例を示す回路図である。

[図9]図９は、各回路領域の回路要素を制御する回路の例を示す回路図である。

[図10]図１０は、クロック伝達回路の別の制御例を示す図である。

[図11]図１１は、一実施形態によるクロック伝達回路の製造方法を示すフローチャートである。

[図12]図１２は、参考例としてのクロック伝達回路を模式的に示す図である。

[図13]図１３は、クロック信号の遅延の影響を説明する図である。図１３の（ａ）部は、直列回路の一端に入力されるクロック信号を示す。図１３の（ｂ）部は、直列回路の一端に近い回路領域から出力されるクロック信号によって駆動される回路から出力されるシリアル信号の例を示す。図１３の（ｃ）部は、直列回路の一端から遠い回路領域から出力されるクロック信号によって駆動される回路から出力されるシリアル信号の例を示す。

[図14]図１４の（ａ）部、（ｂ）部および（ｃ）部は、回路要素の構成例を示す回路図である。

発明を実施するための形態

[0018] 以下、添付図面を参照しながら本開示によるクロック伝達回路、撮像素子、及びクロック伝達回路の製造方法の実施の形態を詳細に説明する。図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

[0019] 図１は、本開示の一実施形態に係る、撮像素子を製造する為に用いられる露光装置１の構成を模式的に示す側面図である。図１に示されるように、露光装置１は、ウエハW上に塗布されたレジストＲを露光する装置であって、光源１０と、フォトマスク２０と、レンズ３０と、を備える。光源１０は、レジストＲが感度を有する波長の光Ｌを出力する。フォトマスク２０は、後述する撮像素子４０（図３を参照）を形成する為のレチクルパターン（露光パターン）を有する。フォトマスク２０は、光源１０に対向して配置される。フォトマスク２０は、一又は複数のレチクルパターン２１を有する。レンズ３０は、フォトマスク２０とウエハWとの間に配置される。光源１０から出力された光Ｌは、フォトマスク２０を通過したのちレンズ３０によって集光され、ウエハW上のレジストＲに達する。レジストＲは、ポジ型及びネガ

型のいずれであってもよい。

[0020] 図２は、フォトマスク２０のレチクルパターン２１のうちの一つを模式的に示す平面図である。レチクルパターン２１は、少なくとも、第１の部分２１１と、第２の部分２１２と、第３の部分２１３と、を含む。第１の部分２１１は記号「Ａ」によって示される。第２の部分２１２は記号「Ｂ」によって示される。第３の部分２１３は記号「Ｃ」によって示される。第１の部分２１１は、撮像素子４０の受光部分を形成するための部分である。第１の部分２１１は、撮像素子４０の受光部分を複数の回路領域に分割したときの、該複数の回路領域それぞれに共通の回路パターンに対応する露光パターンを含む。第２の部分２１２は、撮像素子４０のうちの受光部分の一端と並ぶ回路領域４２（図３を参照）を形成するための部分である。第３の部分２１３は、撮像素子４０のうちの受光部分の他端と並ぶ回路領域４３（図３を参照）を形成するための部分である。第２の部分２１２及び第３の部分２１３は、受光部分にバイアス電源を供給する為の回路などに対応する露光パターンを含む。

[0021] 図３の（ａ）部は、露光及び現像ののちのウエハＷの回路形成面を示す平面図である。図３の（ｂ）部は、図３の（ａ）部の一部を拡大して示す図である。図３の（ａ）部に示されるように、ウエハＷには、露光装置１による露光及びその後の現像によって、複数の撮像素子４０が形成される。複数の撮像素子４０は、方向Ｄ１を長手方向とし、方向Ｄ１と交差する方向Ｄ２に沿って並んでいる。図３の（ｂ）部に示されるように、複数の撮像素子４０それぞれは、方向Ｄ１に沿って並ぶ複数の回路領域４１からなる回路領域群４４と、方向Ｄ１において回路領域群４４の一端に配置された回路領域４２と、方向Ｄ１において回路領域群４４の他端に配置された回路領域４３と、を有する。回路領域群４４は、受光部分を含む。

[0022] 複数の回路領域４１それぞれは、図２に示される第１の部分２１１を用いた継ぎ露光によって形成された領域である。すなわち、複数の回路領域４１は、第１の部分２１１を方向Ｄ１に沿って移動させながらレジストＲの露光

を行うことにより形成された領域である。このとき、第１の部分２１１によってそれぞれ露光される隣接する領域同士は、それらの一部において互いに重なってもよい。複数の回路領域４１は、互いに同一の回路パターンを有する。回路領域４２は、図２に示される第２の部分２１２を用いた露光によって形成された領域である。回路領域４３は、図２に示される第３の部分２１３を用いた露光によって形成された領域である。回路領域４２は、回路領域４１と異なる回路パターンを有する。回路領域４３は、回路領域４１，４２と異なる回路パターンを有する。

[0023] 図３の（ｃ）部は、図３の（ｂ）部のＩＩＩｃ－ＩＩＩｃ線に沿った断面を示す図である。図３の（ｃ）部に示されるように、回路領域群４４、回路領域４２、及び回路領域４３は、ウエハＷから切り出される単一の基板６２上に設けられる。方向Ｄ１における基板６２の長さは、例えば２０ｍｍ以上３００ｍｍ以下である。

[0024] 図４は、複数の撮像素子４０それぞれの具体的な構成例を示す図である。図４に示されるように、回路領域群４４は、画素アレイ４５と、アンプアレイ４６と、アナログ／デジタル（Ａ／Ｄ）変換器アレイ４７と、メモリアレイ４８と、水平走査回路群４９と、出力回路群５０と、Ａ／Ｄ変換器用のクロック伝達回路８０Ａと、水平走査回路用及び出力回路用のクロック伝達回路８０Ｂと、を有する。画素アレイ４５は、複数の回路領域４１にそれぞれ含まれる複数の領域４５１が方向Ｄ１に沿って並んで配置されて成る。アンプアレイ４６は、複数の回路領域４１にそれぞれ含まれる複数の領域４６１が方向Ｄ１に沿って並んで配置されて成る。Ａ／Ｄ変換器アレイ４７は、複数の回路領域４１にそれぞれ含まれる複数の領域４７１が方向Ｄ１に沿って並んで配置されて成る。メモリアレイ４８は、複数の回路領域４１にそれぞれ含まれる複数の領域４８１が方向Ｄ１に沿って並んで配置されて成る。水平走査回路群４９は、複数の回路領域４１にそれぞれ含まれる複数の領域４９１が方向Ｄ１に沿って並んで配置されて成る。出力回路群５０は、複数の回路領域４１にそれぞれ含まれる複数の領域５０１が方向Ｄ１に沿って並ん

で配置されて成る。図４においては、複数の回路領域４１のうち方向Ｄ１における回路領域群４４の両端付近に位置する一部の回路領域４１のみ図示し、他の回路領域４１の図示を省略している。

[0025] 画素アレイ４５は、一次元又は二次元に配列された複数の画素を含む。複数の画素は、少なくとも方向Ｄ１に沿って並んでいる。複数の領域４５１それぞれは、二以上の画素を含む。従って、例えばＰ個の領域４５１それぞれがＱ個の画素を含む場合、画素アレイ４５全体での画素数は（Ｐ×Ｑ）個である。Ｐ、Ｑは２以上の整数である。Ｑ個の画素は、ｎ列×ｍ行の配置をとる（ｎ×ｍ＝Ｑ、ｎ，ｍは自然数）。各画素は、各画素に入射した光の強度に応じた量の電荷を発生する。各画素は、画素内で電流電圧変換するための画素内アンプを含んでもよい。各画素は、例えばウエハＷの表面に対するイオン注入によって形成され得る。各画素に接続される配線は、例えばウエハＷの表面上にエッチング等によって形成され得る。複数の領域４５１は互いに同一の回路パターンを有する。イオン注入及びエッチングの際の露光パターンは、複数の領域４５１において共通である。

[0026] アンプアレイ４６は、複数のアンプを含んでもよい。複数のアンプそれぞれは、画素アレイ４５の複数の画素それぞれから出力される複数のアナログ信号それぞれを電流電圧変換する。或いは、各画素がアナログ信号を電流電圧変換する場合、複数のアンプそれぞれは、電流電圧変換された複数のアナログ信号それぞれを増倍する。複数のアンプは、画素アレイ４５の複数の画素列にそれぞれ対応する。複数の領域４６１それぞれは、二以上のアンプを含む。例えばＰ個の領域４５１それぞれがｎ列の画素列を含む場合、Ｐ個の領域４６１それぞれがｎ個のアンプを含む。従って、アンプアレイ４６全体でのアンプの数は少なくとも（Ｐ×ｎ）個である。複数のアンプそれぞれは、例えばトランジスタを含む増幅回路によって構成され得る。トランジスタのドレイン領域及びソース領域は、例えばウエハＷの表面に対するイオン注入によって形成され得る。トランジスタのゲート、ドレイン領域及びソース領域のそれぞれに接続される配線は、例えばウエハＷの表面上にリフトオフ

法等によって形成され得る。複数の領域４６１は互いに同一の回路パターンを有する。イオン注入及びリフトオフの際の露光パターンは、複数の領域４６１において共通である。

[0027] Ａ／Ｄ変換器アレイ４７は、複数のＡ／Ｄ変換器を含む。複数のＡ／Ｄ変換器それぞれは、画素アレイ４５の複数の画素それぞれから出力される複数のアナログ信号それぞれをデジタル信号に変換する。複数のＡ／Ｄ変換器は、アンプアレイ４６の複数のアンプにそれぞれ対応する。複数の領域４７１それぞれは、二以上のＡ／Ｄ変換器を含む。例えばＰ個の領域４６１それぞれがｎ個のアンプを含む場合、Ｐ個の領域４７１それぞれがｎ個のＡ／Ｄ変換器を含む。従って、Ａ／Ｄ変換器アレイ４７全体でのＡ／Ｄ変換器の数は少なくとも（Ｐ×ｎ）個である。複数の領域４７１は互いに同一の回路パターンを有する。Ａ／Ｄ変換器を形成する際の露光パターンは、複数の領域４７１において共通である。

[0028] メモリアレイ４８は、複数のメモリセル（格納領域）を有する。複数のメモリセルそれぞれは、Ａ／Ｄ変換器アレイ４７から出力される複数のデジタル信号それぞれを格納する。複数のメモリセルは、複数のＡ／Ｄ変換器にそれぞれ対応する。複数の領域４８１それぞれは、二以上のメモリセルを含む。例えばＰ個の領域４７１それぞれがｎ個のＡ／Ｄ変換器を含む場合、Ｐ個の領域４８１それぞれがｎ個のメモリセルを含む。従って、メモリアレイ４８全体でのメモリセルの数は（Ｐ×ｎ）個である。複数の領域４８１は互いに同一の回路パターンを有する。メモリセルを形成する際の露光パターンは、複数の領域４８１において共通である。

[0029] 水平走査回路群４９は、メモリアレイ４８に格納された複数のデジタル信号をシリアル信号として順に出力させる。水平走査回路群４９は、複数の領域４９１を有する。複数の領域４９１それぞれは、二以上の水平走査回路を含む。一例では、複数の領域４９１それぞれに含まれる水平走査回路の個数は２である。その場合、例えばＰ個の領域４８１それぞれがｎ個のメモリセルを含むとすると、一つの水平走査回路につき（ｎ／２）個のメモリセルが

対応する。複数の領域４９１は互いに同一の回路パターンを有する。水平走査回路を形成する際の露光パターンは、複数の領域４９１において共通である。

[0030] 出力回路群５０は、複数の領域５０１を有する。複数の領域５０１それぞれは、水平走査回路群４９の複数の領域４９１それぞれに接続されている。各水平走査回路は、（ｎ／２）個のメモリセルからのデジタル信号を、各水平走査回路に対応する領域５０１に、シリアル信号として順次出力させる。各領域５０１は、水平走査回路群４９の各領域４９１に含まれる水平走査回路に対応する出力回路を含む。各出力回路は、対応する水平走査回路からシリアル信号として順次出力されたデジタル信号を受ける。各領域５０１の出力回路は、デジタル信号から出力データＤｏｕｔを生成して、出力データＤｏｕｔを撮像素子４０の外部へ出力する。

[0031] 回路領域４２は、例えばタイミング制御回路４２１を含む。タイミング制御回路４２１は、画素アレイ４５、アンプアレイ４６、Ａ／Ｄ変換器用のクロック伝達回路８０Ａ、及び、水平走査回路用のクロック伝達回路８０Ｂに対して共通のクロック信号を送信する。

[0032] 回路領域４３は、例えばバイアス電圧発生回路４３１を含む。バイアス電圧発生回路４３１は、図示しない配線を介して、画素アレイ４５の複数の画素それぞれ、アンプアレイ４６の複数のアンプそれぞれ、及び、Ａ／Ｄ変換器アレイ４７の複数のＡ／Ｄ変換器それぞれに接続されている。バイアス電圧発生回路４３１は、画素アレイ４５の複数の画素、アンプアレイ４６の複数のアンプ、及びＡ／Ｄ変換器アレイ４７の複数のＡ／Ｄ変換器にバイアス電圧を供給する。

[0033] 続いて、クロック伝達回路８０Ａ，８０Ｂの構成について詳細に説明する。クロック伝達回路８０Ａ，８０Ｂは、単一の基板６２（図３の（ｃ）部を参照）上に設けられたクロックツリーを含む。図５は、一例として、クロックツリー７０の構成を模式的に示す図である。クロックツリー７０は、クロック信号を入力する配線７６と、クロックを使用する回路７７との間に、複

数段の分岐を有する。各分岐は、一本のクロック配線を少なくとも二本に分岐する。図５には、一例として、初段Ｃ１、第２段Ｃ２、及び第３段（最終段）Ｃ３といった計３段の分岐が示されている。初段Ｃ１と第２段Ｃ２との間の配線、第２段Ｃ２と第３段Ｃ３との間の配線、及び第３段Ｃ３と回路７７との間の配線のそれぞれには、一又は複数のリピータバッファ７８が設けられる。

[0034] 図６は、クロック伝達回路８０の構成を示す回路図である。図４に示されたクロック伝達回路８０Ａ，８０Ｂは、クロック伝達回路８０と同様の構成を有する。図６の回路７７がＡ／Ｄ変換器アレイ４７である場合、回路７７は、複数の領域４７１に含まれる全てのＡ／Ｄ変換器を含む。回路７７が水平走査回路群４９である場合、回路７７は、複数の領域４９１に含まれる全ての水平走査回路を含む。回路７７が出力回路群５０である場合、回路７７は、複数の領域５０１に含まれる全ての出力回路を含む。

[0035] クロック伝達回路８０は、複数の回路領域８１を備える。複数の回路領域８１それぞれは、複数の回路領域４１（図３、図４参照）それぞれに含まれる。複数の回路領域８１は、互いに共通の回路パターンを有し、方向Ｄ１に沿って並んでいる。各回路領域８１は、隣り合う回路領域８１と、接しており且つ連続している。

[0036] 図７は、各回路領域８１の回路パターンを示す回路図である。図７に示すように、各回路領域８１の回路パターンは、少なくとも２つ（本実施形態では９個）の回路要素Ｅ０～Ｅ８と、配線Ｗ１～Ｗ６とを有する。回路要素Ｅ０～Ｅ８のうち少なくとも回路要素Ｅ０～Ｅ６（本実施形態では全ての回路要素Ｅ０～Ｅ８）は、高インピーダンス状態と通過状態との間で切り替え可能な回路要素であって、例えばトライステート（登録商標）型の回路要素である。トライステート型は、スリーステート型とも呼ばれる。高インピーダンス状態とは、絶縁状態か又は絶縁状態に近い抵抗値を有する状態をいう。通過状態とは、入力信号の論理に追従した信号を出力する状態をいう。一例では、回路要素Ｅ０～Ｅ８はトライステートバッファ或いはトライステート

インバータである。回路要素Ｅ０～Ｅ８は、クロックツリーにおいてリピータバッファとして機能する。配線Ｗ１～Ｗ６は、隣接する回路領域８１の回路パターンに接続される配線である。各回路領域８１の回路パターンは、複数段の回路部分を含む。すなわち、各回路領域８１の回路パターンは、クロック供給部分８２と、第１段（初段）の回路部分８３と、第２段の回路部分８４と、第３段（最終段）の回路部分８５と、を含む。

[0037] クロック供給部分８２は、クロック伝達回路８０の外部から入力されたクロック信号をクロックツリーに供給するための部分である。クロック供給部分８２は、回路要素Ｅ０及びＥ１と、配線Ｗ５及びＷ６とを含む。配線Ｗ５の一端は、当該回路領域８１の一方側（図の左側）に隣接する回路領域８１の配線Ｗ６と接続される。配線Ｗ５の他端は、回路要素Ｅ０の入力端に接続される。回路要素Ｅ０の入力端は、クロック伝達回路８０の外部から、隣接する回路領域８１を介して入力されたクロック信号を受ける。配線Ｗ６の一端は、回路要素Ｅ０の出力端に接続される。配線Ｗ６の他端は、当該回路領域８１の他方側（図の右側）に隣接する回路領域８１の配線Ｗ５と接続される。回路要素Ｅ１の入力端は、配線Ｗ６と接続される。

[0038] 回路要素Ｅ０が通過状態である場合、クロック信号は配線Ｗ５から配線Ｗ６へ伝搬する。回路要素Ｅ０が高インピーダンス状態である場合、クロック信号は配線Ｗ５から配線Ｗ６へ伝搬しない。回路要素Ｅ０，Ｅ１の双方が通過状態である場合、クロック信号は配線Ｗ５から第１段の回路部分８３へ伝搬する。回路要素Ｅ０が通過状態であり且つ回路要素Ｅ１が高インピーダンス状態である場合、クロック信号は配線Ｗ５，Ｗ６を伝搬するが第１段の回路部分８３へは伝搬しない。

[0039] 第１段の回路部分８３は、クロック供給部分８２から供給されたクロック信号を分岐するための部分である。回路部分８３は、回路要素Ｅ２（第３の回路要素）、回路要素Ｅ３（第４の回路要素）、及び回路要素Ｅ４（第５の回路要素）を含む。加えて、回路部分８３は、配線Ｗ３（第３の配線部分）及び配線Ｗ４（第４の配線部分）を含む。

[0040] 回路要素Ｅ２の出力端、回路要素Ｅ３の入力端、及び回路要素Ｅ４の入力端は、ノードＮ２（第２のノード）に接続されている。回路要素Ｅ２の入力端及び回路要素Ｅ３の出力端は、ノードＮ３（第３のノード）に接続されている。言い換えると、回路要素Ｅ２及びＥ３は、ノードＮ２とノードＮ３との間において、互いに逆向きとされつつ互いに並列に接続されている。回路要素Ｅ４の入力端は、その並列回路の一端に接続されている。配線Ｗ３は、ノードＮ２を、当該回路領域８１の一方側（図の左側）に隣接する回路領域８１のノードＮ３に接続するための配線部分である。配線Ｗ４は、ノードＮ３を、当該回路領域８１の他方側（図の右側）に隣接する回路領域８１のノードＮ２に接続するための配線部分である。ノードＮ３は、クロック伝達回路８０の外部からのクロック供給配線、すなわちクロック供給部分８２の回路要素Ｅ１の出力端に接続される。

[0041] 回路要素Ｅ２が通過状態であり且つ回路要素Ｅ３が高インピーダンス状態である場合、クロック信号はノードＮ３からノードＮ２へ伝搬する。逆に、回路要素Ｅ２が高インピーダンス状態であり且つ回路要素Ｅ３が通過状態である場合、クロック信号はノードＮ２からノードＮ３へ伝搬する。回路要素Ｅ２，Ｅ３が同時に通過状態となることはない。回路要素Ｅ２，Ｅ３の双方が高インピーダンス状態である場合、ノードＮ２とノードＮ３との間にクロック信号は伝搬しない。回路要素Ｅ４が通過状態である場合、クロック信号はノードＮ２から第２段の回路部分８４へ伝搬する。回路要素Ｅ４が高インピーダンス状態である場合、クロック信号はノードＮ２から第２段の回路部分８４へ伝搬しない。

[0042] 回路部分８３をクロック信号が伝搬するとき、回路部分８３は、ノードＮ３においてクロック信号を受け、必要に応じて回路要素Ｅ４の出力端からクロック信号を出力することができる。回路要素Ｅ２，Ｅ３の状態を制御することによってクロック信号の伝搬方向を制御することができる。クロックツリーには、複数の回路領域８１を跨ぐ分岐と各回路領域８１内で行われる分岐とが存在するが、この回路部分８３は、複数の回路領域８１を跨ぐ分岐の

うちの初段の分岐を担う。

[0043] 第２段の回路部分８４は、第１段の回路部分８３から供給されたクロック信号を更に分岐するための部分である。回路部分８４は、回路要素Ｅ５（第１の回路要素）及び回路要素Ｅ６（第２の回路要素）を含む。加えて、回路部分８４は、配線Ｗ１（第１の配線部分）及び配線Ｗ２（第２の配線部分）を含む。

[0044] 回路要素Ｅ５，Ｅ６の出力端は互いに接続されている。言い換えると、回路要素Ｅ５，Ｅ６の出力端はノードＮ１に接続されている。配線Ｗ１は、回路要素Ｅ５の入力端を、当該回路領域８１の一方側（図の左側）に隣接する回路領域８１の回路要素Ｅ６の入力端に接続するための配線部分である。配線Ｗ１は、当該回路領域８１の一方側に隣接する回路領域８１の配線Ｗ２に接続される。更に、配線Ｗ１は、回路要素Ｅ４の出力端に接続される。配線Ｗ２は、回路要素Ｅ６の入力端を、当該回路領域８１の他方側（図の右側）に隣接する回路領域８１の回路要素Ｅ５の入力端に接続するための配線部分である。配線Ｗ２は、当該回路領域８１の他方側に隣接する回路領域８１の配線Ｗ１に接続される。

[0045] 回路要素Ｅ５が通過状態であり且つ回路要素Ｅ６が高インピーダンス状態である場合、クロック信号は配線Ｗ１からノードＮ１へ伝搬する。回路要素Ｅ５が高インピーダンス状態であり且つ回路要素Ｅ６が通過状態である場合、クロック信号は配線Ｗ２からノードＮ１へ伝搬する。回路要素Ｅ５，Ｅ６が同時に通過状態となることはない。回路要素Ｅ５，Ｅ６の双方が高インピーダンス状態である場合、ノードＮ１にクロック信号は伝搬しない。

[0046] 回路部分８４をクロック信号が伝搬するとき、回路部分８４は、配線Ｗ１または配線Ｗ２においてクロック信号を受け、ノードＮ１からクロック信号を出力することができる。前述したようにクロックツリーには複数の回路領域８１を跨ぐ分岐と各回路領域８１内で行われる分岐とが存在するが、この回路部分８４は、複数の回路領域８１を跨ぐ分岐のうちの末段の分岐を担う。

[0047] 第３段の回路部分８５は、各回路領域８１内で行われる分岐を担う部分である。回路部分８５は、回路要素Ｅ７及び回路要素Ｅ８を含む。回路要素Ｅ７及び回路要素Ｅ８の入力端は、ノードＮ１に接続されるとともに互いに接続されている。回路要素Ｅ７及び回路要素Ｅ８の出力端は、図６に示されるように、複数の配線８７に分岐した上で、クロックを使用する回路７７に含まれる複数のクロック供給対象それぞれに接続される。クロックを使用する回路７７に含まれる複数のクロック供給対象は、例えば、Ａ／Ｄ変換器アレイ４７の複数のＡ／Ｄ変換器、水平走査回路群４９の複数の水平走査回路、または出力回路群５０の複数の出力回路である。回路要素Ｅ７及び回路要素Ｅ８の出力端は、複数の回路領域８１にわたって共通に設けられた配線に接続され、該配線を介して回路７７の複数のクロック供給対象に接続されてもよい。

[0048] 上記の構成を言い換えると、クロック供給部分８２においては、図６に示されるように、複数の回路領域８１の回路要素Ｅ０が向きを揃えた状態で互いに直列に接続されている。そして、各回路領域８１の回路要素Ｅ１の入力端は、隣り合う回路要素Ｅ０間のノードに接続されている。第１段の回路部分８３においては、複数の回路領域８１の回路要素Ｅ２が向きを揃えた状態で互いに直列に接続されており、複数の回路領域８１の回路要素Ｅ３が、回路要素Ｅ２とは逆向きに、向きを揃えた状態で互いに直列に接続されている。隣り合う回路要素Ｅ２間のノードは、隣り合う回路要素Ｅ３間のノードと共通である。回路要素Ｅ２間のノードは、回路要素Ｅ１の出力端と、回路要素Ｅ４の入力端とに交互に接続されている。第２段の回路部分８４においては、回路要素Ｅ６が回路要素Ｅ５に対して逆向きとされつつ、回路要素Ｅ５，Ｅ６が交互に直列接続されている。回路要素Ｅ４の出力端は、回路要素Ｅ５の入力端と回路要素Ｅ６の入力端との間のノードに接続される。

[0049] 図６に示されるクロック伝搬経路Ｆ１は、上記の構成を有する複数の回路領域８１によって実現可能なクロックツリーの一例を示している。クロック伝搬経路Ｆ１の経路上に存在する回路要素（図中に白色にて示す）は通過状

態とされ、クロック伝搬経路Ｆ１の経路の外に存在する回路要素（図中にハーフトーンにて示す）は高インピーダンス状態とされる。以下、具体的に説明する。

[0050] まず、クロック供給部分８２においては、図６に示される４つの回路領域８１のうち片側２つの回路領域８１Ａ，８１Ｂの回路要素Ｅ０が通過状態とされ、逆側の２つの回路領域８１Ｃ，８１Ｄの回路要素Ｅ０が高インピーダンス状態とされる。回路領域８１Ｂの回路要素Ｅ１が通過状態とされ、他の回路領域８１Ａ，８１Ｃ，８１Ｄの回路要素Ｅ１が高インピーダンス状態とされる。これにより、クロック伝達回路８０の外部から供給されたクロック信号は、回路領域８１Ａ，８１Ｂの回路要素Ｅ０及び回路領域８１Ｂの回路要素Ｅ１を通過して、回路領域８１Ｂに位置するクロックツリーの頂点（クロック入力端）に達する。

[0051] 次に、第１段の回路部分８３においては、回路領域８１Ｂの回路要素Ｅ２が通過状態とされ、他の回路領域８１Ａ，８１Ｃ，８１Ｄの回路要素Ｅ２が高インピーダンス状態とされる。回路領域８１Ｃの回路要素Ｅ３が通過状態とされ、他の回路領域８１Ａ，８１Ｂ，８１Ｄの回路要素Ｅ３が高インピーダンス状態とされる。更に、回路領域８１Ｂ，８１Ｄの回路要素Ｅ４が通過状態とされ、他の回路領域８１Ａ，８１Ｃの回路要素Ｅ４が高インピーダンス状態とされる。これにより、クロック信号は、回路領域８１Ｂの回路要素Ｅ２及びＥ４を通過するクロック信号と、回路領域８１Ｃの回路要素Ｅ３及び回路領域８１Ｄの回路要素Ｅ４を通過するクロック信号とに分岐される。

[0052] 続いて、第２段の回路部分８４においては、回路領域８１Ｂ，８１Ｄの回路要素Ｅ５が通過状態とされ、他の回路領域８１Ａ，８１Ｃの回路要素Ｅ５が高インピーダンス状態とされる。回路領域８１Ａ，８１Ｃの回路要素Ｅ６が導通状態とされ、他の回路領域８１Ｂ，８１Ｄの回路要素Ｅ６が高インピーダンス状態とされる。回路領域８１Ｂの回路要素Ｅ４を通過したクロック信号は、これにより、回路領域８１Ａの回路要素Ｅ６を通過するクロック信号と、回路領域８１Ｂの回路要素Ｅ５を通過するクロック信号とに分岐され

る。回路領域８１Ｄの回路要素Ｅ４を通過したクロック信号は、これにより、回路領域８１Ｃの回路要素Ｅ６を通過するクロック信号と、回路領域８１Ｄの回路要素Ｅ５を通過するクロック信号とに分岐される。

[0053] 続いて、各回路領域８１Ａ～８１Ｄの第３段の回路部分８５において、回路要素Ｅ５またはＥ６を通過したクロック信号が、回路要素Ｅ７を通過するクロック信号と、回路要素Ｅ８を通過するクロック信号とに分岐される。こうして計８個に分岐されたクロック信号は、配線８７を経て、クロックを使用する回路７７に供給される。

[0054] 本実施形態では回路部分８３が一段のみの場合を説明しているが、図８に示されるように、回路部分８３は複数段にわたって設けられてもよい。言い換えると、回路部分８３は、複数の回路領域８１を跨ぐ分岐のうちの初段の分岐に加えて中段の分岐を更に担ってもよい。その場合、２段目以降の各回路部分８３のノードＮ３が、その回路部分８３の前段の回路部分８３の回路要素Ｅ４の出力端に接続される。これにより、クロッツリーの複数の回路領域８１を跨ぐ分岐のうちの中段の分岐を任意の数に増やすことができる。

[0055] 上記の例ではＡ／Ｄ変換器アレイ４７、水平走査回路群４９、及び出力回路群５０の全てが、クロック伝達回路８０を介してクロック信号の供給を受けている。Ａ／Ｄ変換器アレイ４７、水平走査回路群４９、及び出力回路群５０のうち一つ又は二つのみが、クロック伝達回路８０を介してクロック信号の供給を受けてもよい。

[0056] ここで、各回路領域８１の回路要素Ｅ０～Ｅ８を制御する回路について説明する。図９は、各回路領域８１の回路要素Ｅ０，Ｅ１を制御する回路の例を示す回路図である。他の回路要素Ｅ２～Ｅ８の制御回路もこれと同様の構成を有するので図示を省略する。

[0057] 各回路領域８１は、回路要素Ｅ０～Ｅ８それぞれに対応する複数のフリップフロップ８８それぞれを更に有する。回路要素Ｅ０に対応するフリップフロップ８８は、複数の回路領域８１にわたってカスケード接続されている。回路要素Ｅ１に対応するフリップフロップ８８もまた、複数の回路領域８１

にわたってカスケード接続されている。回路要素Ｅ２～Ｅ８それぞれに対応するフリップフロップ８８も同様に、複数の回路領域８１にわたってカスケード接続されている。

[0058] 回路要素Ｅ０に対応する上記のカスケード接続回路の一端には二値信号S_{E0}が入力される。二値信号S_{E0}は、カスケード接続回路に供給されるクロックＣＬＫに同期してオン値またはオフ値をとる信号である。図に示される例では、クロックＣＬＫにおいて４周期のクロックが示されている。最初の周期における二値信号S_{E0}の値に従って、カスケード接続回路の最も後端に位置する回路領域８１Ｄのフリップフロップ８８の出力値が制御され、回路領域８１Ｄの回路要素Ｅ０が制御される。第２番目の周期における二値信号S_{E0}の値に従って、回路領域８１Ｃのフリップフロップ８８の出力値が制御され、回路領域８１Ｃの回路要素Ｅ０が制御される。第３番目の周期における二値信号S_{E0}の値に従って、回路領域８１Ｂのフリップフロップ８８の出力値が制御され、回路領域８１Ｂの回路要素Ｅ０が制御される。そして、第４番目の周期における二値信号S_{E0}の値に従って、回路領域８１Ａのフリップフロップ８８の出力値が制御され、回路領域８１Ａの回路要素Ｅ０が制御される。このように、二値信号S_{E0}の値をクロックＣＬＫの周期毎に任意の値とすることによって、複数の回路領域８１の回路要素Ｅ０を個別に制御することができる。複数の回路領域８１の回路要素Ｅ１もまた、二値信号S_{E1}の値をクロックＣＬＫの周期毎に任意の値とすることによって個別に制御可能である。他の回路要素Ｅ２～Ｅ８についても同様である。

[0059] 図１０は、クロック伝達回路８０の別の制御例を示す図である。この例では、クロック供給部分８２（図７を参照）の回路要素Ｅ０，Ｅ１の制御状態は図６に示された例と同様である。そして、回路領域８１Ａ，８１Ｃ，８１Ｄにおいては、第１段の回路部分８３、第２段の回路部分８４、及び第３段の回路部分８５に含まれる全ての回路要素Ｅ２～Ｅ８が、高インピーダンス状態とされている。そして、回路領域８１Ｂにおいてのみ、回路要素Ｅ２～Ｅ８が、図６に示された制御状態と同様に制御されている。このように、複

数の回路領域８１のうち一部の回路領域８１のみによってクロックツリーを構成してもよい。クロックを使用する回路７７に含まれる複数のクロック供給対象のうち一部のクロック供給対象が使用され、他のクロック供給対象が使用されない場合には、このように一部の回路領域８１に限定してクロックツリーを構成してもよい。これにより、消費電力を節減することができる。

[0060] 図１１は、本実施形態によるクロック伝達回路８０の製造方法を示すフローチャートである。クロック伝達回路８０を製造する際には、先ず、例えば図２に示されるレチクルパターン２１の第１の部分２１１に回路領域８１のための共通の露光パターンを形成し、レジストＲ（図１を参照）に対してこの露光パターンを用いて継ぎ露光を行う（工程Ｓ１）。次に、レジストＲを現像して硬化させ、マスクを形成する（工程Ｓ２）。そして、マスクを介してイオン注入、半導体のエッチング又は金属のリフトオフを行い、回路要素Ｅ０～Ｅ８または配線Ｗ１～Ｗ６の構成要素を作製する（工程Ｓ３）。以上の工程Ｓ１～Ｓ３を、クロック伝達回路８０の作製に必要な回数だけ繰り返す（工程Ｓ４）。その後、ウエハを切断して個片化する（工程Ｓ５）。以上の工程により、互いに共通の回路パターンを有し方向Ｄ１に沿って並ぶ複数の回路領域８１を備えるクロック伝達回路８０を、単一の基板上に作製することができる。

[0061] 以上に説明した本実施形態のクロック伝達回路８０、撮像素子４０、及びクロック伝達回路８０の製造方法によって得られる効果について説明する。図１２は、参考例としてのクロック伝達回路１００を模式的に示す図である。このクロック伝達回路１００では、方向Ｄ１に沿って並ぶ複数の回路領域１１０それぞれが、リピータバッファ１０１～１０４を有する。リピータバッファ１０１及び１０２は、複数の回路領域１１０を跨いで交互に直列接続されている。リピータバッファ１０３及び１０４の入力端は、リピータバッファ１０１とリピータバッファ１０２との間のノードに接続されている。クロック信号は、リピータバッファ１０１及び１０２からなる直列回路の一端から入力され、この直列回路を伝搬しながら、各回路領域１１０においてリ

ピータバッファ１０３及び１０４に分岐される。

[0062] このようなクロック伝達回路１００では、リピータバッファ１０１及び１０２からなる直列回路においてクロック回路が伝搬する距離が長くなるほど、クロック信号に遅延が生じる。したがって、クロック信号が入力される直列回路の一端から遠い回路領域１１０ほどクロック信号が遅延する。図１３は、クロック信号の遅延の影響を説明する図である。図１３の（ａ）部は直列回路の一端に入力されるクロック信号を示す。図１３の（ｂ）部は、直列回路の一端に近い回路領域１１０から出力されるクロック信号によって駆動される回路から出力されるシリアル信号の例を示す。図１３の（ｃ）部は、直列回路の一端から遠い回路領域１１０から出力されるクロック信号によって駆動される回路から出力されるシリアル信号の例を示す。一部の回路領域１１０に遅延が生じると、シリアル信号間に遅延Ｔが生じる。従って、シリアル信号を読み込む回路における信号認識精度が低下するおそれがある。

[0063] そこで、多数の回路にクロック信号を同一のタイミングで入力するためにクロックツリーが用いられる。しかし、大面積の半導体素子を製造する際のフォトリソグラフィ工程において継ぎ露光を行う場合には、同一の回路パターンを有する回路領域が複数並ぶ。各回路領域内においてクロックツリーを形成することは容易だが、複数の回路領域を横断するクロックツリーを形成することは困難である。回路領域毎に回路パターンを異ならせることでクロックツリーを形成することは可能である。しかしながらその場合、多種類の露光パターンを用意する必要があるので、製造コストが増大するとともに製造工程が複雑化する。

[0064] 本実施形態では、複数の回路領域８１それぞれの回路パターンが、高インピーダンス状態と通過状態との間で切り替え可能な回路要素Ｅ０～Ｅ６と、当該回路パターンに隣接する回路領域８１の回路パターンに接続される配線Ｗ１～Ｗ６と、を有する。そして、複数の回路領域８１の回路要素Ｅ０～Ｅ６の状態が、例えば図６に示されるような、回路領域８１毎に定められる所定の状態に制御されることにより、複数の回路領域８１を横断するクロック

ツリーが構成される。これにより、同一の回路パターンを有する複数の回路領域８１を横断するクロックツリーを形成することができる。故に、複数の回路領域８１間におけるクロック信号の遅延を低減できる。加えて、回路領域毎に回路パターンを異ならせる必要が無いので、多種類の露光パターンを用意する必要がない。よって、製造コストを低減するとともに製造工程を簡易化することができる。

[0065] 本実施形態のように、各回路領域８１の回路パターンは、クロックツリーの複数段の分岐をそれぞれ担うように構成された複数段の回路部分８３，８４を含んでもよい。この場合、各段の回路部分８３，８４によって、クロックツリーの各段の分岐を好適に実現することができる。

[0066] 本実施形態のように、回路部分８４は、出力端同士が接続された回路要素Ｅ５，Ｅ６を含んでもよい。そして、配線Ｗ１～Ｗ６は、回路要素Ｅ５の入力端を、当該回路領域８１の一方側に隣接する回路領域８１の回路要素Ｅ６の入力端に接続するための配線Ｗ１と、回路要素Ｅ６の入力端を、当該回路領域８１の他方側に隣接する回路領域８１の回路要素Ｅ５の入力端に接続するための配線Ｗ２と、を含んでもよい。クロック信号が伝搬する回路部分８４は、配線Ｗ１（又は配線Ｗ２でもよい）からクロック信号を入力し、回路要素Ｅ５の出力端と回路要素Ｅ６の出力端との間のノードＮ１からクロック信号を出力することができる。よって、一段の分岐を担う回路部分８４を簡易に実現することができる。

[0067] 本実施形態のように、回路部分８３は、回路要素Ｅ２，Ｅ３，Ｅ４を含んでもよい。そして、回路要素Ｅ２の出力端、回路要素Ｅ３の入力端、及び回路要素Ｅ４の入力端がノードＮ２に接続され、回路要素Ｅ２の入力端と回路要素Ｅ３の出力端とがノードＮ３に接続されてもよい。そして、配線Ｗ１～Ｗ６は、ノードＮ２を、当該回路領域８１の一方側に隣接する回路領域８１のノードＮ３に接続するための配線Ｗ３と、ノードＮ３を、当該回路領域８１の他方側に隣接する回路領域８１のノードＮ２に接続するための配線Ｗ４と、を含んでもよい。クロック信号が伝搬する回路部分８３は、ノードＮ３

（又はノードＮ２でもよい）においてクロック信号を受け、必要に応じて回路要素Ｅ４の出力端からクロック信号を出力することができる。加えて、回路要素Ｅ２，Ｅ３の状態を制御することによってクロック信号の伝搬方向を制御することができる。よって、特に初段または中段の分岐を担う回路部分８３を簡易に実現することができる。

[0068] 本実施形態のように、回路要素Ｅ０～Ｅ６はトライステート型であってもよい。この場合、回路要素Ｅ０～Ｅ６それぞれを単一の機能部分によって簡素に構成することができる。回路要素Ｅ０～Ｅ６の通過状態における出力抵抗値を低く抑えることができるので、回路要素Ｅ０～Ｅ６の抵抗値に起因するクロック信号の遅延を低減することができる。

[0069] 本実施形態の撮像素子４０においては、Ａ／Ｄ変換器アレイ４７、水平走査回路群４９、及び出力回路群５０のうち少なくとも一つが、クロック伝達回路８０と同様の構成を有するクロック伝達回路を介してクロック信号の供給を受ける。この撮像素子４０によれば、複数のデジタル信号間におけるクロック信号の遅延を低減できる。よって、シリアル信号を読み出す際のエラーの頻度を低減できる。

[0070] 本開示によるクロック伝達回路、撮像素子、及びクロック伝達回路の製造方法は、上述した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態では各回路領域８１が９個の回路要素Ｅ０～Ｅ８を有する例を説明したが、各回路領域８１が少なくとも回路部分８４を有していれば、２つの回路領域８１に跨がるクロックツリーを実現できる。言い換えると、各回路領域８１は、少なくとも２つの回路要素Ｅ５，Ｅ６を有していればよい。

[0071] 上記実施形態では回路要素Ｅ０～Ｅ６がトライステート型である場合について例示したが、高インピーダンス状態と通過状態との間で切り替え可能であれば、回路要素Ｅ０～Ｅ６はトライステート型に限られない。例えば、回路要素Ｅ０～Ｅ６は、互いに直列に接続されたリピータバッファ及びスイッチを含んで構成されてもよい。その場合であっても、スイッチを制御するこ

とによって、回路要素Ｅ０～Ｅ６の高インピーダンス状態および通過状態を切り替えることができる。

[0072] 最終段の回路部分８５を構成する回路要素Ｅ７，Ｅ８は、回路７７へ供給されるクロック信号の電位が不定となることを避けるための構成を有することが望ましい。図１４の（ａ）部、（ｂ）部および（ｃ）部は、そのような回路要素の構成例を示す回路図である。

[0073] 図１４の（ａ）部及び（ｂ）部に示される回路要素は、論理回路を含んで構成されている。具体的には、図１４の（ａ）部に示される回路要素は、論理積（ＡＮＤ）素子９１を含んで構成されている。一例では、回路要素はＡＮＤ素子９１のみからなる。ＡＮＤ素子９１の２つの入力端のうち一方の入力端には、前段の回路部分８４からのクロック信号Ｓｃｌｋが入力される。ＡＮＤ素子９１の２つの入力端のうち他方の入力端には、カスケード接続されたフリップフロップ８８（図９を参照）からの制御信号Ｓｃｔｒｌが入力される。ＡＮＤ素子９１は、クロック信号Ｓｃｌｋと制御信号Ｓｃｔｒｌとの論理積を回路７７へ出力する。図１４の（ｂ）部に示される回路要素は、論理和（ＯＲ）素子９２及び否定（ＮＯＴ）素子９３を含んで構成されている。一例では、回路要素はＯＲ素子９２及びＮＯＴ素子９３のみからなる。ＯＲ素子９２の２つの入力端のうち一方の入力端には、前段の回路部分８４からのクロック信号Ｓｃｌｋが入力される。ＯＲ素子９２の２つの入力端のうち他方の入力端は、ＮＯＴ素子９３の出力端に接続されている。この他方の入力端には、カスケード接続されたフリップフロップ８８（図９を参照）からの制御信号Ｓｃｔｒｌが、ＮＯＴ素子９３を介して入力される。ＯＲ素子９２は、クロック信号Ｓｃｌｋと、制御信号Ｓｃｔｒｌの論理が反転された信号との論理和を回路７７へ出力する。

[0074] 図１４の（ｃ）部に示される回路要素は、トライステート型の回路要素９４と、プルアップ抵抗９５とを含んで構成される。一例では、回路要素はトライステート型の回路要素９４及びプルアップ抵抗９５のみからなる。プルアップ抵抗９５は、回路要素９４の出力端と電源電圧Ｖｄｄとの間に接続さ

れている。この回路要素は、プルアップ抵抗９５に代えて、或いはプルアップ抵抗９５とともに、回路要素９４の出力端と基準電位（グランド電位）との間に接続されたプルダウン抵抗を有してもよい。図１４の（ａ）部、（ｂ）部および（ｃ）部に示されたいずれかの構成により、回路７７へのクロック信号のレベルが不定になることを抑制して、回路７７の誤動作を防止することができる。

[0075] 上記実施形態ではクロック伝達回路８０を撮像素子に適用した例を示しているが、クロック伝達回路８０は、撮像素子に限らず様々な半導体素子に適用可能である。

[0076] 上記実施形態では共通の回路パターンを有する複数の回路領域８１によってクロックツリーが完成されている。必ずしも共通の回路パターンを有する複数の回路領域８１のみによってクロックツリーが完成されていなくてもよい。例えば、複数の回路領域８１と並んでおり複数の回路領域８１とは回路パターンが異なる別の回路領域がクロックツリーの一部を構成してもよい。

[0077] 好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更に権利を請求する。

符号の説明

[0078] １…露光装置、１０…光源、２０…フォトマスク、２１…レチクルパターン、３０…レンズ、４０…撮像素子、４１～４３…回路領域、４４…回路領域群、４５…画素アレイ、４６…アンプアレイ、４７…Ａ／Ｄ変換器アレイ、４８…メモリアレイ、４９…水平走査回路群、５０…出力回路群、６２…基板、７０…クロックツリー、７６…配線、７７…クロックを使用する回路、７８…リピータバッファ、８０，８０Ａ，８０Ｂ…クロック伝達回路、８１，８１Ａ～８１Ｄ…回路領域、８２…クロック供給部分、８３～８５…回路部分、８７…配線、８８…フリップフロップ、９１…ＡＮＤ素子、９２…

ＯＲ素子、９３…ＮＯＴ素子、９４…回路要素、９５…プルアップ抵抗、１００…クロック伝達回路、１０１～１０４…リピータバッファ、１１０…回路領域、２１１…第１の部分、２１２…第２の部分、２１３…第３の部分、４２１…タイミング制御回路、４３１…バイアス電圧発生回路、４５１，４６１，４７１，４８１，４９１，５０１…領域、Ｃ１…初段、Ｃ２…第２段、Ｃ３…第３段（最終段）、ＣＬＫ…クロック、Ｄ１，Ｄ２…方向、Ｄｏｕｔ…出力データ、Ｅ０～Ｅ８…回路要素、Ｆ１…クロック伝搬経路、Ｌ…光、Ｎ１～Ｎ３…ノード、Ｒ…レジスト、S_{E0}，S_{E1}…二値信号、Ｓｃｌｋ…クロック信号、Ｓｃｔｒｌ…制御信号、Ｗ…ウエハ、Ｗ１～Ｗ６…配線。

請求の範囲

[請求項1] 単一の基板上に設けられたクロックツリーを含むクロック伝達回路であって、

互いに共通の回路パターンを有し一方向に並ぶ複数の回路領域を備え、

前記複数の回路領域それぞれの前記回路パターンは、

高インピーダンス状態と通過状態との間で切り替え可能な少なくとも二つの回路要素と、

前記複数の回路領域のうち当該回路領域に隣接する前記回路領域の前記回路パターンに接続される配線と、

を有し、

前記複数の回路領域の前記少なくとも二つの回路要素の状態が前記回路領域毎に定められる所定の状態に制御されることにより、前記複数の回路領域を横断する前記クロックツリーの少なくとも一部が構成される、クロック伝達回路。

[請求項2] 前記回路パターンは、前記クロックツリーの複数段の分岐をそれぞれ担うように構成された複数段の回路部分を含む、請求項１に記載のクロック伝達回路。

[請求項3] 前記複数段の回路部分のうち一つの前記回路部分は、

前記少なくとも二つの回路要素に含まれ出力端同士が接続された第１及び第２の回路要素を含み、

前記配線は、

前記第１の回路要素の入力端を、前記複数の回路領域のうち当該回路領域の一方側に隣接する前記回路領域の前記第２の回路要素の入力端に接続するための第１の配線部分と、

前記第２の回路要素の入力端を、前記複数の回路領域のうち当該回路領域の他方側に隣接する前記回路領域の前記第１の回路要素の入力端に接続するための第２の配線部分と、

を含む、請求項２に記載のクロック伝達回路。

[請求項4] 前記複数段の回路部分のうち少なくとも一つの前記回路部分は、

前記少なくとも二つの回路要素に含まれる第３、第４及び第５の回路要素を含み、

前記第３の回路要素の出力端、前記第４の回路要素の入力端、及び前記第５の回路要素の入力端が第２のノードに接続され、

前記第３の回路要素の入力端と前記第４の回路要素の出力端とが第３のノードに接続され、

前記配線は、

前記第２のノードを、前記複数の回路領域のうち当該回路領域の一方側に隣接する前記回路領域の前記第３のノードに接続するための第３の配線部分と、

前記第３のノードを、前記複数の回路領域のうち当該回路領域の他方側に隣接する前記回路領域の前記第２のノードに接続するための第４の配線部分と、

を含む、請求項２又は３に記載のクロック伝達回路。

[請求項5] 前記少なくとも二つの回路要素はトライステート型である、請求項１～４のいずれか１項に記載のクロック伝達回路。

[請求項6] 前記少なくとも二つの回路要素のうち、少なくとも最終段の前記回路部分を構成する前記回路要素がトライステート型であって、当該回路要素の出力端はプルアップ抵抗およびプルダウン抵抗のうち一方又は双方に接続されている、請求項２～４のいずれか１項に記載のクロック伝達回路。

[請求項7] 前記少なくとも二つの回路要素のうち、少なくとも最終段の前記回路部分を構成する前記回路要素が論理回路を含んで構成される、請求項２～４のいずれか１項に記載のクロック伝達回路。

[請求項8] 一次元又は二次元に配列された複数の画素を含む画素アレイと、

前記複数の画素それぞれから出力される複数のアナログ信号それぞ

れをデジタル信号に変換する複数のアナログ／デジタル変換器を含むアナログ／デジタル変換器アレイと、

前記アナログ／デジタル変換器アレイから出力される複数のデジタル信号それぞれを格納する複数の格納領域を有するメモリアレイと、

前記メモリアレイに格納された前記複数のデジタル信号をシリアル信号として順に出力させる水平走査回路と、

を備え、

前記アナログ／デジタル変換器アレイ及び前記水平走査回路のうち少なくとも一方は、請求項１～７のいずれか１項に記載のクロック伝達回路を介してクロック信号の供給を受ける、撮像素子。

[請求項9] 単一の基板上に設けられたクロックツリーを含むクロック伝達回路を製造する方法であって、

共通の露光パターンを用いて継ぎ露光を行うことにより、互いに共通の回路パターンを有し一方向に並ぶ複数の回路領域を形成する工程を含み、

前記複数の回路領域それぞれの前記回路パターンは、

高インピーダンス状態と通過状態との間で切り替え可能な少なくとも二つの回路要素と、

前記複数の回路領域のうち当該回路領域に隣接する前記回路領域の前記回路パターンに接続される配線と、

を有し、

前記複数の回路領域の前記少なくとも二つの回路要素の状態が、前記回路領域毎に定められる所定の状態に制御されることにより、前記複数の回路領域を横断する前記クロックツリーの少なくとも一部が構成される、クロック伝達回路の製造方法。

[請求項10] 前記回路パターンは、前記クロックツリーの複数段の分岐をそれぞれ担うように構成された複数段の回路部分を含む、請求項９に記載のクロック伝達回路の製造方法。

[請求項11] 前記複数段の回路部分のうち一つの前記回路部分は、

前記少なくとも二つの回路要素に含まれ出力端同士が接続された第１及び第２の回路要素を含み、

前記配線は、

前記第１の回路要素の入力端を、前記複数の回路領域のうち当該回路領域の一方側に隣接する前記回路領域の前記第２の回路要素の入力端に接続するための第１の配線部分と、

前記第２の回路要素の入力端を、前記複数の回路領域のうち当該回路領域の他方側に隣接する前記回路領域の前記第１の回路要素の入力端に接続するための第２の配線部分と、

を含む、請求項１０に記載のクロック伝達回路の製造方法。

[請求項12] 前記複数段の回路部分のうち少なくとも一つの前記回路部分は、

前記少なくとも二つの回路要素に含まれる第３、第４及び第５の回路要素を含み、

前記第３の回路要素の出力端、前記第４の回路要素の入力端、及び前記第５の回路要素の入力端が第２のノードに接続され、

前記第３の回路要素の入力端と前記第４の回路要素の出力端とが第３のノードに接続され、

前記配線は、

前記第２のノードを、前記複数の回路領域のうち当該回路領域の一方側に隣接する前記回路領域の前記第３のノードに接続するための第３の配線部分と、

前記第３のノードを、前記複数の回路領域のうち当該回路領域の他方側に隣接する前記回路領域の前記第２のノードに接続するための第４の配線部分と、

を含む、請求項１０又は１１に記載のクロック伝達回路の製造方法。

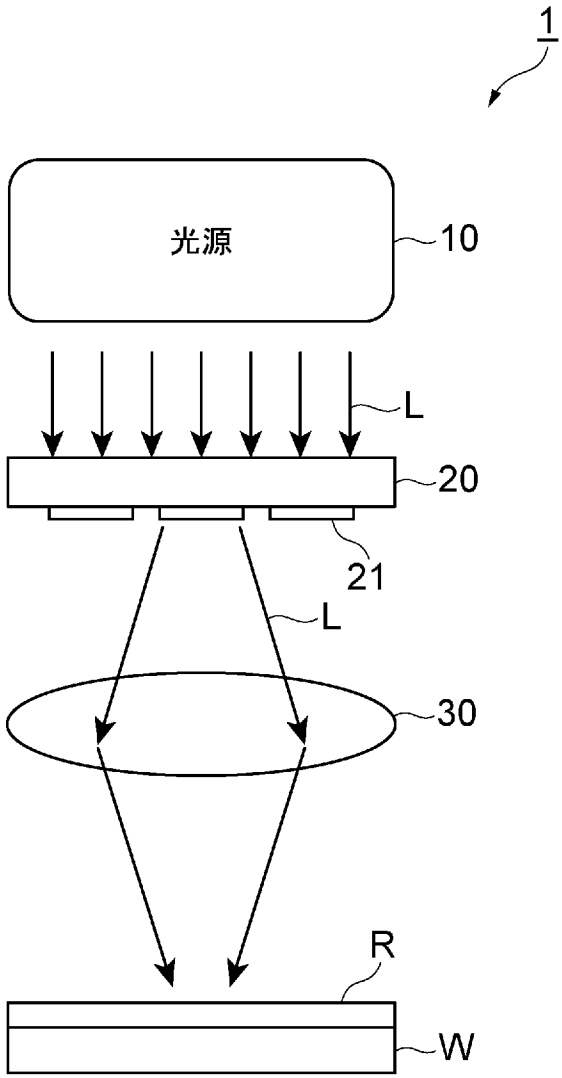
[請求項13] 前記少なくとも二つの回路要素はトライステート型である、請求項

９～１２のいずれか１項に記載のクロック伝達回路の製造方法。

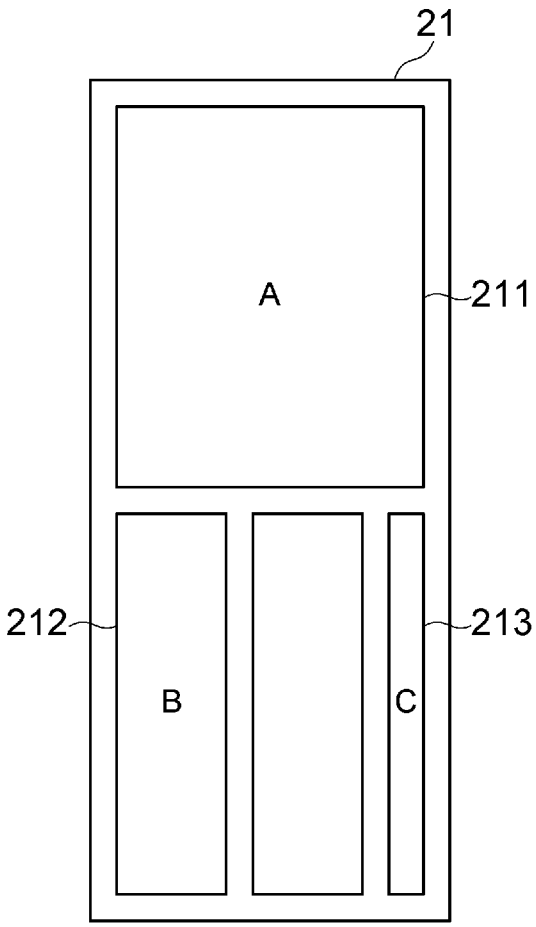
[請求項14] 前記少なくとも二つの回路要素のうち、少なくとも最終段の前記回路部分を構成する前記回路要素がトライステート型であって、当該回路要素の出力端はプルアップ抵抗およびプルダウン抵抗のうち一方又は双方に接続されている、請求項１０～１２のいずれか１項に記載のクロック伝達回路の製造方法。

[請求項15] 前記少なくとも二つの回路要素のうち、少なくとも最終段の前記回路部分を構成する前記回路要素が論理回路を含んで構成される、請求項１０～１２のいずれか１項に記載のクロック伝達回路の製造方法。

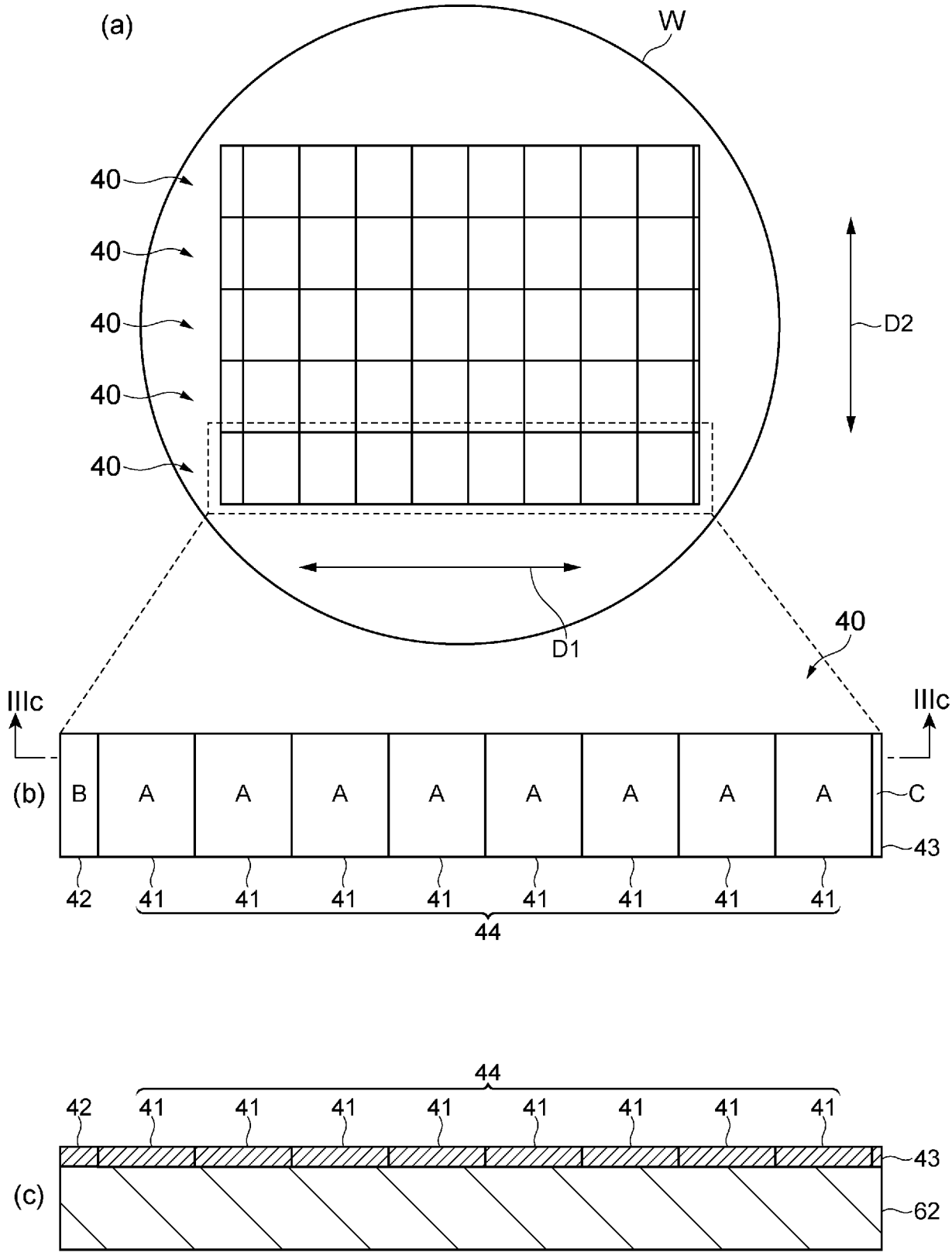
[図1]



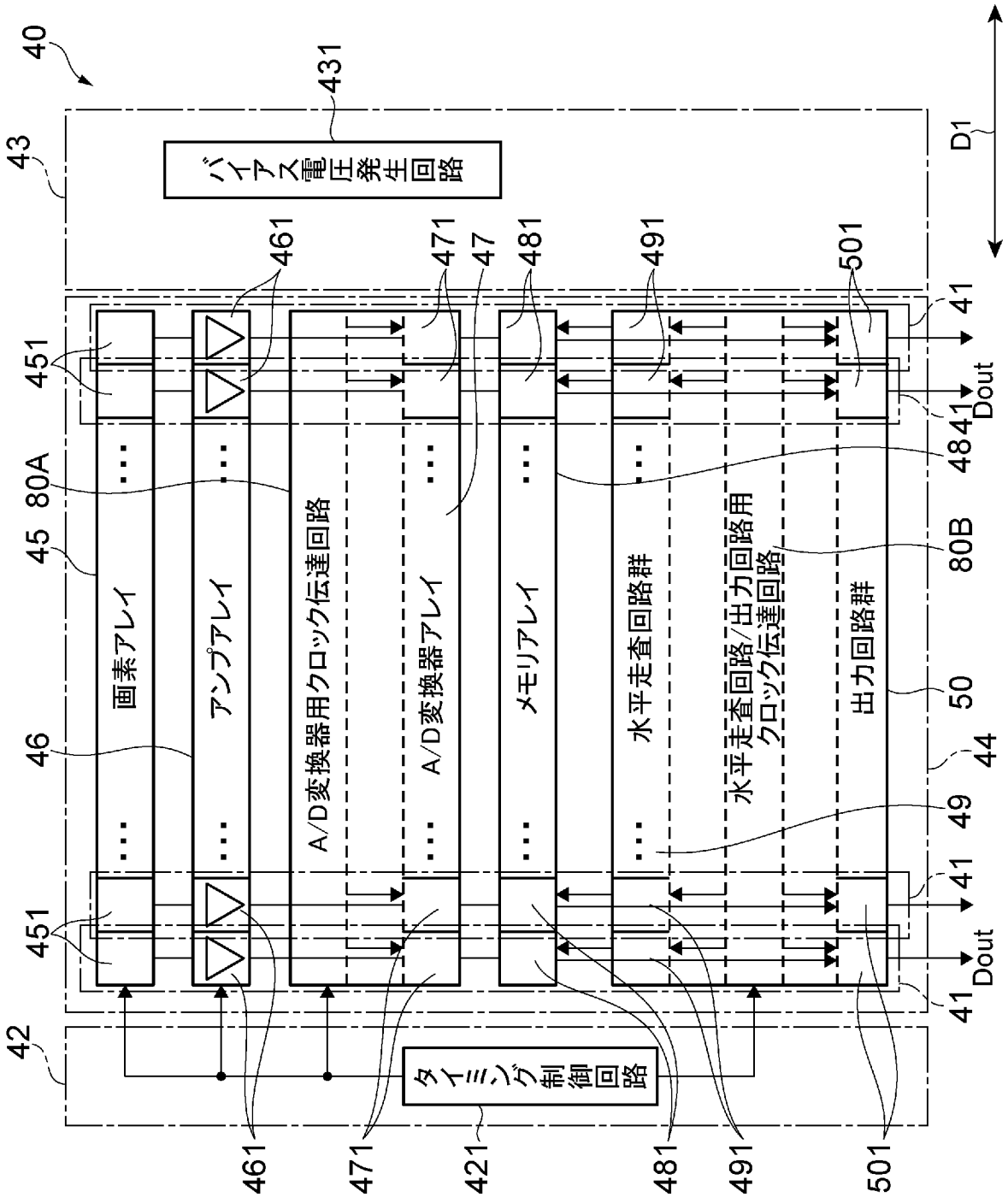
[図2]



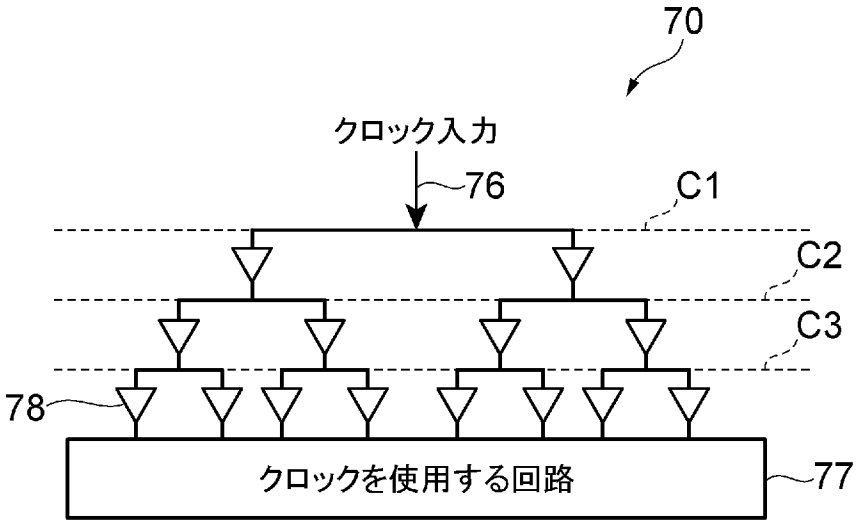
[図3]


(a)
W
40
40
40
40
40
D2
D1
40
IIIc
IIIc
(b)
B
A
A
A
A
A
A
A
A
C
43
42
41
41
41
41
41
41
41
41
44
44
42
41
41
41
41
41
41
41
41
43
(c)
62

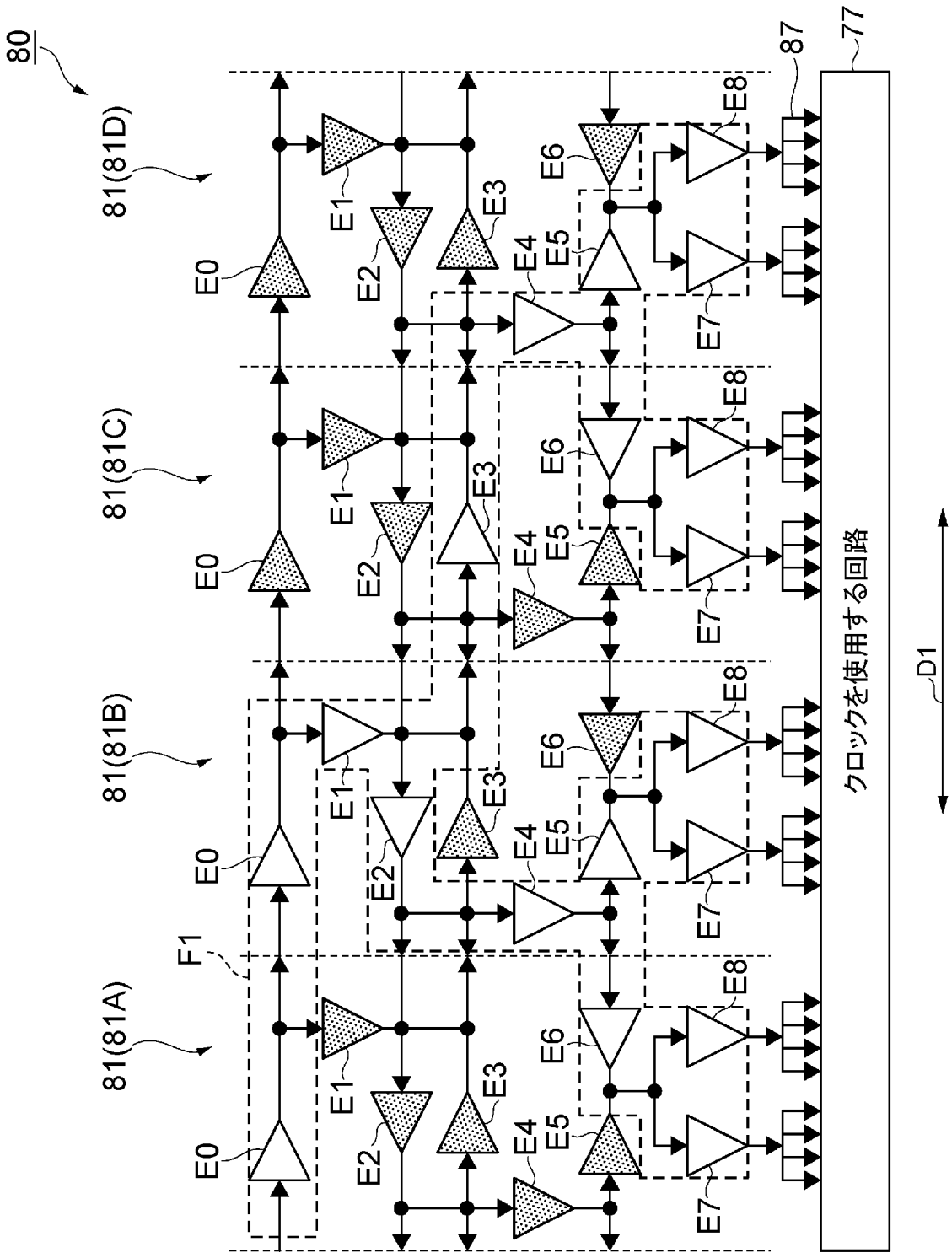
[図4]


40
431
バイアス電圧発生回路
43
D1
461
471
47
481
491
501
41
451
Dout
48
80A
45
80B
画素アレイ
アンプアレイ
A/D変換器用クロック伝達回路
A/D変換器アレイ
メモリアレイ
水平走査回路群
水平走査回路/出力回路用クロック伝達回路
出力回路群
50
46
44
49
42
タイミング制御回路
421

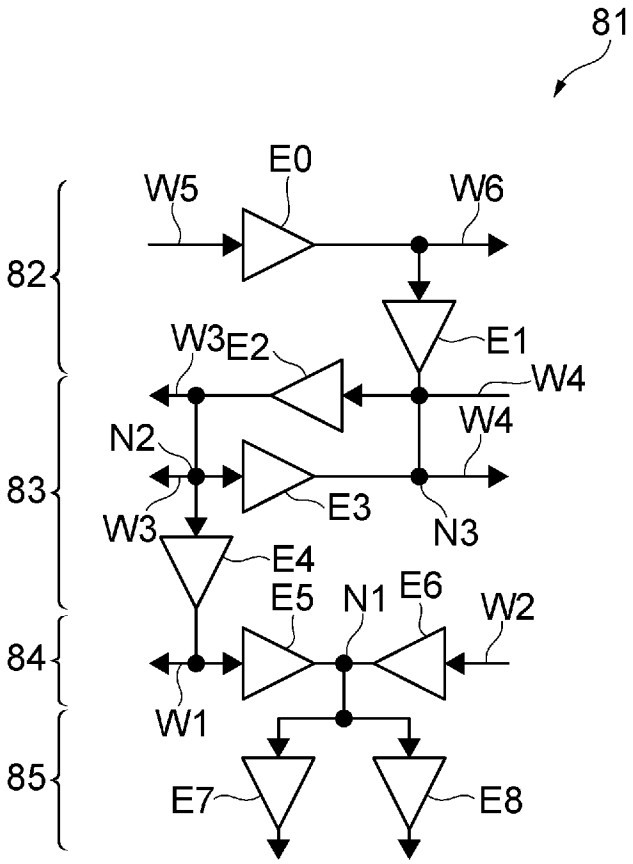
[図5]



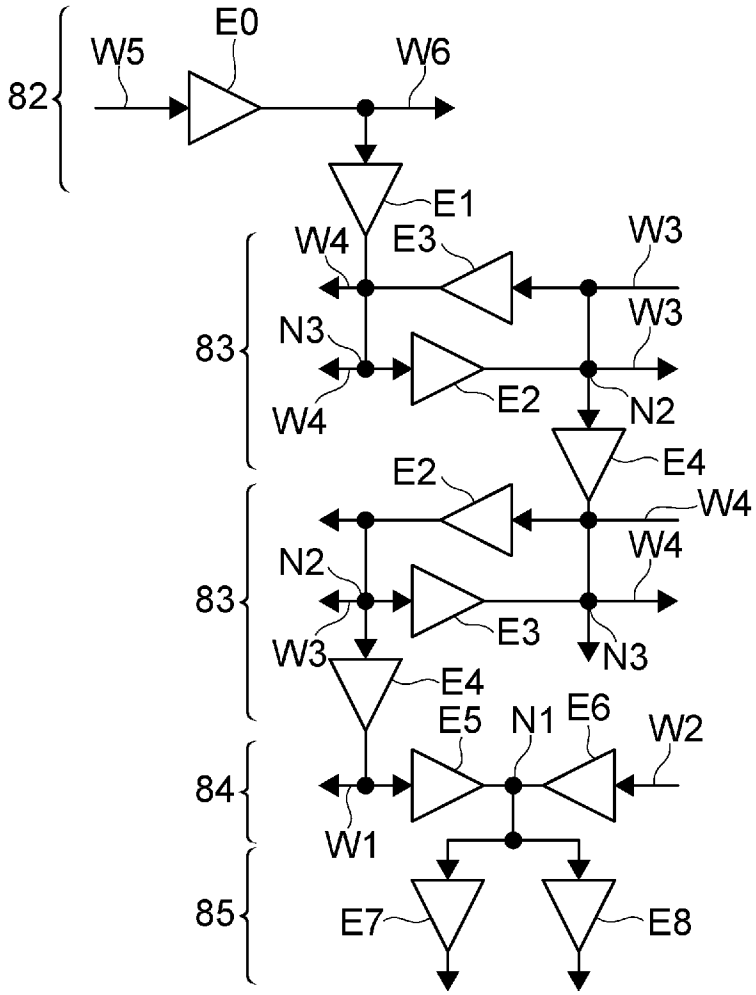
[図6]


80
81(81D)
81(81C)
81(81B)
81(81A)
E0
E1
E2
E3
E4
E5
E6
E7
E8
F1
87
77
クロックを使用する回路
D1

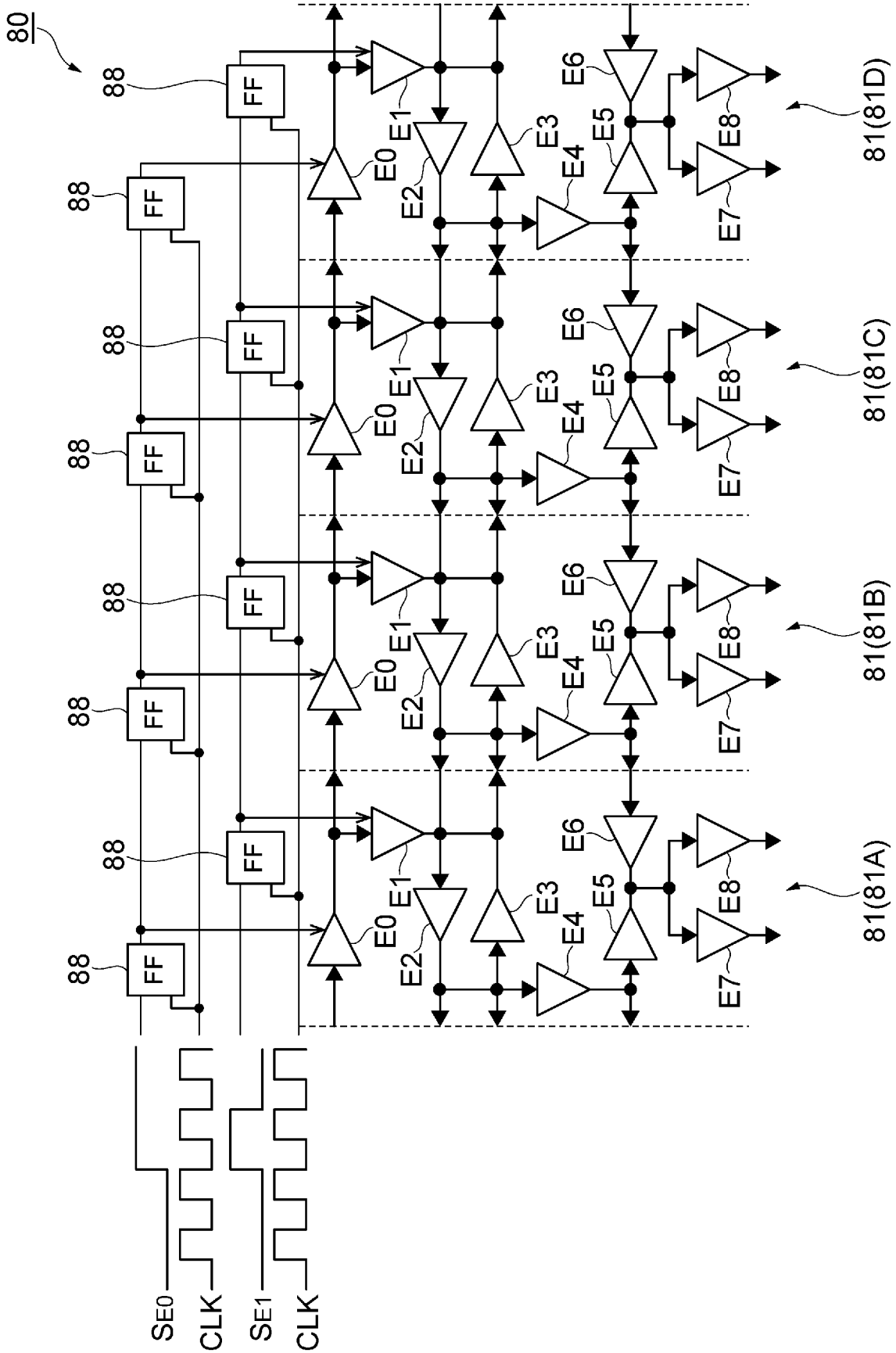
[図7]


81
E0
W5
W6
82
W3
E2
E1
W4
W4
N2
83
E3
W3
N3
E4
E5
N1
E6
W2
84
W1
85
E7
E8

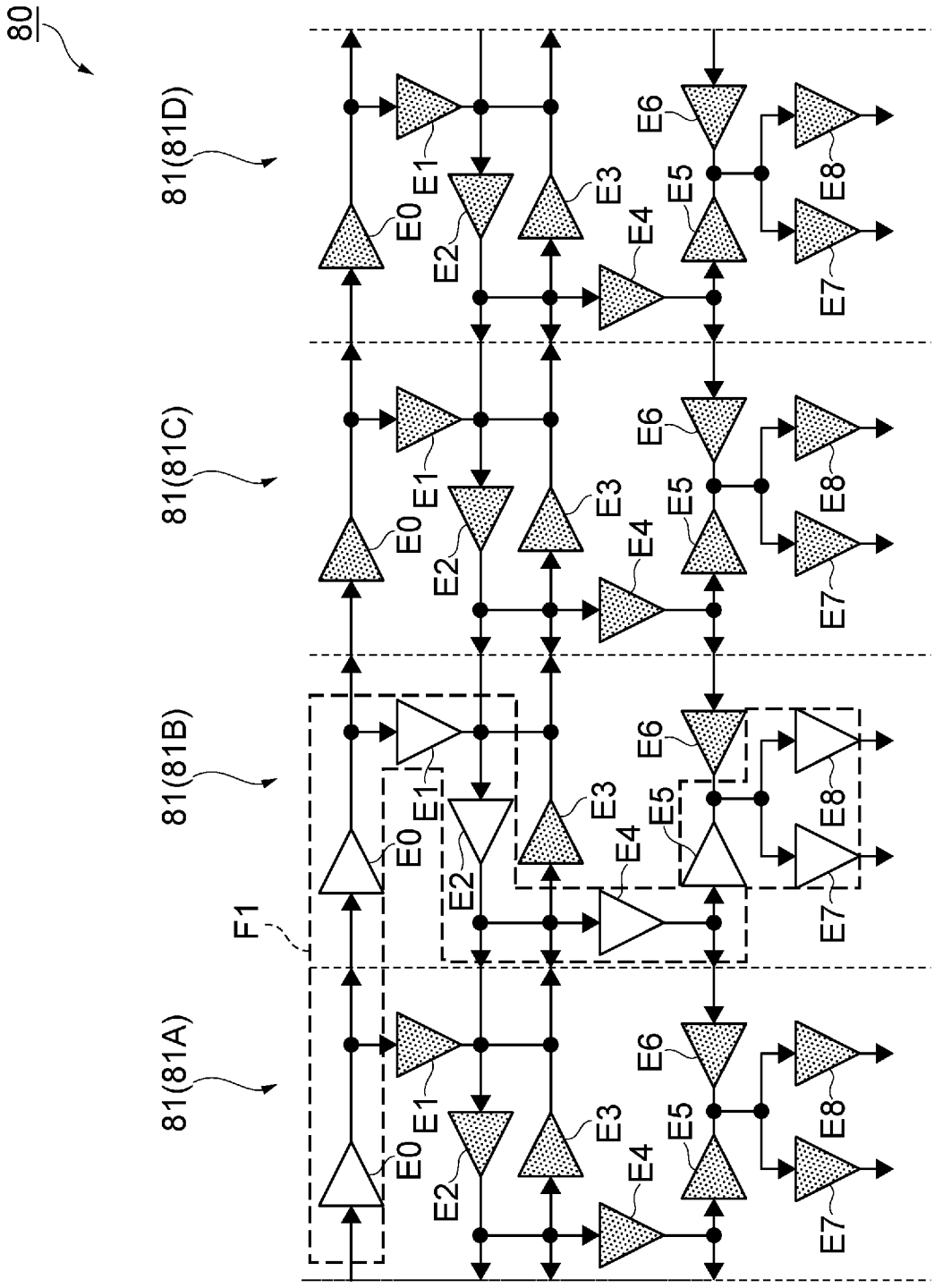
[図8]


82
W5
E0
W6
E1
W4
E3
W3
W3
83
N3
E2
W4
N2
E4
E2
W4
W4
N2
83
E3
W3
N3
E4
E5
N1
E6
W2
84
W1
85
E7
E8

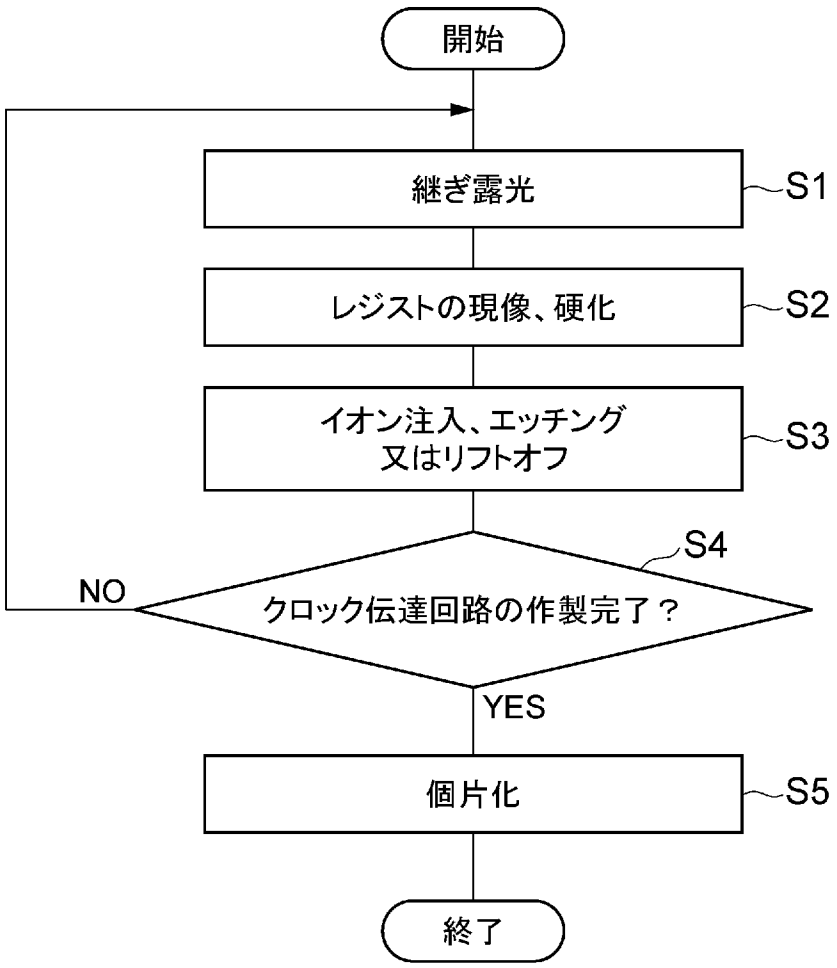
[図9]


80
88
FF
E0
E1
E2
E3
E4
E5
E6
E7
E8
81(81D)
81(81C)
81(81B)
81(81A)
SE0
CLK
SE1
CLK

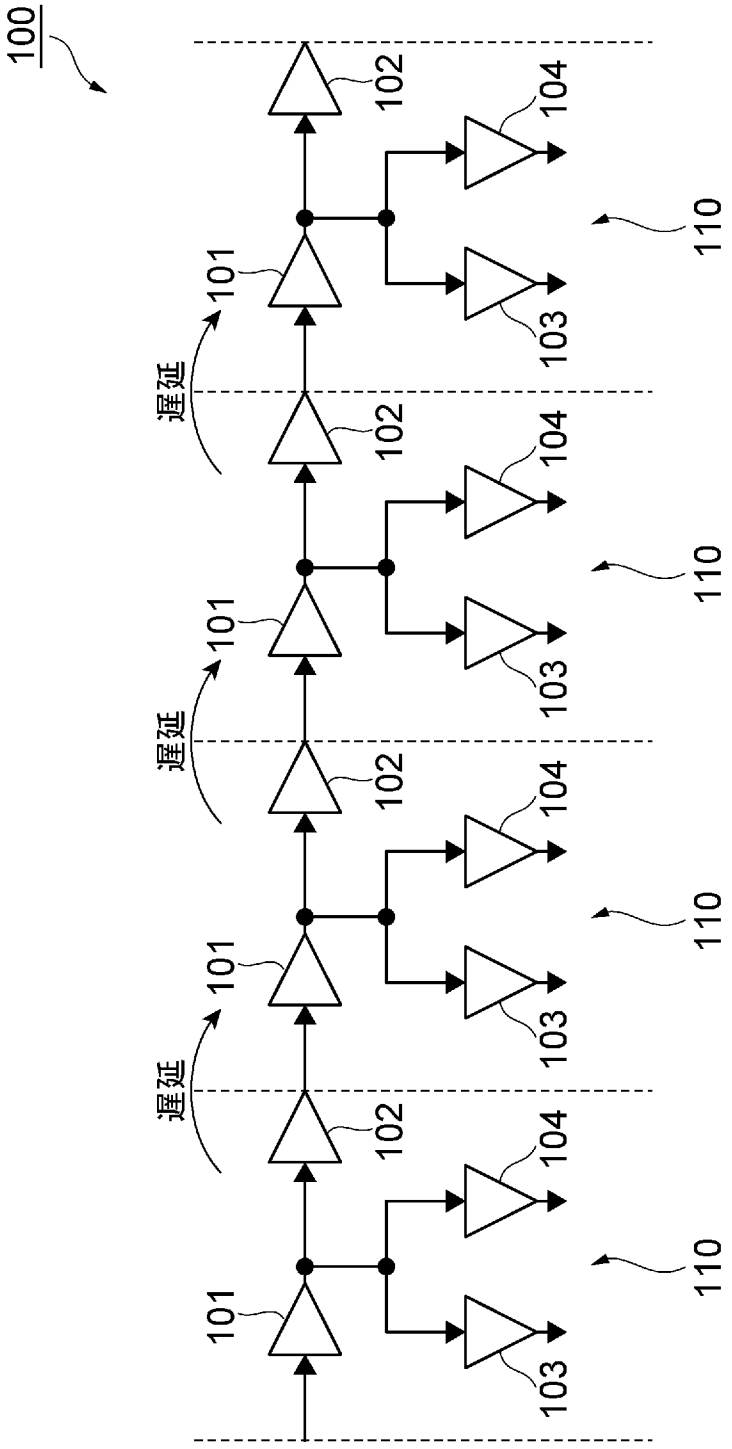
[図10]



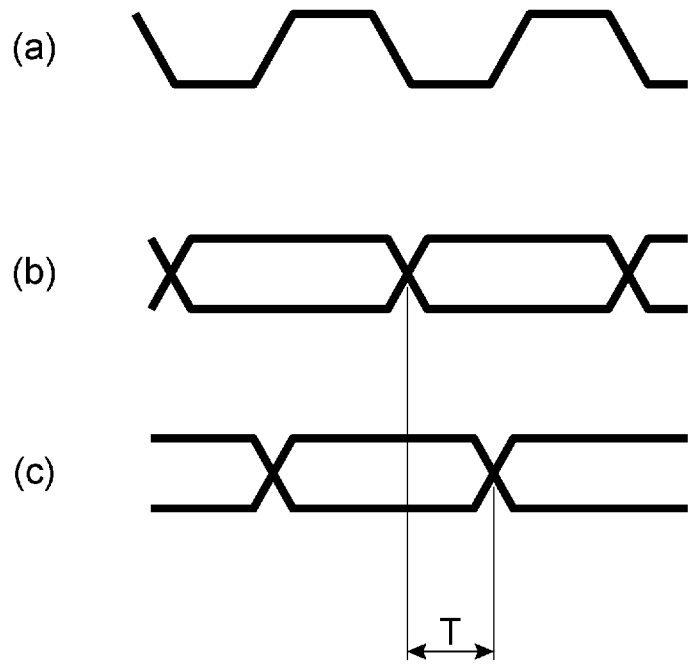
[図11]


開始
継ぎ露光
S1
レジストの現像、硬化
S2
イオン注入、エッチング
又はリフトオフ
S3
S4
クロック伝達回路の作製完了？
NO
YES
個片化
S5
終了

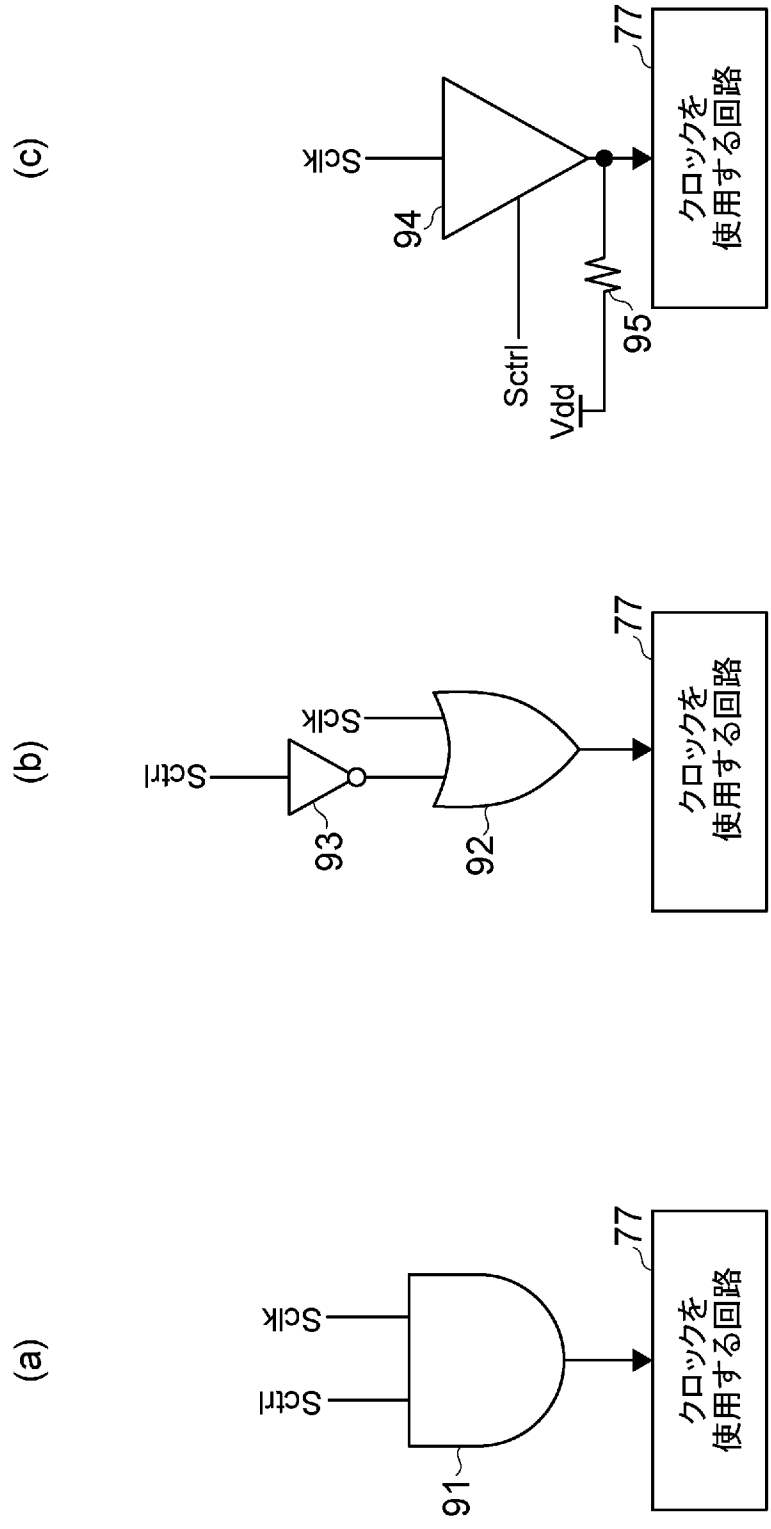
[図12]



[図13]



[図14]


(a)
Sclk
Sctrl
91
77
クロックを
使用する回路
(b)
Sctrl
Sclk
93
92
77
クロックを
使用する回路
(c)
Sclk
94
Sctrl
Vdd
95
77
クロックを
使用する回路

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/036575

A. CLASSIFICATION OF SUBJECT MATTER

H03K 5/15(2006.01)i; ***H04N 25/76***(2023.01)i; ***H04N 25/779***(2023.01)i
FI: H03K5/15 B; H04N5/374; H04N5/376 500

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/15; H04N5/374; H04N5/376

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-243939 A (NEC CORP.) 08 September 2000 (2000-09-08) entire text, all drawings	1-15
A	JP 2007-60036 A (MICRON TECHNOLOGY, INC.) 08 March 2007 (2007-03-08) entire text, all drawings	1-15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 December 2022	**13 December 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/036575

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2000-243939 A	08 September 2000	US 6510549 B1 entire text, all drawings	
JP 2007-60036 A	08 March 2007	US 2007/0044054 A1 entire text, all drawings	

国際調査報告

国際出願番号
PCT/JP2022/036575

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03K 5/15(2006.01)i; H04N 25/76(2023.01)i; H04N 25/779(2023.01)i
FI: H03K5/15 B; H04N5/374; H04N5/376 500

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03K5/15; H04N5/374; H04N5/376

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2000-243939 A (日本電気株式会社) 08.09.2000 (2000-09-08) 全文全図	1-15
A	JP 2007-60036 A (マイクロン　テクノロジー　インコーポレイテッド) 08.03.2007 (2007-03-08) 全文全図	1-15

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
01.12.2022	13.12.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
工藤　一光 5W 9274
電話番号 03-3581-1101 内線 3576

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/036575

引用文献	公表日	パテントファミリー文献	公表日
JP 2000-243939 A	08.09.2000	US 6510549 B1 全文全図	
JP 2007-60036 A	08.03.2007	US 2007/0044054 A1 全文全図	