(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0024653
(43) 공개일자 2014년03월03일

(51) 국제특허분류(Int. Cl.)
H01L 21/20 (2006.01) *H01L 21/02* (2006.01)
(21) 출원번호 10-2012-0090916
(22) 출원일자 2012년08월20일
심사청구일자 2012년08월20일

(71) 출원인
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
이원준
서울 마포구 독막로42길 2, 108동 304호 (염리동, 마포자이)
서승호
경기 남양주시 와부읍 덕소로 125, 101동 604호 (덕소성일우리미아파트)
(74) 대리인
특허법인이상

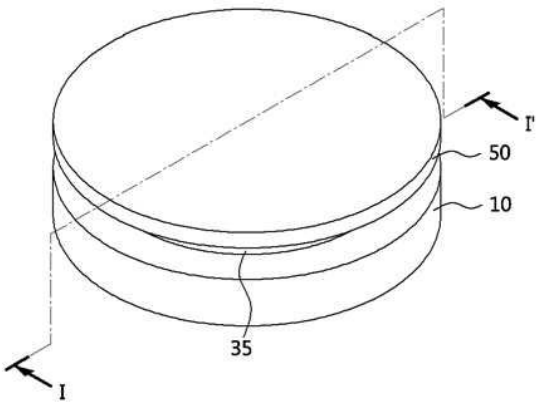
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 **서로 다른 젖음성을 갖는 영역들을 구비하는 캐리어 기판, 이를 사용한 소자 기판 처리 방법**

(57) 요 약

서로 다른 젖음성을 갖는 영역들을 구비하는 캐리어 기판, 이를 사용한 소자 기판 처리 방법을 제공한다. 상기 소자 기판 처리 방법에서는 먼저, 전면(front surface) 내에 저 젖음성 영역 및 상기 저 젖음성 영역에 비해 높은 젖음성을 갖는 고 젖음성 영역을 구비하는 캐리어 기판을 제공한다. 소자 기판을 제공한다. 상기 캐리어 기판의 전면 또는 상기 소자 기판의 전면 상에 접착층을 제공한다. 상기 캐리어 기판의 전면과 상기 소자 기판의 전면을 접착층을 사용하여 접착시킨다. 상기 소자 기판의 배면을 처리한다. 상기 고 젖음성 영역 상의 접착층을 적어도 일부 제거한다. 상기 처리된 소자 기판으로부터 상기 캐리어 기판을 탈착한다.

대 표 도 - 도1e



이 발명을 지원한 국가연구개발사업

과제고유번호	20110673
부처명	지식경제부
연구사업명	산업융합원천기술개발사업
연구과제명	300㎜ 대응 대구경 다층구조의 복합 패키지 공정 및 장비 기술개발
기 여 율	1/1
주관기관	한국전자기계융합기술원
연구기간	2011.12.01 ~ 2013.03.31

특허청구의 범위

청구항 1

전면(front surface) 내에 저 젖음성 영역 및 상기 저 젖음성 영역에 비해 높은 젖음성을 갖는 고 젖음성 영역을 구비하는 캐리어 기판을 제공하는 단계;

소자 기판을 제공하는 단계;

상기 캐리어 기판의 전면 또는 상기 소자 기판의 전면 상에 접착층을 제공하는 단계;

상기 캐리어 기판의 전면과 상기 소자 기판의 전면을 접착층을 사용하여 접착시키는 단계;

상기 소자 기판의 배면을 처리하는 단계;

상기 고 젖음성 영역 상의 접착층을 적어도 일부 제거하는 단계; 및

상기 처리된 소자 기판으로부터 상기 캐리어 기판을 탈착하는 단계를 포함하는 소자 기판 제조 방법.

청구항 2

제1항에 있어서,

상기 저 젖음성 영역은 나노 사이즈의 패턴을 구비하는 소자 기판 제조 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 고 젖음성 영역은 마이크로 사이즈의 패턴을 구비하는 소자 기판 제조 방법.

청구항 4

제1항에 있어서,

상기 접착층을 제공하기 전에,

상기 캐리어 기판의 저 젖음성 영역 상에 상기 접착층과 다른 친화력을 갖는 비친화성 물질층을 형성하는 단계를 더 포함하는 소자 기판 제조 방법.

청구항 5

제4항에 있어서,

상기 접착층은 소수성을 갖고, 상기 비친화성 물질층은 친수성 물질층인 소자 기판 제조 방법.

청구항 6

제5항에 있어서,

상기 친수성 물질층은 SiO_2인 소자 기판 제조방법.

청구항 7

제1항에 있어서,

상기 캐리어 기판의 고 젖음성 영역 상에 상기 접착층과 같은 친화력을 갖는 친화성 물질층을 형성하는 단계를 더 포함하는 소자 기판 제조 방법.

청구항 8

제7항에 있어서,

상기 접착층은 소수성을 갖고, 상기 친화성 물질층은 소수성 물질층인 소자 기판 제조 방법.

청구항 9

제8항에 있어서,

상기 소수성 물질층은 PPFC(Plasma Polymerized Fluorocarbon)층, 아연산화물(ZnO)층, 실리콘(silicone)층, 불화 폴리머층, 폴리실라잔(polysilazane)층, 또는 지방족 탄화수소층인 소자 기판 제조방법.

청구항 10

제1항에 있어서,

상기 고 젖음성 영역은 상기 캐리어 기판의 전면의 최외곽부에 배치된 소자 기판 제조방법.

청구항 11

제1항에 있어서,

상기 저 젖음성 영역은 상기 캐리어 기판의 전면의 중앙부에 배치되고,

상기 고 젖음성 영역은 상기 저 젖음성 영역을 둘러싸는 소자 기판 제조방법.

청구항 12

제11항에 있어서,

상기 저 젖음성 영역은 중앙부로부터 외곽부로 연장된 직선 영역들을 더 포함하는 형상, 나선 형상, 또는 다수개의 서로 분리된 영역들을 포함하는 형상인 소자 기판 제조방법.

청구항 13

제11항에 있어서,

상기 저 젖음성 영역과 상기 고 젖음성 영역은 반복하여 배치되는 소자 기판 제조방법.

청구항 14

전면(front surface) 내에 저 젖음성 영역; 및

상기 저 젖음성 영역에 비해 높은 젖음성을 갖는 고 젖음성 영역을 포함하는 캐리어 기판.

청구항 15

제14항에 있어서,

상기 저 젖음성 영역은 나노 사이즈의 패턴을 구비하는 캐리어 기판.

청구항 16

제14항 또는 제15항에 있어서,

상기 고 젖음성 영역은 마이크로 사이즈의 패턴을 구비하는 캐리어 기판.

청구항 17

제14항에 있어서,

상기 저 젖음성 영역 상에 배치된 친수성 물질층을 더 포함하는 캐리어 기판.

청구항 18

제14항에 있어서,

상기 고 젖음성 영역은 상기 캐리어 기판의 전면의 최외곽부에 배치된 캐리어 기판.

청구항 19

제14항에 있어서,

상기 저 젖음성 영역은 상기 캐리어 기판의 상기 전면의 중앙부에 배치되고,

상기 고 젖음성 영역은 상기 저 젖음성 영역을 둘러싸는 캐리어 기판.

청구항 20

제19항에 있어서,

상기 저 젖음성 영역은 중앙부로부터 외곽부로 연장된 직선 영역들을 더 포함하는 형상, 나선 형상, 또는 다수개의 서로 분리된 영역들을 포함하는 형상인 캐리어 기판.

청구항 21

제20항에 있어서,

상기 저 젖음성 영역과 상기 고 젖음성 영역은 반복하여 배치되는 캐리어 기판.

청구항 22

제14항에 있어서,

상기 고 젖음성 영역 상에 배치된 소수성 물질층을 더 포함하는 캐리어 기판.

명 세 서

기 술 분 야

[0001] 본 발명은 기판 및 반도체 소자 제조방법에 관한 것으로, 더욱 자세하게는 캐리어 기판 및 이를 사용한 반도체 소자 기판 처리 방법에 관한 것이다.

배 경 기 술

[0002] 관통전극(TSV, Trough Silicon Via) 기술은 전자부품의 소형화, 고성능화, 생산성 향상을 이룰 수 있는 기술로서 최근 연구개발이 활발히 진행되고 있다. TSV 기술은 별개의 부품, 즉 프로세서나 메모리, 또는 두 개의 개별 칩에 있는 코어들을 수천 개의 미세 와이어로 연결하여 데이터를 송수신하도록 하는 기술이다. 현재 칩의 데이터 전송은 대개 와이어로 구현된 버스(bus)라는 채널을 통해 이루어지는데, 데이터 전송 시 정체현상이 일어나기도 한다. TSV 기술을 이용하면 전력 소비를 줄이면서도 초당 데이터 전송률을 훨씬 더 높일 수 있다.

[0003] 이 기술은 수년 이내에 TSV는 파워 프로세서와 메모리를 직접 결합하는데 사용될 수도 있을 것으로 판단한다. 그렇게 되면 메모리 컨트롤러를 사용 할 필요가 없어지며, 성능은 10%까지 향상시킬 수 있고 전력소비는 20% 정도 줄 일 수 있을 것으로 예상된다. 이와 더불어 TSV를 적용하면 칩을 수직 타워에 겹쳐 쌓을 수 있기 때문에 메인보드 공간도 효율적으로 활용할 수 있게 되어 부품의 소형화가 가능하다. 현재 패키지 안에 칩을 수직으로 쌓는 방식을 이용하고 있는 칩 제조업체들이 몇 있지만 이들 칩은 버스를 통해 연결되는 것이 보통이기 때문에 TSV 기술을 적용 할 것으로 예상된다. TSV 배선을 사용한 3차원 LSI 시장은 앞으로도 크게 확대될 전망이다. 프랑스의 Yole Development 사의 조사에 의하면, 2015년까지 웨이퍼 장수 기준으로 반도체 전체의 6%, 메모리의 25%가 3차원 LSI가 될 것으로 예상 하고 있다. 이러한 경향은 반도체 업체들이 무어의 법칙에 따라 지속적으로 디바이스를 스케일링해 가기 위해서는 3차원화가 필수적이라는 것을 의미한다. TSV를 사용하는 3차원 LSI 시장의 규모의 경우 용도별로 메모리가 가장 크고, MEMS 디바이스와 CMOS 이미지 센서, 무선회로를 탑재한 SiP 모듈 시장으로 확대 될 것으로 예상된다.

[0004] 3차원 패키징을 위한 중요한 기술은 TSV 형성 기술, 웨이퍼 박막화(wafer thinning) 기술, 박막화된 웨이퍼(thinned wafer)의 핸들링 기술, 본딩 기술이다. TSV 제작 공정은 비아 드릴링(via drilling), 다층 증착 기술, 비아 필링(via filling) 기술이 있다. 비아 드릴링 기술로는 Bosch 공정으로 알려진 DRIE 공정을 이용하는 기술이 있다. Bosch 공정은 플라즈마 에칭 기술로서 SF6를 사용하여 실리콘을 에칭시키고, CF2 막으로 비아의 측면을 보호하여(passivation) 이방성 에칭(anisotropicetching)을 하는 방법이다. 다층 증착 기술은 일반

적으로 절연막/확산방지막/씨앗층을 형성시키는 기술로서, SiO2 층은 전기적으로 비아를 채우는 물질과 전기적으로 절연시키기 위해 유전층으로 사용된다. 1㎛미만의 두께로 형성되기 때문에 커패시턴스가 크다. 이로 인한 전기적 손실을 초래한다. 주로 TEOS가 사용된다. 일반적으로 사용되는 전기도금 구리가 사용될 경우 구리가 실리콘으로 확산되지 않도록 하는 것이 중요하다. 구리 비아의 경우 Ti, TiN, Ta, TaN이나 이들의 조합을 확산방지층과 접착층으로 사용하고, 여기에 구리 도금을 위한 씨앗층(seed layer)을 스퍼터링 공정으로 형성한다. 구리는 주로 전기 도금 기술로 씨앗층 위에 채워진다. TSV를 채우는 구리 안에 보이드(void)를 제거하기 위해 일반적으로 리버스 펄스 플레이팅(reverse pulse plating) 기술이 적용된다. 역방향의 전류가 흐를 때 두껍게 형성된 구리가 제거되어 일정한 두께가 유지되는 데 도움이 되고 펄스로 전류가 공급되어 신선한 도금액이 공급되도록 하는 것이 핵심 기술이다. 일정한 구리 충진을 위해 비아 아래쪽으로부터 구리가 충진되도록 하는 바텀-업(bottom-up) 공정이 적용되기도 한다. 웨이퍼 박막화 및 박막화된 웨이퍼 핸들링 기술은 비아를 형성하기 위해서나 비아가 형성된 웨이퍼를 얇게 하기 위해서 또는 박막화 공정이나 적층을 위한 공정이 수행되어야 한다.

[0005] 이와 같이, 반도체 칩을 박막화하기 위해서는 반도체 소자가 형성된 소자 웨이퍼를 다이싱(dicing)하기 전에 상기 소자 웨이퍼를 박막화할 수 있는데, 이와 같이 박막화된 소자 웨이퍼는 깨어지기 쉽다. 따라서, 상기 소자 웨이퍼를 박막화하기 전에 상기 소자 웨이퍼의 배면 상에 캐리어 웨이퍼를 부착하고, 상기 소자 웨이퍼 박막화 및 기타 처리를 한 후, 상기 캐리어 웨이퍼를 제거 또는 탈착시킴으로써, 상기 소자 웨이퍼의 깨짐을 방지할 수 있다.

[0006] 그러나, 상기 소자 웨이퍼와 상기 캐리어 웨이퍼를 부착할 때 전체 면 상에 접착제를 도포함으로써, 상기 캐리어 웨이퍼를 제거 또는 탈착시킴에 큰 힘이 요구될 수 있다. 또한, 이러한 큰 힘으로 인해 상기 박막화된 소자 웨이퍼가 깨질 가능성은 높아질 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 캐리어 기판을 소자 기판으로부터 용이하게 박리할 수 있는 캐리어 기판과 이를 이용한 소자 기판 처리 방법을 제공함에 있다.

과제의 해결 수단

[0008] 상기 과제를 이루기 위하여 본 발명의 일 측면은 소자 기판 제조방법을 제공한다. 먼저, 전면(front surface) 내에 저 젖음성 영역 및 상기 저 젖음성 영역에 비해 높은 젖음성을 갖는 고 젖음성 영역을 구비하는 캐리어 기판을 제공한다. 소자 기판을 제공한다. 상기 캐리어 기판의 전면 또는 상기 소자 기판의 전면 상에 접착층을 제공한다. 상기 캐리어 기판의 전면과 상기 소자 기판의 전면을 접착층을 사용하여 접착시킨다. 상기 소자 기판의 배면을 처리한다. 상기 고 젖음성 영역 상의 접착층을 적어도 일부 제거한다. 상기 처리된 소자 기판으로부터 상기 캐리어 기판을 탈착한다.

[0009] 상기 과제를 이루기 위하여 본 발명의 다른 측면은 캐리어 기판을 제공한다. 상기 캐리어 기판은 전면(front surface) 내에 저 젖음성 영역과 상기 저 젖음성 영역에 비해 높은 젖음성을 갖는 고 젖음성 영역을 포함한다.

발명의 효과

[0010] 본 발명에 따르면, 캐리어 기판이 저 젖음성 영역과 고 젖음성 영역을 포함하고, 상기 캐리어 기판과 소자 기판을 접착층을 통해 임시 본딩한 상태에서 상기 소자 기판을 처리한 후 상기 고 젖음성 영역 상의 접착층을 제거함으로써, 상기 접착층은 상기 캐리어 기판의 저 젖음성 영역과 주로 접할 수 있다. 따라서, 상기 접착층과 상기 캐리어 기판 사이의 접착력은 크지 않을 수 있어, 적은 힘을 이용하여서도 상기 캐리어 기판을 상기 접착층으로부터 탈착시킬 수 있다. 탈착된 상기 캐리어 기판은 다른 소자 기판의 제조에 재활용될 수 있다.

도면의 간단한 설명

[0011] 도 1a 내지 도 1g는 본 발명의 일 실시예에 따른 소자 기판의 제조방법을 순차적으로 나타낸 사시도들이다.

도 2a 내지 도 2g는 도 1a 내지 도 1g의 절단선들 I-I′ 를 따라 각각 취해진 단면도들이다.

도 3a 내지 도 3e는 다른 실시예에 따른 캐리어 기판의 제조방법을 나타낸 단면도들이다.

도 4 내지 도 7은 본 발명의 실시예들에 따른 캐리어 기판의 상부면을 나타낸 평면도들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 본 명세서에서 층이 다른 층 "상"에 있다고 언급되는 경우에 그것은 다른 층 상에 직접 형성될 수 있거나, 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 또한, 본 명세서에서 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하여 위하여 과장된 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

[0013] 도 1a 내지 도 1g는 본 발명의 일 실시예에 따른 소자 기판의 제조방법을 순차적으로 나타낸 사시도들이다. 도 2a 내지 도 2g는 도 1a 내지 도 1g의 절단선들 I-I′ 를 따라 각각 취해진 단면도들이다.

[0014] 도 1a 및 도 2a를 참조하면, 캐리어 기판(10)을 제공한다. 상기 캐리어 기판(10)은 반도체 기판, 금속 기판, 또는 유리 기판일 수 있다. 구체적으로, 상기 캐리어 기판(10)은 실리콘 기판, GaN 기판, 또는 사파이어 기판일 수 있다. 상기 캐리어 기판(10)은 전면(front surface, 10_fs) 내에 저 젖음성 영역(RZ)과 고 젖음성 영역(AZ)을 구비할 수 있다. 상기 저 젖음성 영역(RZ)은 요부(P1)와 철부(P2)를 포함하는 요철 패턴(P)을 구비할 수 있다. 상기 요철 패턴(P)은 패턴폭이 수 내지 수백 나노 미터의 나노 사이즈 패턴일 수 있다. 이러한 요철 패턴(P)은 후술하는 접착층이 친수성 또는 소수성인 것에 상관없이 이에 대한 접촉각을 크게 하여 상기 접착층에 대한 젖음성을 낮출 수 있고, 이에 따라 상기 저 젖음성 영역(RZ)와 상기 접착층과의 접착강도를 약화시킬 수 있다.

[0015] 도 1b 및 도 2b를 참고하면, 상기 캐리어 기판(10)의 저 젖음성 영역(RZ) 상에 상기 접착층과 다른 친화력을 갖는 비친화성 물질층(33)을 형성할 수 있다. 상기 친화력(또는 친화성)은 소수성-소수성 또는 친수성-친수성 사이의 친화력(또는 친화성)을 의미한다. 일 예로서, 상기 접착층은 소수성을 갖고, 상기 비친화성 물질층(33)은 친수성 물질층일 수 있다. 상기 친수성 물질층은 SiO_2층일 수 있다. 상기 요철 패턴(P)에 의한 젖음성 약화 효과가 소멸되지 않도록 상기 요철 패턴(P)의 상기 비친화성 물질층(33)은 상기 요철 패턴(P)을 컨포말(conformal)하게 덮을 수 있다. 다시 말해서, 상기 비친화성 물질층(33)은 상기 요부(P1)을 채우지 않으면서 상기 철부(P2)의 측벽 및 상부면 상에 실질적으로 동일한 두께로 형성될 수 있다. 이를 위해, 상기 비친화성 물질층(33)은 상기 요철 패턴(P)을 갖는 상기 캐리어 기판(10)을 열산화하거나, 상기 요철 패턴(P) 상에 CVD (Chemical Vapor Deposition)법 또는 ALD (Atomic Layer Deposition)법을 사용하여 형성될 수 있다.

[0016] 이와는 달리, 상기 캐리어 기판(10)의 전면(front surface) 상에 상기 비친화성 물질층(33)으로서 산화막을 형성하거나 상기 캐리어 기판(10)의 전면을 열산화하여 산화막을 형성한 후, 상기 산화막이 형성된 캐리어 기판(10)의 전면의 저 젖음성 영역(RZ) 내에 상기 요철 패턴(P)을 형성할 수 있다. 이 경우, 상기 요철 패턴(P)의 적어도 상부 표면은 산화막을 가질 수 있다. 구체적으로, 상기 캐리어 기판(10)이 실리콘 기판인 경우에, 상기 캐리어 기판(10)을 열산화하여 상기 캐리어 기판(10) 전면 내에 SiO_2층을 형성한 후, SiO_2층이 형성된 전면의 저 젖음성 영역(RZ) 내에 상기 요철 패턴(P)을 형성할 수 있다. 이 경우, 상기 요철 패턴(P)의 적어도 상부 표면은 SiO_2층을 가질 수 있다.

[0017] 이에 더하여, 상기 고 젖음성 영역(AZ) 상에 상기 접착층과 같은 친화력을 갖는 친화성 물질층(미도시)을 형성할 수 있다. 상기 비친화성 물질층(33)을 상기 캐리어 기판(10)의 전면의 전체면 상에 형성한 후 상기 고 젖음성 영역(AZ) 상의 상기 비친화성 물질층(33) 상에만 상기 친화성 물질층을 형성할 수도 있고, 상기 친화성 물질층을 상기 캐리어 기판(10)의 전면의 전체면 상에 형성한 후 상기 저 젖음성 영역(RZ) 상의 상기 친화성 물질층 상에만 상기 비친화성 물질층(33)을 형성할 수도 있다. 일 예로서, 상기 캐리어 기판(10)을 열산화하여 상기 캐리어 기판(10) 전면 내에 SiO_2층을 형성한 후, SiO_2층이 형성된 전면의 저 젖음성 영역(RZ) 내에 상기 요철 패턴(P)을 형성한 경우에, 상기 고 젖음성 영역(AZ) 상의 SiO_2층 상에만 상기 친화성 물질층을 형성할 수 있다.

[0018] 상기 친화성 물질층은 PPFC(Plasma Polymerized Fluorocarbon)층, 아연산화물(ZnO)층, 실리콘(silicone)층, 불화 폴리머층, 폴리실라잔(polysilazane)층, 또는 지방족 탄화수소층일 수 있다.

[0019] 상기 비친화성 물질층(33) 상에 접착층(35)을 형성할 수 있다. 상기 접착층(35)은 반도체, 유리 및 금속에 높

은 접착 강도를 나타내는 수지 또는 폴리머층일 수 있다. 일 예로서, 상기 접착층(35)은 소수성을 갖는 아크릴 레진(Acrylic resin) 또는 열가소성 레진(Thermoplastic resin) 일 수 있다. 상기 접착층(35)은 1 ~ 100 ㎛의 두께로 형성될 수 있다. 앞서 설명한 바와 같이 상기 접착층(35)은 상기 저 젖음성 영역(RZ)(또는 그 상부의 비친화성 물질층(33))과 낮은 접착강도로 접착되는 반면, 나노 사이즈의 패턴(P) 또는 비친화성 물질층(33)을 포함하지 않는 상기 고 젖음성 영역(AZ)(또는 그 상부의 친화성 물질층)에는 상기 저 젖음성 영역(RZ)에 비해 높은 접착강도로 접착될 수 있다.

[0020] 도 1c 및 도 2c를 참조하면, 상기 접착층(35) 상에 소자 기판(50)을 제공한다. 상기 소자 기판(50)은 그의 전면(front surface, 50_fs) 내에 소자를 구비할 수 있다. 상기 소자는 반도체 소자일 수 있다. 또한, 상기 소자 기판(50)은 그의 전면(front surface, 50_fs) 내에 상기 소자를 덮는 실리콘 산화막 등의 보호막을 더 포함할 수 있다. 상기 소자 기판(50) 내에 상기 소자에 전기적으로 연결된 관통전극(Through-Hole-Via; TSV)을 더 포함할 수 있다.

[0021] 위에서, 상기 캐리어 기판(10) 상에 상기 접착층(35)을 형성한 후 상기 접착층(35) 상에 상기 소자 기판(50)을 제공한 것으로 기재하였으나, 이에 한정되지 않고 상기 소자 기판(50) 상에 상기 접착층(35)을 형성한 후 상기 접착층(35) 상에 상기 캐리어 기판(10)을 제공하는 것도 가능하다.

[0022] 상기 소자 기판(50)과 상기 캐리어 기판(10)에 소정의 압력을 가하여 이들을 상기 접착층(35)에 의해 부착시킬 수 있다. 이러한 부착을 용이하게 하기 위해 열을 추가적으로 가할 수도 있다.

[0023] 도 1d 및 도 2d를 참조하면, 상기 소자 기판(50)의 배면(도 2c의 50_rs)을 처리할 수 있다. 예를 들어, 상기 소자 기판(50)의 배면(도 2c의 50_rs)을 화학기계적 연마(Chemical Mechanical Polishing; CMP)법 등을 사용하여 연마하거나, 식각하여 소정의 패턴을 형성하거나, 상기 소자 기판(50)의 배면(도 2c의 50_rs) 상에 절연막 또는 금속막 등을 증착할 수 있다. 상기 연마 과정에서, 상기 소자 기판(50) 내에 형성된 관통홀이 노출될 수 있다. 상기 소자 기판(50) 내에 미리 관통홀을 형성하지 않은 경우, 상기 소자 기판(50)을 연마한 후 상기 소자 기판(50) 내에 관통홀을 형서할 수도 있다. 이와 같이 상기 소자 기판(50)을 처리하는 과정에서 상기 소자 기판(50)은 상기 캐리어 기판(10)에 의해 지지되므로 파손될 가능성이 크게 줄어들 수 있다.

[0024] 도 1e 및 도 2e를 참조하면, 상기 고 젖음성 영역(AZ) 상의 상기 접착층(35)을 적어도 일부 제거한다. 이 때, 상기 접착층(35)은 상기 저 젖음성 영역(RZ)에 주로 접하고 있을 수 있어, 상기 접착층(35)과 상기 캐리어 기판(10) 사이의 접착강도는 상기 고 젖음성 영역(AZ)과 상기 접착층(35)이 접착하고 있는 경우에 비해 매우 약화될 수 있다.

[0025] 상기 접착층(35)을 제거하는 것은 화학적 식각법, 열 또는 레이저를 이용한 처리법을 사용할 수 있다.

[0026] 도 1f 및 도 2f를 참조하면, 상기 캐리어 기판(10)과 상기 소자 기판(50)을 탈착시킬 수 있다. 이 때, 앞서 설명한 바와 같이 상기 접착층(35)은 상기 캐리어 기판(10)의 저 젖음성 영역(RZ)과 주로 접하고 있으므로, 상기 접착층(35)과 상기 캐리어 기판(10) 사이의 접착력은 크지 않을 수 있어, 적은 힘을 이용하여 상기 캐리어 기판(10)을 상기 접착층(35)으로부터 탈착시킬 수 있다. 탈착된 상기 캐리어 기판(10)은 다른 소자 기판의 제조에 재활용될 수 있다.

[0027] 도 1g 및 도 2g를 참조하면, 상기 접착층(35)을 상기 소자 기판(50)으로부터 탈착시킨다. 이 때, 상기 접착층(35)을 제거하는 것은 화학적 식각법을 사용하여 수행할 수 있다.

[0028] 도 3a 내지 도 3e는 다른 실시예에 따른 캐리어 기판의 제조방법을 나타낸 단면도들이다.

[0029] 도 3a를 참조하면, 저 젖음성 영역(RZ) 및 고 젖음성 영역(AZ)을 갖는 캐리어 기판(10)을 제공한다. 상기 캐리어 기판(10)은 반도체 기판, 금속 기판, 또는 유리 기판일 수 있다. 구체적으로, 상기 캐리어 기판(10)은 실리콘 기판, GaN 기판, 또는 사파이어 기판일 수 있다. 상기 캐리어 기판(10)의 전면 상에 제1 포토레지스트 패턴(15a)을 형성할 수 있다. 상기 포토레지스트 패턴(15a)의 패턴 폭 및/또는 간격은 수 나노미터 내지 수백 나노미터일 수 있다. 다시 말해서, 상기 포토레지스트 패턴(15a)은 나노 사이즈의 패턴일 수 있다.

[0030] 도 3b를 참조하면, 상기 포토레지스트 패턴(15a)을 마스크로 하여 상기 캐리어 기판(10)의 전면(front surface)을 식각할 수 있다. 그 결과, 상기 캐리어 기판(10)의 저 젖음성 영역(RZ) 내에 요부(P1)와 철부(P2)를 포함하는 제1 요철 패턴(P)을 형성할 수 있다. 상기 제1 요철 패턴(P)은 패턴폭이 수 내지 수백 나노 미터의 나노 사이즈 패턴일 수 있다. 이러한 제1 요철 패턴(P)은 상기 캐리어 기판(10) 상에 형성될 수 있는 접착층에 대한

접촉각을 크게 하여 상기 접착층에 대한 젖음성을 낮출 수 있다. 따라서, 상기 저 젖음성 영역(RZ)와 접착층과의 접착강도를 약화시킬 수 있다.

[0031] 도 3c를 참조하면, 상기 캐리어 기판(10)의 전면 상에 제2 포토레지스트 패턴(15b)을 형성할 수 있다. 상기 제2 포토레지스트 패턴(15b)의 패턴 폭 및/또는 간격은 상기 저 젖음성 영역(RZ) 상에서 상기 제1 포토레지스트 패턴(15a)의 패턴 폭 및/또는 간격에 비해 큰 수십 나노미터 내지 수백 나노미터일 수 있다. 또한, 상기 고 젖음성 영역(AZ) 상에서 상기 제2 포토레지스트 패턴(15b)의 패턴 폭 및/또는 간격은 수 마이크로미터 내지 수백 마이크로미터일 수 있다.

[0032] 도 3d를 참조하면, 상기 제2 포토레지스트 패턴(15b)을 마스크로 하여 상기 캐리어 기판(10)의 전면(front surface)을 식각할 수 있다. 그 결과, 상기 저 젖음성 영역(RZ) 내에 나노 사이즈이면서도 상기 제1 요철 패턴(P1)에 비해 큰 사이즈의 요부(P2a)와 철부(P2b)를 갖는 제2 요철 패턴(P2)을 형성할 수 있다. 상기 제2 요철 패턴(P2)의 철부(P2b)의 표면 내에 상기 제1 요철 패턴(P1)의 요부(P1a)와 철부(P1b)가 잔존할 수 있다. 이와 같이, 나노 사이즈이면서 비교적 작은 사이즈의 제1 요철 패턴(P1)과 이에 비해 큰 사이즈의 제2 요철 패턴(P2)을 함께 구비하는 상기 저 젖음성 영역(RZ)은 상기 캐리어 기판(10) 상에 형성될 수 있는 접착층에 대한 접촉각이 커질 수 있어 상기 접착층에 대한 젖음성이 약화될 수 있다. 따라서, 상기 저 젖음성 영역(RZ)과 상기 접착층과의 접착강도는 낮을 수 있다.

[0033] 한편, 상기 고 젖음성 영역(AZ) 내에는 마이크로 사이즈의 제3 요철 패턴(P3)이 형성될 수 있다. 이러한 마이크로 사이즈의 제3 요철 패턴(P3) 상에는 비교적 큰 사이즈로 인해 상기 접착층이 컨포말하게 형성될 수 있어, 상기 접착층과 상기 고 젖음성 영역(AZ) 사이의 접착강도는 더 강화될 수 있다.

[0034] 도 3e를 참조하면, 상기 제2 포토레지스트 패턴(15b)을 제거할 수 있다. 이 후, 도 1b 및 도 2b를 참조하여 설명한 바와 같이, 상기 저 젖음성 영역(RZ) 상에 비친화성 물질층(33)을 형성할 수 있다. 상기 고 젖음성 영역(AZ) 상에 친화성 물질층(미도시)을 형성할 수도 있다.

[0035] 도 4 내지 도 7은 본 발명의 실시예들에 따른 캐리어 기판의 상부면을 나타낸 평면도들이다.

[0036] 도 4 내지 도 7을 참조하면, 저 젖음성 영역(RZ)은 캐리어 기판의 전면의 중앙부에 위치할 수 있다. 고 젖음성 영역(AZ)는 상기 저 젖음성 영역(RZ)을 둘러싸도록 배치될 수 있다. 이 때, 상기 캐리어 기판의 전면의 최외곽부에는 상기 고 젖음성 영역(AZ)이 배치될 수 있다.

[0037] 구체적으로, 도 4 및 도 5에 도시된 바와 같이, 상기 저 젖음성 영역(RZ)과 상기 고 젖음성 영역(AZ)은 반복적으로 배치될 수 있다. 일 예로서, 상기 저 젖음성 영역(RZ)과 상기 고 젖음성 영역(AZ)은 링 형태로 반복적으로 배치되거나(도 4), 또는 상기 저 젖음성 영역(RZ)은 나선 형상으로 배치될 수 있다(도 5).

[0038] 한편, 도 6에 도시된 바와 같이, 상기 저 젖음성 영역(RZ)은 중앙부로부터 외곽부로 연장된 직선 영역들을 포함할 수 있다.

[0039] 다른 한편, 도 7에 도시된 바와 같이, 상기 저 젖음성 영역(RZ)은 다수 개의 서로 분리된 영역들 일 예로서, 원형상의 영역들을 구비할 수 있다.

[0040] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

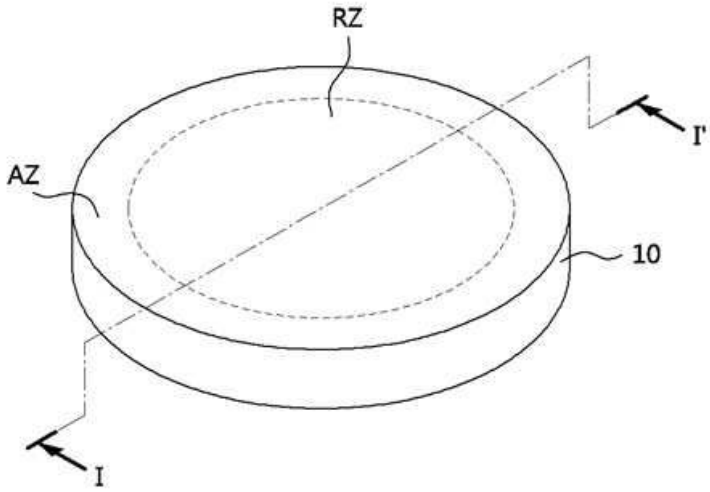
부호의 설명

[0041]

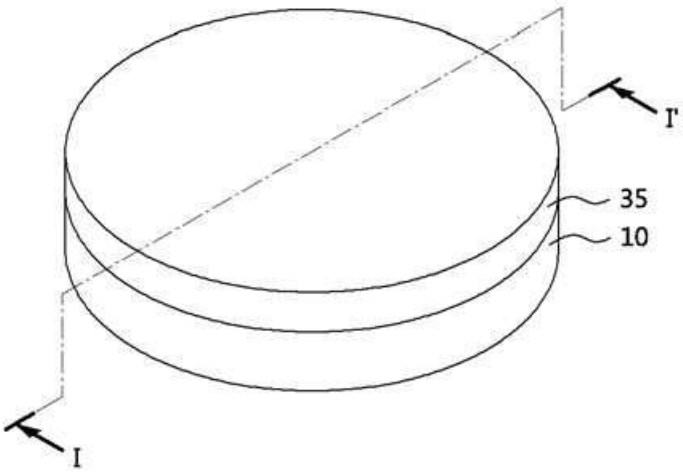
10: 캐리어 기판	RZ: 저 젖음성 영역
AZ: 고 젖음성 영역	35: 접착층
50: 소자 기판	33: 비친화성 물질층

도면

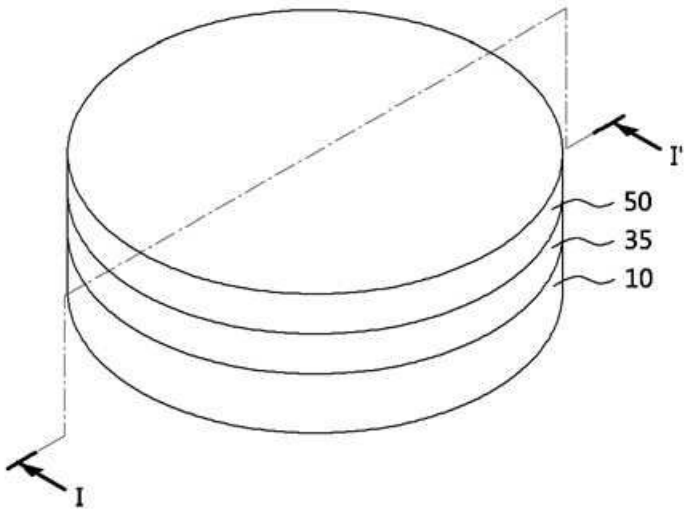
도면1a



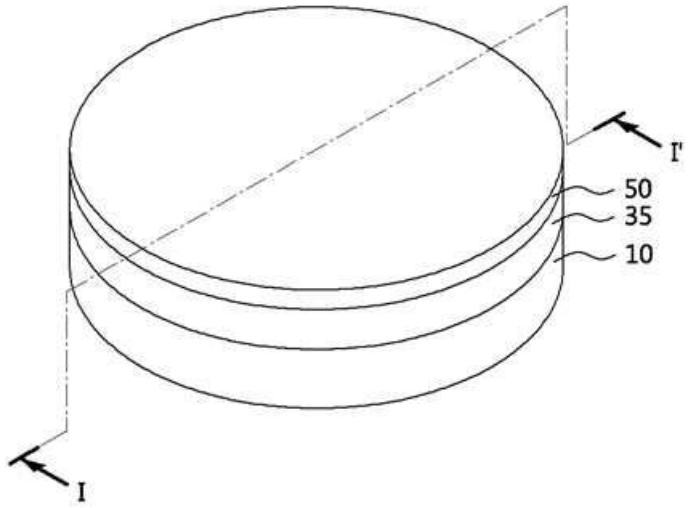
도면1b



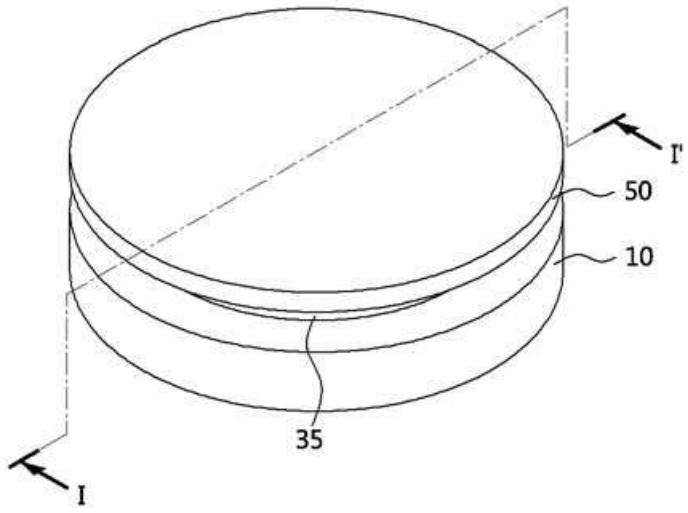
도면1c



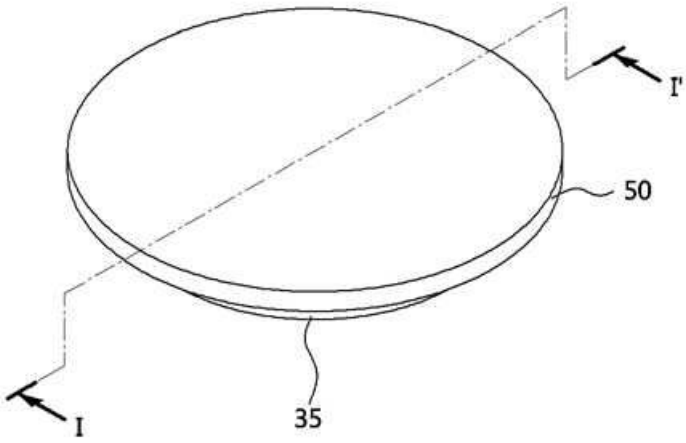
도면1d



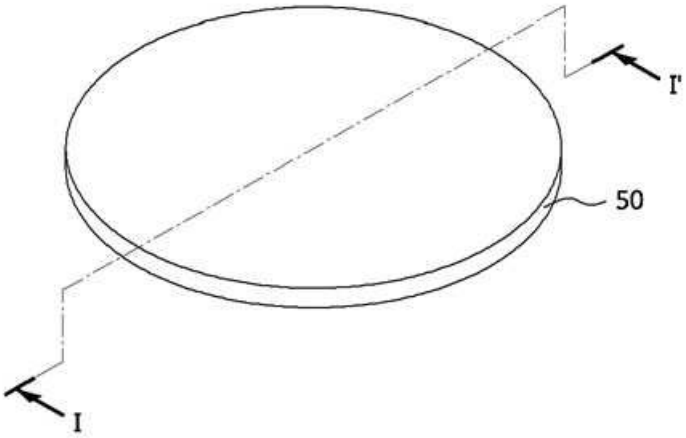
도면1e



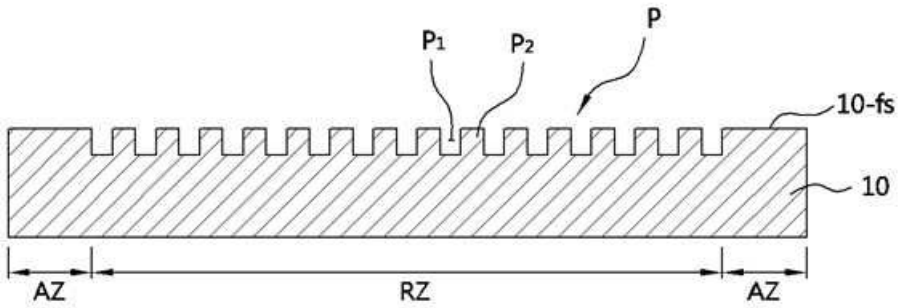
도면1f



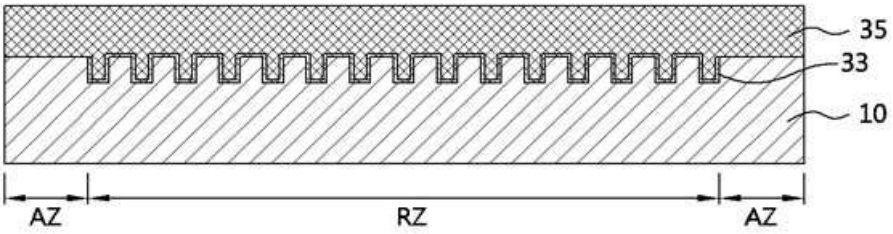
도면1g



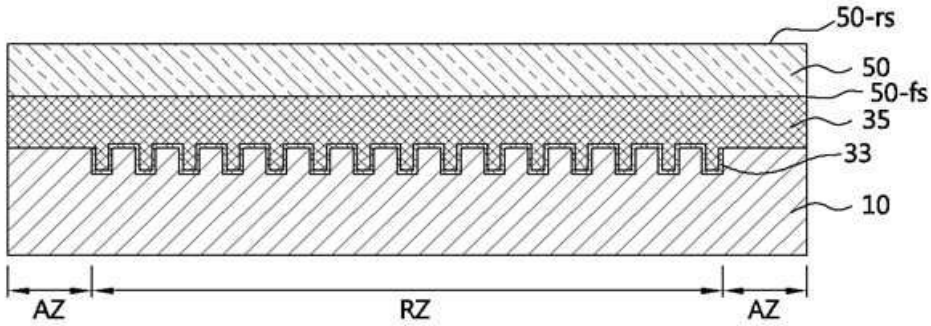
도면2a



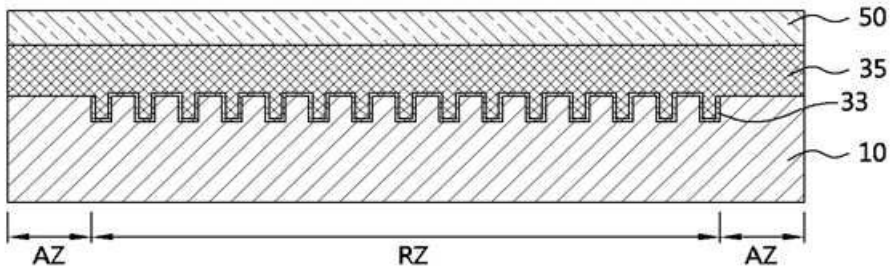
도면2b



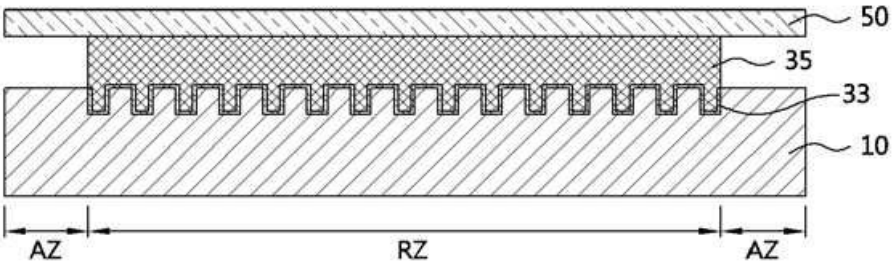
도면2c



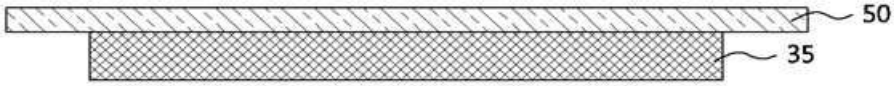
도면2d



도면2e



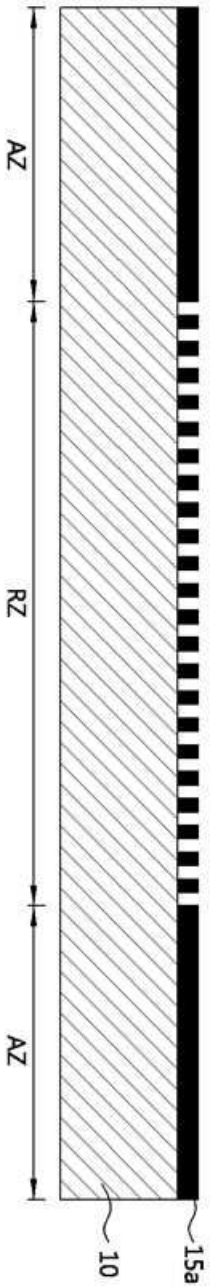
도면2f



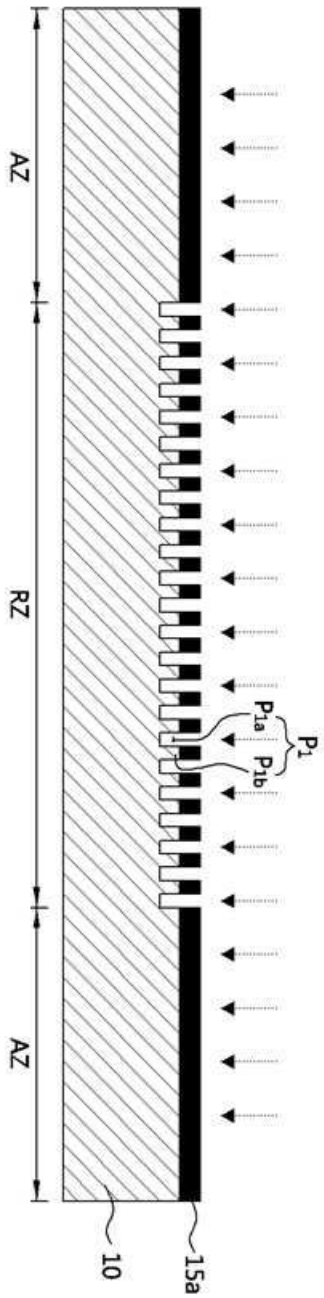
도면2g



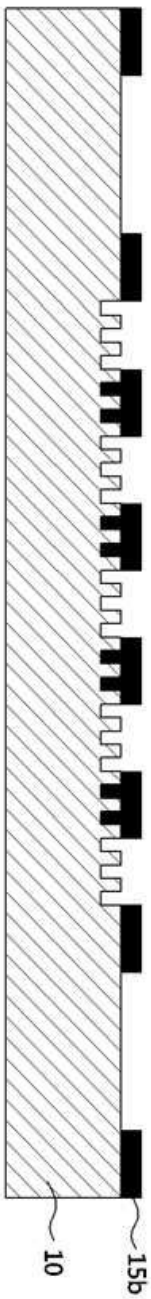
도면3a



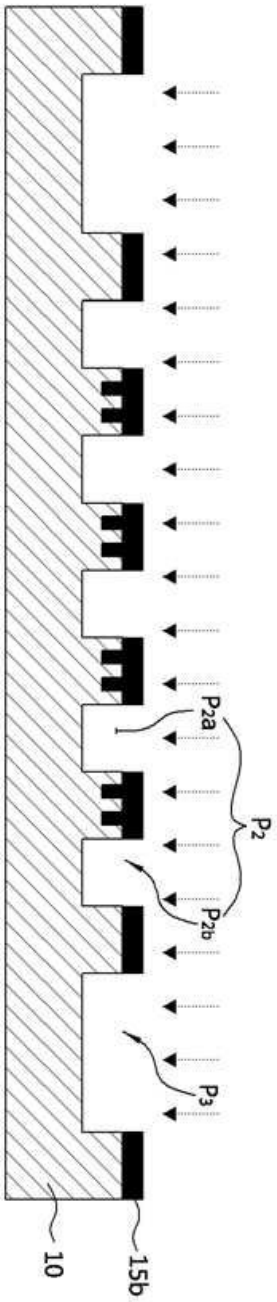
도면3b



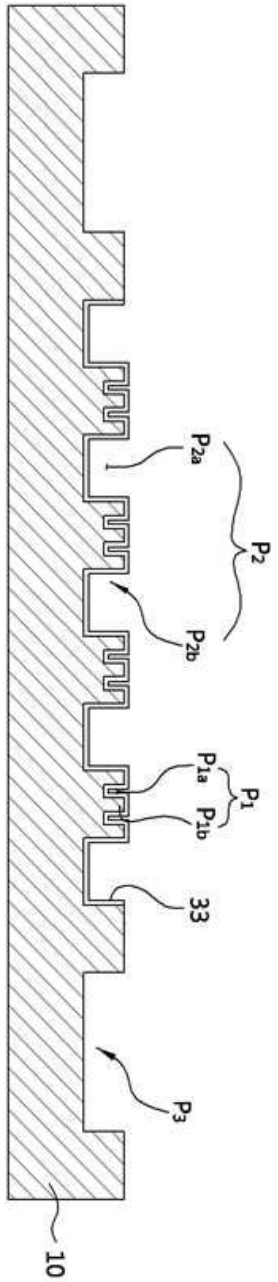
도면3c



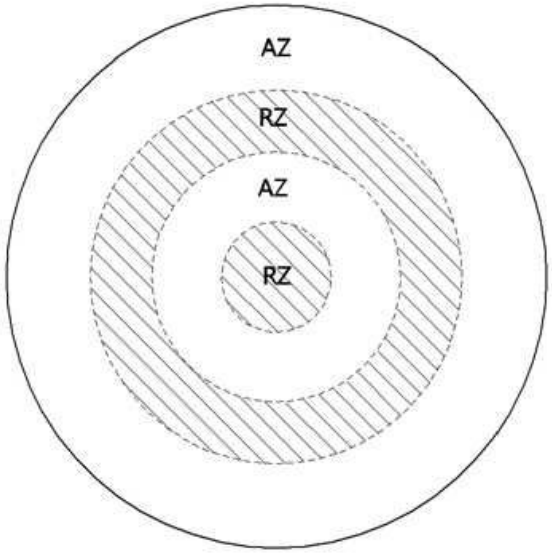
도면3d



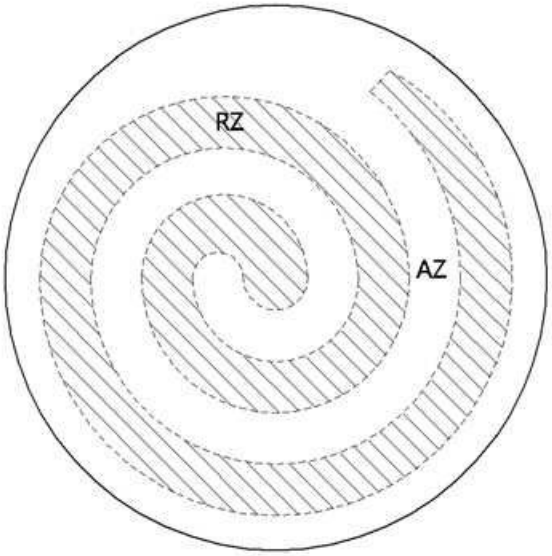
도면3e



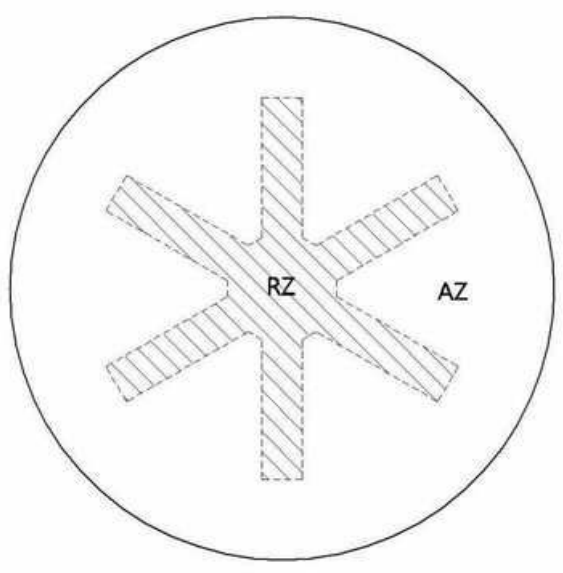
도면4



도면5



도면6



도면7

