

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月23日(23.12.2021)



(10) 国際公開番号

WO 2021/256352 A1

(51) 国際特許分類:
G05F 1/56 (2006.01)

ー 1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2021/021971

(22) 国際出願日: 2021年6月9日(09.06.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2020-104812 2020年6月17日(17.06.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).

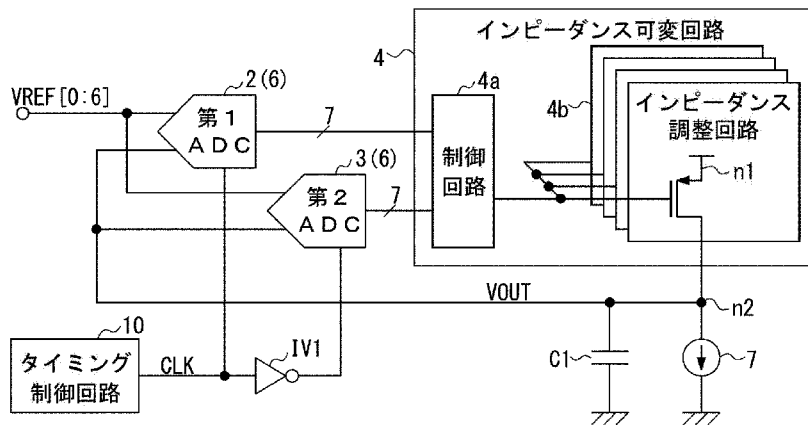
(72) 発明者: 渡辺 裕之 (WATANABE Hiroyuki); 〒2430014 神奈川県厚木市旭町4丁目1番4号

(74) 代理人: 中村 行孝, 外(NAKAMURA Yukitaka et al.); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: REGULATOR

(54) 発明の名称: レギュレータ



1: レギュレータ

- 1 Regulator
- 2 First ADC
- 3 Second ADC
- 4 Impedance variable circuit
- 4a Control circuit
- 4b Impedance adjustment circuit
- 10 Timing control circuit

(57) **Abstract:** [Problem] To provide a regulator that is capable of suppressing output voltage fluctuation while reducing electric power consumption. [Solution] A regulator comprising: a plurality of analog-to-digital converters that compare an output voltage with a threshold voltage so as to successively output, at respective different times, digital signals that are in accordance with the output voltage; an output control circuit that controls the output voltage on the basis of the digital signals; and a timing control circuit that controls, on the basis of at least one of a gate leakage current and a channel leakage current of a transistor in the plurality of analog-to-digital converters, times at which the respective plurality of analog-to-digital converters carry out an analog-to-digital conversion operation to convert the output voltage into the digital signals and times at which the respective plurality of analog-to-digital converters adjust the threshold voltage.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: [課題] 消費電力を削減しつつ出力電圧の変動を抑制できるレギュレータ。[解決手段] レギュレータは、出力電圧を閾値電圧と比較することにより前記出力電圧に応じたデジタル信号をそれぞれ異なるタイミングに順繰りに出力する複数のアナログーデジタル変換器と、前記デジタル信号に基づいて前記出力電圧を制御する出力制御回路と、前記複数のアナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記出力電圧を前記デジタル信号に変換するアナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整するタイミングとを制御するタイミング制御回路と、を備える。

明 細 書

発明の名称：レギュレータ

技術分野

[0001] 本開示は、レギュレータに関する。

背景技術

[0002] バッテリーで駆動する電子機器が増えるに伴って、低消費電力の電源回路に対する要求が高まっている。この種の電源回路の一つにＬＤＯ（Low DropOut）レギュレータがある（特許文献１、２参照）。ＬＤＯレギュレータでは、入力電圧と出力電圧との入出力電位差を小さくでき、レギュレータでの消費電力を抑制できることから、バッテリーの寿命を延ばすことができる。このため、バッテリーで駆動する電子機器では、ＬＤＯレギュレータは必須の構成部品となっている。

先行技術文献

特許文献

[0003] 特許文献１：特表２０１６－５１９３５６号公報

特許文献２：特表２０１６－５１１４８５号公報

発明の概要

発明が解決しようとする課題

[0004] ＬＤＯレギュレータは、出力電圧と閾値電圧との差電圧に応じたデジタル信号を出力するＡＤ変換器と、デジタル信号に基づいて出力電圧を制御するインピーダンス可変回路とを含んで構成することができる。

[0005] ＡＤ変換器の閾値電圧は時間の経過とともに変動するため、定期的なりセット動作（オートゼロ動作とも呼ばれる）が必要となる。オートゼロ動作を行う期間は、ＡＤ変換器がＡＤ変換動作を行うことができない不感帯時間である。不感帯時間内は、出力電圧の制御を行えないため、出力電圧が変動するおそれがある。

[0006] 不感帯時間を短縮させる回路的な対策を行うことも考えられるが、対策を

行った結果として消費電力が増えるようでは、ＬＤＯレギュレータの本来の目的に反するため、望ましくない。

[0007] そこで、本開示では、消費電力を削減しつつ出力電圧の変動を抑制できるレギュレータを提供するものである。

課題を解決するための手段

[0008] 上記の課題を解決するために、本開示によれば、出力電圧を閾値電圧と比較することにより前記出力電圧に応じたデジタル信号をそれぞれ異なるタイミングに順繰りに出力する複数のアナログーデジタル変換器と、

前記デジタル信号に基づいて前記出力電圧を制御する出力制御回路と、

前記複数のアナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記出力電圧を前記デジタル信号に変換するアナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整するタイミングとを制御するタイミング制御回路と、を備える、レギュレータが提供される。

[0009] 前記タイミング制御回路は、前記複数のアナログーデジタル変換器のうち一つが前記アナログーデジタル変換動作を行っている期間内に、前記一つ以外のアナログーデジタル変換器では前記閾値電圧を調整させてもよい。

[0010] 前記タイミング制御回路は、前記複数のアナログーデジタル変換器内のトランジスタと同一の特性のトランジスタを有し、前記同一の特性のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整するタイミングとを制御してもよい。

[0011] 前記タイミング制御回路内の前記同一の特性のトランジスタは、前記複数のアナログーデジタル変換器内のトランジスタのゲート酸化膜と同一の膜厚のゲート酸化膜を有してもよい。

[0012] 前記タイミング制御回路内の前記同一の特性のトランジスタは、前記複数の

のアナログーデジタル変換器内のトランジスタの不純物濃度のプロファイルと同一のプロファイルを有してもよい。

[0013] 前記タイミング制御回路は、前記同一の特性のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方が多いほど、前記閾値電圧を調整する頻度をより高くしてもよい。

[0014] 前記タイミング制御回路は、

前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有してもよい。

[0015] 前記タイミング制御回路は、

前記同一の特性のトランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有してもよい。

[0016] 前記タイミング制御回路は、

前記同一の特性の第1トランジスタ及び第2トランジスタと、

前記第1トランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流と、前記第2トランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状

態でのドレイン電流と、に応じた電荷とを蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有してもよい。

[0017] 前記複数のアナログーデジタル変換器は、第1アナログーデジタル変換器及び第2アナログーデジタル変換器を有し、

前記タイミング制御回路は、

前記第1アナログーデジタル変換器が前記アナログーデジタル変換動作を行っている最中に前記第2アナログーデジタル変換器では前記閾値電圧を調整させ、

前記第2アナログーデジタル変換器が前記アナログーデジタル変換動作を行っている最中に前記第1アナログーデジタル変換器では前記閾値電圧を調整させてもよい。

[0018] 前記タイミング制御回路は、前記第1アナログーデジタル変換器及び前記第2アナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に応じた周期のクロック信号を生成し、

前記クロック信号が第1論理のときに、前記第1アナログーデジタル変換器は前記アナログーデジタル変換動作を行うとともに、前記第2アナログーデジタル変換器は前記閾値電圧を調整し、

前記クロック信号が第2論理のときに、前記第2アナログーデジタル変換器は前記アナログーデジタル変換動作を行うとともに、前記第1アナログーデジタル変換器は前記閾値電圧を調整してもよい。

[0019] 前記タイミング制御回路は、前記第1アナログーデジタル変換器及び前記第2アナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方が多いほど、前記クロック信号の周期をより短くしてもよい。

[0020] 前記タイミング制御回路は、前記第1アナログーデジタル変換器及び前記第2アナログーデジタル変換器内のトランジスタと同一の特性のトランジスタを有し、前記同一の特性のトランジスタのゲートリーク電流及びチャンネルリーク電流の少なくとも一方に基づいて、前記第1アナログーデジタル変換器及び前記第2アナログーデジタル変換器内のトランジスタが前記アナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整するタイミングとを制御してもよい。

[0021] 前記タイミング制御回路は、

前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、を有し、

前記比較器の比較結果に応じて前記クロック信号の周期を設定してもよい。

[0022] 前記タイミング制御回路は、

前記同一の特性の第1トランジスタ及び第2トランジスタと、

前記第1トランジスタのドレイン、ソース及びバックゲートを短絡させて第1電圧ノードに接続した第1電流回路と、

前記第2トランジスタのドレイン、ソース及びバックゲートを短絡させて第2電圧ノードに接続した第2電流回路と、

前記第1電流回路内の前記第1トランジスタのゲート電流に応じた電荷を前記キャパシタに蓄積するか否かを切り替える第1切替器と、

前記キャパシタの蓄積電荷に応じた電流を、前記第2電流回路内の前記第2トランジスタのゲートに流すか否かを切り替える第2切替器と、を有し、

前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第1基準電圧よりも高い場合に前記第1切替器及び前記第2切替器の切替により前記キャパシタの蓄積電荷に応じた電流を前記第2電流回路内の前記第2トランジスタ

のゲートに流し、前記キャパシタの蓄積電荷に応じた電圧が前記第 1 基準電圧よりも低い電圧レベルの第 2 基準電圧以下の場合に前記第 1 切替器及び前記第 2 切替器の切替により前記第 1 電流回路内の前記第 1 トランジスタのゲート電流に応じた電荷を前記キャパシタに蓄積してもよい。

[0023] 前記同一の特性のトランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、
を有し、

前記比較器の比較結果に応じて前記クロック信号の周期を設定してもよい。

[0024] 前記タイミング制御回路は、

前記同一の特性の第 1 トランジスタ及び第 2 トランジスタと、

前記第 1 トランジスタのゲート、ソース及びバックゲートを短絡させて第 1 電圧ノードに接続した第 1 電流回路と、

前記第 2 トランジスタのゲート、ソース及びバックゲートを短絡させて第 2 電圧ノードに接続した第 2 電流回路と、

前記第 1 電流回路内の前記第 1 トランジスタのドレイン電流に応じた電荷を前記キャパシタに蓄積するか否かを切り替える第 1 切替器と、

前記キャパシタの蓄積電荷に応じた放電電流を、前記第 2 電流回路内の前記第 2 トランジスタのドレインを介して前記第 2 電圧ノードに流すか否かを切り替える第 2 切替器と、を有し、

前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第 1 基準電圧よりも高い場合に前記第 1 切替器及び前記第 2 切替器の切替により前記キャパシタの蓄積電荷に応じた放電電流を前記第 2 電流回路内の前記第 2 トランジスタのドレインに流し、前記キャパシタの蓄積電荷に応じた電圧が前記第 1 基準電圧よりも低い電圧レベルの第 2 基準電圧以下の場合に前記第 1 切替器及び前記第 2 切替器の切替により前記第 1 電流回路内の前記第 1 トランジス

タのドレイン電流に応じた電荷を前記キャパシタに蓄積してもよい。

[0025] 前記タイミング制御回路は、

前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流と、前記同一の特性のトランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流とに応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、を有し、

前記比較器の比較結果に応じて前記クロック信号の周期を設定してもよい。

[0026] 前記タイミング制御回路は、

前記同一の特性の第1トランジスタ及び第2トランジスタと、

前記第1トランジスタのドレイン、ソース及びバックゲートを短絡させて第1電圧ノードに接続した第1電流回路と、

前記第2トランジスタのドレイン、ソース及びバックゲートを短絡させて第2電圧ノードに接続した第2電流回路と、

前記同一の特性の第3トランジスタ及び第4トランジスタと、

前記第3トランジスタのゲート、ソース及びバックゲートを短絡させて前記第1電圧ノードに接続した第3電流回路と、

前記第4トランジスタのゲート、ソース及びバックゲートを短絡させて前記第2電圧ノードに接続した第4電流回路と、

前記第1電流回路内の前記第1トランジスタのゲート電流と、前記第3電流回路内の前記第3トランジスタのドレイン電流とに応じた電荷を前記キャパシタに蓄積するか否かを切り替える第1切替器と、

前記キャパシタの蓄積電荷に応じた電流を、前記第2電流回路内の前記第2トランジスタのゲートと、前記第4電流回路内の前記第4トランジスタのドレインとに流すか否かを切り替える第2切替器と、を有し、

前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第 1 基準電圧よりも高い場合に前記第 1 切替器及び前記第 2 切替器の切替により前記キャパシタの蓄積電荷に応じた電流を前記第 2 電流回路内の前記第 2 トランジスタのゲートと前記第 4 電流回路内の前記第 4 トランジスタのドレインとに流し、前記キャパシタの蓄積電荷に応じた電圧が前記第 1 基準電圧よりも低い電圧レベルの第 2 基準電圧以下の場合に前記第 1 切替器及び前記第 2 切替器の切替により前記第 1 電流回路内の前記第 1 トランジスタのゲート電流と前記第 3 電流回路内の前記第 3 トランジスタのドレイン電流とに応じた電荷を前記キャパシタに蓄積してもよい。

図面の簡単な説明

- [0027] [図1]第 1 の実施形態によるレギュレータの概略構成を示すブロック図。
- [図2]一比較例によるレギュレータの概略構成を示すブロック図。
- [図3]第 1 A D C と第 2 A D C の動作タイミングを示す図。
- [図4]図 1 及び図 2 の第 1 A D C 及び第 2 A D C 内のコンパレータの内部構成の一例を示す回路図。
- [図5]コンパレータ内のトランジスタの閾値電圧が変動する様子を示す波形図。
- [図6]図 1 のタイミング制御回路の内部構成を示すブロック図。
- [図7]図 6 のタイミング制御回路内の各部の信号波形図。
- [図8]第 2 の実施形態によるタイミング制御回路の内部構成を示す回路図。
- [図9]第 3 の実施形態によるタイミング制御回路の内部構成を示す回路図。

発明を実施するための形態

- [0028] 以下、図面を参照して、レギュレータの実施形態について説明する。以下では、レギュレータの主要な構成部分を中心に説明するが、レギュレータには、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。
- [0029] (第 1 の実施形態)

図 1 は第 1 の実施形態によるレギュレータ 1 の概略構成を示すブロック図

、図2は一比較例によるレギュレータ101の概略構成を示すブロック図である。図1及び図2のレギュレータ1、101は、入力電圧と出力電圧との入出力電圧差が小さいLDOレギュレータであるが、以下では単にレギュレータと呼ぶ。図1のレギュレータ1について説明する前に、図2の一比較例によるレギュレータ101について説明する。

[0030] 図2のレギュレータ101は、第1のアナログーデジタル変換器（以下、第1ADCと呼ぶ）2と、第2のアナログーデジタル変換器（以下、第2ADCと呼ぶ）3と、インピーダンス可変回路（出力制御回路）4と、発振器（OSC）5とを備えている。

[0031] 第1ADC2と第2ADC3はそれぞれ、複数のコンパレータ6を有し、各コンパレータ6には電圧レベルがそれぞれ相違する基準電圧VREF[0:6]が入力されている。コンパレータ6及び基準電圧の数は任意である。コンパレータ6の内部構成は後述するが、コンパレータ6は、出力電圧を閾値電圧と比較し、比較結果を示す二値信号を出力する。閾値電圧は、時間の経過により変動するため、コンパレータ6は定期的によりリセット動作（オートゼロ動作とも呼ぶ）を行う必要があり、オートゼロ動作を行う期間をオートゼロ期間と呼ぶ。なお、コンパレータ6の閾値電圧が変動する要因については後述する。

[0032] 発振器5は、オートゼロ期間に同期したクロック信号CLKを生成する。例えば、クロック信号CLKがハイレベルの期間は第1ADC2のオートゼロ期間であり、クロック信号CLKがローレベルの期間は第2ADC3のオートゼロ期間である。別の言い方をすると、クロック信号CLKがハイレベルの期間は第2ADC3がAD変換を行う期間（以下、AD変換期間とも呼ぶ）であり、クロック信号CLKがローレベルの期間は第1ADC2のAD変換期間である。

[0033] 図3は第1ADC2と第2ADC3の動作タイミングを示す図である。図3では、第1ADC2の動作をA相とし、第2ADCの動作をB相としている。図3のONとはAD変換動作を行う期間を示し、AZとはオートゼロ動

作を行う期間を示している。図示のように、第1ADC2と第2ADC3は交互にAD変換動作を行い、第1ADC2がAD変換を行っている期間内に第2ADC3はオートゼロ動作を行い、第2ADC3がAD変換を行っている期間内に第1ADC2はオートゼロ動作を行う。第1ADC2は、発振器5の出力信号CLKに基づいてAD変換動作とオートゼロ動作を切り替えるのに対して、第2ADC3は、発振器5の出力信号CLKをインバータIV1で反転した信号に基づいてAD変換動作とオートゼロ動作を切り替える。

[0034] 図1及び図2のインピーダンス可変回路4は、制御回路4aと、インピーダンス調整回路4bとを有する。制御回路4aは、第1ADC2及び第2ADC3から出力されたデジタル信号に応じた複数ビットからなるゲート制御信号を出力する。インピーダンス調整回路4bは、入力電圧ノードn1と出力電圧ノードn2の間に接続された複数のトランジスタ回路を有し、各トランジスタ回路には、対応するゲート制御信号が入力され、ゲート制御信号に応じたインピーダンスを設定する。すなわち、インピーダンス調整回路4bは、入力電圧ノードn1と出力電圧ノードn2との間のインピーダンスを、第1ADC2及び第2ADC3から出力されたデジタル信号に応じて調整する。

[0035] このように、図1のレギュレータ1は、第1ADC2及び第2ADC3から出力されたデジタル信号により、複数のトランジスタ回路のインピーダンスを個別に設定することにより、出力電圧を制御する。

[0036] インピーダンス調整回路4bには、負荷回路7とバイパスコンデンサ（パスコン）C1が接続されている。負荷回路7の負荷の大きさは時間に応じて変動するが、インピーダンス調整回路4bから出力される出力電圧は、第1ADC2と第2ADC3に帰還されて出力電圧が一定になるように制御される。

[0037] 図4は図1及び図2の第1ADC2及び第2ADC3内のコンパレータ6の内部構成の一例を示す回路図である。図4のコンパレータ6は、スイッチSW1～SW3と、キャパシタC2と、PMOSTランジスタQ1と、NM

OSトランジスタQ2と、インバータIV2とを有する。

- [0038] スイッチSW1は、基準電圧VREFの入力ノードとキャパシタC2の一端とを接続するか否かを切り替える。スイッチSW2は、出力電圧VOUTのノードとキャパシタC2の一端とを接続するか否かを切り替える。スイッチSW3は、キャパシタC2の他端とインバータIV2の入力ノードとを接続するか否かを切り替える。インバータIV2の出力信号は、コンパレータ6の出力信号COMPOUTであり、インピーダンス可変回路4に入力される。
- [0039] PMOSトランジスタQ1のソースは電源電圧ノードに接続され、ドレインはインバータIV2の入力ノードに接続され、ゲートはキャパシタC2の他端に接続されている。NMOSトランジスタQ2のドレインはインバータIV2の入力ノードに接続され、ソースは接地ノードに接続され、ゲートはキャパシタC2の他端に接続されている。
- [0040] スイッチSW1とSW3はクロック信号CLKがハイレベルのときにオンし、スイッチSW2はクロック信号CLKがローレベルのときにオンする。スイッチSW3がオンすると、PMOSトランジスタQ1のゲートとドレインが短絡し、NMOSトランジスタQ2のゲートとドレインが短絡する。よって、スイッチSW3がオンすると、PMOSトランジスタQ1のゲート電圧はほぼ閾値電圧になり、NMOSトランジスタQ2のゲート電圧もほぼ閾値電圧になる。このとき、スイッチSW1もオンしているため、キャパシタC2の両端には、基準電圧－閾値電圧の電位差が印加され、その電位差に応じた電荷がキャパシタC2に蓄積される。これがオートゼロ動作である。
- [0041] クロック信号CLKがローレベルになると、スイッチSW1とSW3はともにオフし、スイッチSW2はオンする。これにより、キャパシタC2の一端には出力電圧が供給される。出力電圧が基準電圧よりも高ければ、キャパシタC2の他端側の電圧が閾値電圧より高くなり、NMOSトランジスタQ2がオンして、コンパレータ6の出力がハイレベルになる。一方、出力電圧が基準電圧よりも低ければ、キャパシタC2の他端側の電圧が閾値電圧よりも低くなり、PMOSトランジスタQ1がオンして、コンパレータ6の出力

はローレベルになる。

[0042] 図5はコンパレータ6内のトランジスタQ1、Q2の閾値電圧が変動する様子を示す波形図である。コンパレータ6がAD変換動作を行っている最中に、閾値電圧は徐々に低下する。閾値電圧の変動量が所定の許容誤差範囲を超えると、コンパレータ6は正常な比較動作を行えなくなる。

[0043] 図1のレギュレータ1は、コンパレータ6内のトランジスタQ1、Q2の閾値電圧の変動に対する対策を行ったものである。図1のレギュレータ1は、図2の発振器5の代わりにタイミング制御回路10を備えている。タイミング制御回路10以外の図1のコンパレータ6内の構成、具体的には、第1ADC2、第2ADC3及びインピーダンス可変回路4の内部構成は、図2と同様であるため、同じ符号で表している。

[0044] コンパレータ6内のトランジスタQ1、Q2の閾値電圧の変動の要因の一つは、トランジスタQ1、Q2のゲートリークである。そこで、図1のタイミング制御回路10は、トランジスタQ1、Q2のゲートリーク電流をモニタリングした結果に基づいて、信号CLKの発振周期を決定する。すなわち、図1のタイミング制御回路10は、トランジスタQ1、Q2のゲートリーク電流に基づいて、第1ADC2及び第2ADC3がAD変換動作を行うタイミングとオートゼロ動作を行うタイミングを制御するための信号CLKを生成する。本明細書では、信号CLKの周期を、インターリーブ周期と呼ぶ。本実施形態によるレギュレータ1は、コンパレータ6内のトランジスタQ1、Q2のゲートリーク電流に基づいて、第1ADC2及び第2ADCのインターリーブ周期を最適化することができる。

[0045] 図6は図1のタイミング制御回路10の内部構成を示すブロック図である。図6のタイミング制御回路10は、第1ゲートリーク検出回路11と、第2ゲートリーク検出回路12と、スイッチSW4、SW5と、キャパシタC3と、第1比較器13と、第2比較器14と、SRフリップフロップ（以下、SR-F/F）15と、Dフリップフロップ（D-F/F）16と、インバータIV3とを有する。

- [0046] 第1ゲートリーク検出回路11は、PMOSトランジスタQ3を有する。このトランジスタQ3のドレイン、ソース及びバックゲートは短絡されて電源電圧ノードに接続されている。トランジスタQ3のゲートを通過するリーク電流は、ドレイン、ソース又はバックゲートからの電流である。トランジスタQ3のドレイン、ソース及びバックゲートを短絡させて電源電圧ノードに接続することで、電源電圧ノードから、トランジスタQ3のドレイン、ソース及びバックゲートを通してゲートに流れる電流がゲートリーク電流になる。
- [0047] 第2ゲートリーク検出回路12は、NMOSトランジスタQ4を有する。このトランジスタQ4のドレイン、ソース及びバックゲートは短絡されて接地ノードに接続されている。トランジスタQ4のゲートからのリーク電流は、ドレイン、ソース又はバックゲートを通過する。トランジスタQ4のドレイン、ソース及びバックゲートを短絡させて接地ノードに接続することで、トランジスタQ4のゲートから、ドレイン、ソース及びバックゲートを通して接地ノードに流れる電流がゲートリーク電流になる。
- [0048] 第1ゲートリーク検出回路11内のトランジスタQ3と第2ゲートリーク検出回路12内のトランジスタQ4は、第1ADC2及び第2ADC3内のトランジスタQ1、Q2と同一の特性を有する。ここで、同一の特性とは、例えば、各トランジスタのゲート酸化膜の膜厚が等しい場合と、各トランジスタの不純物濃度のプロファイルが等しい場合との少なくとも一方である。2つのトランジスタのゲート酸化膜が等しい場合と、2つのトランジスタの不純物濃度のプロファイルが等しい場合の少なくとも一方では、2つのトランジスタの閾値電圧は略等しくなるとともに、2つのトランジスタのゲートリーク電流も略等しくなる。よって、第1ゲートリーク検出回路11と第2ゲートリーク検出回路12内のトランジスタQ3、Q4を、第1ADC2及び第2ADC3内のトランジスタQ1、Q2と同一特性にすることで、第1ADC2及び第2ADC3内のトランジスタQ1、Q2のゲートリーク電流と同等のゲートリーク電流を、第1ゲートリーク検出回路11及び第2ゲ

トリーク検出回路 12 に流すことができる。

- [0049] スイッチ SW4 は、トランジスタ Q3 のゲートとキャパシタ C3 の一端との間に接続されている。スイッチ SW4 は、SR-F/F15 の出力信号 QSR がローレベルのときにオンして、トランジスタ Q3 のゲートをキャパシタ C3 の一端に接続する。スイッチ SW5 は、トランジスタ Q4 のゲートとキャパシタ C3 の一端との間に接続されている。スイッチ SW5 は、SR-F/F15 の出力信号 QSR がハイレベルのときにオンして、トランジスタ Q4 のゲートをキャパシタ C3 の一端に接続する。
- [0050] キャパシタ C3 の一端は、スイッチ SW4、SW5 の一端と、第1比較器 13 の正入力ノードと、第2比較器 14 の負入力ノードに接続されている。キャパシタ C3 の他端は接地ノードに接続されている。キャパシタ C3 は、スイッチ SW4 がオンのときに、第1ゲートリーク検出回路 11 で検出されたゲートリーク電流に応じた電荷を蓄積する。また、キャパシタ C3 は、スイッチ SW5 がオンのときに、蓄積電荷に応じたゲートリーク電流を第2ゲートリーク検出回路 12 のゲートから接地ノードに流す。
- [0051] 第1比較器 13 の正入力ノードはキャパシタ C3 の一端に接続されており、負入力ノードは第1基準電圧 REF1 に設定されている。第1比較器 13 の出力は、キャパシタ C3 の蓄積電荷に応じた電圧（キャパシタ C3 の両電極間電圧）が第1基準電圧 REF1 以上のときにハイレベルになる。
- [0052] 第2比較器 14 の正入力ノードは第2基準電圧 REF2 に設定されており、負入力ノードはキャパシタ C3 の一端に接続されている。第2比較器 14 の出力は、キャパシタ C3 の蓄積電荷に応じた電圧が第2基準電圧 REF2 以下のときにハイレベルになる。
- [0053] SR-F/F15 は、第1比較器 13 の出力がハイレベルのときにセット状態になって、その出力信号 QSR はハイレベルになる。また、SR-F/F15 は、第2比較器 14 の出力がハイレベルのときにリセット状態になって、その出力信号 QSR はローレベルになる。
- [0054] D-F/F16 は、SR-F/F15 の出力信号 QSR がローレベルから

ハイレベルに遷移するとき出力信号CLKを反転させる。D-F/F16の出力信号CLKは、インバータIV3を介してD-F/F16のD入力ノードに入力される。これにより、D-F/F16は、SR-F/F15の出力信号QSRを二分周した信号CLKを生成する。D-F/F16の出力信号CLKは、第1ADC2と第2ADC3の動作を切り替えるために用いられる。このように、D-F/F16とインバータIV3はクロック生成器を構成している。

[0055] 図7は図6のタイミング制御回路10内の各部の信号波形図である。以下、図7を参照して、図6のタイミング制御回路10の動作を説明する。時刻t1以前は信号QSRはローレベルであり、スイッチSW4がオンし、スイッチSW5はオフする。これにより、電源電圧ノードから、トランジスタQ3のドレイン、ソース又はバックゲートを通してゲートに流れるゲートリーク電流は、スイッチSW4を介してキャパシタC3に流れる。よって、キャパシタC3に電荷が蓄積されて、キャパシタC3の両電極間電圧は線形に増大する。

[0056] 時刻t1になると、キャパシタC3の両電極間電圧は第1基準電圧REF1以上になり、第1比較器13の出力はハイレベルになり、SR-F/F15はセット状態になって、その出力信号QSRはローレベルからハイレベルに遷移する。これにより、スイッチSW4はオフしてスイッチSW5がオンし、キャパシタC3の蓄積電荷は、スイッチSW5を通して放電される。この放電電流は、トランジスタQ4のゲートからドレイン、ソース又はバックゲートを通して接地ノードに流れるゲートリーク電流である。

[0057] 時刻t1～t2の間は、キャパシタC3の蓄積電荷がトランジスタQ4のゲートリーク電流により放電され、キャパシタC3の両電極間電圧は線形に減少する。時刻t2になると、キャパシタC3の両電極間電圧が第2基準電圧REF2以下になり、第2比較器14の出力はハイレベルになる。これにより、SR-F/F15はリセット状態になり、その出力信号QSRはローレベルに遷移する。信号QSRがローレベルになると、スイッチSW4がオ

ンして、スイッチSW5がオンする。よって、第1ゲートリーク検出回路11からのゲートリーク電流がキャパシタC3に流れて、キャパシタC3は再び電荷を蓄積する。

[0058] その後、時刻 t_3 になると、再びキャパシタC3の両電極間電圧が第1基準電圧REF1以上となり、時刻 t_1 以降の動作が繰り返される。図7に示すように、キャパシタC3の両電極間電圧は、ノコギリ波(SAW)状になる。

[0059] $SR = F / F_{15}$ の出力信号QSRは時刻 $t_1 \sim t_2$ の間はハイレベルであり、時刻 $t_2 \sim t_3$ の間はローレベルである。すなわち、信号QSRの周期は時刻 $t_1 \sim t_3$ である。 $D = F / F_{16}$ とインバータIV3は、信号QSRを二分周した信号CLKを生成する。信号CLKは、時刻 t_1 以前はローレベル、時刻 $t_1 \sim t_3$ はハイレベル、時刻 $t_3 \sim t_5$ はローレベルになる。図3に示したように、信号CLKがローレベルの間は例えば第1ADC2がAD変換動作を行うとともに、第2ADC3がオートゼロ動作を行い、信号CLKがハイレベルの間は例えば第1ADC2がオートゼロ動作を行うとともに、第2ADC3がAD変換動作を行う。

[0060] このように、第1の実施形態では、第1ADC2及び第2ADC3内のトランジスタQ1、Q2のゲートリーク電流を第1ゲートリーク検出回路11及び第2ゲートリーク検出回路12で検出し、ゲートリーク電流に応じて、第1ADC2及び第2ADC3の動作を切り替える信号CLKの周期を決定する。これにより、ゲートリーク電流が多い場合には信号CLKの周期(インターリーブ周期)を短くしてオートゼロ動作の頻度を高める一方で、ゲートリーク電流が少ない場合にはインターリーブ周期を長くするため、AD変換動作とオートゼロ動作の切替頻度を下げることができ、第1ADC2及び第2ADC3の消費電力を削減できる。

[0061] (第2の実施形態)

第1ADC2及び第2ADC3内のコンパレータ6の閾値が変動するのは、必ずしもコンパレータ6を構成するトランジスタQ1、Q2のゲートリー

ク電流が要因とは限らない。コンパレータ 6 を構成するトランジスタ Q 1 , Q 2 のチャネルリーク電流も、コンパレータ 6 の閾値を変動する要因となる。

[0062] そこで、第 2 の実施形態では、コンパレータ 6 を構成するトランジスタ Q 1 , Q 2 のチャネルリーク電流に応じて、第 1 A D C 2 と第 2 A D C 3 の動作を切り替える信号 C L K の周期を制御するものである。

[0063] 第 2 の実施形態によるレギュレータ 1 は、図 1 と同様のブロック構成を有する。レギュレータ 1 内のタイミング制御回路 1 0 a の内部構成が図 6 とは異なっている。

[0064] 図 8 は第 2 の実施形態によるタイミング制御回路 1 0 a の内部構成を示す回路図である。図 8 では、図 6 と共通する構成部分には同一符号を付しており、以下では、相違点を中心に説明する。

[0065] 図 8 のタイミング制御回路 1 0 a は、第 1 チャネルリーク検出回路 1 7 と、第 2 チャネルリーク検出回路 1 8 と、スイッチ S W 4 、 S W 5 と、キャパシタ C 3 と、第 1 比較器 1 3 と、第 2 比較器 1 4 と、 S R - F / F 1 5 と、 D - F / F 1 6 と、インバータ I V 3 とを有する。

[0066] 第 1 チャネルリーク検出回路 1 7 及び第 2 チャネルリーク検出回路 1 8 の内部構成は、図 6 の第 1 ゲートリーク検出回路 1 1 及び第 2 ゲートリーク検出回路 1 2 とは異なっている。

[0067] 図 8 の第 1 チャネルリーク検出回路 1 7 は、 P M O S トランジスタ Q 5 を有する。このトランジスタ Q 5 のゲート、ソース及びバックゲートは短絡されて電源電圧ノードに接続されている。トランジスタ Q 5 のドレインを通過するリーク電流は、ゲート、ソース及びバックゲートからの電流である。トランジスタ Q 5 のゲート、ソース及びバックゲートを短絡させて電源電圧ノードに接続することで、電源電圧ノードから、トランジスタ Q 5 のゲート、ソース及びバックゲートを通してドレインに流れる電流がチャネルリーク電流になる。

[0068] 第 2 チャネルリーク検出回路 1 8 は、 N M O S トランジスタ Q 6 を有する

。このトランジスタQ 6のゲート、ソース及びバックゲートは短絡されて接地ノードに接続されている。トランジスタQ 6のゲート、ソース及びバックゲートを短絡させて接地ノードに接続することにより、トランジスタQ 6のドレインから、ゲート、ソース及びバックゲートを通して接地ノードに流れる電流がチャネルリーク電流になる。

[0069] 第1チャネルリーク検出回路17内のトランジスタQ 5と、第2チャネルリーク検出回路18内のトランジスタQ 6は、第1ADC 2と第2ADC 3内のトランジスタQ 1、Q 2と同一の特性を備えており、第1チャネルリーク検出回路17と第2チャネルリーク検出回路18で検出されたチャネルリーク電流は、第1ADC 2と第2ADC 3内のトランジスタQ 1、Q 2のチャネルリーク電流と略同一である。

[0070] 図8のタイミング制御回路10a内の各部は、図7と同様の信号波形で表される。SR-F/F 15の出力信号QSRがローレベルのときは、スイッチSW4がオンして、第1チャネルリーク検出回路17からのチャネルリーク電流がスイッチSW4を通してキャパシタC 3に電荷が蓄積される。キャパシタC 3の両電極間電圧が第1基準電圧REF 1以上になると、第1比較器13の出力はハイレベルになり、SR-F/F 15の出力信号QSRはハイレベルに遷移する。これにより、スイッチSW4はオフして、スイッチSW5がオンし、キャパシタC 3の蓄積電荷は、第2チャネルリーク検出回路18を流れるチャネルリーク電流に応じて放電される。

[0071] キャパシタC 3は、第1チャネルリーク検出回路17と第2チャネルリーク検出回路18を流れるチャネルリーク電流に応じて充放電を行い、キャパシタC 3の充放電速度に応じてSR-F/F 15は出力信号QSRの論理を切り替える。D-F/F 16は、信号QSRの周波数を二分周した信号CLKを生成する。信号CLKがハイレベルかローレベルかにより、第1ADC 2と第2ADC 3の動作が交互に切り替わる。

[0072] このように、第2の実施形態によるタイミング制御回路10aは、第1ADC 2と第2ADC 3内のトランジスタQ 1、Q 2のチャネルリーク電流に

応じて信号CLKの周期を制御するため、第1ADC2と第2ADC3のインターリーブ周期を最適化できる。

[0073] (第3の実施形態)

第1ADC2及び第2ADC3内のトランジスタQ1, Q2には、ゲートリーク電流とチャネルリーク電流が流れるおそれがあり、どちらが支配的になるかは、製造プロセスや製造ばらつきにより変動する可能性がある。そこで、ゲートリーク電流とチャネルリーク電流の両方を考慮に入れて、信号CLKの周期を制御することも考えられる。

[0074] 第3の実施形態によるレギュレータ1は、図1と同様のブロック構成を有する。レギュレータ1内のタイミング制御回路10bの内部構成が図6とは異なっている。

[0075] 図9は第3の実施形態によるタイミング制御回路10bの内部構成を示す回路図である。図9では、図6及び図8と共通する構成部分には同一符号を付しており、以下では、相違点を中心に説明する。

[0076] 図9のタイミング制御回路10bは、図6に示す第1ゲートリーク検出回路11及び第2ゲートリーク検出回路12と、図8に示す第1チャネルリーク検出回路17及び第2チャネルリーク検出回路18と、スイッチSW4、SW5と、キャパシタC3と、第1比較器13と、第2比較器14と、SR-F/F15と、D-F/F16と、インバータIV3とを有する。

[0077] 第1ゲートリーク検出回路11内のゲートと第1チャネルリーク検出回路17内のドレインはともに、スイッチSW4の一端に接続されている。第2ゲートリーク検出回路12内のゲートと第2チャネルリーク検出回路18内のドレインはともに、スイッチSW5の他端に接続されている。

[0078] SR-F/F15の出力信号QSRがローレベルの場合、スイッチSW4がオンし、第1ゲートリーク検出回路11内を流れるゲートリーク電流と、第1チャネルリーク検出回路17内のチャネルリーク電流がともに、スイッチSW4を通して、キャパシタC3に流れて、キャパシタC3に電荷が蓄積される。キャパシタC3の両電極間電圧が第1基準電圧REF1以上になる

と、 $SR-F/F15$ の出力信号 QSR はハイレベルに遷移する。これにより、スイッチ $SW4$ はオフして、スイッチ $SW5$ がオンする。よって、キャパシタ $C3$ の蓄積電荷は、第2ゲートリーク検出回路12内を流れるゲートリーク電流と、第2チャネルリーク検出回路18内を流れるチャネルリーク電流とに応じて放電される。キャパシタ $C3$ の両電極間電圧が第2基準電圧 $REF2$ 以下になると、 $SR-F/F15$ の出力信号 QSR は、ローレベルに遷移する。

[0079] このように、第3の実施形態では、第1ADC2と第2ADC3内のトランジスタ $Q1$ 、 $Q2$ のゲートリーク電流とチャネルリーク電流を、第1ゲートリーク検出回路11、第2ゲートリーク検出回路12、第1チャネルリーク検出回路17、及び第2チャネルリーク検出回路18で検出して、検出されたゲートリーク電流とチャネルリーク電流に応じて信号 CLK の周期を制御する。これにより、第1ADC2と第2ADC3のインターリーブ周期を最適化することができる。

[0080] 上述した第1～第3の実施形態によるレギュレータ1は、2つのADC（第1ADC2と第2ADC）を交互に切り替えてAD変換動作を順繰りに行い、一方がAD変換動作を行っている間に他方がオートゼロ動作を行う例を説明したが、3つ以上のADCを用いて、順繰りにAD変換動作を行うとともに、順繰りにオートゼロ動作を行うようにしてもよい。

[0081] なお、本技術は以下のような構成を取ることができる。

（1）出力電圧を閾値電圧と比較することにより前記出力電圧に応じたデジタル信号をそれぞれ異なるタイミングに順繰りに出力する複数のアナログーデジタル変換器と、

前記デジタル信号に基づいて前記出力電圧を制御する出力制御回路と、

前記複数のアナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記出力電圧を前記デジタル信号に変換するアナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整す

るタイミングとを制御するタイミング制御回路と、を備える、レギュレータ。

(2) 前記タイミング制御回路は、前記複数のアナログーデジタル変換器のうち一つが前記アナログーデジタル変換動作を行っている期間内に、前記一つ以外のアナログーデジタル変換器では前記閾値電圧を調整させる、(1)に記載のレギュレータ。

(3) 前記タイミング制御回路は、前記複数のアナログーデジタル変換器内のトランジスタと同一の特性のトランジスタを有し、前記同一の特性のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整するタイミングとを制御する、(1)又は(2)に記載のレギュレータ。

(4) 前記タイミング制御回路内の前記同一の特性のトランジスタは、前記複数のアナログーデジタル変換器内のトランジスタのゲート酸化膜と同一の膜厚のゲート酸化膜を有する、(3)に記載のレギュレータ。

(5) 前記タイミング制御回路内の前記同一の特性のトランジスタは、前記複数のアナログーデジタル変換器内のトランジスタの不純物濃度のプロファイルと同一のプロファイルを有する、(3)又は(4)に記載のレギュレータ。

(6) 前記タイミング制御回路は、前記同一の特性のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方が多いほど、前記閾値電圧を調整する頻度をより高くする、(3)乃至(5)のいずれか一項に記載のレギュレータ。

(7) 前記タイミング制御回路は、

前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有する（３）乃至（６）のいずれか一項に記載のレギュレータ。

（８）前記タイミング制御回路は、

前記同一の特性のトランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有する、（３）乃至（６）のいずれか一項に記載のレギュレータ。

（９）前記タイミング制御回路は、

前記同一の特性の第１トランジスタ及び第２トランジスタと、

前記第１トランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流と、前記第２トランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流と、に応じた電荷とを蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有する、（３）乃至（６）のいずれか一項に記載のレギュレータ。

（１０）前記複数のアナログーデジタル変換器は、第１アナログーデジタル変換器及び第２アナログーデジタル変換器を有し、

前記タイミング制御回路は、

前記第 1 アナログーデジタル変換器が前記アナログーデジタル変換動作を行っている最中に前記第 2 アナログーデジタル変換器では前記閾値電圧を調整させ、

前記第 2 アナログーデジタル変換器が前記アナログーデジタル変換動作を行っている最中に前記第 1 アナログーデジタル変換器では前記閾値電圧を調整させる、(1) 乃至 (6) のいずれか一項に記載のレギュレータ。

(11) 前記タイミング制御回路は、前記第 1 アナログーデジタル変換器及び前記第 2 アナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に応じた周期のクロック信号を生成し、

前記クロック信号が第 1 論理のときに、前記第 1 アナログーデジタル変換器は前記アナログーデジタル変換動作を行うとともに、前記第 2 アナログーデジタル変換器は前記閾値電圧を調整し、

前記クロック信号が第 2 論理のときに、前記第 2 アナログーデジタル変換器は前記アナログーデジタル変換動作を行うとともに、前記第 1 アナログーデジタル変換器は前記閾値電圧を調整する、(10) に記載のレギュレータ。

(12) 前記タイミング制御回路は、前記第 1 アナログーデジタル変換器及び前記第 2 アナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方が多いほど、前記クロック信号の周期をより短くする、(11) に記載のレギュレータ。

(13) 前記タイミング制御回路は、前記第 1 アナログーデジタル変換器及び前記第 2 アナログーデジタル変換器内のトランジスタと同一の特性のトランジスタを有し、前記同一の特性のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記第 1 アナログーデジタル変換器及び前記第 2 アナログーデジタル変換器内のトランジスタが前記アナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整する

タイミングとを制御する、(11)又は(12)に記載のレギュレータ。

(14) 前記タイミング制御回路は、

前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、を有し、

前記比較器の比較結果に応じて前記クロック信号の周期を設定する、(13)に記載のレギュレータ。

(15) 前記タイミング制御回路は、

前記同一の特性の第1トランジスタ及び第2トランジスタと、

前記第1トランジスタのドレイン、ソース及びバックゲートを短絡させて第1電圧ノードに接続した第1電流回路と、

前記第2トランジスタのドレイン、ソース及びバックゲートを短絡させて第2電圧ノードに接続した第2電流回路と、

前記第1電流回路内の前記第1トランジスタのゲート電流に応じた電荷を前記キャパシタに蓄積するか否かを切り替える第1切替器と、

前記キャパシタの蓄積電荷に応じた電流を、前記第2電流回路内の前記第2トランジスタのゲートに流すか否かを切り替える第2切替器と、を有し、

前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第1基準電圧よりも高い場合に前記第1切替器及び前記第2切替器の切替により前記キャパシタの蓄積電荷に応じた電流を前記第2電流回路内の前記第2トランジスタのゲートに流し、前記キャパシタの蓄積電荷に応じた電圧が前記第1基準電圧よりも低い電圧レベルの第2基準電圧以下の場合に前記第1切替器及び前記第2切替器の切替により前記第1電流回路内の前記第1トランジスタのゲート電流に応じた電荷を前記キャパシタに蓄積する、(14)に記載のレギュレータ。

(16) 前記同一の特性のトランジスタのゲート、ソース及びバックゲー

トを短絡させて基準電圧ノードに接続した状態でのドレイン電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、
を有し、

前記比較器の比較結果に応じて前記クロック信号の周期を設定する、（１３）に記載のレギュレータ。

（１７）前記タイミング制御回路は、

前記同一の特性の第１トランジスタ及び第２トランジスタと、

前記第１トランジスタのゲート、ソース及びバックゲートを短絡させて第１電圧ノードに接続した第１電流回路と、

前記第２トランジスタのゲート、ソース及びバックゲートを短絡させて第２電圧ノードに接続した第２電流回路と、

前記第１電流回路内の前記第１トランジスタのドレイン電流に応じた電荷を前記キャパシタに蓄積するか否かを切り替える第１切替器と、

前記キャパシタの蓄積電荷に応じた放電電流を、前記第２電流回路内の前記第２トランジスタのドレインを介して前記第２電圧ノードに流すか否かを切り替える第２切替器と、を有し、

前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第１基準電圧よりも高い場合に前記第１切替器及び前記第２切替器の切替により前記キャパシタの蓄積電荷に応じた放電電流を前記第２電流回路内の前記第２トランジスタのドレインに流し、前記キャパシタの蓄積電荷に応じた電圧が前記第１基準電圧よりも低い電圧レベルの第２基準電圧以下の場合に前記第１切替器及び前記第２切替器の切替により前記第１電流回路内の前記第１トランジスタのドレイン電流に応じた電荷を前記キャパシタに蓄積する、（１６）に記載のレギュレータ。

（１８）前記タイミング制御回路は、

前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流と、前記同一の特性

のトランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流とに応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、
を有し、

前記比較器の比較結果に応じて前記クロック信号の周期を設定する、（１３）に記載のレギュレータ。

（１９）前記タイミング制御回路は、

前記同一の特性の第１トランジスタ及び第２トランジスタと、

前記第１トランジスタのドレイン、ソース及びバックゲートを短絡させて第１電圧ノードに接続した第１電流回路と、

前記第２トランジスタのドレイン、ソース及びバックゲートを短絡させて第２電圧ノードに接続した第２電流回路と、

前記同一の特性の第３トランジスタ及び第４トランジスタと、

前記第３トランジスタのゲート、ソース及びバックゲートを短絡させて前記第１電圧ノードに接続した第３電流回路と、

前記第４トランジスタのゲート、ソース及びバックゲートを短絡させて前記第２電圧ノードに接続した第４電流回路と、

前記第１電流回路内の前記第１トランジスタのゲート電流と、前記第３電流回路内の前記第３トランジスタのドレイン電流とに応じた電荷を前記キャパシタに蓄積するか否かを切り替える第１切替器と、

前記キャパシタの蓄積電荷に応じた電流を、前記第２電流回路内の前記第２トランジスタのゲートと、前記第４電流回路内の前記第４トランジスタのドレインとに流すか否かを切り替える第２切替器と、を有し、

前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第１基準電圧よりも高い場合に前記第１切替器及び前記第２切替器の切替により前記キャパシタの蓄積電荷に応じた電流を前記第２電流回路内の前記第２トランジスタのゲートと前記第４電流回路内の前記第４トランジスタのドレインとに流し

、前記キャパシタの蓄積電荷に応じた電圧が前記第1基準電圧よりも低い電圧レベルの第2基準電圧以下の場合に前記第1切替器及び前記第2切替器の切替により前記第1電流回路内の前記第1トランジスタのゲート電流と前記第3電流回路内の前記第3トランジスタのドレイン電流とに応じた電荷を前記キャパシタに蓄積する、(18)に記載のレギュレータ。

[0082] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0083] 1、101 レギュレータ、2 第1ADC、3 第2ADC、4 インピーダンス可変回路、4a 制御回路、4b インピーダンス調整回路、5 発振器、6 コンパレータ、7 負荷回路、11 第1ゲートリーク検出回路、12 第2ゲートリーク検出回路、13 第1比較器、14 第2比較器、15 $SR-F/F$ 、16 $D-F/F$ 、17 第1チャネルリーク検出回路、18 第2チャネルリーク検出回路

請求の範囲

- [請求項1] 出力電圧を閾値電圧と比較することにより前記出力電圧に応じたデジタル信号をそれぞれ異なるタイミングに順繰りに出力する複数のアナログーデジタル変換器と、
- 前記デジタル信号に基づいて前記出力電圧を制御する出力制御回路と、
- 前記複数のアナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記出力電圧を前記デジタル信号に変換するアナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整するタイミングとを制御するタイミング制御回路と、を備える、レギュレータ。
- [請求項2] 前記タイミング制御回路は、前記複数のアナログーデジタル変換器のうち一つが前記アナログーデジタル変換動作を行っている期間内に、前記一つ以外のアナログーデジタル変換器では前記閾値電圧を調整させる、請求項1に記載のレギュレータ。
- [請求項3] 前記タイミング制御回路は、前記複数のアナログーデジタル変換器内のトランジスタと同一の特性のトランジスタを有し、前記同一の特性のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整するタイミングとを制御する、請求項1に記載のレギュレータ。
- [請求項4] 前記タイミング制御回路内の前記同一の特性のトランジスタは、前記複数のアナログーデジタル変換器内のトランジスタのゲート酸化膜と同一の膜厚のゲート酸化膜を有する、請求項3に記載のレギュレータ。
- [請求項5] 前記タイミング制御回路内の前記同一の特性のトランジスタは、前

記複数のアナログーデジタル変換器内のトランジスタの不純物濃度のプロファイルと同一のプロファイルを有する、請求項3に記載のレギュレータ。

[請求項6] 前記タイミング制御回路は、前記同一の特性のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方が多いほど、前記閾値電圧を調整する頻度をより高くする、請求項3に記載のレギュレータ。

[請求項7] 前記タイミング制御回路は、
前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有する請求項3に記載のレギュレータ。

[請求項8] 前記タイミング制御回路は、
前記同一の特性のトランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流に応じた電荷を蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有する、請求項3に記載のレギュレータ。

タ。

[請求項9]

前記タイミング制御回路は、

前記同一の特性の第1トランジスタ及び第2トランジスタと、

前記第1トランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流と、前記第2トランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流と、に応じた電荷とを蓄積するキャパシタと、

前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、

前記比較器の比較結果に基づいて、前記複数のアナログーデジタル変換器のそれぞれが前記アナログーデジタル変換動作を行うタイミングと前記閾値電圧を調整するタイミングとを制御するクロック信号を生成するクロック生成器と、を有する、請求項3に記載のレギュレータ。

[請求項10]

前記複数のアナログーデジタル変換器は、第1アナログーデジタル変換器及び第2アナログーデジタル変換器を有し、

前記タイミング制御回路は、

前記第1アナログーデジタル変換器が前記アナログーデジタル変換動作を行っている最中に前記第2アナログーデジタル変換器では前記閾値電圧を調整させ、

前記第2アナログーデジタル変換器が前記アナログーデジタル変換動作を行っている最中に前記第1アナログーデジタル変換器では前記閾値電圧を調整させる、請求項1に記載のレギュレータ。

[請求項11]

前記タイミング制御回路は、前記第1アナログーデジタル変換器及び前記第2アナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に応じた周期のクロック信号を生成し、

前記クロック信号が第1論理のときに、前記第1アナログーデジタル変換器は前記アナログーデジタル変換動作を行うとともに、前記第2アナログーデジタル変換器は前記閾値電圧を調整し、

前記クロック信号が第2論理のときに、前記第2アナログーデジタル変換器は前記アナログーデジタル変換動作を行うとともに、前記第1アナログーデジタル変換器は前記閾値電圧を調整する、請求項10に記載のレギュレータ。

[請求項12] 前記タイミング制御回路は、前記第1アナログーデジタル変換器及び前記第2アナログーデジタル変換器内のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方が多いほど、前記クロック信号の周期をより短くする、請求項11に記載のレギュレータ。

[請求項13] 前記タイミング制御回路は、前記第1アナログーデジタル変換器及び前記第2アナログーデジタル変換器内のトランジスタと同一の特性のトランジスタを有し、前記同一の特性のトランジスタのゲートリーク電流及びチャネルリーク電流の少なくとも一方に基づいて、前記第1アナログーデジタル変換器及び前記第2アナログーデジタル変換器内のトランジスタが前記アナログーデジタル変換動作を行うタイミングと、前記閾値電圧を調整するタイミングとを制御する、請求項11に記載のレギュレータ。

[請求項14] 前記タイミング制御回路は、
前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流に応じた電荷を蓄積するキャパシタと、
前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、を有し、
前記比較器の比較結果に応じて前記クロック信号の周期を設定する、請求項13に記載のレギュレータ。

- [請求項15] 前記タイミング制御回路は、
前記同一の特性の第1トランジスタ及び第2トランジスタと、
前記第1トランジスタのドレイン、ソース及びバックゲートを短絡させて第1電圧ノードに接続した第1電流回路と、
前記第2トランジスタのドレイン、ソース及びバックゲートを短絡させて第2電圧ノードに接続した第2電流回路と、
前記第1電流回路内の前記第1トランジスタのゲート電流に応じた電荷を前記キャパシタに蓄積するか否かを切り替える第1切替器と、
前記キャパシタの蓄積電荷に応じた電流を、前記第2電流回路内の前記第2トランジスタのゲートに流すか否かを切り替える第2切替器と、を有し、
前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第1基準電圧よりも高い場合に前記第1切替器及び前記第2切替器の切替により前記キャパシタの蓄積電荷に応じた電流を前記第2電流回路内の前記第2トランジスタのゲートに流し、前記キャパシタの蓄積電荷に応じた電圧が前記第1基準電圧よりも低い電圧レベルの第2基準電圧以下の場合に前記第1切替器及び前記第2切替器の切替により前記第1電流回路内の前記第1トランジスタのゲート電流に応じた電荷を前記キャパシタに蓄積する、請求項14に記載のレギュレータ。
- [請求項16] 前記同一の特性のトランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流に応じた電荷を蓄積するキャパシタと、
前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、を有し、
前記比較器の比較結果に応じて前記クロック信号の周期を設定する、請求項13に記載のレギュレータ。
- [請求項17] 前記タイミング制御回路は、
前記同一の特性の第1トランジスタ及び第2トランジスタと、

前記第 1 トランジスタのゲート、ソース及びバックゲートを短絡させて第 1 電圧ノードに接続した第 1 電流回路と、

前記第 2 トランジスタのゲート、ソース及びバックゲートを短絡させて第 2 電圧ノードに接続した第 2 電流回路と、

前記第 1 電流回路内の前記第 1 トランジスタのドレイン電流に応じた電荷を前記キャパシタに蓄積するか否かを切り替える第 1 切替器と、

前記キャパシタの蓄積電荷に応じた放電電流を、前記第 2 電流回路内の前記第 2 トランジスタのドレインを介して前記第 2 電圧ノードに流すか否かを切り替える第 2 切替器と、を有し、

前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第 1 基準電圧よりも高い場合に前記第 1 切替器及び前記第 2 切替器の切替により前記キャパシタの蓄積電荷に応じた放電電流を前記第 2 電流回路内の前記第 2 トランジスタのドレインに流し、前記キャパシタの蓄積電荷に応じた電圧が前記第 1 基準電圧よりも低い電圧レベルの第 2 基準電圧以下の場合に前記第 1 切替器及び前記第 2 切替器の切替により前記第 1 電流回路内の前記第 1 トランジスタのドレイン電流に応じた電荷を前記キャパシタに蓄積する、請求項 16 に記載のレギュレータ。

[請求項18]

前記タイミング制御回路は、

前記同一の特性のトランジスタのドレイン、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのゲート電流と、前記同一の特性のトランジスタのゲート、ソース及びバックゲートを短絡させて基準電圧ノードに接続した状態でのドレイン電流とに応じた電荷を蓄積するキャパシタと、

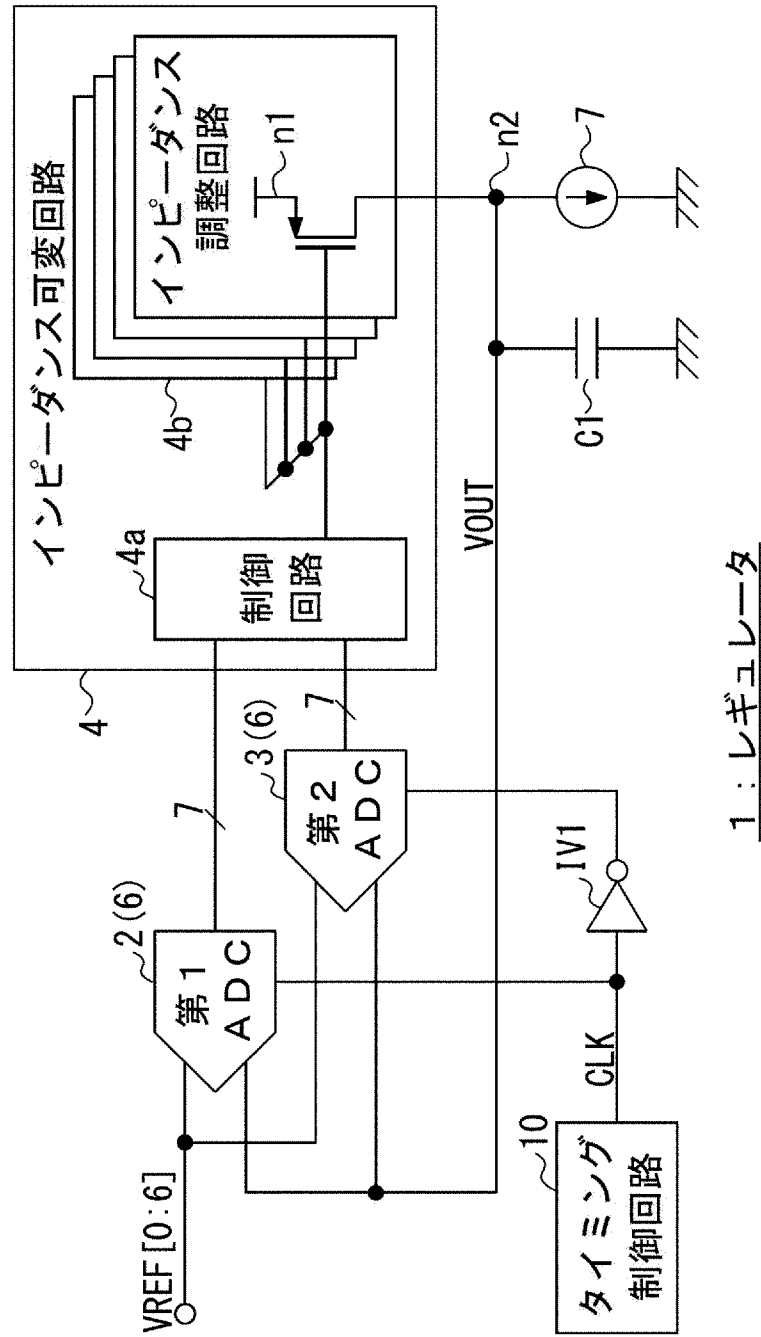
前記キャパシタの蓄積電荷に応じた電圧を基準電圧と比較する比較器と、を有し、

前記比較器の比較結果に応じて前記クロック信号の周期を設定する、請求項 13 に記載のレギュレータ。

[請求項19]

前記タイミング制御回路は、
前記同一の特性の第1トランジスタ及び第2トランジスタと、
前記第1トランジスタのドレイン、ソース及びバックゲートを短絡させて第1電圧ノードに接続した第1電流回路と、
前記第2トランジスタのドレイン、ソース及びバックゲートを短絡させて第2電圧ノードに接続した第2電流回路と、
前記同一の特性の第3トランジスタ及び第4トランジスタと、
前記第3トランジスタのゲート、ソース及びバックゲートを短絡させて前記第1電圧ノードに接続した第3電流回路と、
前記第4トランジスタのゲート、ソース及びバックゲートを短絡させて前記第2電圧ノードに接続した第4電流回路と、
前記第1電流回路内の前記第1トランジスタのゲート電流と、前記第3電流回路内の前記第3トランジスタのドレイン電流とに応じた電荷を前記キャパシタに蓄積するか否かを切り替える第1切替器と、
前記キャパシタの蓄積電荷に応じた電流を、前記第2電流回路内の前記第2トランジスタのゲートと、前記第4電流回路内の前記第4トランジスタのドレインとに流すか否かを切り替える第2切替器と、を有し、
前記比較器は、前記キャパシタの蓄積電荷に応じた電圧が第1基準電圧よりも高い場合に前記第1切替器及び前記第2切替器の切替により前記キャパシタの蓄積電荷に応じた電流を前記第2電流回路内の前記第2トランジスタのゲートと前記第4電流回路内の前記第4トランジスタのドレインとに流し、前記キャパシタの蓄積電荷に応じた電圧が前記第1基準電圧よりも低い電圧レベルの第2基準電圧以下の場合に前記第1切替器及び前記第2切替器の切替により前記第1電流回路内の前記第1トランジスタのゲート電流と前記第3電流回路内の前記第3トランジスタのドレイン電流とに応じた電荷を前記キャパシタに蓄積する、請求項18に記載のレギュレータ。

[図1]



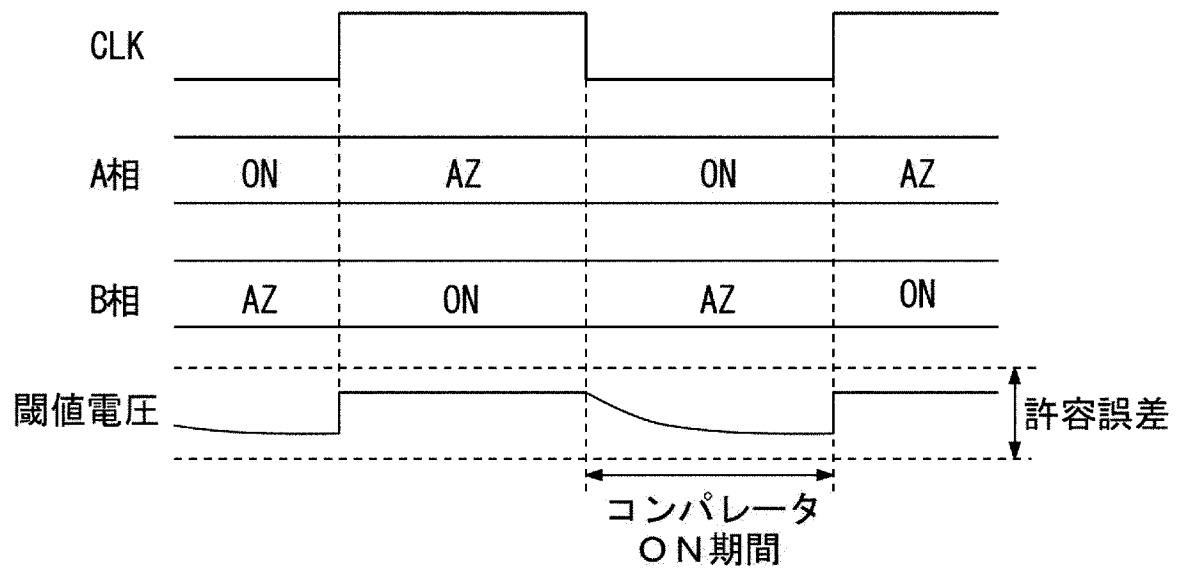
Timing diagram for the 74VHC163 4-bit counter. The diagram shows three signals: CLK, A相, and B相. CLK is a square wave. A相 and B相 are outputs that change state at specific clock edges. A相 is ON when CLK is high and B相 is AZ when CLK is low. B相 is AZ when CLK is high and ON when CLK is low.

CLK	A相	B相
Low	AZ	ON
High	ON	AZ

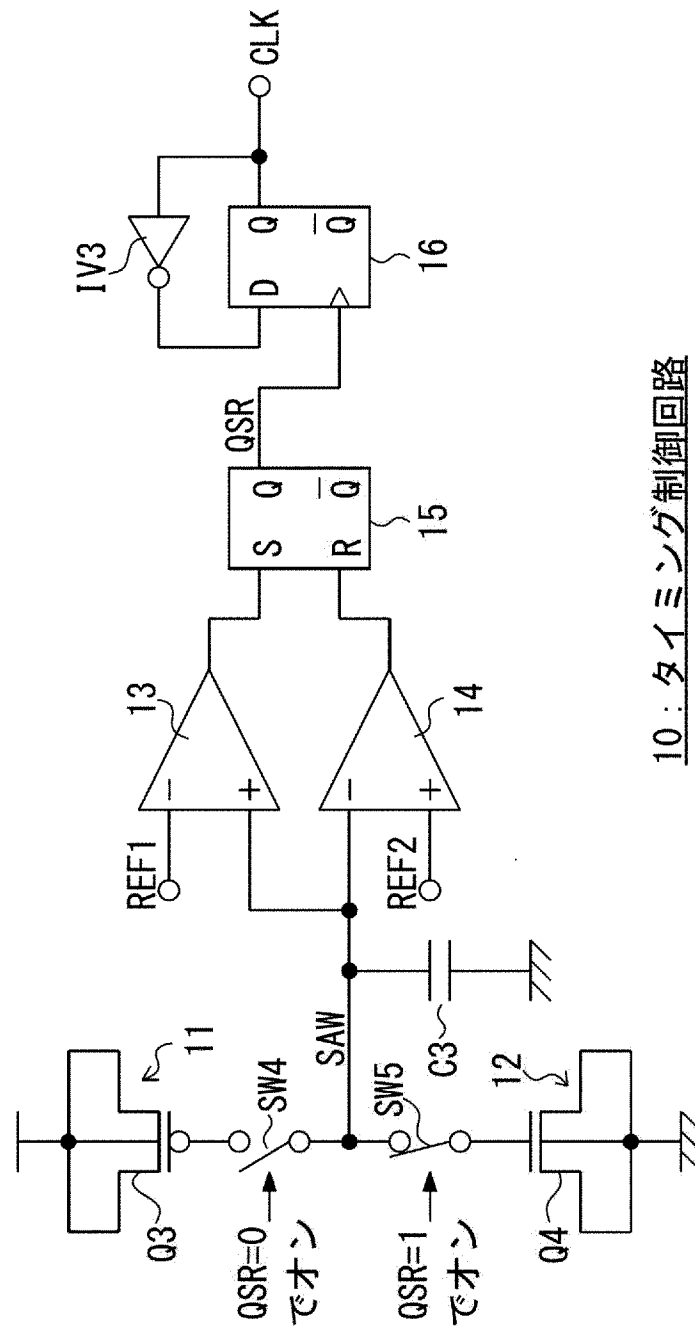
The circuit diagram shows a 1-bit DAC. It features a current mirror composed of two NMOS transistors, Q1 and Q2, whose gates are connected to a common bias voltage. The source of Q1 is connected to a node that is also connected to the drain of Q2 and the output of an inverter labeled IV2. The output of IV2 is labeled COMPOUT. A switch network is connected to the input of IV2. This network includes a switch SW3 controlled by a clock signal CLK, which connects the input of IV2 to a node between a capacitor C2 and another switch network. This second switch network consists of switches SW1 and SW2, controlled by REF and VOUT signals respectively, which connect to the CLK signal. The output of the DAC is COMPOUT.

6 : コンパレータ

[図5]

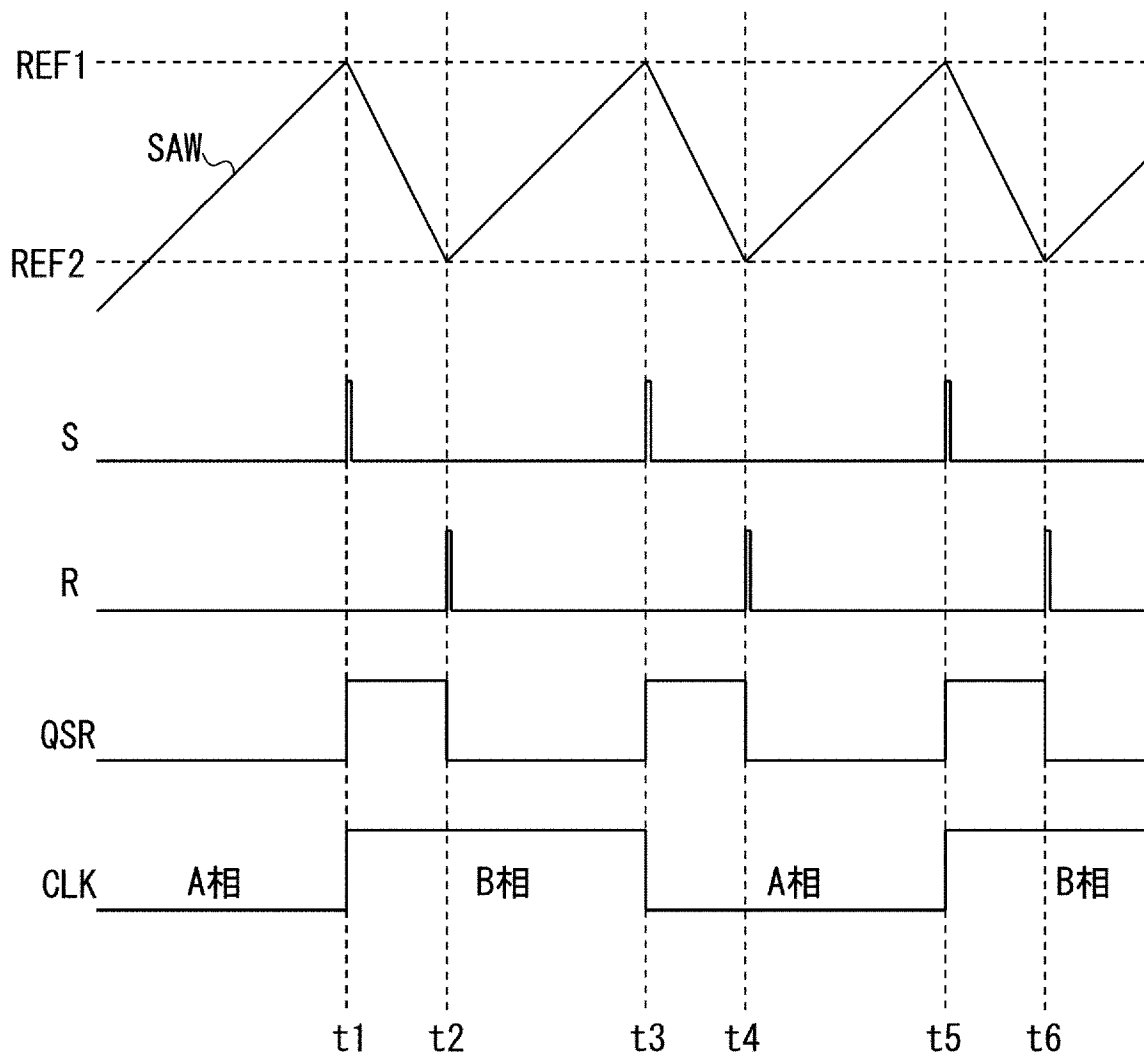


[図6]

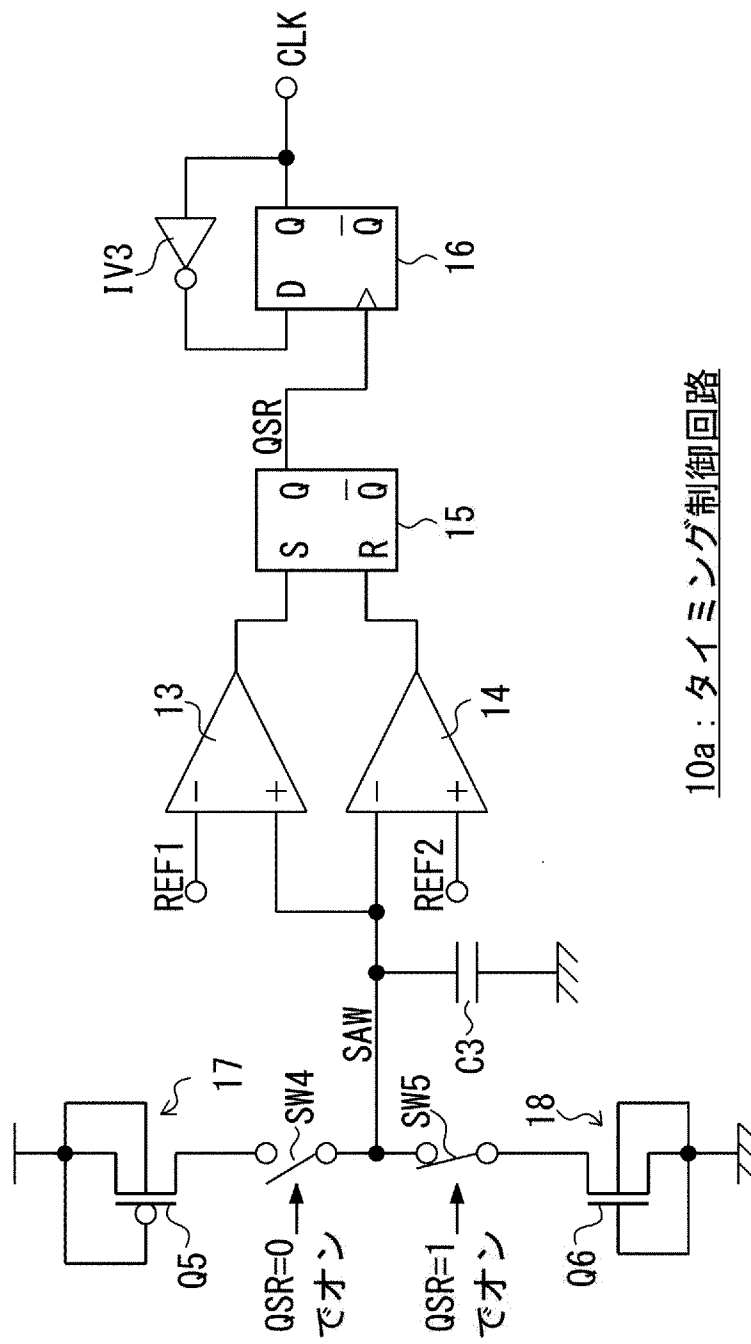


10: タイミング制御回路

[図7]

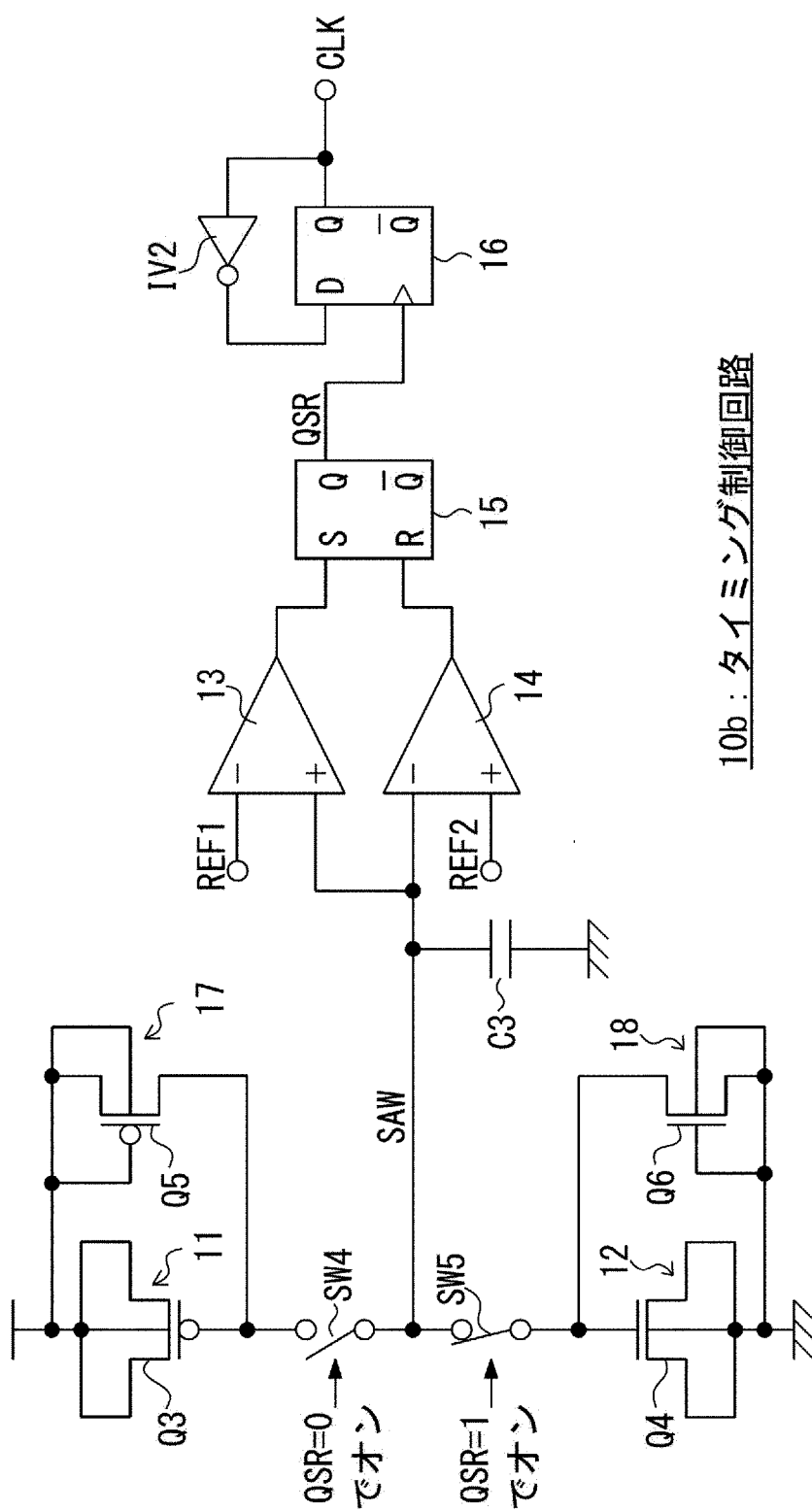


[図8]



10a: タイミング制御回路

10b: タイミング制御回路



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021971

A. CLASSIFICATION OF SUBJECT MATTER

G05F 1/56 (2006.01) i

FI: G05F1/56 310C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F1/46-1/656

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2021
Registered utility model specifications of Japan	1996-2021
Published registered utility model applications of Japan	1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-170470 A (FUJITSU SEMICONDUCTOR LTD.) 05 August 2010 (2010-08-05) entire text, all drawings	1-19
A	US 2006/0226898 A1 (LINEAR TECHNOLOGY CORPORATION) 12 October 2006 (2006-10-12) entire text, all drawings	1-19
A	JP 2004-194066 A (FUJITSU LTD.) 08 July 2004 (2004-07-08) entire text, all drawings	1-19
A	JP 2016-519356 A (QUALCOMM INCORPORATED) 30 June 2016 (2016-06-30) entire text, all drawings	1-19
A	JP 11-145832 A (FUJITSU LTD.) 28 May 1999 (1999-05-28) entire text, all drawings	1-19
A	JP 2003-218698 A (SONY CORP.) 31 July 2003 (2003-07-31) entire text, all drawings	1-19

☒ Further documents are listed in the continuation of Box C.	☒ See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family

Date of the actual completion of the international search 18 August 2021 (18.08.2021)	Date of mailing of the international search report 31 August 2021 (31.08.2021)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021971

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	JP 2020-201730 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 17 December 2020 (2020-12-17) entire text, all drawings	1-19

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/021971

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2010-170470 A	05 Aug. 2010	US 2010/0188141 A1 entire text, all drawings (Family: none)	
US 2006/0226898 A1	12 Oct. 2006	US 2004/0113829 A1	
JP 2004-194066 A	08 Jul. 2004	entire text, all drawings	
JP 2016-519356 A	30 Jun. 2016	US 2014/0266143 A1 entire text, all drawings WO 2014/150972 A1 CN 105027210 A KR 10-2015-0131198 A	
JP 11-145832 A	28 May 1999	US 6218975 B1 entire text, all drawings FR 2767984 A1 (Family: none)	
JP 2003-218698 A	31 Jul. 2003	WO 2020/250522 A1	
JP 2020-201730 A	17 Dec. 2020		

A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 1/56(2006.01)i FI: G05F1/56 310C		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G05F1/46-1/656		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-170470 A（富士通セミコンダクター株式会社）05.08.2010（2010-08-05） 全文、全図	1-19
A	US 2006/0226898 A1（LINEAR TECHNOLOGY CORPORATION）12.10.2006（2006-10-12） 全文、全図	1-19
A	JP 2004-194066 A（富士通株式会社）08.07.2004（2004-07-08） 全文、全図	1-19
A	JP 2016-519356 A（クアルコム、インコーポレイテッド）30.06.2016（2016-06-30） 全文、全図	1-19
A	JP 11-145832 A（富士通株式会社）28.05.1999（1999-05-28） 全文、全図	1-19
A	JP 2003-218698 A（ソニー株式会社）31.07.2003（2003-07-31） 全文、全図	1-19
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 18.08.2021	国際調査報告の発送日 31.08.2021	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 白井 孝治 5G 8843 電話番号 03-3581-1101 内線 3526	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	JP 2020-201730 A (ソニーセミコンダクタソリューションズ株式会社) 17.12.2020 (2020 - 12 - 17) 全文, 全図	1-19

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/021971

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-170470	A	05.08.2010	US 2010/0188141 A1 全文, 全図	
US	2006/0226898	A1	12.10.2006	(ファミリーなし)	
JP	2004-194066	A	08.07.2004	US 2004/0113829 A1 全文, 全図	
JP	2016-519356	A	30.06.2016	US 2014/0266143 A1 全文, 全図 WO 2014/150972 A1 CN 105027210 A KR 10-2015-0131198 A	
JP	11-145832	A	28.05.1999	US 6218975 B1 全文, 全図 FR 2767984 A1	
JP	2003-218698	A	31.07.2003	(ファミリーなし)	
JP	2020-201730	A	17.12.2020	WO 2020/250522 A1	