

**(19) 대한민국특허청(KR)**  
**(12) 특허공보(B1)**

(51) Int. Cl.<sup>5</sup>  
G09G 3/36

(45) 공고일자 1994년06월15일  
(11) 공고번호 특 1994-0005243

(21) 출원번호	특 1991-0009127	(65) 공개번호	특 1992-0010531
(22) 출원일자	1991년05월31일	(43) 공개일자	1992년06월26일

(30) 우선권주장  
90-323694 1990년11월26일 일본(JP)  
90-415720 1990년12월10일 일본(JP)

(71) 출원인  
가부시키가이샤 한도오따이 에네루기 겐큐쇼 야마자끼 순페이  
일본국 가나가와센 아쓰기시 하세 398

(72) 발명자  
야마자끼 순페이  
일본 토오쿄 157 세타가야구 7쵸메 가타가라슈이야마 12-21  
마세 아키라  
일본 가나가와센 아쓰기시 하세 381-1 3-3 테라수 하세  
히로키 마사아키  
일본 가나가와센 이세하라시 시라네 533-13

(74) 대리인  
황의만

심사관 : 안대진 (책자공보 제3653호)

(54) 전기광학장치와 그 구동방법

### 요약

내용 없음.

### 대표도

### 도1

### 영세서

[발명의 명칭]

전기광학장치와 그 구동방법

[도면의 간단한 설명]

제1도는 액정 디스플레이 등가회로를 보인 개략도.

제2도는 액정 디스플레이의 일반적인 구성을 보인 개략 단면도.

제3도는 본 발명의 제1실시형태에 따른 액정 디스플레이의 등가회로를 보인 개략도.

제4a도~제4c도는 제3도에서 보인 액정 디스플레이를 보인 설명도.

제5a도와 제5b도는 제1실시형태에 따른 액정 디스플레이의 동작 설명도.

제6도는 본 발명에 따른 박막형 전계효과 반도체 트랜지스터의 제조에 적합한 시스템을 보인 개략도.

제7a도는 산화물과 반도체 필름의 증착에 사용되는데 적합한 제6도에서 보인 시스템의 평면형 마그네트론 RF 스팍터링 장치를 보인 개략도.

제7b도는 제7a도에서 보인 바와 같은 장치에 구성된 자석의 배열을 보인 설명도.

제8a도~제8f도는 본 발명의 제1실시형태에 적합한 박막형 전계효과 반도체 트랜지스터의 제조과정을 보인 단면도.

제9a도는 본 발명의 제1실시형태에 따른 액정 디스플레이의 등가회로도.

제9b도는 제9a도에 도시된 액정 디스플레이의 평단면도.

제10a도 본 발명의 제3실시형태에 따른 액정 디스플레이의 등가회로도.

제10b도는 제10a도에 도시된 액정 디스플레이의 평단면도.

제11도는 본 발명의 제4실시형태에 따른 액정 디스플레이의 등가회로도.

제12도는 제4실시형태에 따른 액정 디스플레이의 콤파리멘터리 트랜지스터의 동작을 설명한 설명도.

제13도는 제4실시형태에 따른 액정 디스플레이의 동작을 연대순 방식으로 설명한 다이아그램.

제14도는 본 발명의 제4실시형태에 다른 액정 디스플레이의 등가회로도.

제15도는 본 발명의 제5실시형태에 따른 액정 디스플레이의 동작을 연대순 방식으로 설명한 다이아그램.

제16도는 제5실시형태에 따른 액정 디스플레이의 동작을 연대순 방식으로 설명한 다이아그램.

제17도는 본 발명의 제6실시형태에 다른 액정 디스플레이의 등가회로도.

제18도는 제6실시형태에 따른 액정 디스플레이의 동작을 연대순 방식으로 설명한 다이아그램.

#### [발명의 상세한 설명]

본 발명은 디스플레이와 그 구동 시스템에 관한 것으로, 특히 액정 디스플레이에 사용하는데 적합한 콤파리멘터리 박막 게이트 절연형 전계효과 트랜지스터를 이용한 디스플레이 구동 시스템에 관한 것이다.

종래 박막 트랜지스터(TFT)로 구동되는 능동형 액정 디스플레이가 알려진 바 있다. 이러한 형태의 디스플레이는 가시판넬과 이 패널을 구동시키기 위한 주변회로로 구성된다. 주변회로는 텁-본딩 또는 COG(chip on glass) 방법으로 직접회로를 포함하는 단결정 칩을 유리기재상에 부착시켜 구성된다. 가시판넬은 각각 구동 TFT를 갖춘 다수의 픽셀로 구성된다. 통상적인 TFT는 각 판넬에 전기적으로 결합된 아모퍼스, 즉 비결정질 또는 다결정 반도체내에 형성된 n-채널 FET이다.

제1 또는 액정 디스플레이의 한 회로를 보인 것이다. 이 회로에서는 설명을 간략하게 하기 위하여 단지  $2 \times 2$  매트릭스만을 도시하였으나 통상적으로 액정 디스플레이는  $640 \times 480$  매트릭스,  $1260 \times 960$  매트릭스등의 형태와 같이 상당수의 픽셀로 구성된다. 액정 디스플레이는 제2도에서 보인 바와 같이 한쌍의 유리기재(11), (11') 사이에 배치되는 액정층(42)을 포함한다. 부호(54)는 평판판을 나타낸다. 유리기재(11')의 내면은 접지전극(53)으로 피복된다. 다른 기재(11)의 내면에는 각각 디스플레이의 한 픽셀을 구성하는 다수의 전도성 패드가 구비되어 있다. 각 전도성 패드는 소오스가 해당 패드에 전기적으로 연결되는 N-형 FET(51)와 함께 형성된다.

매트릭스에서 같은 횡렬(row)의 FET의 드레인은 횡렬 드라이버(47)로부터 제어신호가 공급되는 횡렬의 제어라인에 연결된다. 같은 종렬(column)에서 N-형 FET의 게이트는 종렬 드라이버(46)로부터 제어신호가 공급되는 제어라인에 연결된다.

디스플레이의 동작에 있어서, 종렬 드라이버(46)는 선택된 종렬의 TET를 터-온 시키도록 이 종렬에 하이 레벨의 제어신호를 공급한다.

그러나, TFT의 온-오프 동작이 충분히 수행되지 않아 TFT의 출력전압(즉, 픽셀에 대한 입력)이 사전에 결정된 하이 전압레일(예를 들어 5V)에 이르지 못하거나 이 출력 전압이 사전에 결정된 로우 전압레벨(예를 들어 0V)로 완전히 떨어지지 않는 경우가 있다. 이는 TFT의 비대칭 특성 때문이다. 즉, 액정층의 충전 작용은 이 액정층으로부터의 이 방전작용과 다르게 일어난다. 더욱이, 액정은 그 자체가 절연층이므로 TFT가 터-오프되었을 때에 액정전압( $V_{LC}$ )은 부동된다. 액정된 축적 전하는 전하량은 용량과 등가이며  $V_{LC}$ 를 결정한다. 그러나 축적된 전하는 먼지나 이온화된 불순물로 구성되는 채널 저항  $R_{SD}$ 을 통하여거나 저항  $R_{LC}$ (44)이 때때로 감소되는 액정자체를 통하여 누설된다. 이러한 이유로  $V_{LC}$ 는 막연한 중간 전압레벨이 된다. 20만개에서 500만개의 픽셀을 갖는 판넬인 경우 높은 효율을 기대할 수 없다.

더욱이 종래의 구동방법에 있어서, 제어전압이 인가되는 액정물질은 동작중에 한 방향만으로 평균전계를 받는다. 이러한 전계는 계속 사용할시에 전해의 원인이 된다. 이러한 이유로 액정물질의 노화가 촉진되고 디스플레이의 사용 수명이 단축된다.

본 발명의 목적은 선명한 가시화상을 보일 수 있는 디스플레이와 이러한 디스플레이의 구동 방법을 제공하는데 있다.

이후 본 발명의 다른 목적, 잇점 및 독특한 특징등이 설명될 것이며, 이후 설명되는 실시형태로 본 발명의 기술분야에 정통한 전문가라면 일부는 명백히 알것이고 또는 본 발명의 실시에 의하여 체득하게될 것이다. 본 발명의 목적과 잇점은 첨부된 청구범위에서 특별히 한정한 구성과 조합에 의하여 달성되고 또한 기대될 수 있다.

상기 언급된 목적이나 다른 목적은 달성하기 위하여, 그리고 본문에 예시된 바와 같이, 본 발명에 따른 디스플레이는 감광매체, 매체에 다수의 픽셀을 형성하는 전극 패턴과 전극 패턴에 제어신호를 공급하기 위한 제어회로로 구성된다. 제어 회로는 로우레벨과 하이레벨 사이에 연결된 적어도 하나의 콤파리멘터리 트랜지스터로 구성된 스위칭 소자를 통하여 각 픽셀에 제어신호를 공급한다. 콤파리멘터리 트랜지스터를 이용하므로서 각 픽셀의 전압레벨의 이 픽셀의 동작중에 파동이 일어나지 아니한다.

전형적인 구동방법에 있어서, 이러한 형태의 디스플레이는 전도성 패드에 펄스형태의 제어신호를 인가하므로서 구동된다. 감광매체는 전도성 패드와 배면전극 사이에 배치된다. 배면전극에는 감광매체에 인가되는 평균 전압이 제로가 되도록 하기 위하여 교류 전압이 공급된다.

전형적인 실시예에서, 본원 발명은 액정 디스플레이에 적용된다. 디스플레이의 각 픽셀에는 액정층의 레벨이 부동상태가 아니고 정확히 하이 또는 로우전압레벨이 되도록 하는 콤파리멘터리 박막형

전계효과 트랜지스터로된 스위칭 소자가 구비된다. 물론 본 발명은 박막형 트랜지스터 이외에 교열형, 공면형, 역교열형, 역공면형과 같은 여러 가지 다른 트랜지스터로 실시될 수도 있다. 트랜지스터의 채널영역은 트랜지스터의 감광성을 줄여 입사광의 불필요한 영향을 배제하기 위하여 적당한 불순물을 주입하여 처리된다. 스위칭 트랜지스터에 제어신호를 공급하기 위한 드라이버의 제어 트랜지스터가 광선이 입사되지 않는 그 주변 위치에서 동일기재상에 구성될 때에 이들은 불순물로 처리되지 않는다. 이와 같은 경우, 기재에는 두가지 형태의 트랜지스터가 구성되는데 하나는 불순물로 처리되고 다른 하나는 불순물로 처리되지 아니하며 캐리어 이동성이 불순물로 처리된 트랜지스터 보다 2~4배나 크다.

본 발명을 첨부도면에 의거하여 보다 상세히 설명하면 다음과 같다.

제3도는 본 발명의 제1실시형태에 다른 액정 디스플레이의 등가회로도를 보인 것이다. 이 회로도에서는 설명을 간명하게 하기 위하여 단지  $2 \times 2$  매트릭스를 보이고 있으나 통상적인 액정 디스플레이는  $640 \times 480$  매트릭스,  $1260 \times 960$  매트릭스와 같이 상당수의 픽셀로 구성된다. 이 액정 디스플레이는 제2도에서 보인 바와 같이 쌍의 유리기재(11), (11') 사이에 배치된 액정층(42)을 포함한다. 유리기재 (11')의 내측면은 전극(53)으로 피복된다. 타측 기재(11)의 내측면에는 제4a도에서 보인 바와 같이 각각 디스플레이의 한 픽셀을 구성하는 다수의 전도성 패드(37b)가 구비되어 있다. 도면에서 하나의 픽셀을 정선내에 표시하였다. 각 전도성 패드(37b)는 각각 드레인(34b), (34b')이 해당 패드(37b)에 전기적으로 연결된 N-형 FET(41)과 P-형 FET(51)로 구성된 COMS의 트랜지스터와 함께 기재에 형성된다. 같은 횡렬에서 COMS의 P-형 FET의 소오스는 이 횡렬의  $V_{DD}$  라인(48)에 연결된다. 같은 횡렬에서 COMS의 P-형 N-형 FET의 소오스는 이 횡렬의  $V_{SS}$  라인(49)에 연결된다. 같은 종렬에서 COMS의 P-형 N-형 FET의 게이트는 이 종렬의  $V_{GG}$  라인에 연결된다.  $V_{SS}$  라인과  $V_{DD}$  라인은 횡렬 드라이버(47)에 연결되고 이로부터 제어신호가 공급된다.  $V_{GG}$  라인(52)이 종렬 드라이버(46)에 연결되고 이로부터 제어신호가 공급된다. 종렬 드라이버(46)와 횡렬 드라이버(47)는 제2도에 보인 바와 같이 유리기재 (21)이 돌출단부에 형성되어 있다.

TN 액정물질이 사용될 때에 기재의 거리는 약  $10\mu m$ 가 되게 선택되고 이를 기재내면에는 적당히 연마 처리되는 반향제어 필름이 구비되어 있다. 강유전체의 액정물질(FLC)이 사용될 때에 기재의 거리는 약  $1.5\sim 3.5\mu m$ , 예를 들어  $2.3\mu m$ 가 되도록 선택되고 단 하나의 내측면(접지전극면)에 적당히 연마 처리되는 방향제어 필름이 구지되어 있다. 구동전압은  $20V$ 이다. 분산형의 액정물질 또는 종합체 액정물질이 사용되는 경우, 기재의 거리는 약  $1.0\sim 10.0\mu m$ , 예를 들어  $2.3\mu m$ 가 되도록 선택되고 방향제어 필름은 필요로 하지 아니한다. 구동전압은  $\pm 10\sim \pm 15V$ 이다. 이와 같은 경우에 또한 편광판도 필요 없으므로 유효광량은 투과 또는 반사형의 어느 형태에서나 어느정도 증가될 수 있다. 아울러, 액정층이 한계전압을 가지지 않는 반면에 디스플레이되는 화상의 콘트라스트가 양호하며 정확한 한계전압을 제공하는 콤플리멘터리 TFT의 사용으로 불필요한 혼선이 효과적으로 방지된다.

제5a도와 제5b도에서 콤플리멘터리 트랜지스터의 동작이 설명된다. 로우레벨( $0V$ )의 제어신호가 게이트(28), (28')에 인가될 때에 p-채널 TFT(41)는 터-오프되는 반면에 n-채널 TFT(51)는 터-온 된다. 콤플리멘터리 TFT(29)의 출력단자는  $V_{SS}$  라인에서 해제되어  $V_{DD}$  라인에 연결되므로서 하이전압의 입력신호가  $V_{DD}$  라인에 인가될 때에 하이전압  $V_{DD}$  (예를 들어  $+10V$ )로 풀업된다. 반대로 하이레벨( $5V$ )의 제어신호가 제5b도에서 보인 바와 같이 게이트(28), (28')에 인가될 때에 p-채널 TFT(41)가 터-온되는 반면에 n-채널 TFT(51)가 터-오프된다. 콤플리멘터리 TFT(29)의 출력단자가  $V_{DD}$  라인에서 해제되고  $V_{SS}$  라인에 연결되므로서 로우 전압의 입력신호가  $V_{SS}$  라인에 인가될 때에 로우 전압(예를 들어  $-10V$  또는  $0V$ )로 떨어진다. 디스플레이의 동작에 있어서, 종렬 드라이버(46)은 선택된 종렬에 로우 레벨의 제어신호를 공급하여  $V_{DD}$  라인(49)은 이 종렬의 패드(37b)에서 분리한다. 다른 한편으로 횡렬 드라이버(47)는  $V_{DD}$  라인에 의하여 선택된 횡렬에 하이레벨의 제어신호를 공급하여 선택된 종렬과 선택된 횡렬에 배치된 요구된 패드를 동시에 풀업시킨다. 즉, 동작에 있어서, 액정층에는 임의의 가시패턴을 형성하도록 각 픽셀에서 3개의 전압레벨, 즉,  $-10V$ ,  $0V$  및  $+10V$ 가 선택적으로 인가된다.

이제 제6도, 제7a도, 제8a도~제8f도에서 본 발명의 제1실시형태에 따라 COMS를 구성하는 게이트 절연형 전계효과(41), (51)를 제조하는 방법이 설명될 것이다.

제6도는 마그네트론 RF 스퍼터링 방법으로 반도체와 산화물 필름을 증착하기 위한 멀티챔버형 스퍼터링 시스템을 개략적으로 보인 것이다.

이 시스템을 게이트 밸브(5)를 갖는 로딩 및 언로딩용 프리챔버(1), 밸브(6)를 통하여 프래챔버에 연결된 보조챔버(2)와 각각 밸브(7), (8)를 통하여 보조챔버 (2)에 연결된 제1 및 제2스퍼터링장치 (3), (4)로 구성된다. 프리챔버(1)에는 직렬로 연결된 로타리 펌프와 터보분자 펌프로 구성되는 배기 장치(9)가 구비되어 있다. 보조챔버(2)에는 직렬로 연결된 로타리 펌프와 터보분자 펌프로 구성되는 저진공의 제1배기장치(10a)와, 크라이오섭션 펌프(cryosorption pump)로 구성되는 고진공의 제2배기장치(10b)가 구비되어 있다. 피복될 기재가 보조챔버(2)내에서 가열됨에 따라 열수축되는 경우, 이러한 기재에 대한 증착중에 필름에 작용하는 열수축과 스트레스가 감소되어 필름의 접착성이 개선될 수 있다.

스퍼터링 장치(3), (4)는 본 발명에 따라 사용될 때에 산화물 필름과 반도체 필름을 각각 증착시키는데 배타적으로 사용하기에 적합한 평면형 마그네트론 RF 스퍼터링 장치이다. 제7a도와 제7b도는 RF 스퍼터링 장치를 상세히 보인 것이다. 이 장치는 진공챔버(20), 각각 밸브(12a), (12c)를 갖는 터보분자 펌프(12b)와 로타리 펌프(12d)로 구성되는 저진공의 제1배기장치(12-1), 밸브(12f)를 갖는 크라이오섭션 펌프(12e)로 구성되는 고진공의 제2배기장치(12-2), 타킷트(14)를 지지하기 위하여 챔버(20)의 하측에 고정되고 타킷트(14)를 냉각시키도록 냉각제가 흐를 수 있게 된 내부도관(13a)이 형성되어 있으며 영구자석과 같은 다수의 자석(13b)이 배치된 금속홀더(13), 홀더(13)에 RF 에너지를 공급하기 위하여 매칭박스(15b)가 구비된 RF(예를 들어  $13.56MHz$ ) 에너지원(15a)으로 구성되는 에너

지 공급원(15), 피복될 기재(11)를 지지하기 위하여 챔버(20)의 상부위치에 배치된 기재홀더(16), 기재홀더(16)내에 매설되어 있는 히터(16a), 기재(11)와 타킷트(14) 사이에 개재된 셔터(17)와, 기체 공급장치(18)로 구성된다.

부호(19)는 진공챔버(20)를 기밀하게 밀봉하기 위한 밀봉 수단을 나타낸다. 기재(11)에 증착하는 과정에서, 타킷트에서 발생된 불순물이 기재(11)와 타킷트(14) 사이에 놓여있는 셔터(17)에 충돌하여 퇴적되며, 이후에 셔터가 옮겨지고 기재(11)에 정상적인 증착이 이루어질 수 있게 된다. 자석(13b)은 이들이 N극이 상축단을 향하고 S극이 하축단을 향하여 제7b도에서 보인 바와 같이 수평방향으로 원형이 되게 배열되어 전자가 기재(11)와 타킷트(14) 사이의 스팍터링 영역에 집속되게 한다.

제6도 제7a도 및 제7b도와 함께 제8a도~제8f도에서는 본 발명의 제1실시형태에 따라서 박막 전계효과 트랜지스터(41), (51)를 제조하는 방법이 설명된다. 이 예시된 방법은 대량생산에 적합한 멀티 챔버형 장치에서 수행된다. 그러나 이러한 방법은 별다른 수정없이 독립된 챔버를 이용하는 유사한 방법에도 적용될 수 있다.

10개 사이트의 유리기재가 카셋트에 실리어 벨브(5)를 로딩 및 언로딩 프리챔버(1)내에 배치된다. 이를 기재는 니폰 일렉트릭 글라스 사에서 제조된 NO(상품명)유리, 호야사에서 제조된 LE-30(상품명)유리 또는 코닝사에서 제조된 VYCOR(상품명)유리와 같이 700°C까지의 온도, 예를 들어 약 600°C의 고온에서 행하여지는 열처리에도 견딜수 있는 저가의 유리로 만들어질 수 있다. 프리챔버(1)와 보조챔버(2)의 내부조건을 조절한 후에 카셋트가 프리챔버(1)로부터 벨브(6)를 통하여 보조챔버(2)쪽으로 운반된다. 유리기재의 하나가 운반기구(도시하지 않았음)에 의하여 제7a도에서 보인 바와 같은 제1마그네트론 RF 스팍터링 장치내에 배치되고 100% O<sub>2</sub> 분위기(0.5Pa)와 150°C의 기재온도에서 1000 Å~3000 Å의 두께로 차단 필름의 기능을 갖도록 SiO<sub>2</sub> 필름(32)이 피복된다. 이 장치의 출력은 13.56MHz zRF 에너지에서 400W~800W이다. 단결정 실리콘이나 석영고가 타킷트로 사용된다.

증착 속도는 30~100 Å/min 이다.

그리고 피복된 기재가 나머지 9개 기재중의 하나와 교체되고 같은 방법으로 연속하여 SiO<sub>2</sub> 필름으로 피복된다. 이러한 과정에서 프리챔버(1)와 보조챔버(2) 사이의 기재운반은 불필요한 불순물을 제거하기 위하여 각 챔버(1), (2)내의 압력과 내부분위기를 조절한 후에 수행된다.

다음으로 비결정질의 실리콘 필름(33)이 제2스퍼터링 장치(4)에서 500nm~1μm의 두께, 예를 들어 2000 Å의 두께로 SiO<sub>2</sub> 필름(32)상에 증착된다. 비결정질 필름내의 산소, 탄소 및 질소의 전체 밀도는 감광성을 낮추어 트랜지스터의 채널영역에서 입사광선의 불필요한 영향을 배제하기 위하여  $4 \times 10^{19} \sim 5 \times 10^{21} \text{ cm}^{-3}$  사이가 좋다. 채널의 감광성은 다른 방법으로서 채널내에 선택적으로 불순물을 주입하여 낮출 수도 있다. 이와 같은 경우에 있어서, 비결정질 필름의 산호, 탄소 및 질소의 전체 밀도는  $7 \times 10^{20} \text{ cm}^{-3}$ , 좋기로는  $1 \times 10^{19} \text{ cm}^{-3}$ 를 넘지 않는 것이 좋다. 이러한 저밀도는 이후 열처리 단계에서 실리콘 필름에 형성되는 소오스와 드레인의 재결정이 용이하게 이루어지도록 한다. 실리콘 필름(33)의 형성을 위하여 10개의 기재가 보조챔버(2)로부터 동일한 방법으로 차례로 장치(4)내에 배치되고 여기에서 비결정질 실리콘 필름의 증착을 위한 처리가 이루어진다. 장치(4)와 보조챔버(2) 사이의 각 기재의 운반은 불필요한 불순물을 배제하기 위하여 챔버(2), (4)내의 압력과 내부분위기를 조절한 후에 수행된다. 일반적으로 이러한 과정은 이후 특별히 언급되지는 않았으나 제1 또는 제2스퍼터링 장치와 보조챔버 사이로 기재를 운반코자 할 때에도 적용된다. 장치(4)내의 분위기는 수소와 알곤으로 구성된 혼합체로 구성되며 분압하에서 H<sub>2</sub>/(H<sub>2</sub>+Ar)=0.8(일반적으로는 0.2~0.8)이 되게 한다.

수소와 알곤은 그 순도가 각각 99.999%이어야 하며 장치(4)의 내부가  $1 \times 10^{-5} \text{ Pa}$  이하로 배기된 후에 주입된다. 총 압력은 0.5Pa이고, 장치의 출력은 13.56MHz RF 에너지에서 400W~800W이며,  $5 \times 10^8 \text{ cm}^{-3}$  이하의 농도에서 산소원자를 포함하는 단결정 실리콘이 타킷트로 사용되고, 기재온도는 동일한 방법으로 히터(16a)에 의하여 150°C(증착온도)로 유지된다. 우선 실시형태에서 상기 혼합체내에서 수소비율은 5%~100%로 선택되고, 증착온도는 50°C~500°C, 예를 들어 150°C이며, 출력은 다른 필스에너지 원과 조합되어 500Hz~100GHz의 주파수 범위에서 1W~10mW 사이이다.

또한 비결정질 실리콘 필름(33)은 저합 CVD(LP CVD) 또는 플라즈마 CVD 방법에 의하여 증착될 수 있다. LP CVD의 경우에 있어서, 증착은 적당한 CVD 챔버내에 디실란(Si<sub>2</sub>H<sub>6</sub>) 또는 트리실란(Si<sub>3</sub>H<sub>8</sub>)을 주입하여 수행된다. 증착온도는 실리콘의 재결정 온도, 즉 450°C~550°C 사이의 온도, 예를 들어 530°C 이하 인 100°C~200°C의 온도에서 선택된다. 증착속도는 50~200 Å/min이다. N-형 및 P-형 TFT의 한계 전압을 일정하게 유지하기 위하여 실란과 함께 도판트 가스로서 디보란을 사용하여 필름내에  $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{10} \text{ cm}^{-3}$ 으로 봉소가 주입될 수 있다. 플라즈마 CVD의 경우에 증착은 적당한 플라즈마 CVd 챔버내에 300°C에서 모노실란(SiH<sub>4</sub>) 또는 디실란(Si<sub>2</sub>H)을 주입하여 수행된다. 입력에너지는 예를 들어 13.56MHz의 고주파 전기에너زي이다.

산소 밀도가 너무 높으면 이후의 단계에서 반도체 필름을 충분히 재결정하기 위하여 고온에서 장시간 열처리가 수행되어야 하므로 반도체 필름의 산소밀도는  $5 \times 10^{21} \text{ cm}^{-3}$  이하인 것이 좋다. 그러나, 특정 불순물이 사용되지 않는 경우 TFT의 오프상태에서 누설 전류가 액정 디스플레이의 배면광에 응답하여 증가하므로 산소밀도가 너무 낮아서도 않된다. 이러한 이유로 산소밀도는  $4 \times 10^{19} \sim 4 \times 10^{21} \text{ cm}^{-3}$  사이에서 선택된다. 경험에 따르면 SIMS(이차 이온질량 분광분석) 방법에 의하여 실리콘 밀도가  $4 \times 10^{22} \text{ cm}^{-3}$  이라고 가정할 때에 수소는  $4 \times 10^{20} \text{ cm}^{-3}$ 의 밀도가 1원자%인 것이 확인되었다. 이들 밀도의 수치들은 깊이 방향에 따라 달라지는 각 원소이 최소값이다. 이러한 최소값이 사용되는 이유는 천연 산화물이 반도체 필름의 표면에 존재하기 때문이다. 만약에 채널영역이 불순물로 처리되는 것이 요

구되는 경우, 반도체 필름의 표면에 존재하기 때문이다. 만약에 채널영역이 불순물로 처리되는 것이 요구되는 경우, 반도체 필름의 증착후에 채널영역의 밀도가  $5 \times 10^{19} \sim 5 \times 10^{21} \text{ cm}^{-3}$  가 되도록 반도체 필름의 일부에 대하여 불순물 처리제로서 산소가 주입될 수 있다. 이와 같은 경우, 반도체 필름의 증착은 반도체 필름내에서 산호의 총밀도가  $7 \times 10^{20} \text{ cm}^{-3}$ , 좋기로는  $1 \times 10^{19} \text{ cm}^{-3}$  를 넘지 않도록 수행될 수 있다. 이러한 저밀도에 의하여 이후 단계에서 열처리에 의한 반도체 필름의 소오스와 드레인 영역의 재결정이 용이하게 된다. 이와 같은 경우, 조명에 노출되지 않도록 배치된 주변회로의 TFT가 동시에 구성될 때에, 산소주입이 방지되어 TFT의 이동성이 증가되므로 고속 동작이 이루어질 수 있다.

모든 기재가 실리콘 산화물과 비결정질 실리콘 반도체 필름으로 피복된 후에, 이를 기재는 보조챔버(2)내에 히터(10c)에 의하여 비산화 분위기, 예를 들어 수소분위기 하에서 12~70 시간동안 450°C~700°C, 전형적으로 600°C로 열처리 된다. 필름은 반 비결정질 또는 반경질 구조물의 형태로부터 이러한 가열어닐링에 의해 재결정된다.

다음으로, 본 발명에 따라서 반 비결정질 또는 반결정 반도체 물질의 형성 메카니즘이 설명될 것이다. 수소와 산소의 혼합체내에서 단결정 실리콘 타킷트로 스퍼터링 할 때에 고에너지의 무거운 알곤 원자가 타킷트의 표면에 충돌하고 이로부터 수십~수십만 실리콘 원자로 구성되는 집속군을 이동시켜 피복될 기재상에 증착되게 한다. 이들 집속군은 기재상에 증착되는 과정에서 혼합가스를 통과하고 이들의 현수결합을 차단하기 위하여 이들의 외표면에 수소원자가 결합된다.

따라서 기재에 증착될 때에 집속군을 내봉의 배결정질 실리콘과 Si-H 결합을 포함하는 외부의 정돈된 실리콘으로 구성된다. Si-H 결합은 다른 Si-H 결합과 반응하고 비산화분위기 하에서 450°C~700°C의 열처리에 의해 Si-Si 결합으로 전환된다.

인접한 실리콘원자의 이들 결합(Si-Si)은 인접한 집속군이 서로 끌어당기도록 하므로 이들 집속군은 이들의 상태에서 보다 정돈된 상태(부분적으로 재결정됨)로 전환되기 쉽게 된다. 따라서 이들 집속군의 결정구조는 격자왜곡을 보이며 그 라マン스펙트럼의 피이크( $522\text{cm}^{-1}$  : 단결정 실리콘의 피이크)가 낮은 주파수 방향으로 이동된다. 반쪽에 기초하여 계산된 겉보기 입자 직경은 미세결정이라 할 수 있는  $50\text{-}500\text{\AA}$ 이다.

집속군의 에너지 밴드는 집속군을 고정하는 Si-Si 결합을 통하여 이들 사이의 경계면에 연결된다. 이러한 이유로 본 발명에 다른 실리콘의 다결정(반 비결정질 또는 반결정질) 구조가 통상적인 다결정체와는 완전히 다르며 입자경계가 캐리어 이동에 대한 방벽을 제공하므로 이 동성은  $15\text{-}300\text{cm}^2/\text{Vsec}$ (전자이동성)와  $10\text{-}200\text{cm}^2/\text{Vsec}$ (전공 이동성) 정도가 될 것이다.

즉, 본 발명에 따른 반 비결정질 또는 반결정질 수조는 실제로 불필요한 입자경계를 갖지 않는 것으로 간주될 수 있다. 물론 반도체가 1000°C의 고온 또는 450°C~700°C의 비교적 낮은 온도보다 높은 온도를 받는 경우, 잠복되어 있던 산소원자가 집속군 사이의 경계면에 나타나 종래기술의 경우와 같은 방벽을 형성한다. 캐리어 이동성은 고정강도를 증가시키므로 개선될 수 있다. 이를 위하여 반도체 필름의 산소 밀도는  $7 \times 10^{19} \text{ cm}^{-3}$ , 바람직하기는  $1 \times 10^{19} \text{ cm}^{-3}$ 로 감소된다.

비결정질 실리콘 반도체 필름(33)은 n-채널 및 p-채널 트랜지스터를 구성하는데 필요한 영역(33'), (33')을 남기고 부호 ①로 표시한 바와 같은 포토마스크에 의하여 패턴처리 된다. 모든 기재가 실리콘 산화물과 비결정질 실리콘 반도체 필름으로 피복되고 상기 언급된 바와 같이 패턴처리된 다음에 기재가 다시 제1스퍼터링 장치(3)내에 배치된다. 그리고 모든 기재가 제8b도에서 보인 바와 같이 산화물 분위기하에서 행하여지는 스퍼터링으로  $500\text{\AA}\text{-}2000\text{\AA}$ , 예를 들어  $1000\text{\AA}$  두께로 실리콘 산화물 필름(35)으로 피복된다. 증착조건은 상기 언급된 실리콘 산화물 필름(32)의 조건과 동일하다. 실리콘 산화물 필름(35)과 그 하층이 반도체 필름(36) 사이의 경계면 특성은 오존산화를 수행하도록 자외선을 조사하므로 개선될 수 있다. 즉, 경계면 레벨은 산화물 필름(32)의 증착에 관한 설명에서 언급된 스퍼터링과 조합하여 포토-CVD를 이용하므로 감소될 수 있다. 또한 나트륨 이온을 고정시키기 위하여 이러한 증착과정에서 불소가 주입될 수 있다.

이와 같은 경우, 분위기는 총압력 0.5Pa에서  $\text{NF}_3$  (5%)를 포함하는 고밀도 산소(95%)로 구성되고, 장치의 출력은 13.56MHz RF 에너지에서 400W이며, 타킷트로서 단결정 실리콘 또는 인조 석영이 사용되고, 기재 온도는 100°C로 유지된다. 이러한 과정에 의하여 게이트 절연 필름이 될 실리콘 산화물 필름(35)은 실리콘 원자의 현수 결합을 차단하는 기능을 갖는 불소원자를 포함하므로 반도체 필름(33), (33')과 산화물 필름(35) 사이의 경계면에서 고정전하의 형성이 방지된다. 실리콘 산화물 필름(35)에는  $0.2\mu\text{m}$  두께의 실리콘 반도체 필름(35)이 전 CVD에 의하여 증착되고 이어서  $1 \times 10^{21} \sim 5 \times 10^{21} \text{ cm}^{-3}$  으로 인이 상다량 도필되며, 여러 필요한 경우 물리브덴으로 된  $0.3\mu\text{m}$  두께의 전도성 필름, 텅스텐 필름 또는 이러한 필름과  $\text{MSi}_2$  또는  $\text{WSiO}_2$  필름으로 구성되는 다중 필름이 피복된다. 전도성(다중) 필름으로 피복된 반도체 필름이 적당한 마스크 ②를 가지고 사진식각 방법으로 패턴처리되어 게이트 전극(40), (40')을 얻는다.

포토레지스트 필름(27')은 반도체 필름(33')을 피복하기 위하여 포토마스크 ③를 사용하므로 형성된다. 게이트 전극(40)과 포토마스크 ③를 이용하여 자체 정렬된 불순물영역, 즉 소오스와 드레인영역(34a), (34b)이  $1 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$  로 봉소의 이온 주입에 의하여 형성된다. 불순물영역(34a), (34b) 사이에서 실리콘 반도체 필름(33)의 중간영역은 제3c도에서 보인 바와 같이 채널영역으로 한정한다. 트랜지스터 필름(27')을 제거한 후에 반도체 필름(33)을 피복하기 위해 포토마스크 ④를 이용하여 다른 포토레지스트 필름(27)에 형성된다.

게이트 전극(40')과 포토마스크 ④를 이용하여 자기 정렬된 불순물영역, 즉 소오스와 드레인 영역(34a'), (34b')이  $1 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$  로 인을 주입하여 형성된다. 그리고 불순물영역(34a'), (34b') 사이에서 실리콘 반도체 필름(33)의 중간 영역(28')이 제8d도에서 보인 바와 같이 채널 영역

으로 한정된다. p-채널 및 n-채널 트랜지스터의 채널길이는 각각  $10\mu m$ 이다. p-채널 및 n-채널 트랜지스터의 채널폭은 각각  $20\mu m$ 이다. 이온주입 방법은 마스크로서 게이트 전극(40) 또는 (40')를 이용하여 실리콘 산화물필름(35)을 선택적으로 제거하고 봉소나 인을 직접 이온주입하는 것으로 대신하여 수행될 수도 있다.

포토레지스터(27)를 제거한 후에 채널영역이  $H_2$  분위기에서 10-50 시간동안  $600^{\circ}C$ 로 어닐링 처리되므로서 드레인과 소오스영역에서 불순물이 활성화되도록 한다. 실리콘 산화물의 내부층 절연필름(37)이 기재의 전표면에 걸쳐 상기 언급된 바와 같은 동일한 스팍터링 방법으로  $0.2\text{--}0.6\mu m$ 의 두께로 증착되고 이어서 하층의 소오스와 드레인 영역(34a), (34a'), (34b')으로 접근할 수 있도록 내부층 필름(37)과 산화물 필름(35)를 통한 접촉공(39)을 형성하기 위하여 포토마스크⑥로 예칭된다. 내부층 절연필름(37)의 증착은 LP CVD, 포토-CVD, 정상압력 CVD(TEOS-오존)으로 수행된다. 다음으로 접촉공(39)상의 기재에  $0.5\text{--}1\mu m$  두께의 알루미늄 필름이 증착되고 제8f도에서 보인 바와 같은 포토마스크⑥에 의하여 소오스와 드레인 전극(36a), (36b), (36a'), (36b')를 형성하도록 패턴처리된다. 투명 폴리아미드 필름과 같은 유기수지 필름(39)이 기재의 전면에 피복되어 평면이 되고 드레인전극(36b), (36b')에 접근할 수 있도록 포토마스크⑦로 패턴처리된 다음 패드(37b)와 전기적으로 연결되도록 인듐 주석 산화물(ITO)와 같은 투명 전도성 물질로 된 리드전극(37)이 형성된다.

ITO 필름은 실온에서부터  $150^{\circ}C$ 의 온도까지의 범위에서 스팍터링으로 증착된 다음 산화분위기( $O_2$ ) 또는 공기중에서  $200\text{--}400^{\circ}C$ 로 어닐링된다.

패드(37b)는 리드 전극(37)의 증착에 의하여 동시에 형성될 수 있다. 그리고, CMOS 트랜지스터의 구성이 종료된다. p-채널 TFT의 이동성과 한계전압은  $20cm^2/Vs$  및  $-5.9V$ 이다. n-채널 TFT의 이동성과 한계전압은 각각  $40cm^2/Vs$  및  $5.0V$ 이다. 이와 같이 p-채널 TFT의 이동성과 한계전압은 CMOS 트랜지스터와 도시된 바와 같은 적당한 전도성 패턴을 갖춘 기재가 그 전체 내측면에서 접지전극을 갖는 상대유리와 결합되고 이를 두 기재 사이에 액정물질이 주입된다. 상기 방법의 잇점중 하나는 이들 트랜지스터의 형성(불순물 처리되거나 처리되지 않거나 간에)  $700^{\circ}C$  이하의 온도에서 수행되므로서 상기 방법이 석영기재와 같은 고가의 기재를 이용하지 않고 대규모의 액정 디스플레이의 생산방법에 적합한 점이다.

상기 실시형태에서, 어닐링은 제8a도와 제8d도에 해당하는 단계에서 두번 수행된다. 그러나 제1어닐링(제8a도)은 생략되어 제2어닐링에 비추어 공정시간을 줄일 수 있다.

제9a도와 제9b도에서, 본 발명의 제2실시형태에 따른 CMOS 박막 전계효과 트랜지스터가 설명된다. 이 실시형태에서 두쌍의 CMOS 트랜지스터(15-1)(41-1), (51-2)(41-2)가 이들의 드레인 전극에서 각 픽셀(점선으로 둘러싸임)의 전도성 패드(37b)에 병렬로 연결된다. 이들 CMOS 트랜지스터는 트랜지스터의 숫자가 두배인 것을 제외하는 제1실시형태에 관련하여 상기 언급된 단계로 제조된다. 제1실시형태와 유사한 부분에 대하여서는 유사한 부호로 표시하였다. 전극패드(37b)는 적당한 절연필름을 통하여  $V_{GG}$  라인에 증착하여야 한다. 전기적인 동작은 제1실시형태와 동일하다. 따라서 두개의 동일한 각각의 스위칭 소자가 하나의 픽셀에 대하여 준비되어 있으므로 이들중 하나의 동작이 고장이면 나머지 CMOS 트랜지스터에 의하여 레이저 광선에 의한 고장 소자의 도통으로 정보디스플레이의 가동성이 유지될 수 있다. 이러한 이유로, 전도성 투명패드가 TFT를 덮지 않도록 형성된다.

제10a도와 제10b도에서, 본 발명의 제3실시형태에 따른 CMOS 박막 전계효과 트랜지스터가 설명될 것이다. 이 실시형태에서도 두쌍의 CMOS 트랜지스터(51-1)(41-1), (51-2)(41-2)가 이들의 드레인 전극에서 각 픽셀의 전극패드(37b)에 병렬로 연결된다. 그러나, 전극패드(37b)는 두 부분(37b-1)(37b-2)으로 나누어져 각각의 CMOS 트랜지스터에 독립적으로 연결되어 있다. 이들 CMOS 트랜지스터는 트랜지스터의 숫자를 제외하고는 제1실시형태와 유사한 부호로 표시하였다. 그리고 각 픽셀은 두 개의 독립된 서브-픽셀로 구성된다. 이 실시형태에 따라서 서브-픽셀중의 하나가 고장이면 다른 서브-픽셀이 픽셀동작을 유지하므로서 효율성이 감소된다.

상기 언급된 바와 같이, 본 발명의 상기 실시형태에 따른 잇점들은 다음과 같다.

- 1) 한정된 한계전압이 설정된다.
- 2) 스위칭 속도가 증가된다.
- 3) 동작상의 변화유도가 확장된다.
- 4) 일부 TFT가 고장이더라도 그 동작이 동일범위까지 계속된다.
- 5) 콤플리멘터리 트랜지스터를 채택하므로서 포토마스크의 수효는 N-채널 TFT만을 이용하는 종래의 경우에 비하여 다만 두개(포토마스크③과 ④)가 증가될 뿐이다.
- 6) 비결정질 반도체를 대신하여 반비결정질 또는 반결정질 반도체가 사용되고 캐리어의 이동성이 10배 이상 증가되므로 TFT의 크기가 감소되어 두개의 TFT가 하나의 픽셀에 형성될 때에도 애피처비율의 감소가 적다.

제11도는 본 발명의 제4실시형태에 따른 액정 디스플레이의 등가회로를 보인 것이다. 이 실시형태에도 역시 제4도에서 보ning 픽셀구조가 적용될 수 있다. 이 회로도에 있어서는 그 설명을 간편히 하기 위하여 단지  $2\times 2$  매트릭스만을 도시하였으나 통상적인 액정 디스플레이에는  $640\times 480$  매트릭스,  $1260\times 960$  매트릭스와 같이 상당수의 픽셀로 구성된다. 이 액정 디스플레이에는 제2도에서 보인 제1 실시형태와 동일한 방법으로 한쌍의 유리기재(11), (11')사이에 배치되는 액정층(42)을 포함한다. 유리기재(11')의 전체 내면은 배면전극(53)으로 피복되어 있다. 그러나, 이 실시형태에서, 전극(53)은 접지되지 아니하고 이후에 상세히 설명되는 바와 같이 액정 디스플레이의 구동메카니즘에 따라 오프셋트 전압이 공급된다. 다른 기재(11)의 내면에는 다수의 전도성 패드(37b)가 형성되어 있고 이들

각각은 제1실시형태와 동일한 방법으로 디스플레이의 한 픽셀을 구성한하다.

각 전도성 패드(37b)는 드레인 (34b)(34b')이 해당 패드(37b)에 전기적으로 연결된 N-형 FET(41)와 P-형 FET(51)로 구성되는 CMOS 트랜지스터와 함께 기재상에 형성된다. 동일한 횡렬에서 CMOS의 P-형 FET의 소오스는 이 횡렬의 V<sub>DD</sub> 라인(48)에 연결된다. 또한 동일한 횡렬에서 CMOS의 N-형 FET의 소오스는 이 횡렬의 V<sub>SS</sub> 라인(49)에 연결된다. 동일한 종렬에서 CMOS의 P-형 및 N-형 FET의 게이트는 이 종렬의 V<sub>GG</sub> 라인에 연결된다. 이들 V<sub>SS</sub> 라인과 V<sub>DD</sub> 라인은 횡렬 드라이버(47)에 연결되고 이로부터 제어신호를 공급받는다. V<sub>GG</sub> 라인(52)은 종렬 드라이버(46)에 연결되고 이로부터 제어신호는 공급받는다.

제12도는 V<sub>DD</sub> 라인, V<sub>SS</sub> 라인 및 배면전극에 인가되는 여러 제어신호에 응답하는 각 픽셀의 동작을 설명한 것이다. 정전압이 V<sub>DD</sub> 라인에 인가되고 부전압이 V<sub>SS</sub> 라인에 인가될 때에 픽셀에서의 액정전압레벨(즉, 패드(37b)의 전압레벨)은 V<sub>GG</sub> 라인이 접지되어 있는 경우 V<sub>DD</sub> 레벨까지 상승되고 액정전압레벨은 V<sub>GG</sub> 라인이 정전 압 레벨인 경우(예를 들어 V<sub>DD</sub> 레벨)에 V<sub>SS</sub> 레벨로 강하된다. 따라서, 픽셀의 액정사이에 인가된 전압은 액정전압으로부터 배면전극에 인가된 오프셋트(바이어스) 전압을 빼면 계산된다. 도시된 내용에서 정전압(V<sub>DD</sub>)과 부전압(V<sub>SS</sub>)이 각각 V<sub>DD</sub> 라인과 V<sub>SS</sub> 라인에 각각 인가되고 V<sub>GG</sub> 라인이 접지되었을 때에만 최대전압이 액정총 사이에 인가된다.

본 발명의 제4실시형태에 따른 구동방법에 대한 예시다 제13도 및 제14도에 관련하여 설명될 것이다. 제14도에서, 제11도의 2×2 매트릭스가 4×4 매트릭스로 확장되었다. 그러나 이들 구조는 픽셀의 수효율 제외하고는 실제로 동일하다. 제13도는 V<sub>DD</sub> 라인, V<sub>SS</sub> 라인, V<sub>GG</sub> 라인과 배면전극에 인가되는 제어신호를 보인 것이다.

V<sub>DD</sub> 라인을 도면에서 제1횡렬로부터 제4횡렬까지 X<sub>1a</sub>, X<sub>2a</sub>, X<sub>3a</sub> 및 X<sub>4a</sub>로 표시하였고 V<sub>SS</sub> 라인은 동일한 방법으로 X<sub>1b</sub>, X<sub>2b</sub>, X<sub>3b</sub> 및 X<sub>4b</sub>로 표시하였다. V<sub>SS</sub> 라인에 인가되는 신호는 제12도에서 보인 바와 같은 V<sub>DD</sub> 라인의 신호와 정확히 반대이므로 V<sub>SS</sub> 라인의 파형은 도시를 생략하였다. V<sub>GG</sub> 라인은 좌측 종렬로부터 우측종렬로 Y<sub>1</sub>, Y<sub>2</sub>, Y<sub>3</sub> 및 Y<sub>4</sub>로 표시하였다. 이러한 구동방법에 있어서, V<sub>DD</sub> 및 V<sub>SS</sub> 라인에 인가되는 제어신호는 제13도에서 보인 바와 같이 제1횡렬로부터 제4횡렬로 주사하는 어드레싱 신호이다. 모든 횡렬이 차례로 주사되는 동안에 반대의 펄스들이 1/4 프레임의 시간폭에서 하나의 지정된 횡렬에 연결된 V<sub>DD</sub> 및 V<sub>SS</sub> 라인에 인가된다. V<sub>GG</sub> 라인에 인가된 제어신호는 디스플레이에 나타나는 가시패턴을 결정하는 데이터 신호이다.

만약에 i번째 횡렬과 j번째 종렬에 위치하는 픽셀이 동작되기 원한다면 i번째 횡렬이 i번째 횡렬의 V<sub>DD</sub> 및 V<sub>SS</sub> 라인에 반대의 펄스를 인가하므로서 지정될 때에 부펄스가 j번째 종렬의 V<sub>GG</sub> 라인에 인가된다. 제13도에서 제1종렬과 제1횡렬의 픽셀(제14도에서 AA로 표시함)이 T<sub>1</sub>와 T<sub>2</sub> 사이의 제1프레임, T<sub>2</sub>와 T<sub>3</sub> 사이의 제2프레임, 그리고 T<sub>5</sub>와 T<sub>6</sub> 사이의 제5프레임의 최초 1/4에서 작동된다. 배면전극은 T<sub>1</sub>과 T<sub>6</sub> 사이에서 부전압에 의하여 바이어스된다. V<sub>DD</sub>, V<sub>SS</sub> 및 V<sub>GG</sub> 신호레벨과 바이어스 전압은 액정의 광학적 특성이 양단의 20V 한계전압에 의하여 변경되는 경우에 예를 들어 각각 20V, -20V, ±10V와 ±100이다. 따라서, 제12도에서 보인 바와 같이, 30V 정도의 고압이 선택된 픽셀(도면의 AA 픽셀)에 인가되는 반면에 다른 픽셀에 인가되는 전압레벨은 10V를 넘지 않는다. 제13도의 T<sub>6</sub>-T<sub>8</sub>에서, V<sub>GG</sub> 라인과 배면전극의 전압레벨은 반전되어 각 픽셀에 인가된 전압의 신호가 간단히 반전된다.

따라서 -30V 정도의 저전압이 선택된 픽셀(도면의 AA 픽셀)에만 인가되고 다른 픽셀에 인가된 절대전압레벨은 10V를 넘지 않는다. 제1종렬과 제1횡렬의 픽셀은 T<sub>6</sub>와 T<sub>7</sub> 사이의 제6플레임에서

작동된다. 신호의 반전은 수십 프레임에 대하여 매번 수개의 프레임보다 반복적으로 이루어져 액정에 인가된 평균전압은 전체적인 작동을 통하여 제로에 가까우므로 액정의 열화를 효과적으로 방지한다. 액정의 한계전압이 2.5V인 경우에 이들 V<sub>DD</sub>, V<sub>SS</sub> 및 V<sub>GG</sub> 라인의 신호레벨은 5V, -5V 및 ±7V로 각각 선택된다.

이 실시형태에 따라서, 액정총에 인가된 제어신호의 전압레벨은 배면전극에 인가된 바이어스 전압레벨을 조절하는 것만으로 액정총의 한계레벨로 간단히 조절될 수 있다. 바이어스 전압을 채택하므로서 이 바이어스 전압의 극성을 주기적으로 변경시켜 액정에 작동하는 전계효과를 소거할 수 있어 액정물질의 전해효과를 방지할 수 있다.

제15도와 제16도에서, 본 발명의 제5실시형태에 따른 액정 디스플레이와 이러한 디스플레이의 구동방법이 설명된다. 이 실시형태에서는 두쌍의 CMOS 트래지스터(41-1)(51-1), (41-2')(51-2')이 이들의 드레인 전극에서 각 픽셀(점선으로 둘러싸인 부분)의 전극패드(36b)에 병렬로 연결되어 있다. 이들 CMOS 트랜지스터는 트랜지스터의 수효율 두배인 것을 제외하고는 제1실시형태에 관련하여 상기 언급된 단계로 제조된다. 유사한 부분에 대하여서는 제1실시형태와 유사한 부호로 표시하였다. 전기적인 작동은 제3실시형태와 동일하다. 따라서, 한 픽셀에 대하여 두개의 동일한 스위칭 소자가 마련되어 이들중의 하나가 고장일때에 나머지 CMOS 트랜지스터에 의하여 레이저광에 의한 고장소자의 도통으로 정보 디스플레이의 작동이 가능하도록 유지된다. 이러한 이유로 전도성 투명 패드가 이들 TFT를 덮지 않도록 구성된다.

본 발명의 제5실시형태에 따른 구동방법에 대표적인 예가 제16도에 관련하여 설명된다. 제16도에서는 제15도와 같으나 4×4 매트릭스로 확장된 디스플레이로서 설명된다. 그러나 이 구조는 픽셀의 수효율 제외하고는 동일하다. 제16도는 제2실시형태와 동일한 방법으로 V<sub>DD</sub> 라인, V<sub>SS</sub> 라인, V<sub>GG</sub> 라인 및 배면전극에 인가되는 제어신호를 보일 것이다. V<sub>GG</sub> 라인에 인가되는 제어신호는 제16도에서 보인 바와 같이 제1횡렬로부터 제4횡렬까지 반복적으로 주사하는 어드레싱 신호이다. 부펄스가 지정종렬에

연결된  $V_{GG}$  라인에 인가된다.  $V_{DD}$  와  $V_{SS}$  라인에 인가되는 반대의 제어신호는 디스플레이에 나타나는 가시패턴을 결정하는 데이터신호이다.

만약에 i번째 횡렬과 j번째 종렬의 픽셀이 작동되도록 요구되는 경우에 j번째 종렬의  $V_{GG}$  라인에 부펄스를 인가하므로서 j번째 종렬이 지정될 때에 i번째 횡렬의  $V_{DD}$  및  $V_{SS}$  라인에 반대의 여러 펄스가 인가된다. 제16도에서, 제1종렬과 제1횡렬의 픽셀은  $T_1$  과  $T_2$  사이의 제1프레임,  $T_2$  와  $T_3$  사이의 제2프레임, 그리고 제 $T_5$  와  $T_6$  사이의 제5프레임에서 작동된다. 배면전극은  $T_1$  과  $T_6$  사이에서 부전압에 의하여 바이어스된다. 액정의 광학적인 특성이 20V의 한계전압에 의하여 변경되는 경우,  $V_{DD}$ ,  $V_{SS}$  와  $V_{GG}$  신호레벨, 그리고 바이어스 전압은 예를들어 20V, -20V, ±10V 및 ±10V이다. 제12도로부터 알 수 있는 바와 같이, 30V 정도의 고압은 선택된 픽셀에만 인가되는 한편 다른 픽셀에 인가되는 전압레벨은 10V를 넘지 않는다. 제16도의  $T_6-T_8$  에서,  $V_{GG}$  라인과 배면전극의 전압레벨이 반전되어 각 픽셀에 인가된 전압의 신호가 간단히 반전된다.

따라서, 선택된 픽셀에는 -30V 정도의 저전압이 인가되는 한편 다른 픽셀에 인가되는 절대전압 레벨은 10V를 넘지 않는다. 제1종렬과 제1횡렬의 픽셀은  $T_6$  와  $T_7$  사이에 제6프레임에서 작동된다. 신호의 반전은 수십 프레임에 수개 프레임마다 반복적으로 이루어져 액정에 인가되는 평균전압은 제로에 가깝고 액정의 열화를 효과적으로 방지할 수 있다. 액정이 한계전압이 2.5V인 경우에 이들  $V_{DD}$ ,  $V_{SS}$  및  $V_{GG}$  라인의 신호레벨은 각각 5V, -5V 및 ±7V가 되게 선택된다.

제17도와 제18도에서 본 발명의 제6실시형태가 설명된다. 이 실시형태에 있어서도 두쌍의 CMOS 트랜지스터(41-1)(51-1), (41-2')(51-2')가 드레인 전극에서 각 픽셀의 전극패드(37b)에 병렬로 연결되어 있다. 그러나, 전극패드(37b)는 두 부분(37b-1)(37b-2)으로 나누어져 있으며 제10b도와 동일한 방법으로 이들 각각은 두 CMOS 트랜지스터에 하나씩 연결되어 있다. 이들 CMOS 트랜지스터는 트랜지스터의 수효율을 제외하고는 제1실시형태에 관련하여 상기 언급된 단계로 제조된다. 유사한 부분에 대해서는 제1실시형태와 유사한 부호로 표시하였다. 그리고, 각 픽셀은 두 개의 독립된 서브-픽셀로 구성된다. 이 실시형태에 따라서 서브-픽셀중의 하나가 고장이라도 다른 서브-픽셀이 픽셀의 작동을 유지할 수 있으며 따라서 흐탁열화의 가능성이 현저히 감소된다. 또한 한 서브-픽셀의 작동속도가 낮아져도 디스플레이된 환상의 길이 결코 떨어지지 않는다.

본 발명의 제6실시형태에 따른 구동방법의 대표적인 예가 제18도에 관련하여 설명될 것이다. 제18도에서는 제17도에 보인 바와 같이 4×4 매트릭스로 확장된 디스플레이로 설명될 것이다.

그러나 구조는 픽셀의 수효율을 제외하고는 동일하다. 제18도는 제4실시형태와 동일한 방법으로  $V_{DD}$  라인,  $V_{SS}$  라인,  $V_{GG}$  라인과 배면전극에 인가되는 제어신호를 보이고 있다. 이러한 구동방법에 있어서,  $V_{DD}$  및  $V_{SS}$  라인에 인가되는 제어신호는 제18도에서 보인 바와 같이 제1횡렬로부터 제4횡렬로 주사하는 어드레싱 신호이다. 지정 횡렬에 연결된  $V_{DD}$  및  $V_{SS}$  라인에는 반대 펄스가 인가된다.  $V_{GG}$  라인에 인가되는 제어신호는 디스플레이에 나타나는 가시패턴을 결정하는 데이터 신호이다. 그러나, 이 실시형태에 있어서,  $V_{GG}$  라인에 인가되는 제어신호는 부펄스이며 그 펄스폭은 한 프레임(예를 들어  $T_1$  과  $T_2$  사이의 프레임)의 1/16에 지나지 않는다.

다른 한편으로  $V_{DD}$  와  $V_{SS}$  라인에 인가된 어드레싱 신호의 펄스폭은 제2실시형태와 동일하게 1/4 프레임이다.

만약 i번째 횡렬과 j번째 종렬의 픽셀이 작동되도록 요구되는 경우 i번째 횡렬의  $V_{DD}$  및  $V_{SS}$  라인에 반대펄스를 인가하여 i번째 횡렬이 지정될 때에 j번째 종렬의  $V_{GG}$  라인에 부펄스가 인가된다. 제12도에서 제1종렬과 제1횡렬의 픽셀은  $T_1$  과  $T_2$  사이의 제1프레임에서 작동된다. 배면전극은  $T_1$  과  $T_3$  사이에서 부전압에 의하여 바이어스된다. 액정의 광학적 특성이 동일한 방법으로 20V의 한계전압에 의하여 변경되는 경우,  $V_{DD}$ ,  $V_{SS}$ ,  $V_{GG}$  신호레벨과 바이어스 전압은 각각 예를 들어 20V, -20V, ±10V 및 ±10V이다. 따라서 제18도로부터 이해되는 바와 같이, 선택된 픽셀에만 30V 정도의 고압이 인가되는 반면에 다른 픽셀에 인가되는 전압레벨은 10V를 넘지 않는다.

제18도의  $T_3-T_4$  에서,  $V_{GG}$  라인과 배면전극의 전압레벨이 반전되어 각 픽셀이 인가되는 전압의 신호가 간단히 반전된다.

따라서, 선택된 픽셀에만 -30V의 저전압이 인가되는 한편 다른픽셀에 인가되는 절대전압 레벨은 10V를 넘지 않는다. 제1종렬과 제1횡렬의 픽셀은  $T_3$  와  $T_4$  사이의 제3프레임에서 작동된다. 신호의 반전은 수비 프레임에서 수개 프레임마다 반복적으로 이루어지므로 액정에 인가되는 평균전압은 제2에 가까워 액정의 열화가 효과적으로 방지된다. 액정의 한계전압이 2.5V인 경우에 이들  $V_{DD}$ ,  $V_{SS}$  및  $V_{GG}$  라인의 신호레벨은 각각 5V, -5V 및 ±7V가 되게 선택된다.

이상 몇 가지 실시형태의 설명은 단순한 설명을 위한 것이다. 이들이 본 발명을 한정할 수 없으며 상기 교시내용으로 비추어 여러 가지 수정이나 변경이 가능할 것이다. 실시형태는 본 발명의 원리와 그 적용을 설명하기 위하여 선택된 것이므로 본 발명의 기술 분야에 정통한자이며 여러 가지 실시형태와 수정형태를 이용하여 본 발명을 더욱 효과적으로 이용할 수 있을 것이다. 실시예는 다음과 같다.

상기 언급된 액정 디스플레이에서, P-형 TFT가  $V_{DD}$  라인에 연결되는 한편 N-형 TFT는  $V_{SS}$  라인에 연결된다. 그러나 이들은 그 반대로 연결될 수도 있다. 즉 N-형 TFT 가  $V_{DD}$  라인에 연결되고 P-형 TFT가  $V_{SS}$  라인에 연결될 수 있다. 이를 위하여 N-형 TFT와 P-형 TFT의 위치가 상기 실시형태에서 바뀔 수

있다.

이와 같은 경우, 각 픽셀에서 액정층의 전압(패드의 전압)는 픽셀이 증렬드라이버(46)에 의하여 선택될 때에  $V_{SS}$  보다는  $V_{GG}$ 와 동일한 레벨이 된다.

상기 실시형태는 액정 디스플레이에서 스위칭 장치를 위한 CMOS 형태로 적용된다. 그러나 본 발명에 따른 TFT는 하나의 픽셀을 구동하기 위하여 하나의 TFT로 구성되는 스위칭 장치의 형태에 이용될 수 있다. 이와 같은 경우, 등가회로는 N-형 TFT가 상기 언급된 바와 같이 입사광에 감응치 아니하는 불순물 처리된 반도체 필름으로 구성되므로 저항 ROI 필요치 아니한 것을 제외하고는 제1도에서 보인 것과 동일하다. 각 픽셀의 전극패드는 이 실시형태는 지정되지 않을 때에 전기적으로 부동되므로 그 전압레벨은 CMOS를 이용하는 것과 비교하였을 때에 고정되지 아니한다. 그러나 그 제조과정은 광차단 수단이 필요없으므로 매우 간단하다.

액정 디스플레이에 사용된 액정물질은 다른 형태의 물질을 포함할 수 있다. 예를 들어 적당한 상이 전 액정물질이 게스트-호스트형 또는 유전 이방성 형태의 네마틱 액정물질에 이운 도판트를 부가하여 제조될 수 있다. 전계의 적용에 따라서 상이 전 액정물질은 네마틱상태와 콜레스테릭 상태 사이의 상이전을 통하여 투명상태로부터 흐탁상태 또는 그 반대로 광학적인 발현을 변화시킨다. 또한 액정 대신에 적당한 광영향 물질이 염료로 착색된 유기액체내에 안료 입자를 분산시켜 제조된 전기용 동분산제와 같은 동일한 목적으로 이용될 수 있다.

그레이 스케일이 요구되는 경우 다수의 프레임이 하나의 화상을 디스플레이토록 구성되고 선택된 픽셀은 요구된 그레이 톤에 따라 주어진 프레임보다 적은 프레임에서만 작동된다.

본 발명은 게르마늄 또는 실리콘/게르마늄( $Si_xGe_{1-x}$ ) 반도체 장치와 같은 다른 형태의 반도체 장치를 이용하는 디스플레이에 적용될 수 있으며, 이와 같은 경우 열처리는 상기 실시형태에서 실리콘 반도체에 이용된 것보다 낮은 약 100°C의 온도에서 수행될 수 있다. 이러한 반도체의 증착은 광에너지(파장 100nm 이하) 또는 전자 싸이클로트론 공명(ECR)에 의한 고에너지 수소 플라즈마에서 스팍터링으로 수행될 수 있다.

수소분자를 포함하는 기체 대신에 불순물이 없는한 스팍터링 분위기로서 다른 수소화합물이 사용될 수 있다. 예를 들어 실리콘 반도체 트랜지스터를 구성하기 위하여 모노실란이나 디실란이 사용될 수 있다. 비록 우선 실시형태에서 산화물과 반도체 필름이 각각 별도의 장치에서 증착된다 하여도 한 장치에서 다른 형태의 게이트 절연필름이나 게이트 전극을 증착하는 것이 명백히 가능하다. 산화물 필름의 증착중에 중화작용으로 유리기재에서 필름측으로 알칼리 금속원자가 이동하는 것을 효과적으로 방지하기 위하여 산화물 필름에 할로겐 원자를 주입하도록 불소와 같은 할로겐이 스팍터링 분위기로 사용될 수 있다. 동일한 효과가 할로겐 대신에 인의 주입으로도 기대될 수 있다.

본 발명은, 반도체 집적 장치의 화상 감지기, 부하소장 또는 입체 소자와 같은 반도체 장치를 이용하는 다른형태의 광학 장치에 적용될 수 있다. 구체화된 실시형태에서 전계효과 트랜지스터는 유리 기재상에 구성되었다. 그러나 다른 기재가 사용될 수 있다. 예를 들어 액정 디스플레이 또는 화상 감지장치의 실리콘 기재는 고유 실리콘 기재, P-형 실리콘 기재, N-형 실리콘 기재 또는 MOSFET, 바이폴라 트랜지스터등이 IC 형태로 구성되는 실리콘 기재일 수 있다. 이러한 기재와 박막 전계효과 트랜지스터 사이에는 절연층이 형성될 수 있으나 고유 실리콘 기재인 경우에 이 절연층은 생략될 수 있다.

게이트 전극은 본 발명에 따른 게이트 절연형 전계효과 트랜지스터에서 단일층 전극 또는 다중층 전극일 수 있다. 단일층 게이트 전극은 인이 도핑된 실리콘 전극이거나 알루미늄 전극일 수 있다. 다중층 게이트 전극은 하부크롬층과 이에 형성된 상부 알루미늄 층으로 구성된 2개층의 전극이거나 인이 도핑된 하부실리콘층과 이에 형성된 상부 알루미늄층으로 구성된 2개층의 전극이거나 인이 도핑된 하부실리콘층과 이에 형성된 상부의 금속 또는 금속 규화물 층으로 구성된 2개층의 전극으로 구성될 수 있다.

알루미늄 단일층 전극과 상부 알루미늄층이 알루미늄 타كت트를 스팍터링하여 형성될 수 있다. 실리콘 단일층 전극과 하부 실리콘층이 저압 CVD 방법으로 인이 도핑된 실리콘 타كت트를 스팍터링 하여 형성될 수 있다. 하부 크롬층은 크롬 타كت트를 스팍터링하여 형성될 수 있다. 금속층은 몰리브덴 타كت트를 스팍터링하여 얇은 몰리브덴층, 텅스텐 타كت트를 스팍터링 하여 얇은 텅스텐층, 티타늄 타كت트를 스팍터링 하여 얇은 티타늄층 또는 알루네늄 타كت트를 스팍터링 하여 얇은 알루미늄층일 수 있다. 금속 규화물층은  $MoSi_2$  타كت트를 스팍터링 하여 얇은  $MoSi_2$ 층,  $WSi_2$  타كت트를 스팍터링 하여 얇은  $WSi_2$ 층 또는  $TiSi_2$  타كت트를 스팍터링 하여 얇은  $TiSi_2$ 층일 수 있다. 비록 제조방법이 여러 단계를 포함하고 있으나 실제의 경우에 따라서 이들 단계의 순서가 바뀔 수 있으며 이로써 본 발명의 범위가 제한되어서도 않된다.

## (57) 청구의 범위

### 청구항 1

한쌍의 기재, 이들 기재 사이에 배치된 광감응층, 상기 기재의 내면측에 형성되어 있고 스위칭 소자를 갖는 전도성 패드로 한정되는 다수의 픽셀과, 상기 스위칭 소자를 통하여 상기 각 전도성 패드에 제어신호를 공급하는 구동회로로 구성되고, 상기 스위칭 소자가 콤플리멘터리 트랜지스터로 구성됨을 특징으로 하는 전기광학장치.

### 청구항 2

제1항에 있어서, 상기 콤플리멘터리 트랜지스터가 드레인 단자에서 연결된 p-채널 박막형 전계효과 트랜지스터와 n-채널 박막형 전계효과 트랜지스터임을 특징으로 하는 전기광학장치.

**청구항 3**

제2항에 있어서, 상기 콤�挣钱터리 트랜지스터가 상이한 전압레벨의 제1제어신호와 제2제어신호가 공급되는 제1제어 라인과 제2제어 라인 사이에 연결됨을 특징으로 하는 전기광학장치.

**청구항 4**

제2항에 있어서, 상기 n-채널 전계효과 트랜지스터와 상기 p-채널 전계효과 트랜지스터의 게이트 단자가 제3제어 라인에 연결됨을 특징으로 하는 전기광학장치.

**청구항 5**

제1항에 있어서, 상기 픽셀이 매트릭스 형태로 배열됨을 특징으로 하는 전기광학장치.

**청구항 6**

제1항에 있어서, 상기 콤�挣钱터리 트랜지스터에서 채널영역의 감광성이 불순물 처리로 저감됨을 특징으로 하는 전기광학장치.

**청구항 7**

제6항에 있어서, 상기 불순물이 산소, 탄소 또는 질소로부터 선택된 원소임을 특징으로 하는 전기광학장치.

**청구항 8**

제1항에 있어서, 상기 콤�挣钱터리 트랜지스터가 상기 디스플레이의 픽셀당 두쌍의 콤�挣钱터리 트랜지스터를 구비함을 특징으로 하는 전기광학장치.

**청구항 9**

제8항에 있어서, 각 전도성 패드가 상기 두쌍의 콤�挣钱터리 트랜지스터에 각각 연결된 두개의 부분으로 구성됨을 특징으로 하는 전기광학장치.

**청구항 10**

제1항에 있어서, 상기 광감응층이 액정총임을 특징으로 하는 전기광학장치.

**청구항 11**

제1항에 있어서, 상기 전기광학장치가 디스플레이임을 특징으로 하는 전기광학장치.

**청구항 12**

광감응층, 이 감응층에 다수의 픽셀을 한정하기 위하여 상기 층의 일측에서 상기 층에 인접 배치된 다수의 전극패드, 픽셀에서 상기 층에 상기 전극 패드와의 사이의 전압을 인가하기 위하여 상기 층의 타측에서 상기 층에 인접하는 배면전극과, 상기 전극패드와 상기 배면전극에 제어신호를 공급하기 위한 제어신호로 구성되는 상기 전기광학장치를 구동시키기 위한 방법이 배면전극에 바이어스 전압을 인가하는 단계와, 상기 층을 통하여 상기 배면 전극과 상기 전극 패드 사이에 전압을 인가하기 위하여 상기 전극패드에 제어신호를 인가하는 단계로 구성되고, 각 픽셀에서 상기 층을 통하여 전압의 효과가 상기 전기광학장치의 작동중에 소거되도록 상기 바이어스 전압과 상기 제어신호의 극성이 상기 전기광학장치의 작동중에 동시에 주기적으로 반전됨을 특징으로 하는 전기광학장치의 구동방법.

**청구항 13**

제12항에 있어서, 상기 극성이 수개 프레임마다 반전됨을 특징으로 하는 방법.

**청구항 14**

제12항에 있어서, 상기 전기광학장치가 디스플레이임을 특징으로 하는 방법.

**청구항 15**

제12항에 있어서, 상기 광감응층이 액정총임을 특징으로 하는 방법.

**청구항 16**

제15항에 있어서, 상기 액정총이 네마틱 액정총임을 특징으로 하는 방법.

**청구항 17**

제12항에 있어서, 상기 층에 작동되거나 작동되지 않는 모든 픽셀에서 교류 전압이 인가되며 상기 교류 전압의 크기가 상기 층의 한계전압의 크기보다 작음을 특징으로 하는 방법.

**청구항 18**

적어도 하나가 투명한 한쌍의 기재, 이들 기재 사이에 배치된 액정총, 이 액정총에 다수의 픽셀을 한정하기 위하여 적어도 하나의 상기 기재의 내면에 형성된 다수의 전도성 패드와, 콤�挣钱터리 트랜지스터로 구성된 스위칭 소자를 통하여 상기 전도성 패드에 제어신호를 공급하기 위한 제어신호를 구성됨을 특징으로 하는 액정장치.

청구항 19

제 18 항에 있어서, 상기 콤파리터리 트랜지스터가 각 픽셀에 대하여 한쌍씩 제공되고 각각의 쌍이 드레인 단자에서 해당 패드에 연결된 p-채널 전계효과 트랜지스터와 n-채널 전계효과 트랜지스터로 구성됨을 특징으로 하는 액정장치.

청구항 20

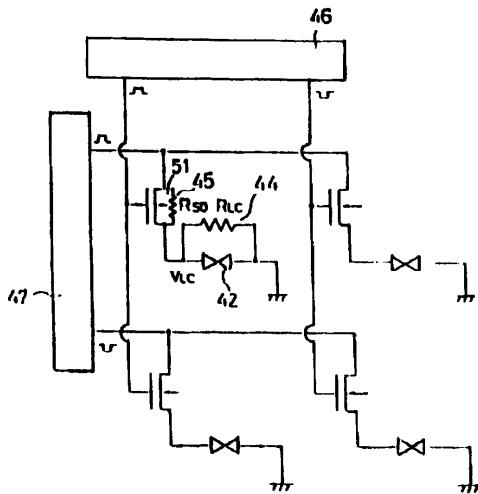
제19항에 있어서, 상기 제어회로가 사기 각 콤플리멘터리 트랜지스터에 제1, 제2 및 제3제어신호를 공급하고, 상기 제1제어신호는 상기 p-채널 전계효과 트랜지스터의 소오스 단자에 공급되며, 상기 제2제어신호는 상기 n-채널 및 p-채널 전계효과 트랜지스터의 게이트 단자에 공급됨을 특징으로 하는 액정장치.

청구항 21

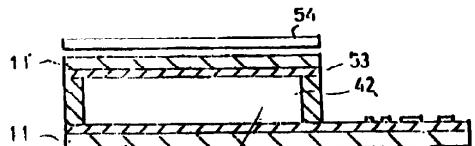
제 18항에 있어서, 상기 전도성 패드의 반대측인 상기 기재의 내측면에 배면전극이 형성됨을 특징으로 하는 액정장치.

도연

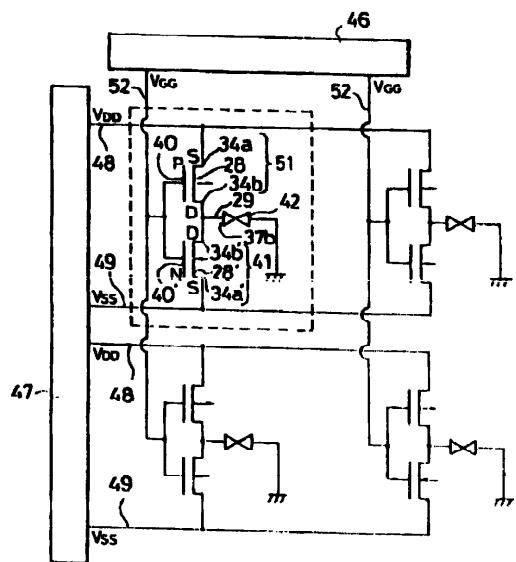
도면 1



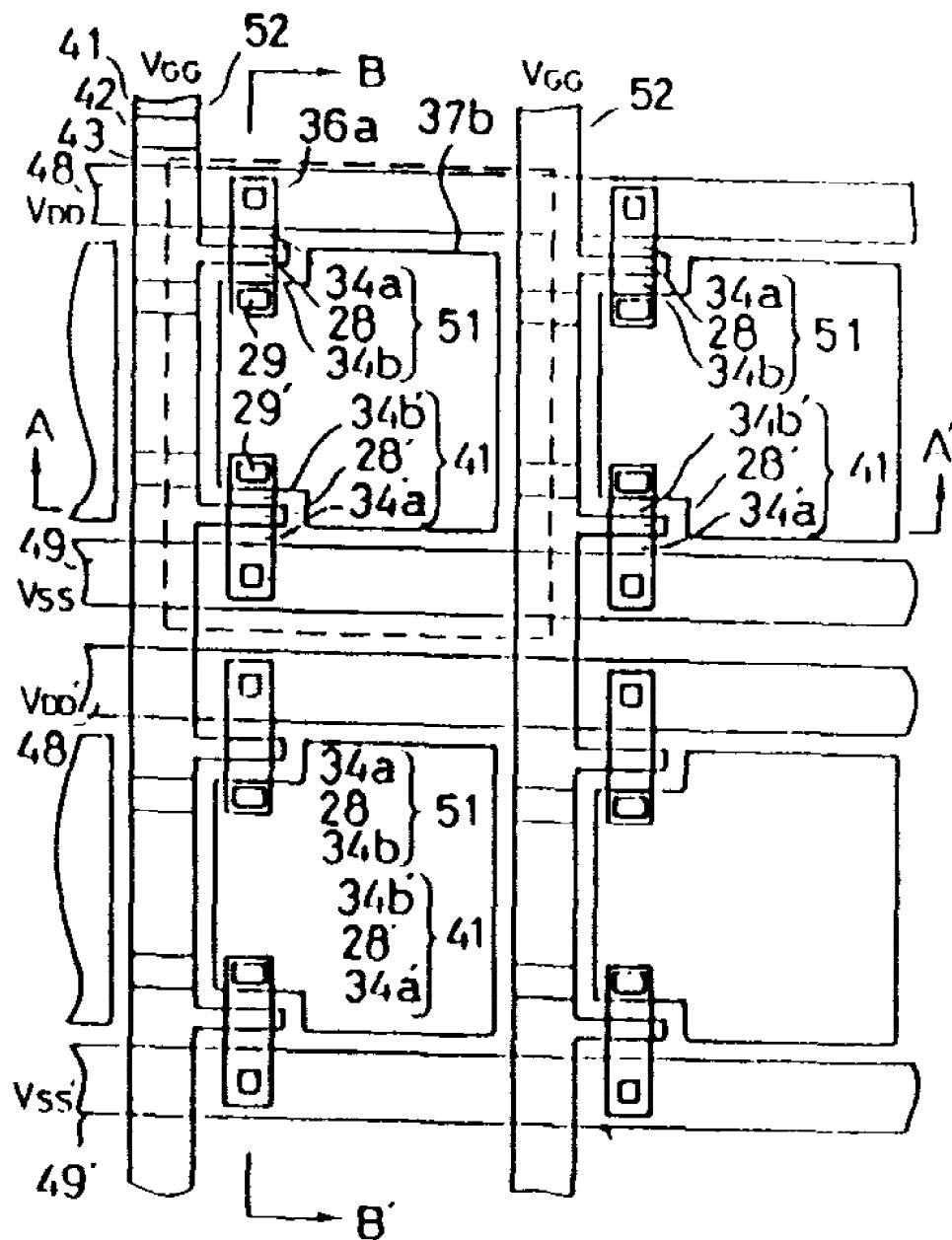
도면2



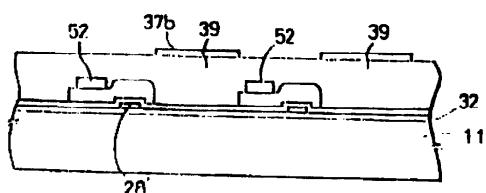
도면3



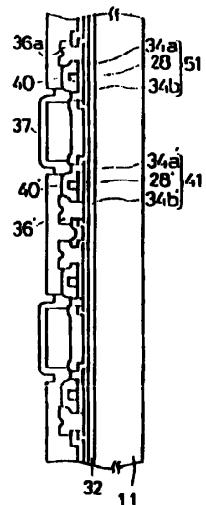
도면4-a



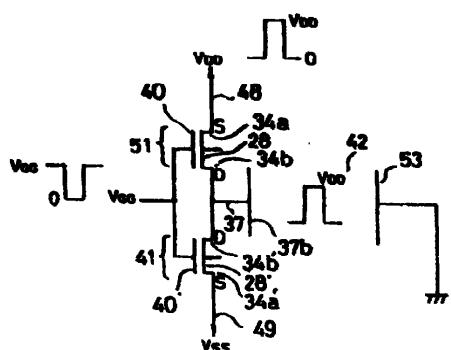
도면4-b



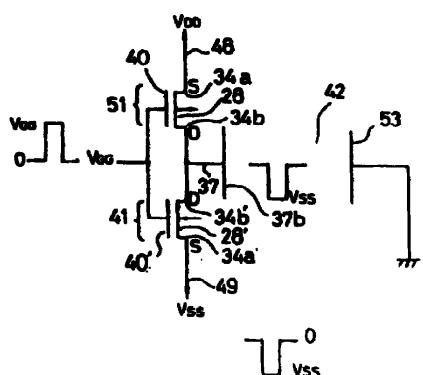
도면4-c



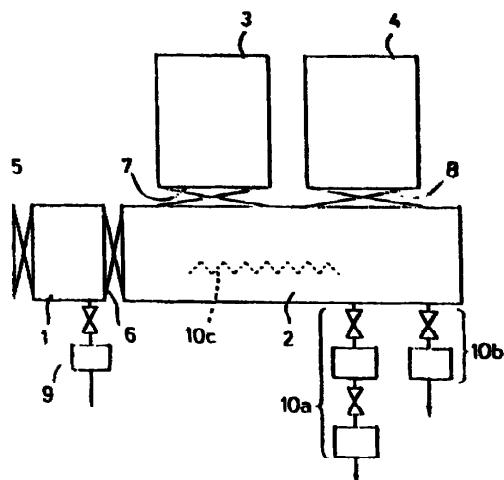
도면5-a



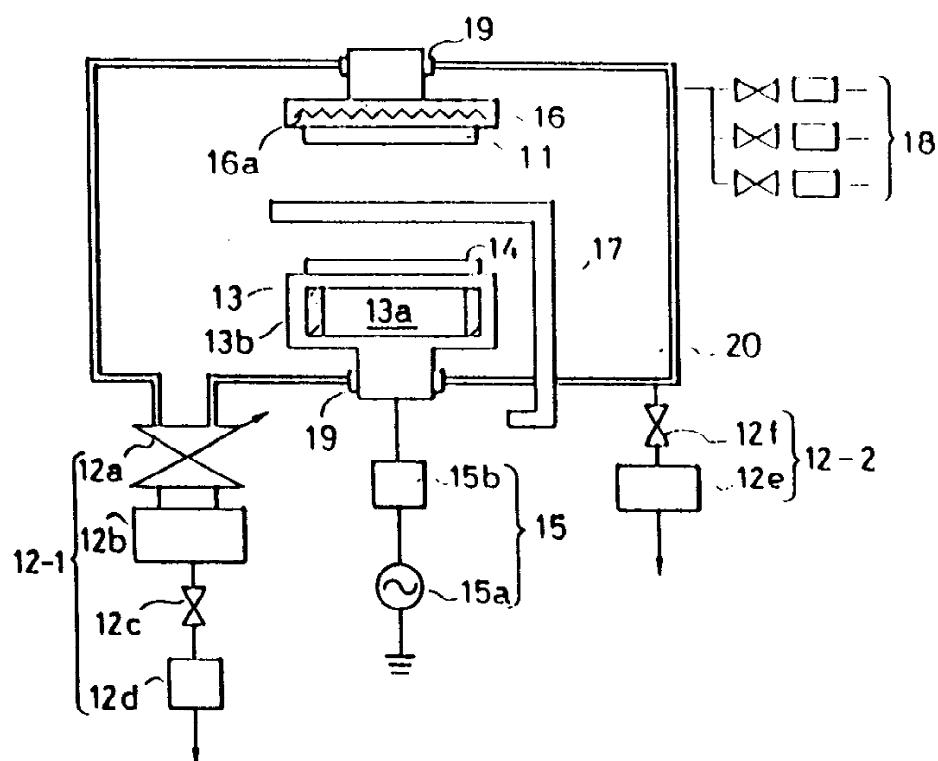
도면5-b



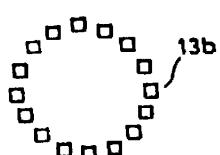
도면6



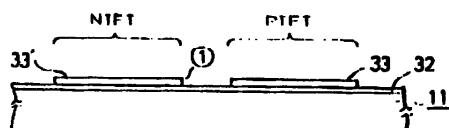
도면7-a



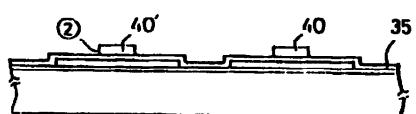
도면7-b



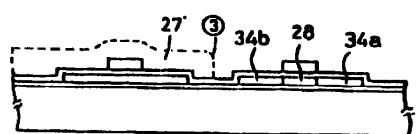
도면8-a



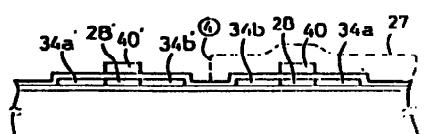
도면8-b



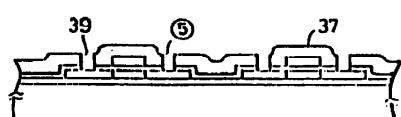
도면8-c



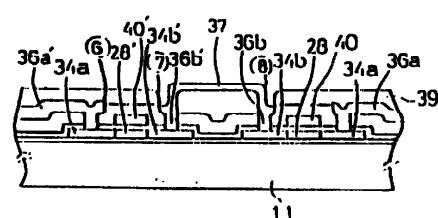
도면8-d



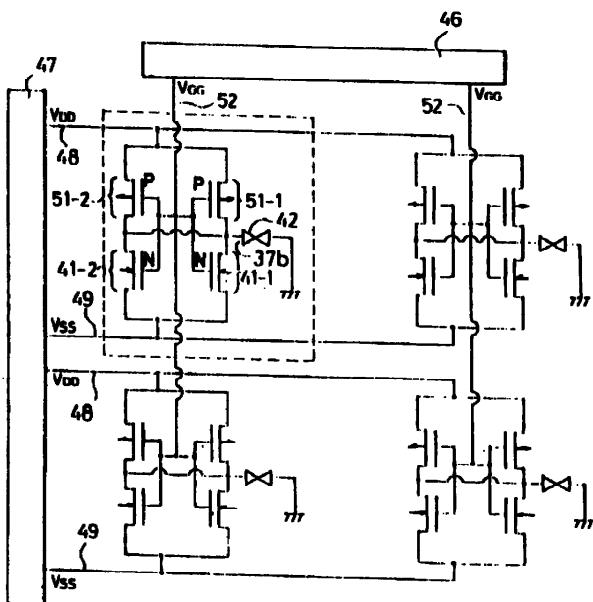
도면8-e



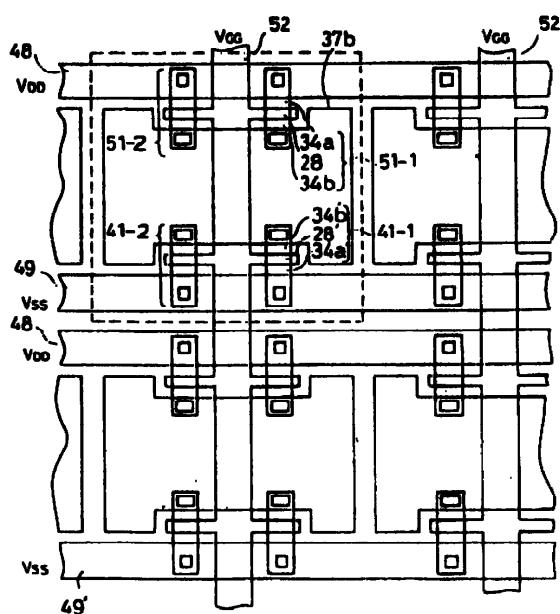
도면8-f



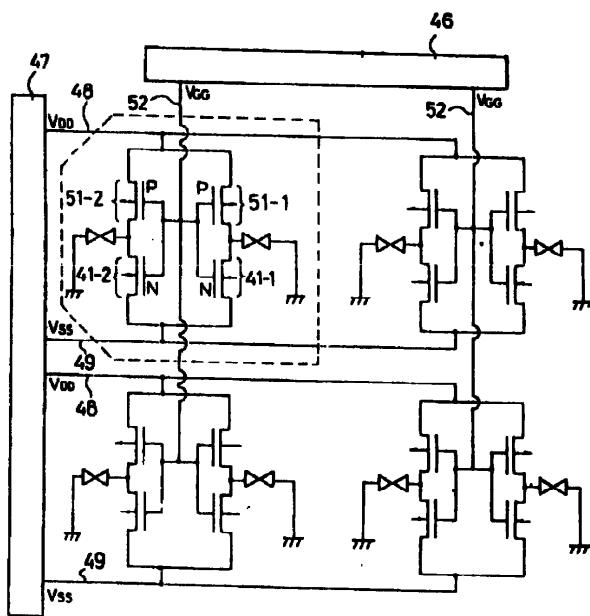
도면9a



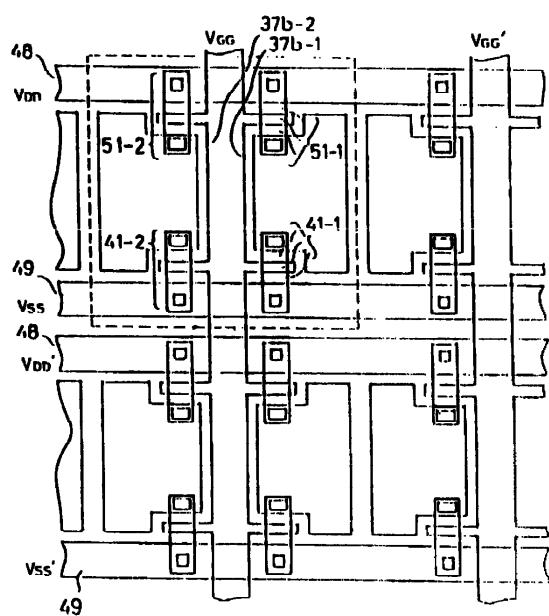
도면9b



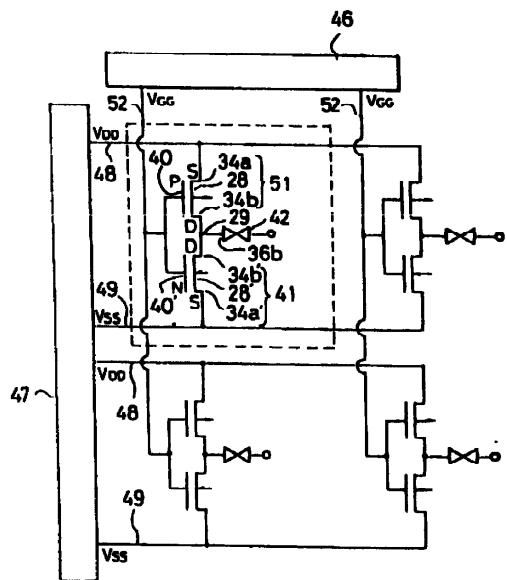
도면 10a



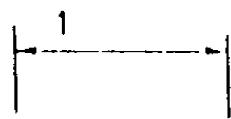
도면 10b



도면11



도면 12



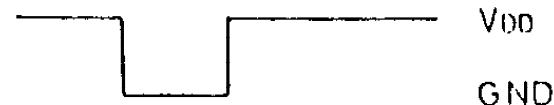
소외스 전압 48



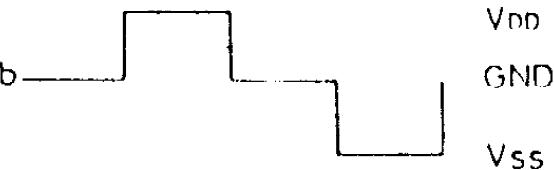
소외스 전압 49



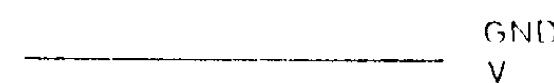
제어트 전압 52



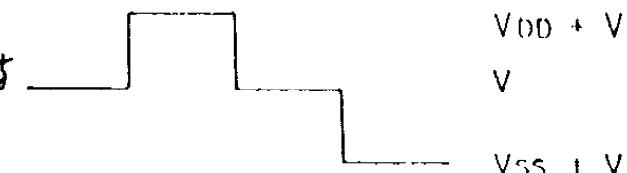
전도성 패드 37b



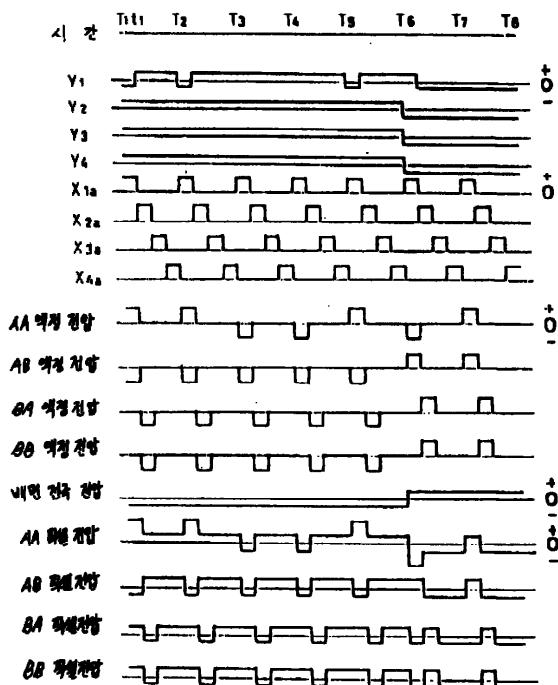
배연 전극 53



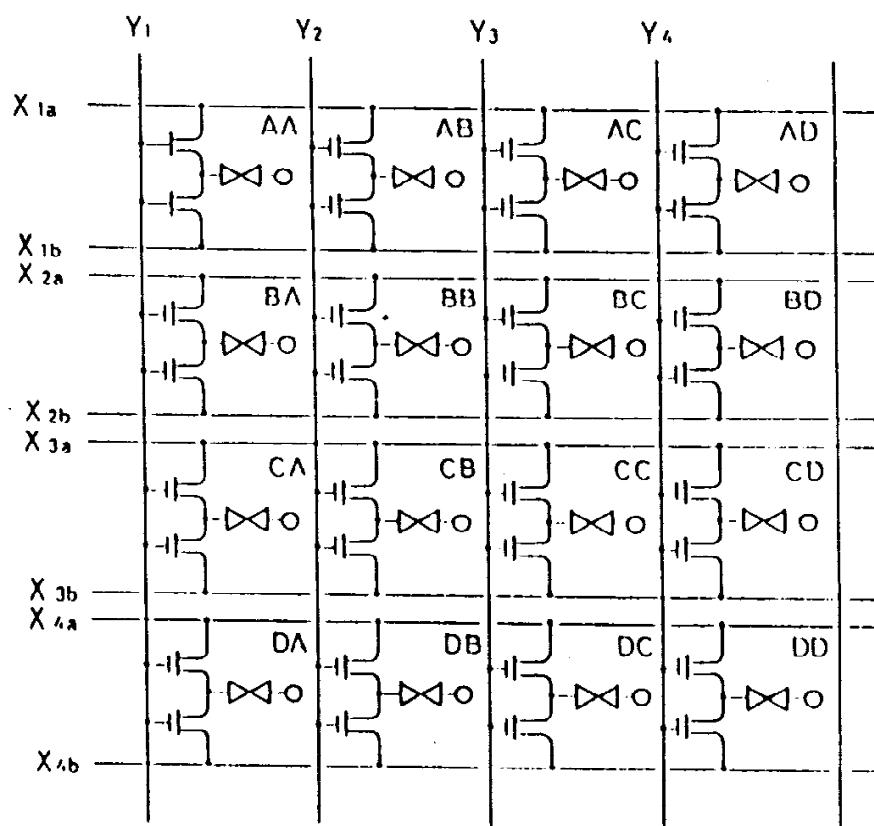
액정을 가로질른 전압



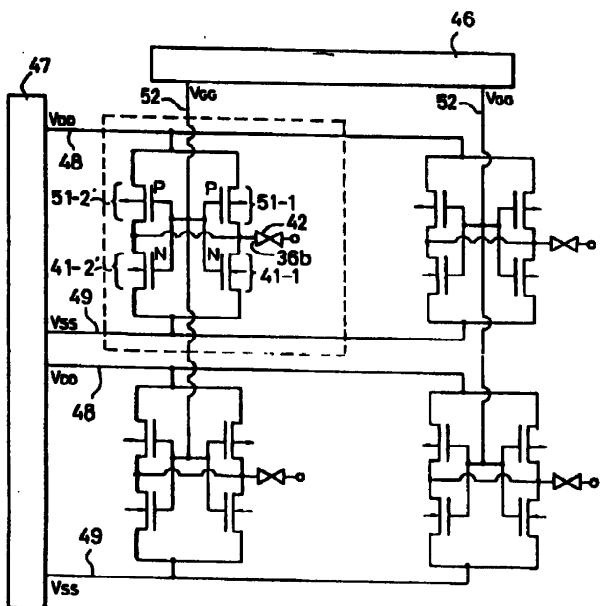
도면13



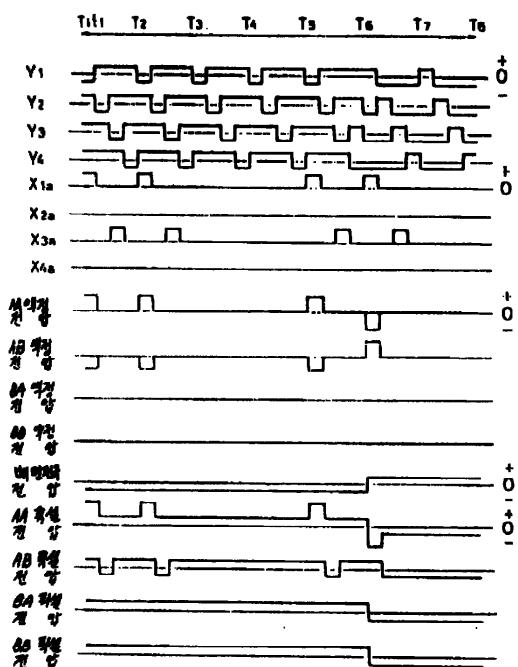
도면14



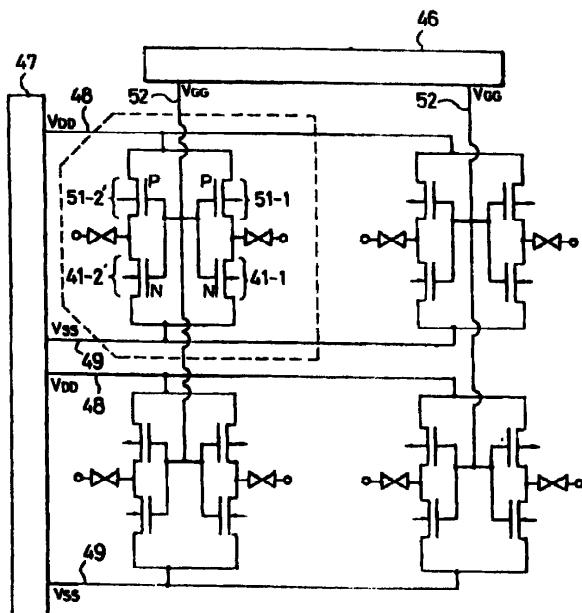
도면 15



도면 16



도면 17



도면 18

