

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5052982号
(P5052982)

(45) 発行日 平成24年10月17日 (2012.10.17)

(24) 登録日 平成24年8月3日 (2012.8.3)

(51) Int.Cl.
GO 1 R 33/07 (2006.01)

F I
GO 1 R 33/06 H

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2007-193084 (P2007-193084)	(73) 特許権者	000002325
(22) 出願日	平成19年7月25日 (2007.7.25)		セイコーインスツル株式会社
(65) 公開番号	特開2009-31027 (P2009-31027A)		千葉県千葉市美浜区中瀬 1 丁目 8 番地
(43) 公開日	平成21年2月12日 (2009.2.12)	(74) 代理人	100154863
審査請求日	平成22年4月20日 (2010.4.20)		弁理士 久原 健太郎
		(74) 代理人	100142837
			弁理士 内野 則彰
		(74) 代理人	100123685
			弁理士 木村 信行
		(72) 発明者	杉浦 正一
			千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内
		審査官	堀 圭史
			最終頁に続く

(54) 【発明の名称】 磁気センサ回路

(57) 【特許請求の範囲】

【請求項 1】

磁気を検知する磁気センサ回路であって、
対角線上に配置された一対の第一の電極対と、前記第一の電極対とは別の対角線上に配置された一対の第二の電極対とを有し、貫く磁束に応じた電圧を発生する磁気検出素子と、
前記磁気検出素子の前記第一の電極対と前記第二の電極対に接続され、前記第一の電極対の出力する第一の電圧と前記第二の電極対の出力する第二の電圧を選択的に切替えて出力する第一のスイッチ回路と、
前記第一のスイッチ回路の出力に入力が接続され、前記第一の電圧および前記第二の電圧を増幅して出力する増幅器と、
前記増幅器の出力に入力が接続され、増幅された前記第一の電圧を記憶する第一の記憶回路および増幅された前記第二の電圧を記憶する第二の記憶回路と、前記第一の記憶回路および前記第二の記憶回路の出力を制御するスイッチと、を備え、前記第一の記憶回路および前記第二の記憶回路の出力を制御するスイッチが閉じたときに増幅された前記第一の電圧と増幅された前記第二の電圧が平均された検出用電圧を出力する第二のスイッチ回路と、
しきい値電圧を発生するしきい値電圧源と、
前記第二のスイッチ回路の出力と前記しきい値電圧源の出力とが入力に接続され、前記検出用電圧と前記しきい値電圧とを比較する比較器と、

10

20

前記比較器の、前記第二のスイッチ回路の出力が接続された入力に第三のスイッチ回路を介して接続され、前記第二のスイッチ回路の出力を制御するスイッチが開いているときに、その入力の入力容量を基準電圧に充電する基準電圧源と、を備えた磁気センサ回路。

【請求項 2】

前記基準電圧が、前記貫く磁束がゼロのときの検出用電圧と等しい電圧である請求項 1 に記載の磁気センサ回路。

【請求項 3】

前記基準電圧が、電源電圧の半分と等しい電圧である請求項 1 に記載の磁気センサ回路。

【請求項 4】

前記基準電圧源は、電源電圧に接続された分割抵抗を備え、

前記基準電圧は、前記分割抵抗の出力電圧である請求項 1 に記載の磁気センサ回路。

【請求項 5】

前記基準電圧源は、電源電圧に接続された分割抵抗と、

前記分割抵抗の出力に接続されたボルテージフォロワ回路を備え、

前記基準電圧は、前記ボルテージフォロワ回路の出力電圧である請求項 1 に記載の磁気センサ回路。

【請求項 6】

磁気をモニタする磁気センサ回路であって、

対角線上に配置された一对の第一の電極対と、前記第一の電極対とは別の対角線上に配置された一对の第二の電極対と有し、貫く磁束に応じた電圧を発生する磁気検出素子と、

前記磁気検出素子の前記第一の電極対と前記第二の電極対に接続され、前記第一の電極対の出力する第一の電圧と前記第二の電極対の出力する第二の電圧を選択的に切替えて出力する第一のスイッチ回路と、

前記第一のスイッチ回路の出力に入力が接続され、前記第一の電圧および前記第二の電圧を増幅して出力する増幅器と、

前記増幅器の出力に入力が接続され、増幅された前記第一の電圧を記憶する第一の記憶回路および増幅された前記第二の電圧を記憶する第二の記憶回路と、前記第一の記憶回路および前記第二の記憶回路の出力を制御するスイッチと、を備え、前記第一の記憶回路および前記第二の記憶回路の出力を制御するスイッチが閉じたときに増幅された前記第一の電圧と増幅された前記第二の電圧が平均された検出用電圧を出力する第二のスイッチ回路と、

前記第二のスイッチ回路の出力が入力に接続されたボルテージフォロワ回路と、

前記ボルテージフォロワ回路の、前記第二のスイッチ回路の出力が接続された入力に第三のスイッチを介して接続され、前記第二のスイッチ回路の出力を制御するスイッチが開いているときに、その入力の入力容量を基準電圧に充電する基準電圧源と、

前記ボルテージフォロワ回路の出力に接続された第三の記憶回路と、を備えた磁気センサ回路。

【請求項 7】

前記基準電圧が、前記貫く磁束がゼロのときの検出用電圧と等しい電圧である請求項 6 に記載の磁気センサ回路。

【請求項 8】

前記基準電圧が、電源電圧の半分と等しい電圧である請求項 6 に記載の磁気センサ回路。

【請求項 9】

前記基準電圧源は、電源電圧に接続された分割抵抗を備え、

前記基準電圧は、前記分割抵抗の出力電圧である請求項 6 に記載の磁気センサ回路。

【請求項 10】

前記基準電圧源は、電源電圧に接続された分割抵抗と、

前記分割抵抗の出力に接続された第二のボルテージフォロワ回路を備え、

10

20

30

40

50

前記基準電圧は、前記第二のボルテージフォロワ回路の出力電圧である請求項 6 に記載の磁気センサ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微弱な磁気を検知する磁気センサ回路に関する。

【背景技術】

【0002】

携帯通信機器など小型化に伴い、折り畳み機構を有する機器が増えているが、その折たたみ機構の状態を検出する方法に、磁石と磁気センサ回路を用いたものがある。特許文献 1 に発明の実施例として示された磁気センサ回路は、磁気検出用の素子として磁気抵抗素子を使用している。しかし、シリコン基板を用いた半導体 IC 上に、磁気検出用の素子と信号処理回路を一体に構成する場合、特許文献 1 の従来技術の中でも説明されているように、磁気検出用の素子としてホール素子を使用するという選択もあり得る。図 6 は、ホール素子を使用した磁気センサ回路の一例である。

10

【0003】

図 6 の磁気センサ回路は、ホール素子 11 と、電圧源 12 と、増幅器 3 と、比較器 4 と、電圧源 42 とからなる。電圧 Vdd を発生する電圧源 12 は、ホール素子 11 の対を成す端子 a、b に接続されている。ホール素子 11 の対をなす端子 c、d は、それぞれ増幅器 3 の非反転入力端子 (+)、反転入力端子 (-) に接続されている。増幅器 3 は、非反転入力端子 (+) と反転入力端子 (-) の電位が等しいとき、電圧 Vdd/2 を出力するように動作点が設定されている。比較器 4 は、一方の入力端子に増幅器 3 の出力端子が接続され、他方の入力端子に電圧源 42 が接続されている。電圧源 42 は、しきい値電圧 Vth2 を発生する。比較器 4 の出力端子は磁気センサ回路の信号出力端子である出力端子 OUT に接続されている。

20

【0004】

このような構成とした磁気センサ回路では、ホール素子 11 に近接した位置に永久磁石等の磁性体が存在すると、磁性体によって生じた磁束がホール素子 11 を貫通し、端子 (c - d) 間にホール電圧が発生する。このホール電圧は、増幅器 3 によってゲイン (以下、A3 とする) 倍に増幅され、比較器 4 の一方の入力端子に伝達される。

30

【0005】

比較器 4 は、増幅器 3 の出力がしきい値電圧 Vth2 よりも大きい場合に、出力信号をハイレベルにする。従って出力端子 OUT に、ホール素子 11 の近接した位置に磁性体が存在することを示す信号であるハイレベルが出力される。

【0006】

比較器 4 は、増幅器 3 の出力電圧が Vdd/2 であるときを、ホール素子 11 から理想的には無限遠方に永久磁石等の磁性体が存在する状態、すなわちホール素子 11 を貫く磁束がゼロである状態として比較動作をしている。

【0007】

ところで、ホール素子 11 の端子 (c - d) 間に発生するホール電圧は、ホール素子 11 を貫通する磁束の向きによって極性が反転する。例えば、図 6 のようにホール素子 11 の上面からその内部に向かって磁束が貫通する場合を順方向、内部から上面に向かって磁束が貫通する場合を逆方向とする。このとき、ホール電圧の極性は、順方向では正、逆方向では負となる。図 6 の磁気センサ回路は、磁束とホール素子 11 との関係が順方向にしか対応していない。従って、磁束とホール素子 11 との関係が逆方向の磁性体の場合、磁性体が近接位置にあるにも関わらず、検出できないことになる。

40

【0008】

図 7 は、順方向および逆方向の磁束に対応した磁気センサ回路のブロック図である。図 7 の磁気センサ回路は、逆方向の磁束に対するしきい値電圧 Vth3 を発生する電圧源 43 とスイッチ回路 41 を備え、しきい値電圧をスイッチ回路 41 によって切替えて比較器 4 に

50

入力する。さらに、比較器 4 の出力と出力端子OUTの間にサンプルホールド回路 9 が接続されている。サンプルホールド回路 9 は、スイッチ 9 1 及び容量 9 3 とからなる第一のサンプルホールド回路と、スイッチ 9 2 及び容量 9 4 とからなる第二のサンプルホールド回路と、論理回路 9 5 とで構成される。

【 0 0 0 9 】

スイッチ 9 1 と 9 2 は、スイッチ回路 4 1 と連動して、順方向の磁束に対する検出結果を容量 9 3 に、逆方向の磁束に対する検出結果を容量 9 4 に格納する。そして、どちらか一方でも所定値よりも大きな磁束を検出すれば、出力端子OUTにハイレベルを出力する。

【 0 0 1 0 】

なお本背景技術では、上述の通り、ホール素子 1 1 を貫通する磁束とは、磁性体が発するものであり、ホール素子 1 1 に近接した位置に磁性体が存在するかを検知可能としているが、磁性体が発する磁束の代わりに、近接位置に置かれた電流検出用導電体の周りにアンペールの法則によって生じる磁束を適用するならば、電流検出用導電体に所定値よりも大きな電流が流れている状態を検知することもまた可能であるということを確認しておく。

【特許文献 1】特開平 0 9 - 1 6 6 4 0 5 号

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

しかし従来の磁気センサ回路では、ホール素子自身に有害なオフセットが存在し、さらに後段に設けられた回路にも有害なオフセットが存在することがあり、この為、磁気センサ回路としての高い信頼性と一般的な品質の確保が極めて難しい。磁気センサ回路としての高い信頼性と一般的な品質の確保のためには、ホール素子自身のオフセットと、後段に設けられる回路のオフセットを併せて排除（オフセットキャンセル）する必要がある。

【 0 0 1 2 】

上記課題は、磁気センサ回路が使用される携帯通信機器等の小型化に伴い、磁石やホール素子が小型化され、ホール電圧の磁界の強さに応じた有効信号成分が微小になるに従い、より影響程度が増大しつつある課題である。

【課題を解決するための手段】

【 0 0 1 3 】

本発明の磁気センサ回路は、対角線上に配置された一对の第一の電極対と、前記第一の電極対とは別の対角線上に配置された一对の第二の電極対とを有し、貫く磁束に応じたホール電圧を発生する前記ホール素子と、前記ホール素子の前記第一の電極対と前記第二の電極対に接続され、前記第一の電極対の出力する第一のホール電圧と前記第二の電極対の出力する第二のホール電圧を選択的に切替えて出力する第一のスイッチ回路と、前記第一のホール電圧および前記第二のホール電圧を増幅して出力する増幅器と、増幅された前記第一のホール電圧を記憶する第一の記憶回路および増幅された前記第二のホール電圧を記憶する第二の記憶回路と、第一の記憶回路および第二の記憶回路の出力を制御するスイッチとを備え、第一の記憶回路および第二の記憶回路の出力を制御するスイッチが閉じたときに増幅された前記第一のホール電圧と増幅された前記第二のホール電圧が平均された検出用電圧を出力する第二のスイッチ回路と、しきい値電圧を発生するしきい値電圧源と、前記検出用電圧と前記しきい値電圧とを比較する比較器と、前記比較器の第二のスイッチ回路の出力が接続された入力に第三のスイッチを介して接続され、前記第二のスイッチ回路の出力を制御するスイッチが開いているときに、その入力の入力容量を基準電圧に充電する基準電圧源と、を備えた磁気センサ回路とした。

【発明の効果】

【 0 0 1 4 】

本発明の磁気センサ回路によれば、ホール素子自身のオフセットと、後段に設けられる回路のオフセットを併せて排除（オフセットキャンセル）することが可能になり、高性能な磁気センサ回路を提供することが出来る。

【発明を実施するための最良の形態】

【0015】

【実施例】

【0016】

図1は、本発明の実施例を示す磁気センサ回路の回路図である。

【0017】

本実施例の磁気センサ回路は、ホール素子1と、スイッチ回路2と、増幅器31と、スイッチ回路7と、比較器4と、スイッチ回路41と、電圧源42及び43と、スイッチ回路44及び電圧源45と、サンプルホールド回路9を備えている。

【0018】

ホール素子1は、端子AとA'及び端子BとB'に関して幾何学的に等価な形状に形成されている。このようなホール素子1の端子(A-A')間に電圧Vddを印加したときに端子(B'-B)間に生じるホール電圧と、端子(B-B')間に電圧Vddを印加したときに端子(A-A')間に生じるホール電圧とは、磁界の強さに応じた有効信号成分(以下、Vohとする)は同相で、ホール素子自身のオフセット電圧(以下、Vosとする)は逆相となる。従って、これら2つのホール電圧の平均をとることにより、ホール素子1のVosを排除(オフセットキャンセル)してVohのみを得ることができる。また勿論、これら2つのホール電圧をとある利得倍に等しく増幅させた電圧の平均をとれば、Vohのみをとある利得倍に増幅させた電圧を、得られる。

【0019】

端子Aまたは端子Bが増幅器31の非反転入力端子(+)に、端子A'または端子B'が、増幅器31の反転入力端子(-)に、スイッチ回路2を介して接続されるように、スイッチ回路2はスイッチ21、22、23、24にて構成されている。

【0020】

増幅器31は、非反転入力端子(+)と反転入力端子(-)の電位が等しいときに任意の電圧、例えばVdd/2を出力するように動作点が設定された差動入力差動出力タイプの構成としている。増幅器31の入力端子にはオフセット電圧Vof2を想定し、電圧源32として図示している。増幅器31の出力は、スイッチ71、72、73、74と、記憶回路であり容量値が互いに他と等しい、容量75、76で構成されたスイッチ回路7に入力されている。

【0021】

スイッチ回路7の出力は、比較器4の非反転入力端子(+)に接続されている。さらに、比較器4の非反転入力端子(+)には、スイッチ回路44を介して電圧Vprechを発生する電圧源45が接続されている。比較器4の反転入力端子(-)には、スイッチ回路41を介して、電圧源42または43が接続されるようにしている。そして、比較器4の出力はサンプルホールド回路9を介して磁気センサ回路の出力端子OUTに接続されている。

【0022】

ホール素子1は、図示しない電圧源によって、第1の期間に端子(A-A')間に電圧Vddが与えられ、第1の期間に次いで設けられた第2の期間に端子(B-B')間に電圧Vddが与えられる。スイッチ回路2は、第1の期間に端子(B-B')間のホール電圧を出力し、第2の期間に端子(A-A')間のホール電圧を出力する。すなわちスイッチ回路2は、第1の期間に端子(A-A')間に電圧Vddが与えられたときの端子(B-B')間のホール電圧を、第2の期間に端子(B-B')間に電圧Vddが与えられたときの端子(A-A')間のホール電圧を、増幅器31に対して出力する。

【0023】

第1の期間におけるスイッチ71の状態はオン、スイッチ72の状態はオフであり、第2の期間におけるスイッチ71の状態はオフ、スイッチ72の状態はオンとしている。さらに、第1の期間及び第2の期間におけるスイッチ73及びスイッチ74の状態は、オフとしている。従って、増幅器31によって増幅された、上述第1の期間と第2の期間のホール電圧は、それぞれ記憶回路である容量75と76に、それぞれのホール電圧の大きさ

10

20

30

40

50

に相当する蓄積電荷量として記憶される。すなわち、第 1 の期間においては、第 1 の期間のホール電圧が、オン状態にあるスイッチ 7 1 を介して、そのホール電圧の大きさに相当する蓄積電荷量として、容量 7 5 に記憶される。第 2 の期間においては、第 2 の期間のホール電圧が、オン状態にあるスイッチ 7 2 を介して、そのホール電圧の大きさに相当する蓄積電荷量として、容量 7 6 に記憶される。

【 0 0 2 4 】

第 2 の期間に次いで設けられた第 3 の期間には、スイッチ 7 1 及び 7 2 の状態はオフとし、スイッチ 7 3 及び 7 4 の状態はオンとする。すなわちスイッチ回路 7 は、並列接続された容量 7 5 と 7 6 に係る電圧を、比較器 4 の非反転入力端子 (+) に出力する。容量 7 5、7 6 は互いに他と容量値が等しいとしているので、これはスイッチ回路 7 が、増幅器 3 1 によって増幅された、上述第 1 の期間と第 2 の期間のホール電圧の、平均電圧を出力する動作であるといえる。

【 0 0 2 5 】

第 3 の期間においてはまた、順方向の磁束に対するしきい値電圧 V_{th2} を発生する電圧源 4 2 または、逆方向の磁束に対するしきい値電圧 V_{th3} を発生する電圧源 4 3 が、スイッチ回路 4 1 を介して、比較器 4 の反転入力端子 (-) に接続される。比較器 4 はスイッチ回路 7 から出力された電圧と、しきい値電圧 V_{th2} または、しきい値電圧 V_{th3} とを比較する。

【 0 0 2 6 】

サンプルホールド回路 9 はスイッチ 9 1 および容量 9 3 からなる第一のサンプルホールド回路と、スイッチ 9 2 および容量 9 4 とからなる第二のサンプルホールド回路と、論理回路 9 5 とで構成される。第 3 の期間においてはまた、スイッチ 9 1 と 9 2 はスイッチ回路 4 1 と連動して順方向の磁束に対する検出結果を容量 9 3 に、逆方向の磁束に対する検出結果を容量 9 4 に格納する。そして、どちらか一方でも所定値よりも大きな磁束を検出すれば、出力端子 OUT にハイレベルを出力する。

【 0 0 2 7 】

今、比較器 4 の非反転入力端子 (+) に関する対地間容量 c_{inp} を考慮すれば、上述第 3 の期間においては、この対地間容量 c_{inp} も、容量 7 5、7 6 に、さらに並列に接続されることがいえる。

【 0 0 2 8 】

第 2 の期間終了直前における容量 7 5 に係る電圧を V_{c75b} 、容量 7 6 に係る電圧を V_{c76b} 、比較器 4 の非反転入力端子 (+) の対地間容量 c_{inp} に係る電圧を V_{cinpb} とすれば、このときそれぞれに蓄積されている電荷は、 $(C \times V_{c75b})$ 、 $(C \times V_{c76b})$ 、 $(c_{inp} \times V_{cinpb})$ となる。 C は容量 7 5、7 6 の容量値である。従って、第 3 の期間における比較器 4 の非反転入力端子 (+) に係る電圧 V_{cinpc} は、式 (1) で与えられる。

【 0 0 2 9 】

$$V_{cinpc} = [(C \times V_{c75b}) + (C \times V_{c76b}) + (c_{inp} \times V_{cinpb})] / (2 \times C + c_{inp}) \quad (1)$$

第 2 の期間終了直前における容量 7 5 に係る電圧 V_{c75b} は、すなわち第 1 の期間に発生する容量 7 5 に係る電圧値と等しく、これは $(-V_{oh} - V_{os} - V_{of2})$ なる電圧を増幅器 3 1 のゲイン (以下、 A_{31} とする) 倍した値を 2 で割算し、さらに $V_{dd}/2$ から減算した値となる。

【 0 0 3 0 】

$$V_{c75b} = (V_{dd}/2) - (-V_{oh} - V_{os} - V_{of2}) \times (A_{31}/2) \quad (2)$$

また、第 2 の期間終了直前における容量 7 6 の電圧 V_{c76b} は、すなわち第 2 の期間に発生する容量 7 6 に係る電圧そのものであり、これは $(+V_{oh} - V_{os} - V_{of2})$ なる電圧を A_{31} 倍した値を 2 で割算し、さらに $V_{dd}/2$ に加算した値となる。

【 0 0 3 1 】

$$V_{c76b} = (V_{dd}/2) + (+V_{oh} - V_{os} - V_{of2}) \times (A_{31}/2) \quad (3)$$

従って、式 (2) と (3) より、式 (1) は以下ようになる。

【 0 0 3 2 】

$$V_{cinpc} = [(V_{dd}/2) + V_{oh} \times (A_{31}/2)] \times 2 \times C + (c_{inp} \times V_{cinpb}) / (2 \times C + c_{inp})$$

(4)

ここで、 $V_{cinpb} = (V_{dd}/2) +$ と表現すれば、式(4)は以下になる。

【0033】

$$V_{cinpc} = (V_{dd}/2) + [c_{inp}/(2 \times C + c_{inp})] \times V_{oh} \times [A_{31} \times C / (2 \times C + c_{inp})]$$

(5)

今、比較器4は、非反転入力端子(+)に入力される電圧が $V_{dd}/2$ であるときを、ホール素子1を貫く磁束がゼロである状態、として比較動作することになっている。式(5)において、 V_{oh} がゼロでない場合には、磁界の強さに応じた有効信号成分 V_{oh} がゼロであるときに V_{cinpc} が $V_{dd}/2$ とはならず、比較器4に対してオフセットが発生することになり、好ましくない。

10

【0034】

従って、磁気存在を正しく検知するには、 V_{oh} をゼロ、すなわち V_{cinpb} を $V_{dd}/2$ として与える必要があり、この必要を満たすために、比較器4の非反転入力端子(+)に V_{cinpb} として V_{prech} 、すなわち $V_{dd}/2$ なる電圧を提供する役割を担う電圧源45及びスイッチ回路44を設けた。第2の期間終了直前まで、スイッチ回路44の状態をオンとし、比較器4の非反転入力端子(+)に、電圧源45の電圧 V_{prech} すなわち $V_{dd}/2$ が接続された状態としている。すなわち、比較器4の非反転入力端子(+)の対地間容量 c_{inp} を、電圧源45の電圧 V_{prech} すなわち $V_{dd}/2$ に充電している。さらに、第2の期間終了直前にスイッチ回路44の状態をオフとしている。これにより、比較器4に対するオフセットの発生を回避出来る。

20

【0035】

電圧源45は、図2の電圧源45aのように電源電圧を抵抗分割して出力する構成としても良いし、図3の電圧源45bのように電源電圧を抵抗分割した出力にボルテージフォロワ回路46を設ける構成としてもよい。

【0036】

V_{oh} をゼロとすれば、式(5)は、以下になる。

【0037】

$$V_{cinpc} = (V_{dd}/2) + V_{oh} \times [A_{31} \times C / (2 \times C + c_{inp})] \quad (6)$$

式(6)によれば、この式は V_{os} 及び V_{of2} に関する項を全く含まない。すなわち式(6)は、本発明の実施例を示す磁気センサ回路において、磁気センサ回路のオフセットが排除(オフセットキャンセル)可能であることを示している。

30

【0038】

上述のように、本発明の実施例の磁気センサ回路によれば、ホール素子自身のオフセットと、後段に設けられる回路のオフセットを併せて排除(オフセットキャンセル)することが可能になり、高性能な磁気センサ回路を提供することが出来る。

【0039】

また、本発明の実施例では、スイッチ回路7をスイッチ71、72、73、74と容量75、76で構成したが、この回路構成に限定されるものではない。

【0040】

また、本発明の実施例では、増幅器31は、入力無信号時、すなわち非反転入力端子(+)と反転入力端子(-)の電位が等しいとき、出力電圧が $V_{dd}/2$ になるように動作点が設定されたものとしているが、 $V_{dd}/2$ ではない別の電圧値(以下、 V_{ref} とする)であった場合においても、電圧源45の電圧 V_{prech} を V_{ref} として与えれば、同様の効果が得られることは明白である。

40

【0041】

また、本発明の実施例では、増幅器は、差動入力差動出力タイプの増幅器31のみで構成しているが、図4に示すように、増幅器31の出力にスイッチ回路5を介してゲイン A_6 なる増幅器6を設ける構成としてもよい。この場合、スイッチ回路5を構成するそれぞれのスイッチは、第1の期間においては、スイッチ51と54の状態がオン、スイッチ52と53の状態がオフとし、第2の期間においては、スイッチ51と54の状態がオフ、ス

50

イッチ 5 2 と 5 3 の状態がオンとすればよい。この場合のVcinpcは、式 (6) において、 $(A31/2)$ を $(A31 \times A6)$ に書き換えることにより、以下のように表すことが出来る。

【 0 0 4 2 】

$$V_{cinpc} = (V_{dd}/2) + V_{oh} \times [2 \times (A31 \times A6) \times C / (2 \times C + c_{inp})] \quad (7)$$

従って、同様の効果が得られることは明白であり、さらに同様の機能を提供するその他の回路構成であってもよい。

【 0 0 4 3 】

また、本発明の実施例では、比較器 4 後段の回路として、サンプルホールド回路 9 を示したが、この回路構成に限定されるものではない。

【 0 0 4 4 】

また、本発明の実施例では、順方向及び逆方向の磁束に対応した磁気センサ回路として、どちらか 1 方向の磁束に対応出来さえすればよい場合には、電圧源 4 2 と 4 3 のどちらかのみあればよいことは明白である。

【 0 0 4 5 】

また、本発明の実施例では、磁気存在を検知する回路として、スイッチ回路 7 の後段には、比較器 4 などが接続されるとしているが、この構成に限定されるものではない。一例として、図 5 に磁気をモニタする回路として、スイッチ回路 7 の後段をバッファ回路 8 などで構成した実施例を示す。バッファ回路 8 は、Vcinpcをサンプリングし、磁束の強さを示す電圧信号として、これを出力端子OUTに出力する。バッファ回路 8 はボルテージフォロワ回路 8 1 と、スイッチ 8 2 及び容量 8 3 とからなる。

【 0 0 4 6 】

上述のように、本発明の磁気センサ回路によれば、ホール素子自身のオフセットと、後段に設けられる回路のオフセットを併せて排除（オフセットキャンセル）することが可能になり、高性能な磁気センサ回路を提供することが出来る。

【図面の簡単な説明】

【 0 0 4 7 】

【図 1】本発明の実施例を示す磁気センサ回路のブロック図である。

【図 2】本発明の実施例を示す磁気センサ回路のブロック図である。

【図 3】図 3 本発明の実施例を示す磁気センサ回路のブロック図である。

【図 4】図 4 本発明の実施例を示す磁気センサ回路のブロック図である。

【図 5】図 5 本発明の実施例を示す磁気センサ回路のブロック図である。

【図 6】図 6 従来の磁気センサ回路のブロック図である。

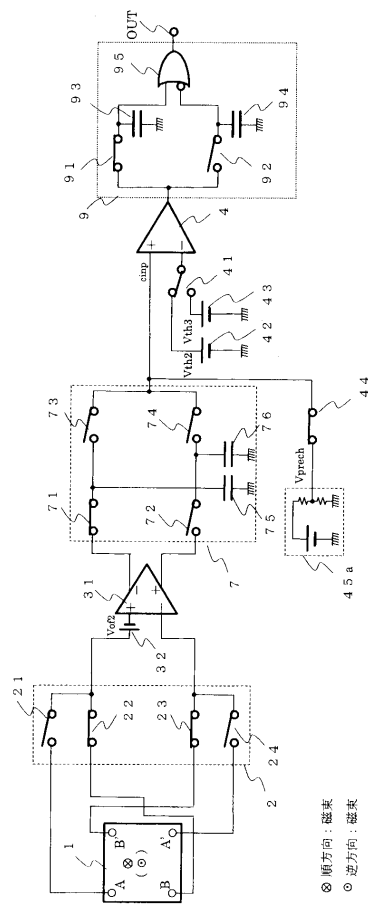
【図 7】図 7 従来の磁気センサ回路のブロック図である。

【符号の説明】

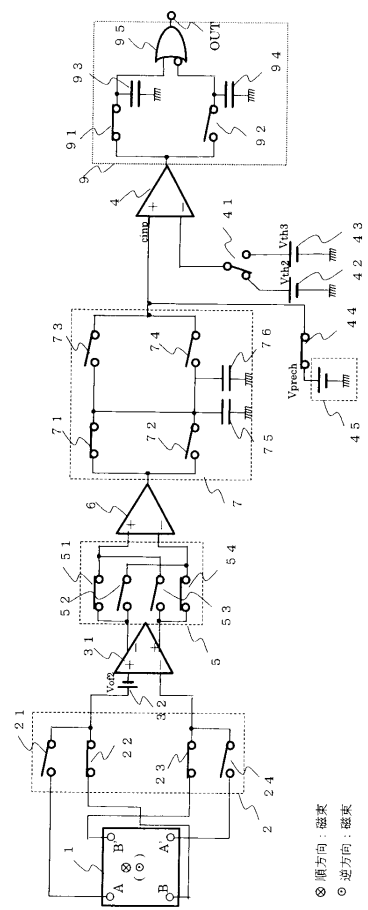
【 0 0 4 8 】

1、1 1	ホール素子
2、5、7、4 1、4 4	スイッチ回路
2 1、2 2、2 3、2 4、5 1、5 2、5 3、5 4、7 1、7 2、7 3、7 4、9 1、9 2	スイッチ
7 5、7 6、9 3、9 4	容量
9 5	論理回路
3、6、3 1	増幅器
4	比較器
1 2、4 2、4 3、4 5、4 5 a、4 5 b	電圧源
4 6、8 1	ボルテージフォロワ回路
8	バッファ回路
9	サンプルホールド回路

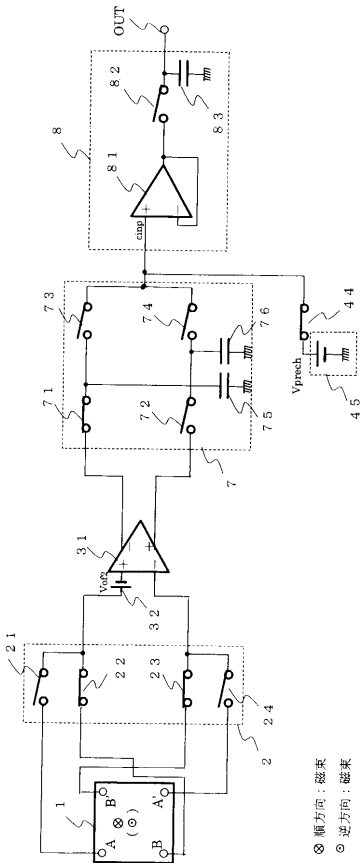
【圖 2】



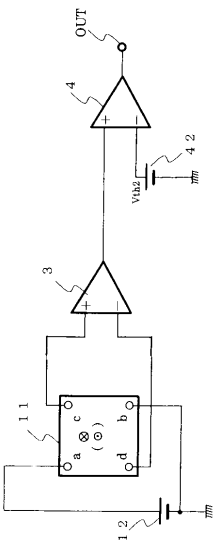
【 図 4 】



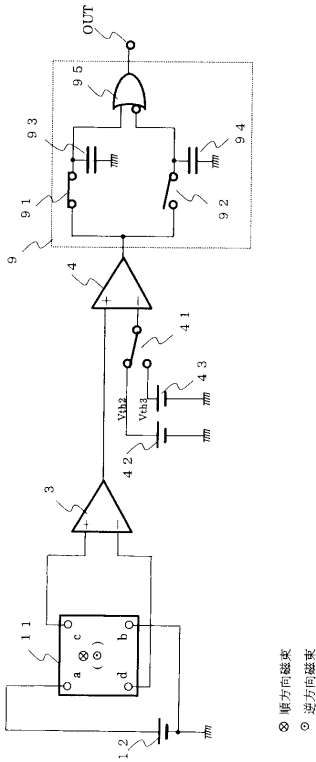
【図 5】



【図 6】



【図 7】



フロントページの続き

(56)参考文献 特開2005-260629(JP,A)
特開2005-300303(JP,A)
特開2004-37221(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R	33/02-10, 15/20
G01D	5/12-252
G01B	7/30
G01P	3/42-60