



República Federativa do Brasil  
Ministério da Economia  
Instituto Nacional da Propriedade Industrial

**(11) PI 0820983-9 B1**



**(22) Data do Depósito: 15/12/2008**

**(45) Data de Concessão: 25/06/2019**

**(54) Título:** APERFEIÇOANDO ESTABILIDADE DE LEITURA DE MEMÓRIA USANDO PRÉ-CARGA SELETIVA DE SEÇÕES DE LINHA DE BITS

**(51) Int.Cl.:** G11C 7/12; G11C 11/419; G11C 7/02; G11C 7/04; G11C 7/18.

**(52) CPC:** G11C 7/12; G11C 11/419; G11C 7/02; G11C 7/04; G11C 7/18; (...).

**(30) Prioridade Unionista:** 15/12/2007 US 61/014,038; 15/12/2008 US 12/334,817.

**(73) Titular(es):** QUALCOMM INCORPORATED.

**(72) Inventor(es):** MOHAMED H. ABU-RAHMA; RITU CHABA; MAN CHEN; SEI SEUNG YOON.

**(86) Pedido PCT:** PCT US2008086829 de 15/12/2008

**(87) Publicação PCT:** WO 2009/079455 de 25/06/2009

**(85) Data do Início da Fase Nacional:** 14/06/2010

**(57) Resumo:** APERFEIÇOANDO ESTABILIDADE DE LEITURA DE MEMÓRIA USANDO PRÉ-CARGA SELETIVA Um dispositivo de memória utiliza pré-carga seletiva e compartilhamento de carga para reduzir uma tensão de linha de bits antes de acessar uma célula de bits. Uma redução na tensão de linha de bits é alcançada pré-carregando diferentes seções da linha de bits para tensões diferentes (por exemplo, uma tensão de alimentação e terra) e usando compartilhamento de carga entre essas seções. Estabilidade de leitura melhora como um resultado da redução de tensão de linha de bits. A diferença de capacidade relativa (B2-C2) entre seções de linha de bits determina a tensão de linha de bits depois de compartilhar carga. Assim, o dispositivo de memória é tolerante ao processo ou às variações de temperatura. A tensão de linha de bits pode ser controlada em projeto selecionando as seções que são pré-carregadas para tensão de alimentação ou terra.

**"APERFEIÇOANDO ESTABILIDADE DE LEITURA DE MEMÓRIA USANDO  
PRÉ-CARGA SELETIVA DE SEÇÕES DE LINHA DE BITS"**

CAMPO DA INVENÇÃO

Esta divulgação em geral refere-se a circuitos  
5 integrados (CIs). Mais especificamente, esta divulgação  
refere-se aos dispositivos de memória.

DESCRIÇÃO DA TÉCNICA ANTERIOR

Um dispositivo de memória ou memória pode  
geralmente ser descrito como hardware que pode armazenar  
10 dados para posterior recuperação. Alguns dispositivos de  
memória incluem um conjunto de transistores usados para  
armazenar dados (representados, por exemplo, por uma carga  
elétrica) e um conjunto de transistores usados para  
controlar o acesso ao armazenamento de dados. Tamanhos de  
15 transistores diminuíram para 45 nm e, em breve chegarão a  
32 nm. Como os tamanhos diminuíram a margem de erros  
aceitáveis durante a fabricação diminuiu. Como resultado,  
os transistores fabricados apresentam maior variabilidade  
durante a operação.

20 O grande aumento na variabilidade das tecnologias  
de transistores tem afetado negativamente dispositivos de  
memória e sua estabilidade de leitura. A estabilidade de  
leitura é a capacidade do dispositivo de memória para reter  
os dados corretos quando acessados, na presença de ruído.  
25 Comumente, estabilidade de leitura é medida utilizando a  
margem de ruído estático (SNM). Grandes variações de  
transistores fabricados causam uma redução na margem de  
ruído estático de um dispositivo de memória. Esta redução  
na margem de ruído estático reduz a robustez de célula de  
30 bits e tolerância contra o ruído e, consequentemente,  
diminui a produção de memória devido a falhas aumentadas.

Reduzir ligeiramente a tensão de linha de bits de  
um dispositivo de memória em comparação com a tensão de

alimentação melhora significativamente a margem de ruído estático de um dispositivo de memória. No entanto, em projetos de memória a linha de bits é geralmente pré-carregada a uma tensão de alimentação antes de acessar a  
5 memória. Houve várias tentativas para reduzir a tensão da linha de bits para melhorar a estabilidade de leitura. As tentativas anteriores demonstraram grande sensibilidade ao processo, temperatura e variações de tensão durante a fabricação que podem limitar a sua eficácia para melhorar a  
10 estabilidade de leitura. Algumas dessas tentativas de incluir o esquema de linha de bits pulsados, tensões de alimentação dupla, e polarização celular dinâmica.

Em um esquema linha de bits pulsado, um dispositivo pull down está conectado à linha de bits. Após  
15 a pré-carga da linha de bits para a tensão de alimentação, um pulso estreito é aplicado sobre o dispositivo pull down que reduz a tensão da linha de bits e melhora a estabilidade de leitura. Esta técnica é muito sensível para a geração deste pulso estreito, especialmente porque a  
20 largura de pulso pode variar com o processo, tensão e variações de temperatura durante a fabricação dos transistores e as variações ambientais.

Outra tentativa usa duas tensões, uma para a célula de bits, e outra para a linha de bits, onde a tensão  
25 da linha é pouco menor do que a tensão da célula de bits. Adicionar tensões de alimentação adicionais é uma tarefa difícil, e complica o projeto físico e verificação do chip.

Ainda outra tentativa para reduzir a tensão de linha de bits inclui o uso de um dispositivo NMOS para pré-  
30 carga da linha de bits para reduzir a tensão de linha de bits pela tensão limite do dispositivo NMOS. Um dispositivo NMOS de baixa tensão limite é usado neste caso, o que aumenta a complexidade do processo e custos, por exemplo,

exigindo máscaras adicionais. Além disso, a tensão limite tem forte dependência do processo, tensão e variações de temperatura.

Estas três tentativas para melhorar a  
5 estabilidade de leitura de memória são sensíveis para produzir variações e, como tal, são difíceis de implementar e são caras de implementar. Tal custo é ainda maior quando múltiplas tensões de alimentação ou um dispositivo NMOS é implementado no circuito de pré-carga. Assim, há  
10 necessidade de uma maior estabilidade de leitura em projetos de memória que diminui a sensibilidade para produzir variações, sem incorrer em custos adicionais.

#### RESUMO DA INVENÇÃO

De acordo com um aspecto desta divulgação, um  
15 dispositivo de memória inclui uma linha de bits tendo uma primeira e uma segunda seção. O dispositivo de memória também inclui um circuito de compartilhamento de carga seletivamente acoplado à primeira seção e à segunda seção, na qual o circuito de compartilhamento de carga é  
20 configurado para acoplar e desacoplar a primeira seção da segunda seção.

De acordo com outro aspecto desta divulgação, um método de funcionamento de um dispositivo de memória inclui pré-carregamento de uma primeira seção de uma linha de bits  
25 para uma primeira tensão e pré-carregamento de uma segunda seção da linha de bits para uma segunda tensão. A segunda tensão é diferente da primeira tensão. O método também inclui compartilhar carga entre a primeira seção da linha de bits e a segunda seção da linha de bits.

30 De acordo com outro aspecto desta divulgação, um dispositivo de memória inclui meios para pré-carregamento de uma primeira seção de uma linha de bits para uma primeira tensão. O dispositivo de memória também inclui

meios para pré-carregamento de uma segunda seção da linha de bits para uma segunda tensão. O dispositivo de memória inclui ainda meios para o compartilhamento de carga entre a primeira seção da linha de bits e a segunda seção da linha de bits.

De acordo com um aspecto da divulgação, um método de operar um dispositivo de memória com uma linha de bits, incluindo uma primeira seção e uma segunda seção inclui a etapa de pré-carregamento de uma primeira seção de uma linha de bits para uma primeira tensão. Um método inclui ainda a etapa de pré-carga da segunda seção da linha de bits para uma segunda tensão, o que difere da primeira tensão. O método também inclui a etapa de compartilhar carga entre a primeira seção da linha de bits e a segunda seção de linha de bits para obter um nível de tensão entre a primeira tensão e segunda tensão.

Este documento foi descrito, e em termos gerais, as características e vantagens técnicas da presente divulgação, a fim de que a descrição detalhada que se segue possa ser melhor compreendida. Funcionalidades adicionais e vantagens da divulgação serão descritas a seguir. Deve ser apreciado por todos aqueles versados na técnica que essa divulgação possa ser facilmente utilizada como base para projetar ou modificar outras estruturas para a realização dos mesmos fins da presente divulgação. Também deve ser realizado por aqueles versados na técnica que tais construções equivalentes não se afastam os ensinamentos da divulgação conforme definido nas reivindicações anexas. As características novas, que se acredita serem características da divulgação, tanto sua organização quanto modo de funcionamento, juntamente com outros objetos e as vantagens, irão ser melhores entendidos a partir da seguinte descrição, quando considerados em conexão com as

figuras que os acompanham. Deve ser expressamente entendido, porém, que cada um dos números é provido a título de ilustração e descrição, não se destina a uma definição dos limites da presente revelação.

5                    BREVE DESCRIÇÃO DAS FIGURAS

Para uma compreensão mais completa da divulgação do presente pedido, referência é feita agora com as seguintes descrições tomadas em conjunto com os desenhos que acompanham.

10                  Figura 1 é uma ilustração de um sistema de comunicação sem fio exemplar em que uma modalidade da divulgação pode ser vantajosamente empregada.

Figura 2A é um circuito esquemático ilustrando um esquema de linha de bits pulsado convencional para  
15                  estabilidade de SRAM melhorada.

Figura 2B é um diagrama de temporização que ilustra um esquema de linha de bits pulsado convencional para estabilidade de SRAM melhorada.

Figura 3 é um diagrama de circuito que ilustra a  
20                  operação de pré-carga inicial na técnica de pré-carga seletiva exemplar de acordo com uma modalidade da divulgação.

Figura 4 é um diagrama de circuito que ilustra operação de compartilhamento de carga na técnica de pré-  
25                  carga seletiva exemplar de acordo com uma modalidade da divulgação.

Figura 5 é um diagrama de circuito que ilustra a seleção de uma célula de bits para uma operação de leitura ou gravação de acordo com uma modalidade da divulgação.

30                  Figura 6 é um diagrama de circuito que ilustra pré-carga de linhas de bits para tensões diferentes na técnica de pré-carga seletiva exemplar de acordo com uma modalidade da divulgação.

Figura 7 é um diagrama de temporização que ilustra a operação de pré-carga seletiva exemplar de acordo com uma modalidade da divulgação.

Figura 8 é um esquema de circuito de um circuito  
5 para implementar a técnica de pré-carga seletiva exemplar de acordo com uma modalidade da divulgação.

Figura 9 é um diagrama de blocos que ilustra uma estação de trabalho de projeto utilizada para circuito, layout e lógica de projeto do circuito integrado  
10 semicondutor divulgado.

#### DESCRIÇÃO DETALHADA DA INVENÇÃO

A Figura 1 mostra um sistema de comunicação sem fio exemplar 100 em que a modalidade da divulgação pode ser vantajosamente empregada. Para fins de ilustração, a Figura  
15 1 mostra três unidades remotas 120, 130 e 150 e duas estações base 140. Será reconhecido que sistemas de comunicação sem fio típicos podem ter muito mais unidades remotas e estações base. As unidades remotas 120, 130 e 150 incluem dispositivos de memória 125A, 125B e 125C, criados  
20 de acordo com uma modalidade da divulgação. A Figura 1 mostra sinais de link direto 180 de estações base 140 e unidades remotas 120, 130 e 150 e sinais de link reverso 190 de unidades remotas 120, 130 e 150 estações base 140.

Na Figura 1, a unidade remota 120 é mostrada como  
25 um telefone móvel, uma unidade remota 130 é mostrada como um computador portátil e unidade remota 150 é mostrada como uma unidade remota de localização fixa em um sistema de loop local sem fio. Por exemplo, as unidades remotas, podem ser telefones celulares, unidades de sistemas de  
30 comunicação pessoal portátil (PCS), unidades portáteis de dados, tais como assistentes pessoais de dados, ou unidades de dados de localização fixa, tais como equipamentos de leitura de contadores. Embora a Figura 1 ilustre as

unidades remotas de acordo com os ensinamentos da revelação, a revelação não se limita a essas unidades exemplares ilustradas. A divulgação pode ser adequadamente empregada em qualquer dispositivo que inclui dispositivos  
5 de memória fabricados em conformidade com os ensinamentos da divulgação.

Figura 2A é um esquema de circuito ilustrando um esquema de linha de bits pulsado convencional para a estabilidade de memória melhorada. Um circuito 20 inclui  
10 uma célula de bits 21 configurada para armazenar dados e é acoplado a circuitos adicionais para controlar o comportamento de leitura e gravação do circuito 20. A célula de bits 21 pode ser uma de seis células de armazenamento de transistor. Um sinal de pré-carga, PCH, é  
15 acoplado a um circuito de pré-carga 22. O circuito de pré-carga 22 inclui um transistor 221 acoplado a uma linha de bit, BL, um transistor 222 acoplado a uma linha de bits inversa, BLB, e um transistor 223 acoplado tanto a linha de bits, BL, e a linha de bits inversa, BLB. Um sinal de  
20 pulso, PULSO, é acoplado a um circuito pull-down 23. O circuito pull-down 23 inclui um transistor 231 acoplado à linha de bit, BL, um transistor 232 acoplado à linha de bits inversa, BLB, e um transistor 223 acoplado tanto a linha de bits, BL, e a linha de bits inversa, BLB.

25 Para fins ilustrativos, o funcionamento do esquema de linha de bits pulsados convencional será agora descrito. Figura 2B é um diagrama de temporização que ilustra um esquema de linha de bits pulsado convencional para a estabilidade de memória melhorada. O circuito 20  
30 começa em um momento 251 quando o sinal de pré-carga, PCH, é baixo e o transistor 221 puxa para cima a linha de bit, BL, para uma tensão de alimentação, VDD, e o transistor 222 puxa para cima a linha de bits inversa, BLB, para a tensão

de alimentação,  $V_{DD}$ . Em um momento 252 o sinal de pré-carga, PCH, é elevado desligando o transistor 221, o transistor 222, e o transistor 223 para desconectar a linha de bits, BL, e a linha de bits inversa, BLB, a partir da tensão de alimentação,  $V_{DD}$ . No momento 252 um pulso positivo estreito é gerado no sinal de pulso, PULSO. O sinal de pulso, PULSO, comuta no transistor 231 e o transistor 232 para acoplar a linha de bit, BL, e a linha de bits inversa, BLB, para um terra 206. O transistor 233 descomuta para desconectar a linha de bit, BL, a partir da linha de bits inversa, BLB. A redução da tensão ocorre na linha de bit, BL, e a linha de bits inversa, BLB. No momento 253, o sinal de pulso, PULSO, retorna para baixo de modo que a linha de bit, BL, e a linha de bits inversa, BLB, parem de reduzir a tensão. Embora essa técnica reduza a tensão da linha de bits para melhorar a estabilidade de leitura, esta técnica é muito sensível para a geração do pulso estreito, especialmente porque a largura de pulso pode variar fortemente com o processo, tensão e variações de temperatura durante a fabricação dos transistores.

Referindo-se agora as Figura 3, Figura 4 e Figura 5, uma técnica de pré-carga seletiva melhorada exemplar será agora descrita. A técnica de pré-carga seletiva reduz a tensão da linha de bits para melhorar a estabilidade de leitura, sem ser tão sensível ao processo, tensão e variações de temperatura. A tensão da linha de bits é reduzida pelo compartilhamento de carga entre as seções da linha de bits que são seletivamente acopladas para permitir o compartilhamento durante as operações de leitura e gravação. Embora os dispositivos de memória SRAM sejam descritos, a técnica de pré-carga seletiva pode ser aplicada a qualquer projeto de memória, incluindo mas não limitado a, SRAM, DRAM, ou MRAM.

Diferentes partes da linha de bits são pré-carregadas para tensões diferentes (Por exemplo,  $V_{DD}$  e GND) e usando o compartilhamento de carga, o valor exigido final da tensão de linha de bits é alcançado. Em uma modalidade, a operação de compartilhamento de carga é dividida em três partes. Em primeiro lugar, como ilustrado na figura 3, a parte superior da linha de bits é pré-carregada para  $V_{DD}$ , enquanto a parte inferior da linha de bits é pré-carregada para GND. Em seguida, como ilustrado na Figura 4, as opções de compartilhamento de carga são ativadas para permitir o compartilhamento de carga entre a parte superior da parte inferior das linhas de bits. Portanto, a tensão da linha de bits final será determinada pela relação da capacitância entre  $C_{BL}$  e  $C_2$ . Finalmente, como ilustrado pela Figura 5, o compartilhamento de carga é desativado para todas as colunas, enquanto a comutação permanece ligada por uma coluna selecionada para uma operação de leitura ou gravação.

Figura 3 é um diagrama de blocos ilustrando operação de pré-carga inicial na técnica de pré-carga seletiva exemplar. Um diagrama de blocos 30 inclui uma linha de bits superior 31, juntamente com a capacitância associada ilustrada por um capacitor 311, com valor  $C_{BL}$ . Uma linha de bits inferior 33 se associou com a capacitância ilustrada por um capacitor 331, com valor de  $C_2$ . A linha de bits superior 31 e a linha de bits inferior 33 são acopladas a um comutador mux 32. No diagrama de blocos 30, o comutador mux 32 é aberto durante a pré-carga inicial para permitir que a linha de bits superior 31 pré-carregue uma tensão de alimentação,  $V_{DD}$ , e a linha de bits inferior 33 pré-carregue um terra, GND. Além disso, as células de bits 34 são acopladas à linha de bits superior

31. Em outra modalidade, as células de bits 34 podem ser acoplada à linha de bits inferior 33.

Figura 4 é um diagrama de blocos ilustrando operação de compartilhamento de carga na técnica de pré-carga seletiva exemplar. Um diagrama de blocos 40 inclui a linha de bits superior 31, a capacitância representada pelo capacitor 311, a linha de bits inferior 33, a capacitância representado pelo capacitor 331, e o comutador mux 32. A operação de compartilhamento de carga ocorre fechando o comutador mux 32 para acoplar a linha de bits superior 31 a linha de bits inferior 33. A tensão final,  $V_{BL}$ , na combinação da linha de bits superior 31 e na linha de bits inferior 33 é uma função da tensão inicial na linha de bits superior 31, na tensão inicial na linha de bits inferior 33, no capacitor 311, e o capacitor 331, como consta

$$V_{BL} = \frac{V_{DD} * (N * C_{BL})}{N * C_{BL} + C_2} = \frac{V_{DD}}{1 + 1/N * C_2 / C_{BL}},$$

onde N é o número de pares de linha de bits conectado ao comutador mux 32.

Figura 5 é um diagrama de blocos ilustrando desabilitação de compartilhamento de carga na técnica de pré-carga seletiva exemplar. Um diagrama de blocos 50 inclui a linha de bits superior 31, a capacitância representada pelo capacitor 311, a linha de bits inferior 33, a capacitância representada pelo capacitor 331, e o comutador mux 32. o comutador mux 32 abre para desconectar a linha de bits superior 31 a partir da linha de bits inferior 33 após o compartilhamento de carga ser concluído. Esta abertura desativa a operação de compartilhamento de carga para que os dados possam ser lidos ou gravados na célula de bits 34. Um comutador mux 52 permanece fechado por que uma célula de bits 54 foi selecionada para uma operação de leitura ou gravação.

Figura 6 é um diagrama de blocos ilustrando pré-carga de linhas de bits para as tensões diferentes na técnica de pré-carga seletiva exemplar de acordo com outra modalidade de divulgação. Nesta modalidade, nem todas as

5 linhas de bits superiores são carregadas para tensão de alimentação,  $V_{DD}$ . Um diagrama de blocos 60 inclui a linha de bits superior 31, a capacitância representada pelo capacitor 311, a linha de bits inferior 33, a capacitância representada pelo capacitor 331, e o comutador mux 32. A

10 linha de bits superior 31 é pré-carregada para a tensão de alimentação,  $V_{DD}$ , e a linha de bits inferior 33 é pré-carregada para terra, GND. Nesta modalidade, cada linha de bits superior pode ser pré-carregada com uma tensão diferente. Por exemplo, uma linha de bits superior 61 é

15 pré-carregada para o terra, GND. Assim, quando ocorre compartilhamento de carga, as linhas de bits superiores e linhas de bits superiores inversas terão uma tensão mais baixa em relação a quando todas as linhas de bits superiores são pré-carregadas para a tensão de alimentação,  $V_{DD}$ . Linhas de bits adicionais poderão ser carregadas para

20 o terra, GND, para a tensão de alimentação,  $V_{DD}$ , ou para tensões diferentes (não mostradas) para obter uma tensão final adequada.

Figura 7 é um diagrama de temporização que

25 ilustra operação de pré-carga seletiva. Operação de pré-carga seletiva em uma linha de bits superior,  $BL_U$ , uma linha de bits superior inversa,  $BLB_U$ , uma linha de bits inferior,  $BL_L$ , e uma linha de bits inferior inversa,  $BLB_L$ , é controlada por um sinal de pré-carga, PRECHG, um sinal de

30 MUX, MUX\_STATE e um sinal de compartilhamento de carga, CH\_SH. Um sinal de linha de palavra, WL, permite o acesso à linha de bits superior,  $BL_U$ , a linha de bits superior inversa,  $BLB_U$ , a linha de bits inferior,  $BL_L$ , e a linha de

bits inferior inversa  $BLB_L$ . Um estado inicial do circuito é em um momento 711 quando o sinal de pré-carga,  $PRECHG$ , o sinal de  $MUX$ ,  $MUX\_STATE$ , o sinal de compartilhamento de carga,  $CH\_SH$ , e da linha de palavra,  $WL$ , são baixos. A  
 5 linha de bits inferior,  $BL_L$ , e a linha de bits inferior inversa,  $BLB_L$ , são pré-carregadas para o terra, e linha de bits superior,  $BL_U$ , e uma linha de bits superior inversa,  $BLB_U$ , são pré-carregadas para uma tensão de alimentação,  $V_{DD}$ . O nível de tensão de alimentação é indicado pela linha  
 10 tracejada, pontilhada.

Após o sinal de pré-carga,  $PRECHG$ , ter sido alto (desativando um circuito de pré-carga), o compartilhamento de carga é habilitado quando o sinal de mux,  $MUX\_STATE$ , é baixo. Como resultado, em um momento 712 o sinal de  
 15 compartilhamento de carga,  $CH\_SH$ , continua alto. A linha de bits superior,  $BL_U$ , e uma linha de bits superior inversa,  $BLB_U$ , reduzem a tensão para um terra,  $GND$ , em resposta ao compartilhamento de carga. Além disso, a linha de bits inferior,  $BL_L$ , e a linha de bits inferior inversa,  $BLB_L$ ,  
 20 aumentam na tensão para a tensão de alimentação,  $V_{DD}$ . O sinal de mux,  $MUX\_STATE$ , continua alto um pouco antes de um momento 713 indicando o fim de uma operação de compartilhamento de carga. Como resultado, o sinal de compartilhamento de carga,  $CH\_SH$ , continua baixo no momento  
 25 713 completando a operação de compartilhamento de carga. A linha de bits superior,  $BL_U$ , linha de bits superior inversa,  $BLB_U$ , linha de bits inferior,  $BL_L$ , e a linha de bits inferior inversa,  $BLB_L$ , estabilizam no momento 713, quando a operação de compartilhamento de carga termina. As  
 30 reduções nas tensões da linha de bits superior,  $BL_U$ , e uma linha de bits superior inversa,  $BLB_U$ , aumentam a estabilidade de leitura da memória.

Em um momento 714 a linha de palavras, WL, está alta, indicando que uma operação de leitura foi iniciada. A tensão na linha de bits superior, BL<sub>U</sub>, na linha de bits superior inversa, BLB<sub>U</sub>, na linha de bits inferior, BL<sub>L</sub>, e na linha de bits inferior inversa, BLB<sub>L</sub>, descarrega para o terra, GND. Em um momento 715 após a operação de leitura ter sido concluída e a linha de palavra, WL, ter sido baixada, o sinal de pré-carga, PRECHG, continua baixo. Como resultado, a linha de bits superior, BL<sub>U</sub>, e uma linha de bits superior inversa, BLB<sub>U</sub>, são pré-carregadas com a tensão de alimentação, VQD, e a linha de bits inferior, BL<sub>L</sub>, e a linha de bits inferior inversa, BLB<sub>L</sub>, são pré-descarregadas para o terra, GND. Pouco antes de um momento 716, o sinal de MUX, MUX\_STATE, continua baixo colocando todos os sinais de volta em seu estado inicial no momento 716.

Figura 8 é um circuito esquemático de um circuito para a implementação da técnica de pré-carga seletiva exemplar de acordo com uma modalidade da divulgação. Um circuito 80 inclui uma linha de bits superior 85, BL<sub>U</sub>, e uma linha de bits superior inversa 87, BLB<sub>U</sub>, configuradas para acessar as células de bits 84. Além disso, o circuito 80 inclui uma linha de bits inferior 86, BL<sub>L</sub>, e uma linha de bits inferior inversa 88, BLB<sub>L</sub>. Embora as células de bits 84 sejam mostradas conectadas às linhas de bits superiores 85, 87, as células de bits 84 também podem ser conectadas às linhas de bits inferiores 86, 88. Um circuito de habilitação de compartilhamento de carga 81 configurado para ativar o compartilhamento de carga é acoplado ao sinal de MUX, MUX\_STATE, ao sinal de pré-carga, PRJECHRG, e emite um sinal de compartilhamento de carga, CH\_SH. O circuito de habilitação de compartilhamento de carga 81 inclui um inversor 812 acoplado ao sinal de MUX, MUX-STATE, uma porta

NAND 814 acoplada à saída do inversor 812 e do sinal de pré-carga, PRECHRG, e um inversor 816 acoplado à saída da NAND 814. O circuito de habilitação de compartilhamento de carga 81 ilustrado é apenas uma combinação possível de  
 5 portas lógicas capazes de ativar o compartilhamento de carga. Um circuito de pré-carga 891 é acoplado às linhas de bits superiores 85, 87 e um circuito pull down 892 é acoplado às linhas de bits inferiores 86, 88. O circuito de pré-carga 891 e o circuito pull down 892 podem ser  
 10 controlados através do sinal de pré-carga, PRECHRG.

A sinal de compartilhamento de carga, CH\_SH, e um sinal de seleção, SELn, são entradas para uma porta NOR 82 para controlar um circuito de compartilhamento de carga 83. O circuito de compartilhamento de carga 83 é ativo quando o  
 15 sinal de compartilhamento de carga, CH\_SH, continua alto. Quando a sinal de compartilhamento de carga 83 está ativo, a linha de bits superior 85 é acoplada à linha de bits inferior 86 e a linha de bits superior 87 é acoplada à linha de bits inferior 88. O sinal de selecionar, SELn, é  
 20 utilizado para selecionar células de bits para operações de leitura ou gravação. Embora apenas um sinal de seleção, SELn, linha de bits superior, BL<sub>U</sub>, linha de bits superior inversa, BLB<sub>U</sub>, linha de bits inferior, BL<sub>L</sub>, e linha de bits inferior inversa, BLB<sub>L</sub>, sejam mostrados, muito mais pode  
 25 ser incorporado ao circuito 80. Além disso, muitas mais células de bits podem ser incorporadas ao circuito 80.

Funcionamento do circuito 80 irá agora ser descrito em conjunto com o diagrama de temporização 70. No momento 711 o sinal de pré-carga, PRECHG, é baixo e o sinal  
 30 de mux, MUX\_STATE, é baixo. A saída do circuito de habilitação de compartilhamento de carga 81, CH\_SH, será reduzida. As linhas de bits superiores 85, 87 são pré-carregadas para a tensão de alimentação, V<sub>DD</sub>, e as linhas

de bits inferiores 86, 88 são pré-carregadas para o terra. No momento 712 após o sinal de pré-carga, PRECHG, continua elevada (desativando o circuito de pré-carga), enquanto o sinal de mux, MUX\_STATE, continua sendo baixo, a saída do

5 circuito de habilitação de compartilhamento de carga 81, CHJSH, continua alta. Isso faz com que a porta NOR 82 controle os circuitos de compartilhamento de carga 83 para acoplar as linhas de bits superiores 85, 87 às linhas de bits inferiores 86, 88 levando a uma redução da tensão na

10 linha de bits superior, BL<sub>U</sub>, e linha de bits superior inversa, BLB<sub>U</sub>. No momento 713, após o sinal de MUX, MUX\_STATE, continuar alto, a saída do circuito de habilitação de compartilhamento de carga 81, CH\_SH, continua baixa. Esta alteração faz com que os circuitos de

15 compartilhamento de carga 83 desacoplem as linhas de bits superiores 85, 87 a partir das linhas de bits inferiores 86, 88, terminando o compartilhamento de carga. No momento 714, as células de bits 84 são acessadas (em resposta à gravação do sinal de linha, WL) e uma operação de leitura

20 ou gravação ocorre.

A técnica de compartilhamento de carga, como descrito por esta divulgação, melhora a memória de estabilidade de leitura, reduzindo a tensão da linha de bits da tensão de alimentação. A tensão da linha de bits é

25 reduzida em um ponto de pré-carga da linha de bits para uma primeira tensão e uma segunda seção da linha de bits para uma segunda tensão. Um circuito de compartilhamento de carga seletivamente acopla duas seções para alcançar uma tensão de linha de bits entre a primeira e a segunda

30 tensão. A tensão final depende, em parte, da relação de capacitância das duas seções da linha de bits, portanto, qualquer produção de variação nos dispositivos não afeta a operação do compartilhamento de carga. Em uma modalidade, a

primeira seção é a linha de bits superior e a segunda seção é a linha de bits inferior.

Uma vantagem desta divulgação é a estabilidade de leitura melhorada reduzindo a tensão de linha de bits. Um  
5 nível de tensão preciso pode ser escolhido para as linhas de bits. Como mencionado acima, uma redução na tensão de linha de bits melhora a margem de ruído estático (SNM) do dispositivo de memória. Ambas as células de bits acessadas e células de bits meio selecionadas são melhores, porque  
10 todas as linhas de bits percebem tensão menor em comparação com a tensão de alimentação da célula de bits. Células de bits meio selecionadas são células selecionadas por uma linha de palavra afirmada, mas não selecionadas pelas suas linhas de bits.

15 A segunda vantagem desta divulgação é a robustez de projeto superior. A divulgação não depende da tensão limite do transistor e temporização de um sinal crítico.

Uma terceira vantagem desta divulgação é a tolerância de variação de processo. A solução proposta  
20 depende de valores de capacitância relativos que não se alteram com o processo, tensão e variação de temperatura. A tensão de linha de bits será independente das condições de processo.

A quarta vantagem desta divulgação é a  
25 flexibilidade de projeto. O valor de tensão da linha de bits pode ser alterado selecionando quais segmentos de linha de bits pré-carregar para  $V_{DD}$  e quais segmentos de linha de bits pré-carregar para o terra. Por exemplo, pré-carregar uma linha de bits ou mais para terra pode permitir  
30 maiores valores de delta (a mudança da linha de bits de  $V_{DD}$ ). Por exemplo, se a tensão de alimentação for 1,125 Volts e as seções superiores forem 1,125 Volts e as seções inferiores forem 1,125 volts, a tensão final pode ser 1,125

Volts se todas as linhas de bits forem pré-carregadas para  $V_{DD}$ . O delta seria 0 milivolt neste caso. No entanto, no mesmo caso, se uma das linhas de bits for pré-descarregada para terra, então a tensão final seria 1,00 Volts. O delta  
5 seria 125 milivolts neste caso. Portanto, há um elevado grau de flexibilidade em relação às quais tensões que as seções de linha de bits podem ser pré-carregadas.

A quinta vantagem dessa divulgação é que apenas uma tensão de alimentação é utilizada. Isso simplifica o  
10 projeto físico de alto nível e verificação da memória.

O dispositivo de memória, tal como indicado pode ser acoplado a um microprocessador ou a outros dispositivos microeletrônicos. O dispositivo de memória pode ser empacotado com o microprocessador e ainda incorporado a um  
15 dispositivo de comunicação. Por exemplo, a memória pode ser embutida em um telefone celular ou uma estação base de comunicações.

A figura 9 é um diagrama de blocos ilustrando uma estação de trabalho de projeto utilizada para o circuito,  
20 layout e projeto de lógica do circuito integrado de semicondutor divulgado. Uma estação de trabalho de projeto 900 inclui um disco rígido 901 contendo software do sistema operacional, arquivos de suporte, software de projeto, tais como Cadence ou OrCAD. A estação de trabalho de projeto 900  
25 também inclui um display para facilitar a concepção de um projeto de circuito 910. O projeto de circuito 910 pode ser o circuito de memória, tal como indicado acima. Um meio de armazenamento 904 é provido para armazenar o projeto do circuito 910. O projeto do circuito 910 pode ser armazenado  
30 no meio de armazenamento 904 em um formato de arquivo como GDSII ou GERBER. O meio de armazenamento 904 pode ser um CD-ROM, DVD, disco rígido, memória flash, ou outro dispositivo apropriado. Além disso, a estação de trabalho

de projeto 900 inclui um equipamento de drive 903 para aceitar a entrada ou gravar a saída para o meio de armazenamento 904.

Os dados gravados no meio de armazenamento 904  
5 podem especificar configurações de circuito lógico, dados padrão para máscaras de fotolitografia, ou dados padrão de máscara para ferramentas de gravação em série como litografia por feixe de elétrons. Os dados podem ainda incluir dados de verificação lógica, tais como diagramas de  
10 temporização ou circuitos líquidos associados com simulações de lógica. Fornecer dados no meio de armazenamento 904 facilita o desenho do projeto do circuito 910, diminuindo o número de processos para projetar circuitos integrados de semicondutores.

Embora a presente divulgação e suas vantagens  
15 tenham sido descritas em detalhe, deve-se entender que várias alterações, substituições e alterações podem ser feitas aqui, sem se afastar de espírito e escopo da divulgação tal como definido pelas reivindicações anexas.  
20 Por exemplo, embora os dispositivos de memória SRAM tenham sido descritos, a técnica de pré-carga seletiva pode ser aplicada a qualquer projeto de memória, incluindo mas não limitado a, SRAM, DRAM, ou MRAM. Além disso, o escopo do presente pedido não se destina a limitar-se à modalidade  
25 particular do processo, máquina, fabricação, composição da matéria, meios, métodos e etapas descritos na especificação. Como um versado na técnica comum irá facilmente apreciar a partir da divulgação da presente divulgação, processos, máquinas, fabricação, composições de  
30 matéria, meios, métodos ou etapas, atualmente existentes ou a serem desenvolvidas posteriormente que realizam substancialmente a mesma função ou substancialmente alcançam o mesmo resultado que as modalidades

correspondentes descritas neste documento podem ser utilizadas de acordo com a presente divulgação. Assim, as reivindicações anexas pretendem incluir no seu escopo tais processos, máquinas, fabricação, composições de matéria,  
5 meios, métodos ou etapas.

# REIVINDICAÇÕES

1. Dispositivo de memória, **caracterizado pelo fato de que** compreende:

5 meios para pré-carregar uma primeira seção (33) de uma primeira linha de bits de uma primeira célula de bits (34) de uma primeira coluna para uma primeira tensão;

meios para pré-carregar uma segunda seção (31) da primeira linha de bits de uma primeira célula de bits (34) de uma primeira coluna para uma segunda tensão,

10 em que uma segunda tensão é diferente da primeira tensão;

meios para pré-carregar uma primeira seção de uma segunda linha de bits de uma segunda célula de bits de uma segunda coluna para a primeira tensão;

15 meios para pré-carregar uma segunda seção (61) da segunda linha de bits da segunda célula de bits da segunda coluna para a primeira tensão,

em que a primeira seção da segunda linha de bits é acoplada à primeira seção da primeira linha de bits; e

20 meios para compartilhar carga entre a primeira seção da primeira linha de bits, a segunda seção da primeira linha de bits, a primeira seção da segunda linha de bits e a segunda seção da segunda linha de bits,

em que os meios para compartilhar carga são  
25 adicionalmente configurados para

acoplar a primeira seção da primeira linha de bits à segunda seção da primeira linha de bits durante uma operação de leitura ou escrita quando a primeira célula de bits for selecionada para a operação de leitura ou escrita.

30 2. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** compreende:

um circuito de compartilhamento de carga seletivamente acoplado à primeira seção da primeira linha

de bits e à segunda seção da primeira linha de bits, em que o circuito de compartilhamento de carga é configurado para acoplar e desacoplar a primeira seção da primeira linha de bits com a segunda seção da primeira linha de bits.

5                   3. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** a primeira seção da primeira linha de bits é pré- descarregada para o terra e a segunda seção da primeira linha de bits é pré- carregada para uma tensão de alimentação.

10                   4. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** adicionalmente compreende um circuito de habilitação de compartilhamento de carga configurado para ativar o circuito de compartilhamento de carga quando um circuito de  
15                   pré-carga está inativo e um sinal de mux indica compartilhamento de carga.

                    5. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** a primeira célula de bits (34) é acoplada a segunda seção da primeira  
20                   linha de bits.

                    6. Dispositivo de memória, de acordo com a reivindicação 2, **caracterizado pelo fato de que** o circuito de compartilhamento de carga é seletivamente acoplado à primeira seção da segunda linha de bits e à segunda seção  
25                   da segunda linha de bits e é configurado para acoplar e desacoplar a primeira seção da segunda linha de bits com a segunda seção da segunda linha de bits.

                    7. Dispositivo de memória, de acordo com a reivindicação 1, **caracterizado pelo fato de que** o  
30                   dispositivo de memória é acoplado a um microprocessador, e  
                    em que o dispositivo de memória e o microprocessador são integrados em um dispositivo de comunicação.

8. Método para operar um dispositivo de memória tendo uma pluralidade de linhas de bits incluindo uma primeira seção e uma segunda seção, o método **caracterizado pelo fato de que** compreende:

5                pré-carregar a primeira seção (33) de uma primeira linha de bits de uma primeira célula de bits (34) de uma primeira coluna para uma primeira tensão;

                 pré-carregar a segunda seção (31) da primeira linha de bits da primeira célula de bits da primeira coluna  
10              para uma segunda tensão, a segunda tensão sendo diferente da primeira tensão;

                 pré-carregar uma primeira seção de uma segunda linha de bits de uma segunda célula de bits de uma segunda coluna para a primeira tensão;

15              pré-carregar uma segunda seção (61) da segunda linha de bits da segunda célula de bits da segunda coluna para a primeira tensão,

                 em que a primeira seção da segunda linha de bits é acoplada à primeira seção da primeira linha de bits;

20              compartilhar carga entre a primeira seção da primeira linha de bits, a segunda seção da primeira linha de bits, a primeira seção da segunda linha de bits e a segunda seção da segunda linha de bits para obter uma tensão final entre a primeira tensão e a segunda tensão; e

25              acoplar a primeira seção da primeira linha de bits à segunda seção da primeira linha de bits durante uma operação de leitura ou escrita quando a primeira célula de bits for selecionada para a operação de leitura ou escrita.

                 9. Método, de acordo com a reivindicação 8,  
30              **caracterizado pelo fato de que** a tensão final é determinada, pelo menos em parte por uma capacitância da primeira seção da primeira linha de bits e uma capacitância da segunda seção da primeira linha de bits.

10. Método, de acordo com a reivindicação 8, **caracterizado pelo fato de que** pré-carregar a primeira seção da primeira linha de bits compreende pré-carregar a primeira seção da primeira linha de bits para uma tensão de terra e pré-carregar a segunda seção da primeira linha de bits compreende pré-carregar a segunda seção da primeira linha de bits para uma tensão de alimentação.

11. Método, de acordo com a reivindicação 8, **caracterizado pelo fato de que** adicionalmente compreende:  
10 pré-carregar uma primeira seção de uma segunda linha de bits e uma segunda seção de uma segunda linha de bits para a primeira tensão.

12. Método, de acordo com a reivindicação 8, **caracterizado pelo fato de que** o compartilhamento de carga  
15 ocorre de acordo com um sinal de estado de mux (MUX\_STATE) quando um circuito de pré-carga está inativo.

13. Método, de acordo com a reivindicação 8, **caracterizado pelo fato de que** adicionalmente compreende:  
armazenar no dispositivo de memória dados  
20 relativos a comunicações.

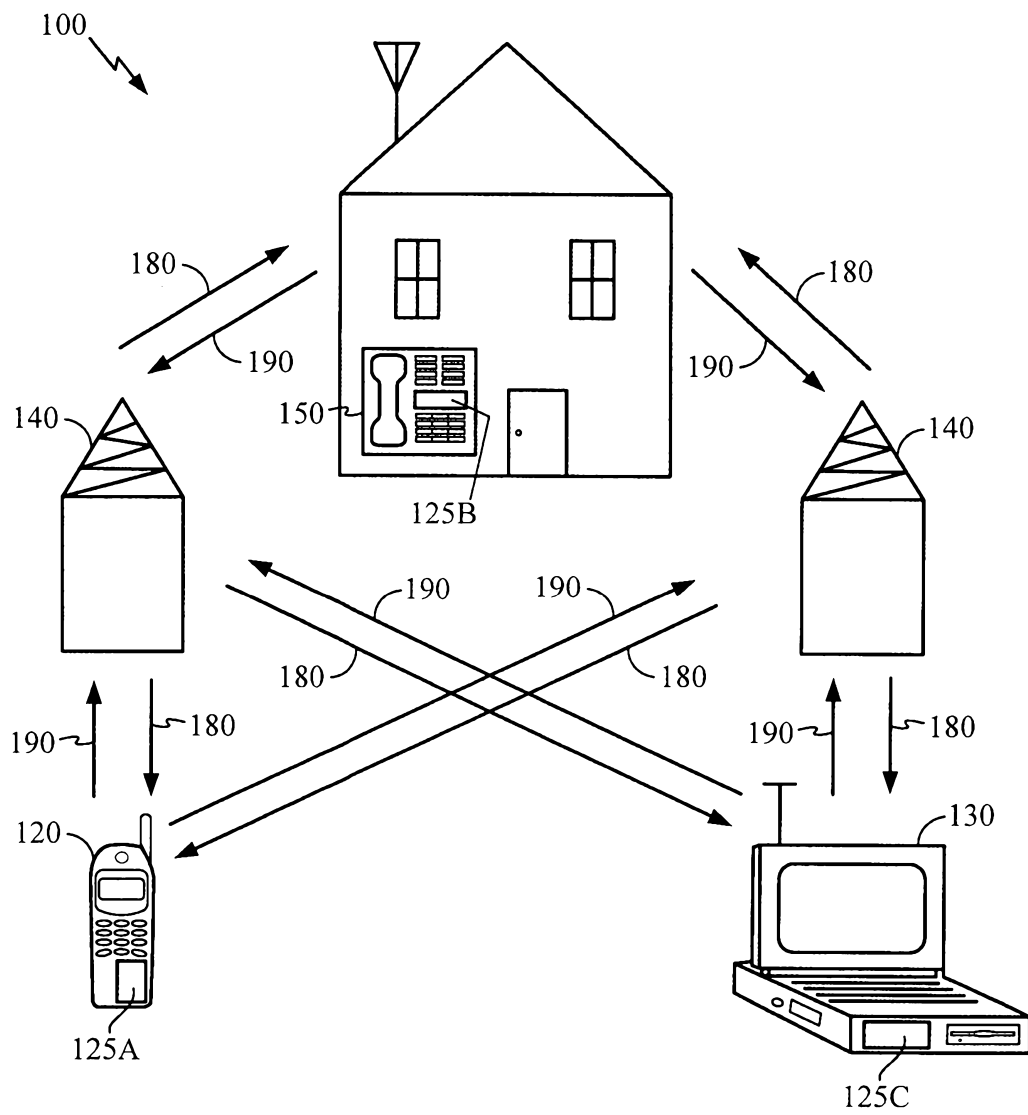


FIG. 1

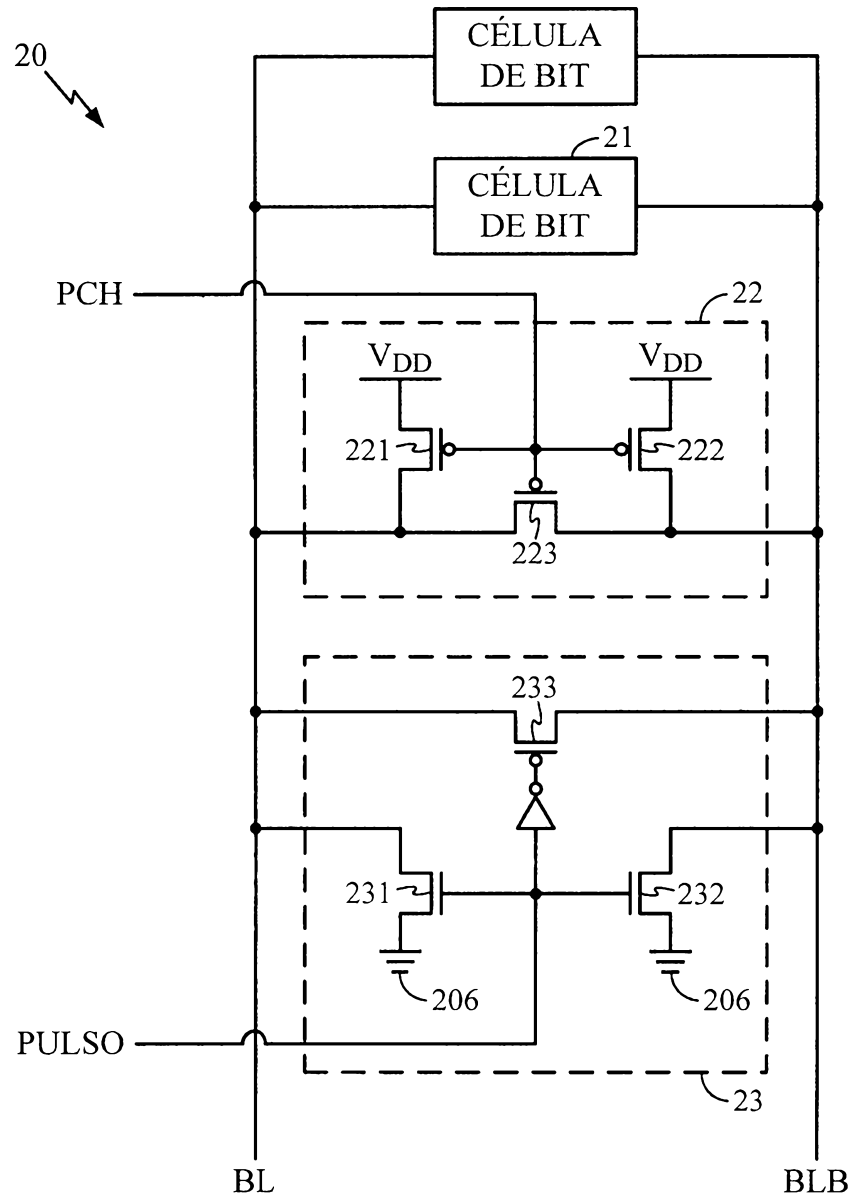


FIG. 2A

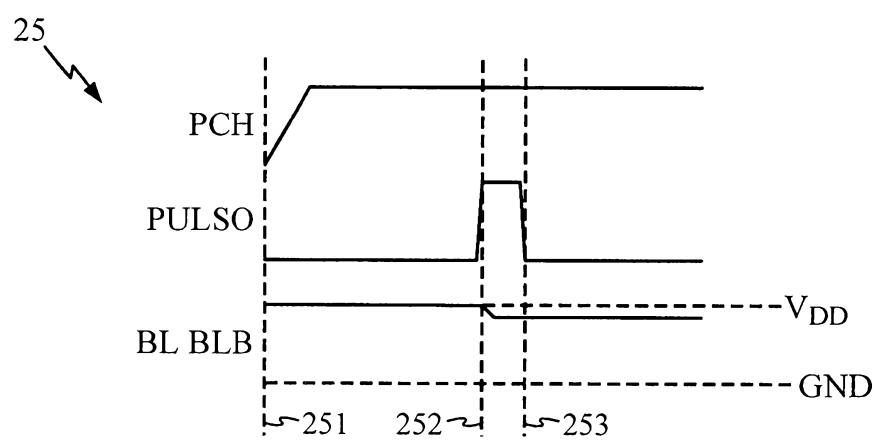
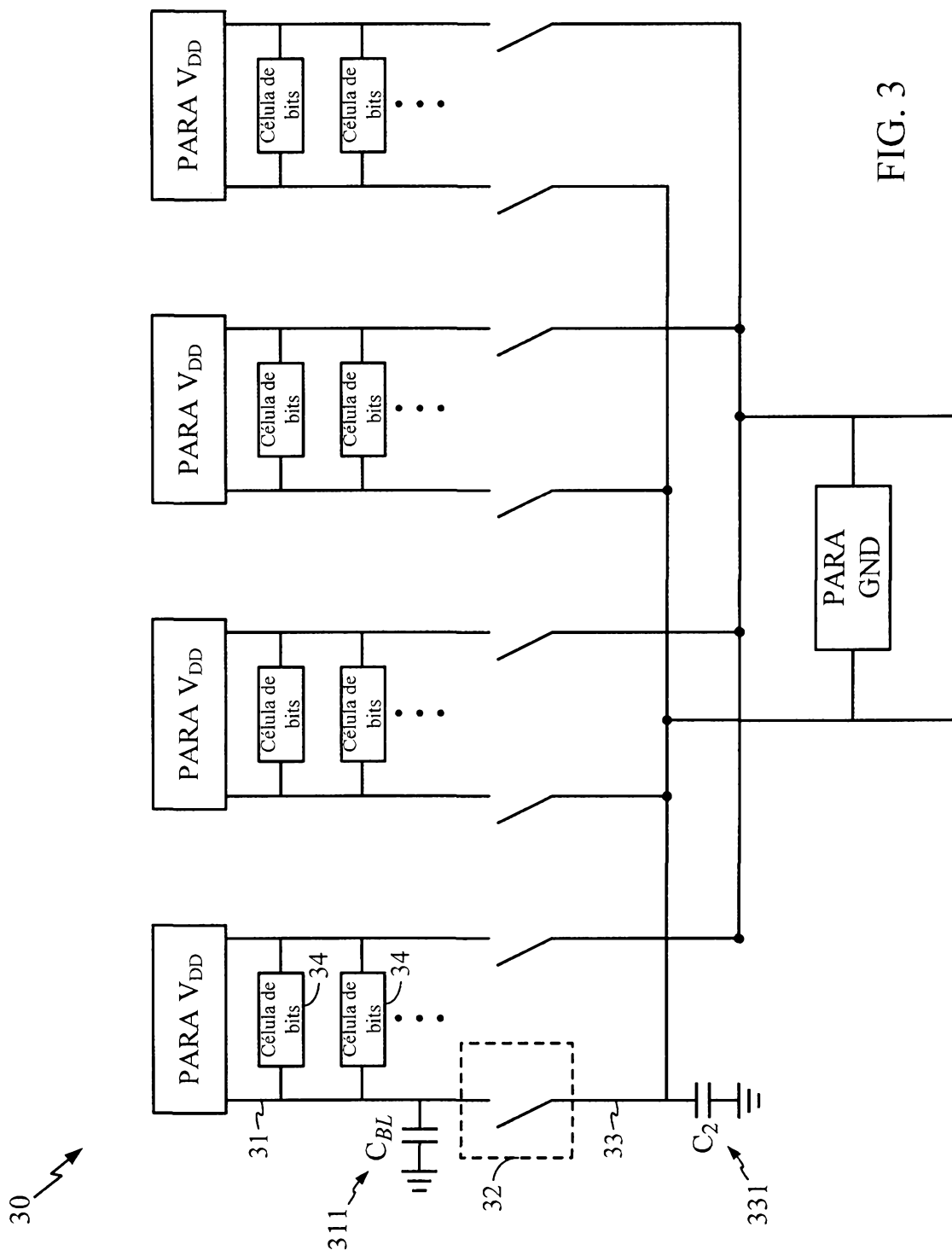


FIG. 2B



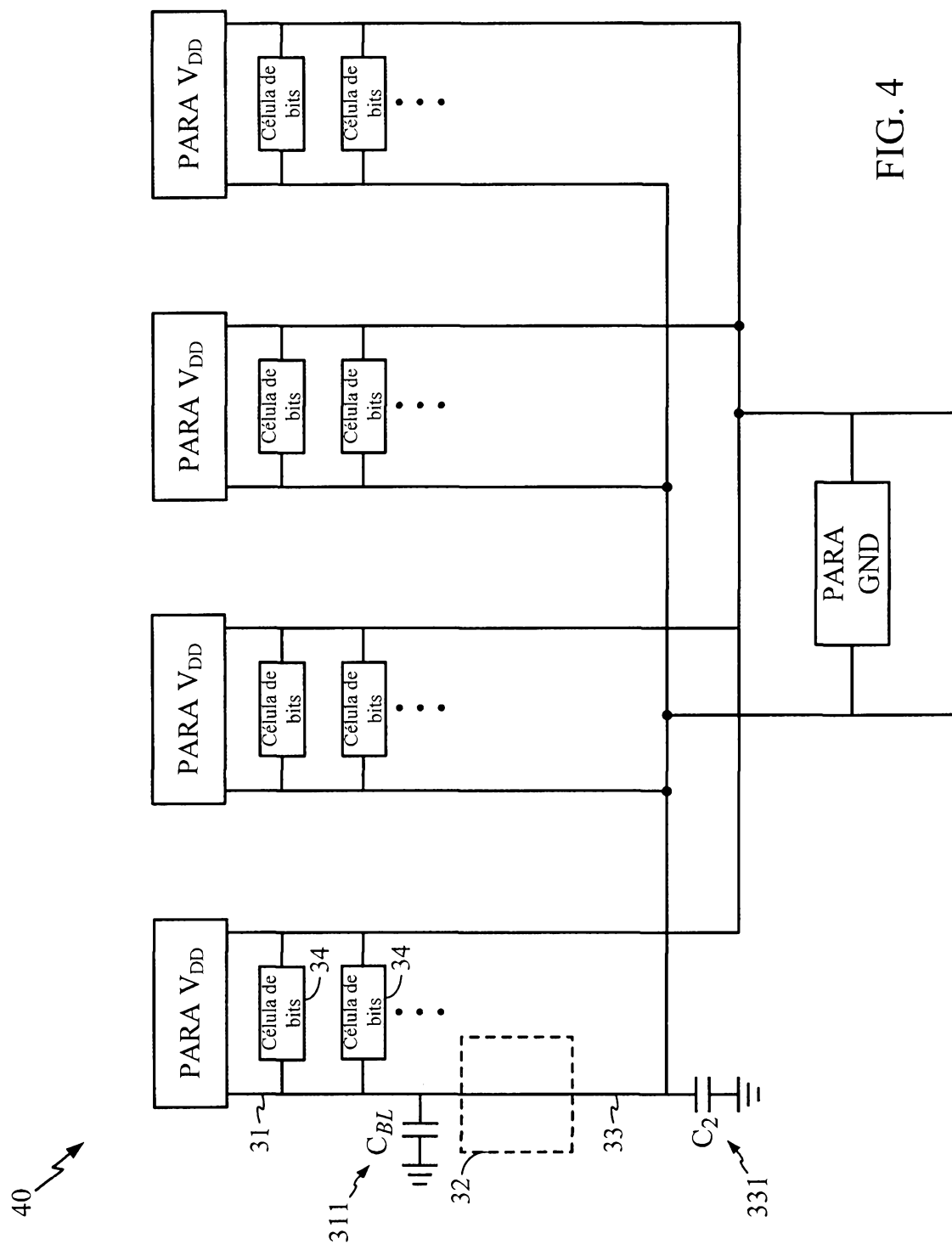


FIG. 4

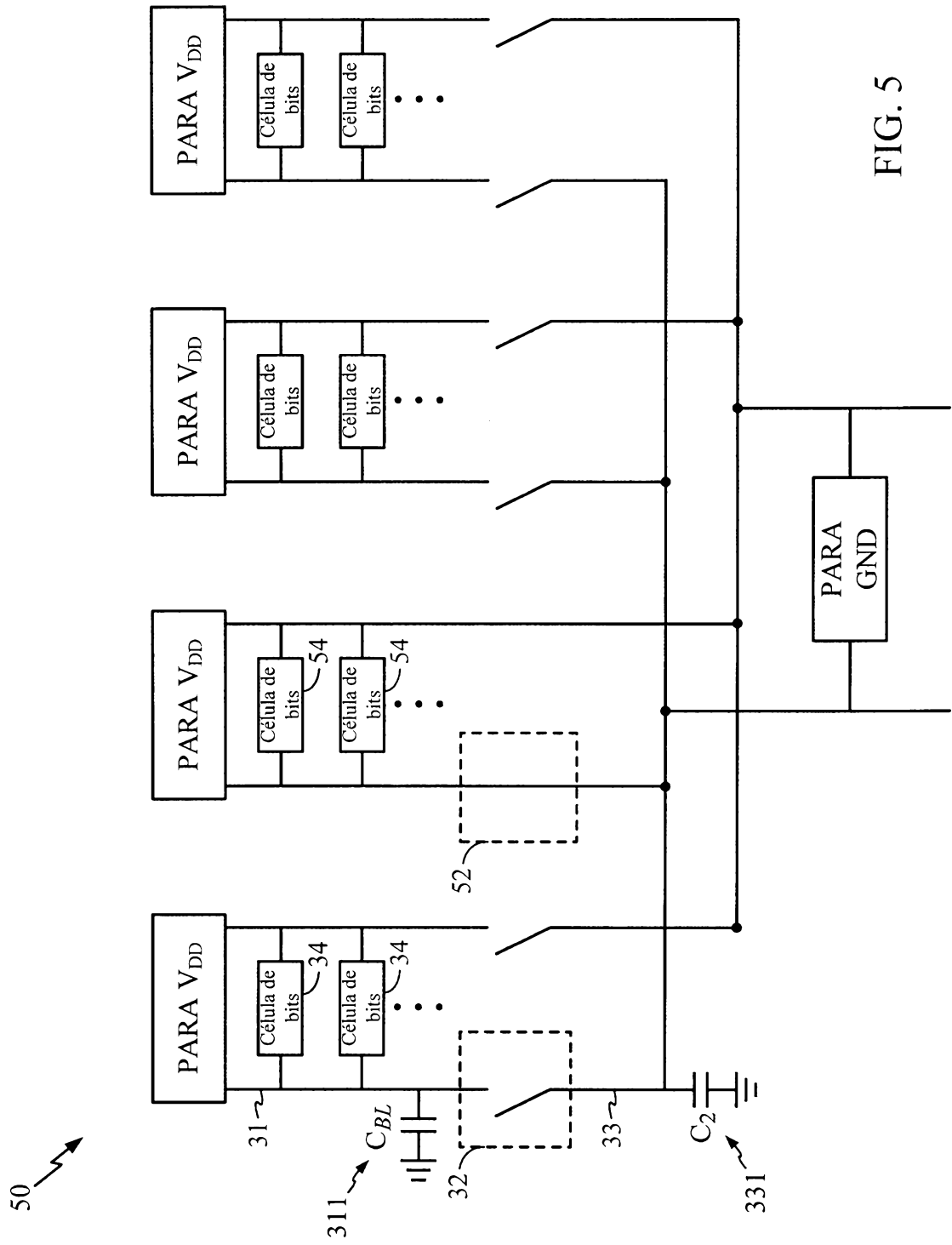


FIG. 5

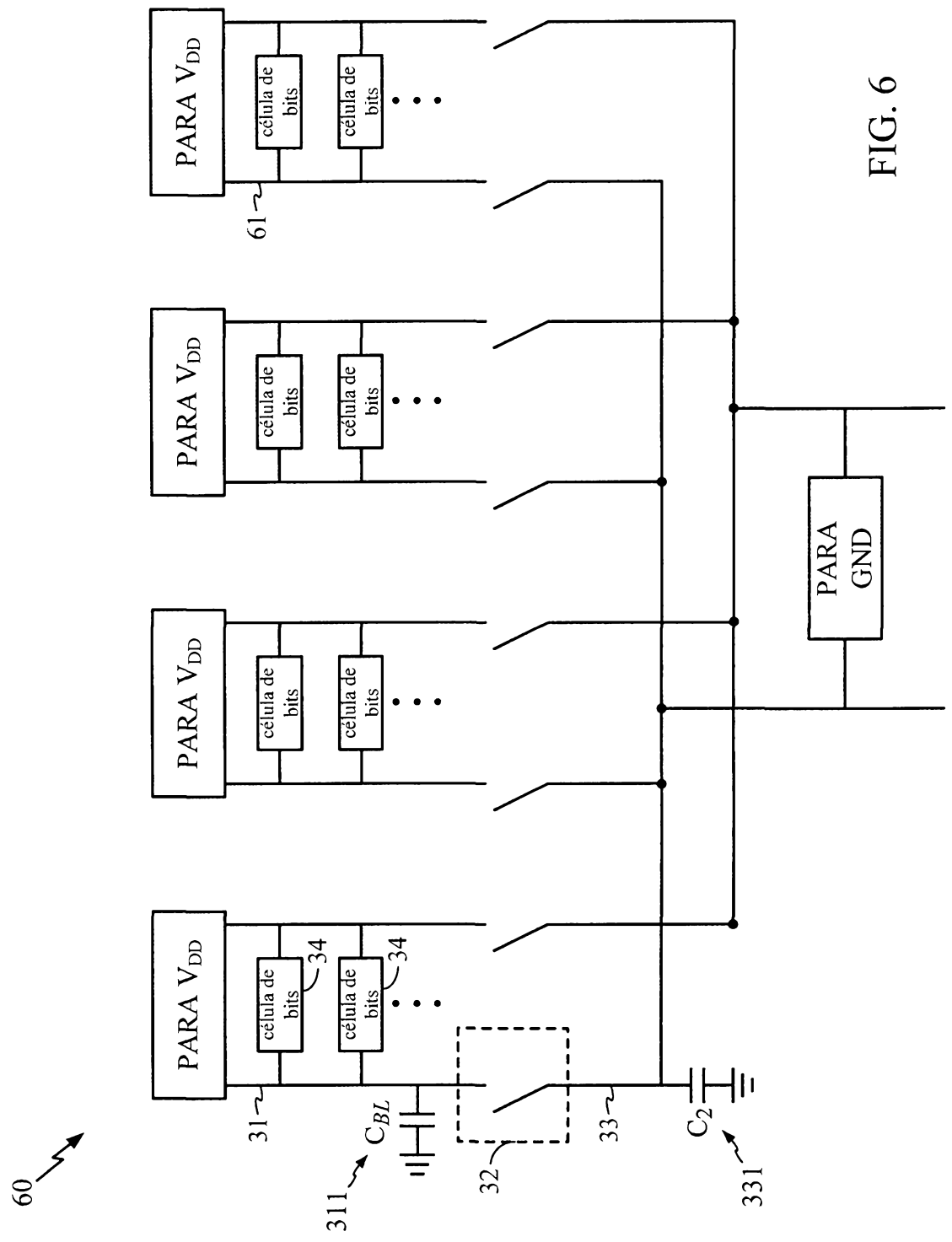


FIG. 6

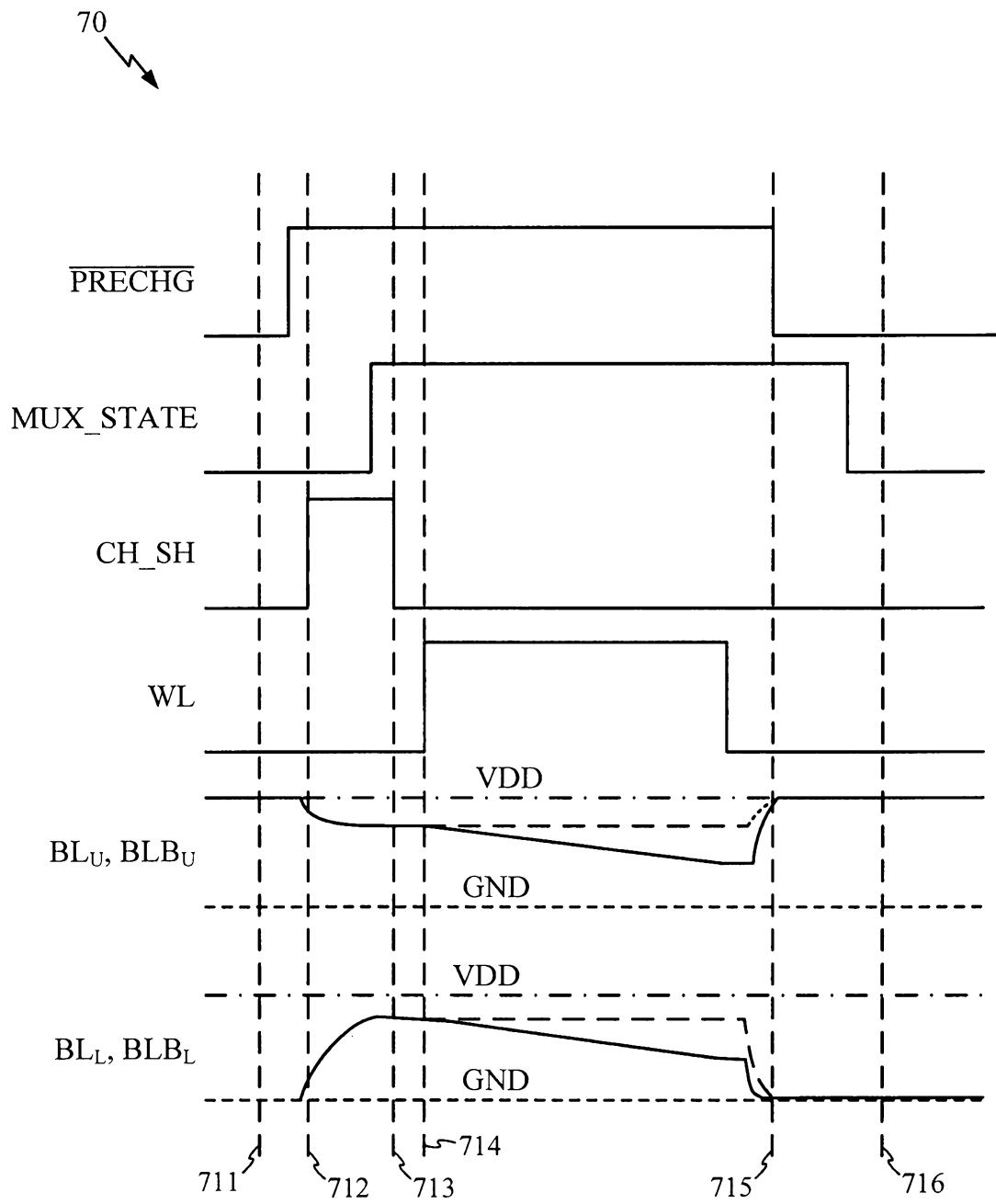


FIG. 7

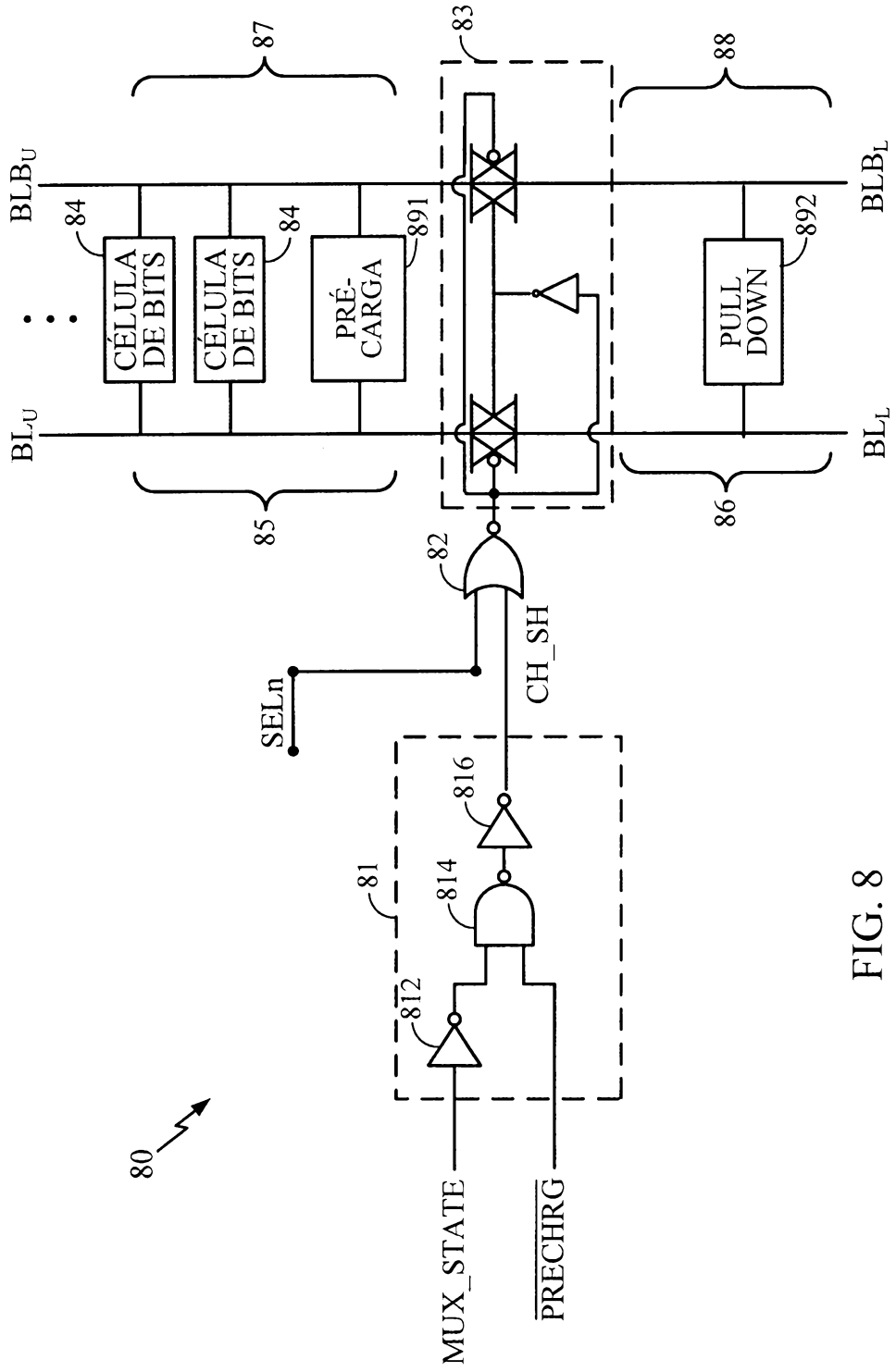


FIG. 8

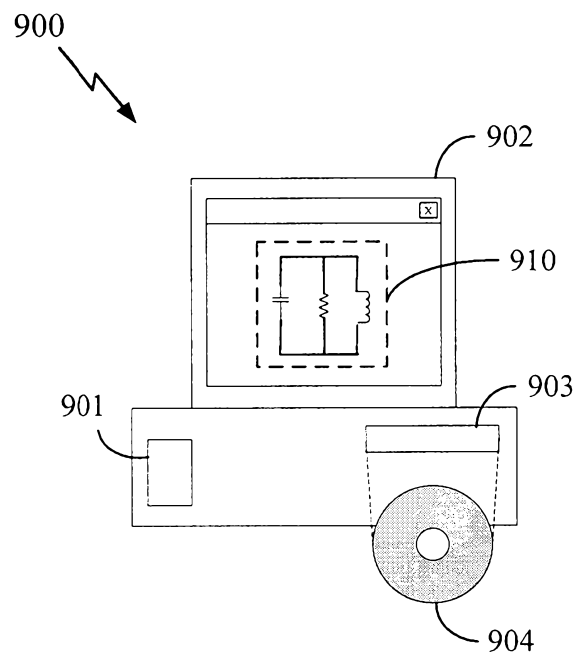


FIG. 9